



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I666707 B

(45)公告日：中華民國 108 (2019) 年 07 月 21 日

(21)申請案號：104132175

(22)申請日：中華民國 104 (2015) 年 09 月 30 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/786 (2006.01)

H01L21/316 (2006.01)

H01L21/318 (2006.01)

(30)優先權：2014/10/01 日本

2014-203379

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)

日本

高知縣公立大學法人 (日本) KOCHI PREFECTURAL PUBLIC UNIVERSITY CORPORATION (JP)

日本

(72)發明人：里吉務 SATOYOSHI, TSUTOMU (JP)；石田寬 ISHIDA, HIROSHI (JP)；佐佐木和男 SASAKI, KAZUO (JP)；古田守 FURUTA, MAMORU (JP)

(74)代理人：林志剛

(56)參考文獻：

CN 101339342A

CN 101355089A

US 2009/0184315A1

US 2014/0138683A1

審查人員：張錦昇

申請專利範圍項數：14 項 圖式數：16 共 43 頁

(54)名稱

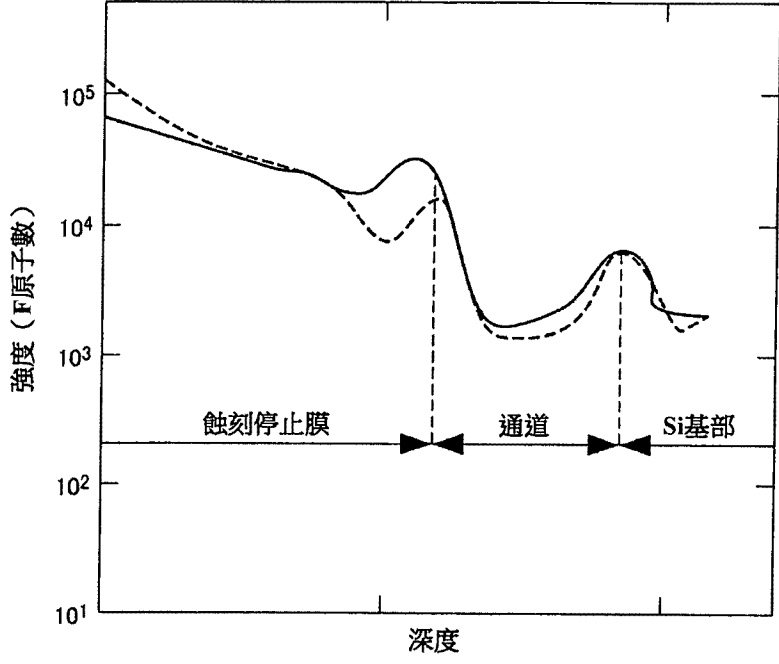
電子元件、其製造方法及其製造裝置

(57)摘要

提供可防止性能之下降的電子元件。TFT(21)，係具備有：通道(14)，由 IGZO 膜所構成；蝕刻停止膜(22)，鄰接於該通道(14)；及鈍化膜(23)，夾著該蝕刻停止膜(22)，與通道(14)相對向，鈍化膜(23)，係由含氟氮化矽膜所構成，蝕刻停止膜(22)及通道(14)的邊界之氟原子的濃度，係高於除了通道(14)之邊界以外的部分之氟原子的濃度，且除了蝕刻停止膜(22)之上述邊界以外的部分之氟原子的濃度分布，係具有朝向上述邊界而下降的濃度梯度。

指定代表圖：

圖 6



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電子元件、其製造方法及其製造裝置

【技術領域】

[0001] 本發明，係關於將氧化物半導體使用於通道之電子元件、其製造方法及其製造裝置。

【先前技術】

[0002] 近年來，在液晶顯示器中，係為了實現高解析度、大型化、快速反應，而尋求一種高移動率的薄型電晶體 (TFT: Thin Film Transistor)。又，為了以更高亮度實現高對比之顯示器、薄型化之行動終端或可撓式顯示器，而發展有機 EL (Electroluminescence) 元件的使用。有機 EL 元件，係藉由 TFT 來驅動的電流驅動型元件，為了發揮充分的發光性能，而尋求一種即使在驅動有機 EL 元件的 TFT 中亦實現高移動率的元件。然而，從以往主要被使用作為 TFT 之通道之構成材料的非晶矽之電子移動率並不是那麼高，且有機 EL 元件實現充分的發光性能是困難的。

[0003] 因此，提出一種將可獲得高電子移動率之金屬氧化物 (氧化物半導體) 使用於通道的 TFT。作為用於像這樣之 TFT 的金屬氧化物，係已知氧化物半導體例如

由銦（In）、鎵（Ga）及鋅（Zn）之氧化物所構成的 IGZO（例如，參閱非專利文獻 1。）。由於 IGZO，係即使為非晶質狀態，亦具有比較高的電子移動率（例如 $10\text{cm}^2/(\text{V}\cdot\text{s})$ 以上），因此，期待將 IGZO 等之金屬氧化物使用於 TFT 的通道。

[0004] 然而，在 TFT 中，係為了確實地保護通道不受外界之水分或大氣等的氣體等影響，而例如具備有由氮化矽（SiN）膜等所構成的鈍化膜。在以電漿 CVD（Chemical Vapor Deposition）來形成由氮化矽膜所構成的鈍化膜時，依使用於電漿處理的處理氣體，有時氫自由基或氫離子作為氫原子而包含於鈍化膜。由於包含於鈍化膜的氫原子，係朝通道擴散，而使 IGZO 中的氧原子脫離，並使 IGZO 的特性例如閾值電壓（ V_{th} ）變化，因此，提出一種藉由使用了不包含氫原子之處理氣體的電漿 CVD 來形成鈍化膜的方式（例如，參閱專利文獻 1）。

〔先前技術文獻〕

〔專利文獻〕

[0005]

〔專利文獻 1〕日本特願 2014-049797 號說明書

〔非專利文獻〕

[0006]

〔非專利文獻 1〕「實現輕又薄之片狀顯示器的氧化物半導體 TFT」，三浦 健太郎及其他，東芝 REVIEW Vol.67 No. 1（2012）

【發明內容】

〔發明說明〕

〔本發明所欲解決之課題〕

[0007] 然而，在電漿 CVD 中，因為濺鍍或熱等的影響，有在由 IGZO 所構成的通道中，氧原子會脫落，從而在通道中產生懸空鍵（dangling bond）的情形。由於懸空鍵會捕集載體（電子或電洞），因此，有引起通道之電子移動率下降，從而使 TFT 之性能或可靠性下降的問題。

[0008] 本發明之目的，係提供一種可防止氧化物半導體之性能的下降，同時提高可靠性之電子元件、其製造方法及其製造裝置。

〔用以解決課題之手段〕

[0009] 為了達成上述目的，本發明之電子元件，係具備有金屬氧化物膜、第 1 膜及第 2 膜，該金屬氧化物膜，係形成氧化物半導體，該第 1 膜，係鄰接於該金屬氧化物膜，該第 2 膜，係夾著該第 1 膜，與前述金屬氧化物膜相對向，該電子元件，其特徵係，前述第 1 膜及前述第 2 膜的至少一個，係由含氟膜所構成，前述第 1 膜及前述金屬氧化物膜的邊界之氟原子的濃度，係高於除了前述金屬氧化物膜之前述邊界以外的部分之氟原子的濃度，至少除了前述第 1 膜之前述邊界以外的部分之氟原子的濃度分布，係具有朝向前述邊界而下降的濃度梯度。

§

[0010] 又，為了達成上述目的，本發明之電子元件，係具備有金屬氧化物膜及含氟膜，該金屬氧化物膜，係形成氧化物半導體，該含氟膜，係鄰接於該金屬氧化物膜，該電子元件，其特徵係，前述含氟膜及前述金屬氧化物膜的邊界之氟原子的濃度，係高於除了前述金屬氧化物膜之前述邊界以外的部分之前述氟原子的濃度及除了前述含氟膜之前述邊界以外的部分之氟原子的濃度，前述含氟膜之氟原子的濃度，係高於除了前述金屬氧化物膜之前述邊界以外的部分之氟原子的濃度。

[0011] 為了達成上述目的，本發明之電子元件之製造方法，係具備有金屬氧化物膜、第 1 膜及第 2 膜，該金屬氧化物膜，係形成氧化物半導體，該第 1 膜，係鄰接於該金屬氧化物膜，該第 2 膜，係夾著該第 1 膜，與前述金屬氧化物膜相對向，該電子元件之製造方法，其特徵係，由含氟膜構成前述第 1 膜及前述第 2 膜的至少一個，使氟原子從該含氟膜向前述金屬氧化物膜擴散，而使前述第 1 膜及前述金屬氧化物膜的邊界之前述氟原子的濃度高於除了前述金屬氧化物膜之前述邊界以外的部分之前述氟原子的濃度。

[0012] 為了達成上述目的，本發明之電子元件之製造方法，係具備有金屬氧化物膜及含氟膜，該金屬氧化物膜，係形成氧化物半導體，該含氟膜，係直接或夾著其他膜鄰接於該金屬氧化物膜，該電子元件之製造方法，其特徵係，藉由使用了氟化物之氣體與包含有氧原子及氮原子

的至少一個之氣體的 CVD，形成前述含氟膜。

[0013] 又，為了達成上述目的，本發明之電子元件之製造裝置，係具備有金屬氧化物膜及含氟膜，該金屬氧化物膜，係形成氧化物半導體，該含氟膜，係直接或夾著其他膜鄰接於該金屬氧化物膜，該電子元件之製造裝置，其特徵係，藉由使用了氟化物之氣體與包含氧原子及氮原子的至少一個之氣體的 CVD，形成前述含氟膜。

〔發明之效果〕

[0014] 根據本發明，第 1 膜及金屬氧化物膜的邊界之氟原子的濃度，係高於除了金屬氧化物膜之邊界以外的部分之氟原子的濃度，至少除了第 1 膜之邊界以外的部分之氟原子的濃度分布，係具有朝向邊界而下降的濃度梯度。氧原子從金屬氧化物脫落而產生的懸空鍵，雖係大都存在於第 1 膜及金屬氧化物膜的邊界，但由於第 1 膜及金屬氧化物膜的邊界之氟原子的濃度高於除了金屬氧化物膜之邊界以外的部分之氟原子的濃度，因此，多數的氟原子會存在於邊界，而藉由多數的氟原子終結多數的懸空鍵。藉此，可抑制因懸空鍵而引起之缺陷的發生，並且可防止氧化物半導體之性能的下降，同時提高可靠性。

[0015] 又，根據本發明，含氟膜及金屬氧化物膜的邊界之氟原子的濃度，係高於除了金屬氧化物膜之邊界以外的部分之氟原子的濃度，含氟膜之氟原子的濃度，係高於除了金屬氧化物膜之前述邊界以外的部分之氟原子的濃

度。氧原子從金屬氧化物脫落而產生的懸空鍵，雖係大都存在於含氟膜及金屬氧化物膜的邊界，但由於含氟膜及金屬氧化物膜的邊界之氟原子的濃度高於除了金屬氧化物膜之邊界以外的部分之氟原子的濃度，因此，多數的氟原子會存在於邊界，而藉由多數的氟原子終結多數的懸空鍵。藉此，可抑制因懸空鍵而引起之缺陷的發生，並且可防止氧化物半導體之性能的下降，同時提高可靠性。

[0016] 而且，根據本發明，由於直接或夾著其他膜鄰接於金屬氧化物膜的含氟膜，係藉由使用了氟化物之氣體與包含有氧原子及氮原子的至少一個之氣體的 CVD 而形成，因此，含氟膜確實包含有氟原子。藉此，氟原子，係從含氟膜向金屬氧化物膜擴散，從而可藉由氟原子來終結存在於金屬氧化物膜的懸空鍵。其結果，可抑制因懸空鍵而引起之缺陷的發生，並且可防止氧化物半導體之性能的下降，同時提高可靠性。

【圖式簡單說明】

[0017]

〔圖 1〕概略地表示作為通常之電子元件之下閘極型之氧化物 TFT 之構成的部分剖面圖。

〔圖 2〕表示相對於所照射之光的能量之氧化矽膜 TFT 及含氟氮化矽膜 TFT 之各初始特性值之變化之情形的曲線圖，圖 2 (A)，係表示 S 值之變化的情形，圖 2 (B)，係表示閾值電壓變化量之變化的情形，圖 2

(C)，係表示遲滯電壓變化量之變化的情形。

〔圖 3〕表示在氧化矽膜及含氟氮化矽膜 TFT 的熱處理後，實施 PBTS (Positive Bias Temperature Instability) 試驗後時之各特性值之變化之情形的曲線圖，圖 3 (A)，係表示氧化矽膜 TFT 之閘極電壓及汲極電流之關係的時間變化，圖 3 (B)，係表示含氟氮化矽膜 TFT 之閘極電壓及汲極電流之關係的時間變化，圖 3 (C)，係表示氧化矽膜 TFT 之閾值電壓變化量相對於負載時間之變化的程度，圖 3 (D)，係表示含氟氮化矽膜 TFT 之閾值電壓變化量相對於負載時間之變化的程度。

〔圖 4〕表示氟原子從 TFT 之鈍化膜向通道擴散之情形的部分剖面圖。

〔圖 5〕具有模擬了如圖 4 所示之 TFT 之構造之分析用樣本的剖面圖。

〔圖 6〕表示如圖 5 所示之分析用樣本的熱處理後之氟原子之分布之 SIMS 所致之測定結果的曲線圖。

〔圖 7〕概略地表示本發明之實施形態之作為電子元件之下閘極型之 TFT 之構成的部分剖面圖。

〔圖 8〕概略地表示本發明之實施形態之作為電子元件之製造裝置之電漿 CVD 成膜裝置之構成的剖面圖。

〔圖 9〕表示圖 7 中之 TFT 之製造方法之一部分的工程圖。

〔圖 10〕示意地表示藉由圖 9 之 TFT 之製造方法所製造之 TFT 中之氟原子之分布之情形的曲線圖。

〔圖 11〕概略地表示圖 7 之 TFT 之第 1 變形例之構成的部份剖面圖。

〔圖 12〕概略地表示圖 7 之 TFT 之第 2 變形例之構成的部份剖面圖。

〔圖 13〕概略地表示圖 7 之 TFT 之第 3 變形例之構成的部份剖面圖。

〔圖 14〕概略地表示圖 7 之 TFT 之第 4 變形例之構成的部份剖面圖。

〔圖 15〕概略地表示圖 7 之 TFT 之第 5 變形例之構成的部份剖面圖。

〔圖 16〕概略地表示圖 7 之 TFT 之第 6 變形例之構成的部份剖面圖。

【實施方式】

[0018] 以下，參閱圖面說明本發明之實施形態。

[0019] 圖 1，係概略地表示作為通常之電子元件之下閘極型之氧化物薄型電晶體（TFT）之構成的部分剖面圖。

[0020] 在圖 1 中，形成於基板 11 上的 TFT10，係具備有：閘極電極 12，形成於基板 11 上；閘極絕緣膜 13，覆蓋閘極電極 12；氧化物半導體層 15，形成於閘極絕緣膜 13 上，且由 IGZO 所構成；通道 14，形成於氧化物半導體層 15 的一部分；蝕刻停止膜 17，覆蓋通道 14；源極電極 18；汲極電極 19；及鈍化膜 20，覆蓋蝕刻停止膜

17、源極電極 18 或汲極電極 19。

[0021] 然而，在提出本發明之前，發明者為了確認在使用了不包含氫原子之鈍化膜時之對 TFT 之初始特性值的影響，測定使用了作為包含有大量氫原子之鈍化膜的含氫氮化矽 (SiN:H) 膜、作為包含有少量氫原子之鈍化膜的氧化矽 (SiO₂) 膜及所包含之氫原子極少而實質上不包含氫原子之含氟氮化矽 (SiN:F) 膜之 TFT 的初始特性值。另外，該些 TFT 之通道，係由 IGZO 所構成，所測定到的初始特性值，係表示於以下的表 1。

[0022]

【表 1】

鈍化膜	移動率 (cm ² /Vs)	S值 (V/dec)	V _{GS} (I _{DS} =1nA)	ΔV _H	ΔV _{th} (PBS)
SiO ₂	8.47	0.24	3.40	0.53	2.03
SiN:F	12.90	0.17	0.22	0.06	-0.19
SiN:H	—	—	—	—	—

[0023] 如表 1 所示，由於使用了含氫氮化矽膜之 TFT 不動作，因此，亦不可能測定任一初始特性值。這是因為含氫氮化矽膜所包含的大量氫原子向通道擴散，而使構成通道之 IGZO 中的氧原子脫離之緣故。另一方面，雖然在鈍化膜使用了氧化矽膜的 TFT (以下，稱為「氧化矽膜 TFT」。) 及在鈍化膜使用了含氟氮化矽膜的 TFT (以下，稱為「含氟氮化矽膜 TFT」。) 的任一已動作，因而可測定各初始特性值，但例如電子移動率，係含氟氮化矽膜 TFT 高於氧化矽膜 TFT，且表示切換性能的 S 值，係

含氟氮化矽膜 TFT 小於氧化矽膜 TFT，遲滯電壓變化量 (ΔV_H)，係含氟氮化矽膜 TFT 小於氧化矽膜 TFT。亦即，與氧化矽膜 TFT 之各初始特性值相比，含氟氮化矽膜 TFT 之各初始特性值，係表示了較良好的值。又，閾值電壓變化量 (ΔV_{th}) 的絕對值，係含氟氮化矽膜 TFT 小於氧化矽膜 TFT。亦即，可獲得含氟氮化矽膜 TFT 之可靠性較氧化矽膜 TFT 之可靠性改善的結果。

[0024] 又，加以確認使光分別照射至氧化矽膜 TFT 及含氟氮化矽膜 TFT 而使該些 TFT 驅動時之 TFT 相對於光能量之各初始特性值之變化的情形，且將確認結果表示於圖 2 (A) ~圖 2 (C)。另外，在圖 2 (A) ~圖 2 (C) 中，分別以「 SiO_2 」及「 SiN:F 」來表示氧化矽膜 TFT 及含氟氮化矽膜 TFT。

[0025] 所照射之光的能量產生變化時，關於 S 值的變化，係如圖 2 (A) 所示；關於閾值電壓變化量 (ΔV_{th})，係如圖 2 (B) 所示；關於遲滯電壓變化量 ($\Delta (\Delta V_H)$)，係如圖 2 (C) 所示，即便關於任一初始特性值，也確認到在 2.7eV 以上的區域，含氟氮化矽膜 TFT 其特性值的變化小於氧化矽膜 TFT。亦即，關於初始特性，確認到含氟氮化矽膜 TFT 較氧化矽膜 TFT 優異。又，IGZO 之能帶間隙，係 3~3.2eV，另一方面，從含氟氮化矽膜 TFT 即使在 3~3.2eV 而特性值之變化亦小的情形可知，成為能帶間隙之因素的深缺陷位準會下降，又，其結果，推測到在含氟氮化矽膜 TFT 中，可靠性被改善。

[0026] 而且，在氧化矽膜（鈍化膜）之形成後，向氧化矽膜 TFT 施予 350°C 的熱處理，含氟氮化矽膜（鈍化膜）之形成後，向含氟氮化矽膜 TFT 施予 350°C 的熱處理後，在各 TFT 中測定特性值而確認各 TFT 的可靠性，將確認結果表示於圖 3（A）~圖 3（D）。

[0027] 圖 3，係表示在向氧化矽膜及含氟氮化矽膜 TFT 施予熱處理後（以下，稱為「熱處理後」。）之 PBTS 試驗的結果；圖 3（A），係表示熱處理後的氧化矽膜 TFT 中之閘極電壓及汲極電流之關係的時間變化；圖 3（B），係表示熱處理後的含氟氮化矽膜 TFT 中之閘極電壓及汲極電流之關係的時間變化。在各圖中，各符號，係表示各經過時間中之閘極電壓及汲極電流的測定值。具體而言，無符號之實線，係表示初始狀態的測定值；「◇」，係表示經過 100 秒後的測定值；「○」，係表示經過 1000 秒後的測定值；「△」，係表示經過 5000 秒後的測定值；無符號之虛線，係表示經過 10000 秒後的測定值。在圖 3（A）及圖 3（B）中，隨著負載時間經過，閘極電壓及汲極電流的關係，係朝各圖中的箭頭方向移動。由圖 3（A）及圖 3（B）可知，與熱處理後之氧化矽膜 TFT 相比，熱處理後之含氟氮化矽膜 TFT 其閘極電壓及汲極電流之關係的時間變化較少，且汲極電流穩定地流動。

[0028] 圖 3（C），係表示熱處理後的氧化矽膜 TFT 中之閾值電壓變化量相對於負載時間之變化的程度；圖 3（D），係表示熱處理後的含氟氮化矽膜 TFT 中之閾值電

壓變化量相對於負載時間之變化的程度。在各圖中，各符號，係表示測量時的溫度；「◇」，係室溫；「○」，係 50℃；「△」，係 75℃；「□」，係 100℃。由圖 3 (C) 及圖 3 (D) 可知，與熱處理後之氧化矽膜 TFT 相比，熱處理後之含氟氮化矽膜 TFT 其閾值電壓變化量相對於負載時間的變化較少，且閾值電壓穩定。亦即，即便關於可靠性，亦確認到含氟氮化矽膜 TFT 較氧化矽膜 TFT 優異。

[0029] 關於初始特性或可靠性，作為含氟氮化矽膜 TFT 較氧化矽膜 TFT 優異的理由，本發明者等，係著眼於含氟氮化矽膜 TFT 之鈍化膜所包含之氟原子的存在，推測以下機制。

[0030] 在 TFT10 中，在構成通道 14 的 IGZO 膜上，例如在藉由電漿 CVD 形成由氧化矽所構成的蝕刻停止膜 17 時，IGZO 膜被陽離子等所濺鍍，或受到熱的影響，氧原子從 IGZO 膜被放出，而主要在 IGZO 膜的表面亦即蝕刻停止膜 17 及通道 14 的邊界附近產生鋅原子等的懸空鍵。懸空鍵，係在 TFT 之動作時，捕集通道 14 內的載體，從而使 TFT10 的初始特性或可靠性惡化。

[0031] 對此，當鈍化膜 20 含有氟原子（以圖 4 中「F」所示。）時，在 TFT10 之形成後，如圖 4 所示，鈍化膜 20 所含有之氟原子，係經由蝕刻停止膜 17 向通道 14 擴散，而終結在蝕刻停止膜 17 及通道 14 之邊界附近所產生的懸空鍵。藉此，抑制通道 14 內之載體的捕集，

改善 TFT10 的初始特性。又，由於鋅原子及氟原子的結合能，係高於鋅原子及氧原子的結合能（前述，係 364kJ/mol；後者，係 284kJ/mol），因此，藉由氟原子所終結的懸空鍵為穩定，不會再次放出氟原子而回到懸空鍵。藉此，改善通道 14 之可靠性，進而改善 TFT10 之可靠性。

[0032] 又，本發明者等，係為了作成具有模擬如圖 4 所示之 TFT 之構造的分析用樣本（圖 5），使鈍化膜 20 所含有之氟原子積極地向通道 14 擴散，而鈍化膜 20 在從含氟氮化矽膜所構成的分析用樣本之形成後，向該分析用樣本施予熱處理，其後，藉由二次離子質譜儀法（SIMS：Secondary Ion Mass Spectrometry），測定分析用樣本中之氟原子的分布。

[0033] 圖 6，係表示如圖 5 所示之分析用樣本的熱處理後之氟原子之分布之 SIMS 所致之測定結果的曲線圖。在圖 6 中，係以虛線表示施予 1 小時的熱處理後時之 TFT 之氟原子的分布，以實線表示施予 3 小時的熱處理後時之 TFT 之氟原子的分布。

[0034] 在圖 6 中，從鈍化膜 20 所擴散之氟原子的數目（濃度），係從蝕刻停止膜 17 朝向通道 14 減少，而在蝕刻停止膜 17 及通道 14 的邊界，以一度呈現極值的方式增加。該結果，係證實上述之機制亦即在蝕刻停止膜 17 及通道 14 的邊界附近所產生的懸空鍵被氟原子終結，且確認到上述推測的機制為正確的。

[0035] 又，熱處理之時間越長，則從鈍化膜 20 所擴散之氟原子的數目亦越多，但如圖 6 所示，熱處理之時間越長，則蝕刻停止膜 17 及通道 14 的邊界之氟原子之數目的極值越大，且在蝕刻停止膜 17 及通道 14 的邊界附近終結懸空鍵之氟原子，係被認為是從鈍化膜 20 所擴散的氟原子。

[0036] 亦即，本發明者等發現，可藉由在存在有懸空鍵的通道附近設置含氟膜而進行熱處理的方式，藉由從含氟層所擴散的氟原子來終結通道之懸空鍵。本發明，係基於上述之見解者。

[0037] 其次，說明本實施形態之電子元件。

[0038] 圖 7，係概略地表示本實施形態之作為電子元件之下閘極型之 TFT 之構成的部分剖面圖。另外，由於圖 7 之 TFT21 之構成，係與圖 1 之 TFT10 的構成大致相同，因此，下述以相異點為中心而進行說明。

[0039] 在圖 7 中，TFT21，係具備有：閘極電極 12，形成於基板 11 上；閘極絕緣膜 13；氧化物半導體層 15；通道 14（金屬氧化物膜），形成於氧化物半導體層的一部分；蝕刻停止膜 22（第 1 膜），覆蓋包含有通道 14 的氧化物半導體層 15，且使除了通道 14 以外的氧化物半導體層 15 部分地露出；源極電極 18；汲極電極 19；及鈍化膜 23（第 2 膜），覆蓋蝕刻停止膜 22、源極電極 18 及汲極電極 19。在 TFT21 中，閘極絕緣膜 13 及蝕刻停止膜 22，係由包含有少量氫原子的氧化矽膜所構成，鈍化

膜 23，係由含氟氮化矽膜所構成。另外，閘極絕緣膜 13 及蝕刻停止膜 22 所包含的少量氫原子，係在製造工程中不得不混入者，雖不會對本發明之效果造成大的影響，但在理想上，不包含為較佳。

[0040] 圖 8，係概略地表示本實施形態之作為電子元件之製造裝置之電漿 CVD 成膜裝置之構成的剖面圖。本電漿 CVD 成膜裝置，係適合用於形成 TFT21 之鈍化膜 23 時。

[0041] 在圖 8 中，電漿 CVD 成膜裝置 24，係例如具備有：略殼體形狀之腔室 25，收容形成有 TFT21 的基板 11；載置台 26，配置於該腔室 25 的底部，並將基板 11 載置於上面；ICP (Inductively Coupled Plasma) 天線 27，配置為在腔室 25 的外部，與腔室 25 之內部的載置台 26 相對向；及窗構件 28，構成腔室 25 之頂部，介設於載置台 26 及 ICP 天線 27 之間。在 ICP 天線 27 與窗構件 28 之間，係藉由間隔件 (未圖示) 來保持一定的間隙。

[0042] 腔室 25，係具有排氣裝置 (未圖示)，該排氣裝置，係對腔室 25 進行抽真空而使腔室 25 的內部減壓。腔室 25 之窗構件 28，係由介電質所構成，且分隔腔室 25 的內部與外部。

[0043] 窗構件 28，係經由絕緣構件 (未圖示) 被支撐於腔室 25 的側壁，且窗構件 28 與腔室 25 不會直接接觸，電性不導通。又，窗構件 28，係具有至少可覆蓋載置於載置台 26 之基板 11 全面的大小。另外，窗構件

28，係亦可由複數個分割片所構成。

[0044] 在腔室 25 之側壁，係設置有 3 個氣體導入口 29、30、31，氣體導入口 29，係經由氣體導入管 32 而連接於被配置在腔室 25 之外部之鹵化矽氣體供給部 33，氣體導入口 30，係經由氣體導入管 34 而連接於被配置在腔室 25 之外部的含氮氣體供給部 35，氣體導入口 31，係經由氣體導入管 36 而連接於被配置在腔室 25 之外部的稀有氣體供給部 37。

[0045] 鹵化矽氣體供給部 33，係經由氣體導入口 29，向腔室 25 之內部供給不包含氫原子的鹵化矽氣體例如四氟化矽 (SiF_4) 氣體，含氮氣體供給部 35，係經由氣體導入口 30，向腔室 25 之內部供給不包含氫原子的含氮氣體例如氮氣 (N_2)，稀有氣體供給部 37，係經由氣體導入口 31，向腔室 25 之內部供給稀有氣體例如氫氣。亦即，亦即，向腔室 25 之內部供給由四氟化矽氣體及氮氣混合而成且不包含氫的處理氣體。另外，處理氣體，係除了四氟化矽氣體或氮氣以外，亦可包含不含氫的氣體。各氣體導入管 32、34、36，係具有質流控制器或閥（皆不圖示），從而調整從氣體導入口 29、30、31 所供給之各氣體的流量。

[0046] ICP 天線 27，係由沿著窗構件 28 之上面而配置的環狀導線或導體板所構成，且經由整合器 38 而連接於高頻電源 39。來自高頻電源 39 之高頻電流，係在 ICP 天線 27 流動，該高頻電流，係使 ICP 天線 27 經由窗構件

28 在腔室 25 之內部產生磁場。該磁場，係因高頻電流而產生，因此，會隨時間（周期性）變化，隨時間變化的磁場，係產生感應電場，被該感應電場加速的電子與被導入至腔室 25 內之氣體的分子或原子碰撞而產生感應耦合電漿。

[0047] 在電漿 CVD 成膜裝置 24 中，係藉由感應耦合電漿，從供給至腔室 25 之內部的四氟化矽氣體或氮氣生成電漿，藉由 CVD 來形成含氟氮化矽膜，藉此，形成鈍化膜 23。此時，由於四氟化矽氣體或氮氣之任一皆不包含氫原子，因此，形成鈍化膜 23 的含氟氮化矽膜，係不包含源自處理氣體的氫原子。

[0048] 另外，由於在腔室 25 內存在有於搬送基板 11 時吸附於該基板 11 的微量水分或無法被排氣裝置充分地完全去除的水分等之除了處理氣體以外的環境因素而產生的水分，因此，存在有如下述之情形：在形成鈍化膜 23 的含氟氮化矽膜中，包含有極少量之源自該水分之氫原子。亦即，雖然可藉由使用不包含氫原子的處理氣體來儘可能抑制鈍化膜 23 中所含有之氫原子的量（抑制氫原子的存在），但在鈍化膜 23 中依然包含有極少量的氫原子。此時，所形成之含氟氮化矽膜的主要成分，係氮化矽，在氮化矽中分散地含有因四氟化矽氣體分解而產生的氟原子，即使在像這樣的情形下，亦可藉由使氟原子之濃度高於氫原子之濃度的方式，實現本發明。又，在本實施形態中，在鈍化膜 23 之形成時作為添加氣體，或是在鈍

化膜 23 之形成的前後作為其他處理，例如進行四氟化碳氣體等的導入用，故存在有如下述之情形：在腔室 25 內，從被電漿化之四氟化碳氣體所產生的微量碳原子，係包含於鈍化膜 23，且部分地構成碳化氮化矽。然而，由於像這樣微量的碳化氮化矽並不會阻礙本發明效果，因此，鈍化膜 23，係作為全體在實質上可說是相當於含氟氮化矽膜。亦即，本實施形態之含氟氮化矽膜，係不排除微量含有包含像這樣的碳等之雜質的含氟氮化矽膜。關於像這樣之含氟氮化矽膜的考慮方式，係在後述之鈍化膜相當於含氟氧化矽膜、含氟氮化氧矽膜、其他原料的情形中亦同樣適用。

[0049] 由於四氟化矽氣體中之矽原子及氟原子的結合或氮氣中之氮原子彼此的結合，係結合能高（前者，係 595kJ/mol；後者，係 945kJ/mol），因此，雖不容易進行電漿化，但使用 ICP 天線 27 而產生的感應耦合電漿，係密度非常高，因此，可從具有結合能高之結合的四氟化矽氣體或氮氣生成電漿。

[0050] 稀有氣體供給部 37 所供給之氬氣等的稀有氣體，雖然不是直接構成氮化矽膜的材料氣體，但將作為直接構成氮化矽膜之材料氣體的四氟化矽氣體及氮氣調整至適當的濃度，則進一步可輕易地進行用以生成感應耦合電漿的放電，而在 CVD 中發揮輔助作用。

[0051] 又，電漿 CVD 成膜裝置 24，係更具備有控制器 40，該控制器 40，係控制電漿 CVD 成膜裝置 24 之各

構成要素的動作。

[0052] 另外，鹵化矽氣體供給部 33 所供給之不含有氫原子的鹵化矽氣體，係不限於四氟化矽氣體，亦可為其他鹵化矽氣體例如四氯化矽（ SiCl_4 ），含氮氣體供給部 35 所供給的含氮氣體，係不限於氮氣，亦可為其他含氮氣體。

[0053] 其次，說明本實施形態之作為電子元件之製造方法之 TFT21 的製造方法。

[0054] 圖 9，係表示圖 7 中之 TFT 之製造方法之一部分的工程圖。

[0055] 首先，通過金屬（例如，銅（Cu）/鉬（Mo）、鈦（Ti）/鋁（Al）/鈦或鉬（Mo）/鋁/鉬）之 PVD（Physical Vapor Deposition）所致之成膜、將光阻顯像為預定圖案的光微影、使用顯像後之光阻的蝕刻及光阻的剝離，在基板 11 上形成具有預定寬度的閘極電極 12。

[0056] 其次，藉由 CVD，以覆蓋閘極電極 12 的方式，形成由氧化矽膜所構成的閘極絕緣膜 13，而且藉由 PVD，形成構成通道 14 的 IGZO 膜。其後，藉由電漿 CVD，以覆蓋 IGZO 膜的方式，形成由氧化矽膜所構成的蝕刻停止膜 22。此時，藉由陽離子等的濺鍍，氧原子從 IGZO 膜被放出，鋅原子等之懸空鍵，係主要在蝕刻停止膜 22 及 IGZO 膜（通道 14）的邊界附近產生。

[0057] 而且，將蝕刻停止膜 22 部分去除而使 IGZO 膜部分露出。

[0058] 其次，藉由 PVD，形成分別與 IGZO 膜所露出之部分接觸的源極電極 18 或汲極電極 19（圖 9（A）），其後，在電漿 CVD 成膜裝置 24 中，使用四氟化矽氣體、氮氣及氫氣，藉由 CVD 形成由含氟氮化矽膜所構成的鈍化膜 23（圖 9（B））。

[0059] 其次，向 TFT21 施予熱處理，例如將基板 11 持續加熱 3 小時直至 350°C 的熱處理。此時，熱能被賦予至鈍化膜 23 所含有的氟原子，氟原子（以圖中「F」所表示。），係經由蝕刻停止膜 22 向通道 14 擴散（圖 9（C））。向通道 14 擴散的氟原子，係終結存在於該通道 14 的懸空鍵。其後，結束本處理。另外，雖然亦存在有在鈍化膜 23 之形成時，氟原子被導入到蝕刻停止膜 22，而導入至蝕刻停止膜 22 的氟原子因熱處理向通道 14 擴散的情形，但即使在氟原子從鈍化膜 23 經由蝕刻停止膜 22 向通道 14 擴散時、氟原子從蝕刻停止膜 22 直接向通道 14 擴散時，本發明之效果亦不變。

[0060] 圖 10，係示意地表示藉由圖 9 之 TFT 之製造方法所製造之 TFT 中之氟原子之分布之情形的曲線圖。通常，如圖 10 所示之氟原子之分布的情形，係可藉由 SIMS 來確認。

[0061] 如圖 10 所示，氟原子之濃度，係在鈍化膜 23 中，朝向通道 14 稍微下降，但大致為一定，在蝕刻停止膜 22 中，以從鈍化膜 23 朝向通道 14 明確下降的方式傾斜，在蝕刻停止膜 22 及通道 14 的邊界（以下，稱為「通

道邊界」。)，以一度呈現極值的方式增加後，在除了通道 14 之邊界以外的部分會成為大致一定。在此，由於氟原子終結在該邊界附近產生的懸空鍵，因此，通道邊界中之氟原子的濃度，係高於除了通道 14 之通道邊界以外的部分。又，氟原子雖從鈍化膜 23 向通道 14 擴散，但鈍化膜 23 之氟原子的濃度，係高於通道 14 之氟原子的濃度，特別是除了通道 14 之通道邊界以外的部分之氟原子的濃度。另外，在本實施形態中，「通道邊界」，係意味著作為從邊界面具有一定深度之範圍的厚度之層的邊界，而非意味著不具有厚度之理想的「邊界」。一定深度之範圍，係例如可藉由存在數在懸空鍵之數目的分布中急劇減少的深度來定義，且依據存在數之臨界值的決定方式雖有若干不同，但在「通道邊界」與「除了通道邊界以外」的位置比較中，由於一定深度的範圍被明顯地區別，因此，在本實施形態中，「通道邊界」與「除了通道邊界以外」所示的位置不會不明顯。

[0062] 根據本實施形態，由於氟原子從由含氟氮化矽膜所構成之鈍化膜 23 向通道 14 擴散，且在通道 14 中，通道邊界之氟原子的濃度高於除了通道邊界以外的部分之氟原子的濃度，因此，多數的氟原子會存在於通道邊界，而藉由多數的氟原子終結在通道邊界之附近所產生之多數的懸空鍵。藉此，可抑制通道 14 之電子移動率的下降，並且防止 TFT21 之性能的下陷，同時提高可靠性。

[0063] 在上述之本實施形態中，由於鈍化膜 23，係

藉由使用了四氟化矽氣體或氫氣的 CVD 而形成，因此，鈍化膜 23，係確實含有氟原子。藉此，可藉由來自鈍化膜 23 之氟原子，確實地終結存在於通道 14 的懸空鍵。

[0064] 又，在上述之本實施形態中，係由於在鈍化膜 23 之形成時，用於 CVD 之任一的氣體（四氟化矽氣體、氫氣或氫氣）皆不包含氫原子，因此，氫原子不會擴散至通道 14，而且可防止氧原子從通道 14 脫離，從而確實地防止 TFT21 之性能的下降。

[0065] 在上述之本實施形態中，鈍化膜 23 雖係不直接鄰接於通道 14 而經由蝕刻停止膜 22 與通道 14 相對向，但此時，蝕刻停止膜 22，係可抑制急遽的氟原子從鈍化膜 23 向通道 14 擴散，並防止氟原子偏向存在於通道 14 的通道邊界，從而均等地終結各懸空鍵。又，由於每小時通過蝕刻停止膜 22 之氟原子的數目，係有限的，因此，例可藉由調整熱處理之時間的方式，控制通過蝕刻停止膜 22 之氟原子的數目，從而控制通道 14 之懸空鍵的終結程度。

[0066] 以上，關於本發明，雖使用實施形態進行了說明，但本發明，係不限定於上述之實施形態。

[0067] 例如，在上述之 TFT21 中，鈍化膜 23 雖係藉由含氟氮化矽膜所構成，但鈍化膜 23，係亦可藉由含氟氧化矽（ $\text{SiO}:\text{F}$ ）膜或含氟氮化氧矽膜（ $\text{SiON}:\text{F}$ ）膜所構成。另外，在電漿 CVD 成膜裝置 24 中形成前者時，在 CVD 中，使用四氟化矽氣體、氧氣（ O_2 ）及氧化亞氮

(N_2O) 氣體的至少一方和氬氣等的稀有氣體，在形成後者時，在 CVD 中，使用四氟化矽氣體、氮氣、氧氣及氧化亞氮氣體的至少一方和氬氣等的稀有氣體。另外，氬等的稀有氣體，雖係容易開始放電而帶來調整氣體濃度的效果，但用於獲得本發明之效果，亦可並非必須使用。

[0068] 在上述之 TFT21 中，氟原子雖係僅從鈍化膜 23 擴散，但蝕刻停止膜 22 及閘極絕緣膜 13，係例如由含氟氧化矽膜或含氟氮化矽膜所構成，氟原子不僅從鈍化膜 23，亦可從蝕刻停止膜 22 或閘極絕緣膜 13 朝向通道 14 擴散。

[0069] 在上述之 TFT21 中，通道 14 雖係由 IGZO 所構成，但構成通道 14 之元素，係不限於 IGZO，例如亦可由 ITZO、ZnO、IZO、AZO 等之至少含有氧化鋅作為構成元素的氧化物半導體或 IGO 等的其他金屬氧化物所構成。

[0070] 又，本發明所應用之 TFT 的構成，係不限於圖 7 之 TFT21 的構成。例如，如圖 11 所示，相較於圖 7 之 TFT21，省略蝕刻停止膜 22，亦可將本發明應用於 TFT43，該 TFT43，係具備有 2 層之鈍化膜 41、42 以取代 1 層之鈍化膜 23。在該情況下，2 層之鈍化膜 41、42 的至少一方，係由含氟氮化矽膜、含氟氧化矽膜或含氟氮化氧矽所構成，氟原子，係從 2 層之鈍化膜 41、42 的至少一方朝通道 14 擴散。

[0071] 又，如圖 12 所示，相較於圖 7 之 TFT21，省

略鈍化膜 23，亦可將本發明應用於 TFT46，該 TFT46，係具備有 2 層之蝕刻停止膜 44、45 以取代 1 層之蝕刻停止膜 22。在該情況下，2 層之蝕刻停止膜 44、45 的至少一方，係由含氟氮化矽膜、含氟氧化矽膜或含氟氮化氧矽所構成，氟原子，係從 2 層之蝕刻停止膜 44、45 的至少一方朝通道 14 擴散。另外，作為擴散之結果，含有該些氟之膜中之氟原子的濃度分布，係呈現如濃度朝向 IGZO 膜下降般的濃度梯度。

[0072] 而且，如圖 13 所示，亦可將本發明應用於 TFT50，該 TFT50，係具備有：閘極電極 12，形成於基板 11 上；閘極絕緣膜 13；氧化物半導體層 15，包含有通道 14；蝕刻停止膜 47，僅覆蓋通道 14；鈍化膜 23，覆蓋蝕刻停止膜 47、通道 14、氧化物半導體層 15；及源極電極 48 與汲極電極 49，貫通該鈍化膜 23，而與氧化物半導體層 15 連接。在該情況下，蝕刻停止膜 47 及鈍化膜 23 的至少一方，亦由含氟氮化矽膜、含氟氧化矽膜或含氟氮化氧矽所構成，氟原子，係從蝕刻停止膜 47 及鈍化膜 23 的至少一方朝通道 14 擴散。

[0073] 又，如圖 14 所示，相較於圖 13 之 TFT50，亦可將本發明應用於 TFT53，該 TFT53，係具備有 2 層之蝕刻停止膜 51、52 以取代 1 層之蝕刻停止膜 47。在該情況下，2 層之蝕刻停止膜 51、52 的至少一方，係由含氟氮化矽膜、含氟氧化矽膜或含氟氮化氧矽所構成，氟原子，係從 2 層之蝕刻停止膜 51、52 的至少一方朝通道 14

擴散。另外，作為擴散之結果，含有該些氟之膜中之氟原子的濃度分布，係呈現如濃度朝向 IGZO 膜下降般的濃度梯度。

[0074] 而且，如圖 15 所示，亦可將本發明應用於 TFT62，該 TFT62，係具備有：氧化物半導體層 55，包含有由直接形成於基板 11 上之 IGZO 膜所構成的通道 54；閘極絕緣膜 57，覆蓋通道 54；閘極電極 58，形成於閘極絕緣膜 57 上；鈍化膜 59，覆蓋閘極電極 58、氧化物半導體層 55；及源極電極 60 與汲極電極 61，貫通該鈍化膜 59，而與氧化物半導體層 55 連接。在該情況下，閘極絕緣膜 57 及鈍化膜 59 的至少一方，係由含氟氮化矽膜、含氟氧化矽膜或含氟氮化氧矽所構成，氟原子，係從閘極絕緣膜 57 及鈍化膜 59 的至少一方朝通道 54 擴散。另外，作為擴散之結果，含有該些氟之膜中之氟原子的濃度分布，係呈現如濃度朝向 IGZO 膜下降般的濃度梯度。

[0075] 又，如圖 16 所示，相較於圖 15 之 TFT62，亦可將本發明應用於 TFT65，該 TFT65，係具備有 2 層之閘極絕緣膜 63、64 以取代 1 層之閘極絕緣膜 57。在該情況下，2 層之閘極絕緣膜 63、64 的至少一方，係由含氟氮化矽膜、含氟氧化矽膜或含氟氮化氧矽所構成，氟原子，係從 2 層之閘極絕緣膜 63、64 的至少一方朝通道 54 擴散。另外，作為擴散之結果，含有該些氟之膜中之氟原子的濃度分布，係呈現如濃度朝向 IGZO 膜下降般的濃度梯度。

[0076] 在上述之實施形態中，雖係敘述了在電漿 CVD 成膜裝置中，窗構件由介電質所構成的情形，但作為可應用本發明之電子元件之製造裝置，係只要為感應耦合電漿裝置，則不限於此。例如，電子元件之製造裝置，係亦可為使用單一或複數個金屬構件者作為窗構件者（例如，日本特開 2012-227427），或使用螺管線圈者作為天線，而且，只要為微波電漿裝置等、可使高密度電漿產生的裝置，則不限於該些。

[0077] 又，本發明之目的，係亦可藉由將記錄有實現上述之實施形態之功能的軟體之程式碼的記憶媒體供給至電腦例如控制器 40，讓控制器 40 之 CPU 讀出並執行儲存於記憶媒體之程式碼的方式來達成。

[0078] 在該情況下，從記憶媒體所讀取的程式碼本身，係可實現上述之實施形態的功能，程式碼及記憶有該程式碼的記憶媒體，係構成本發明。

[0079] 又，作為用於供給程式碼的記憶媒體，係例如只要為 RAM、NV-RAM、軟碟（註冊商標）、硬碟、光磁碟、CD-ROM、CD-R、CD-RW、DVD（DVD-ROM、DVD-RAM、DVD-RW、DVD+RW）等的光碟、磁帶、非揮發性記憶卡、其他 ROM 等之可記憶上述程式碼者即可。或者，上述程式碼，係亦可藉由從連接於網際網路、商用網路、或區域網路等之未圖示的其他電腦或資料庫等進行下載的方式，供應至控制器 40。

[0080] 又，藉由執行控制器 40 所讀出的程式碼，不

僅會實現上述之實施形態的功能，亦包含有根據該程式碼的指示，而讓 CPU 上運作之 OS（作業系統）等進行實際處理的一部分或全部，並藉由該處理來實現上述之實施形態之功能的情況。

[0081] 而且，亦包含有從記憶媒體讀出的程式碼在被寫入至記憶體（該記憶體，係設置於被插入至控制器 40 的功能擴充卡或連接於控制器 40 的功能擴充單元）後，根據該程式的指示，讓設置於該功能擴充卡或功能擴充單元的 CPU 等進行實際處理的一部分或全部，並藉由該處理來實現上述之實施形態之功能的情況。

[0082] 上述程式碼的形態，係亦可由目標碼、藉由解譯器所執行的程式碼、供給至 OS 之描述資料等的形態所構成。

【符號說明】

[0083]

11：基板

13，57，63，64：閘極絕緣膜

14：通道

15：氧化物半導體層

21，43，46：TFT

22，44，45，47，51，52：蝕刻停止膜

23，41，42，59：鈍化膜

24：電漿 CVD 成膜裝置

I666707

發明摘要

※申請案號：104132175

※申請日：104年09月30日

※IPC分類：

H01L 21/336 (2006.01)

H01L 29/786 (2006.01)

H01L 21/316 (2006.01)

H01L 21/318 (2006.01)

【發明名稱】(中文/英文)

電子元件、其製造方法及其製造裝置

【中文】

〔課題〕提供可防止性能之下降的電子元件。

〔解決手段〕TFT(21)，係具備有：通道(14)，由IGZO膜所構成；蝕刻停止膜(22)，鄰接於該通道(14)；及鈍化膜(23)，夾著該蝕刻停止膜(22)，與通道(14)相對向，鈍化膜(23)，係由含氟氮化矽膜所構成，蝕刻停止膜(22)及通道(14)的邊界之氟原子的濃度，係高於除了通道(14)之邊界以外的部分之氟原子的濃度，且除了蝕刻停止膜(22)之上述邊界以外的部分之氟原子的濃度分布，係具有朝向上述邊界而下降的濃度梯度。

【英文】

【代表圖】

【本案指定代表圖】：第(6)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

圖 1

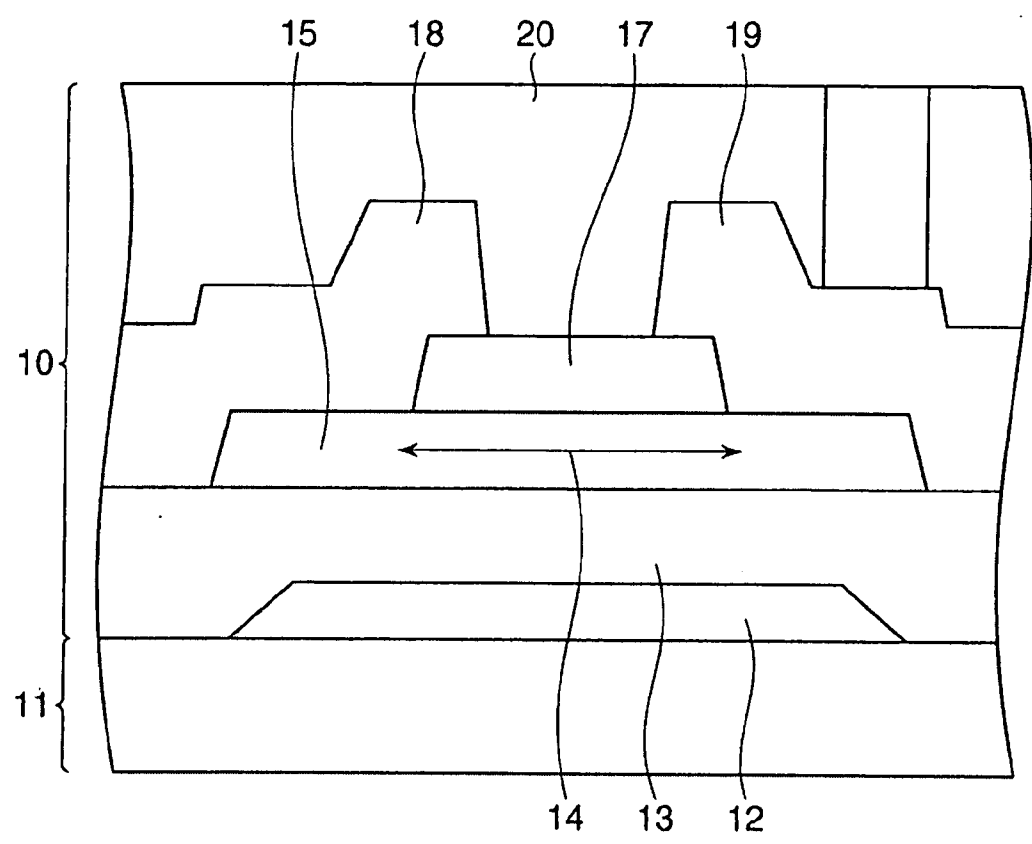


圖 2

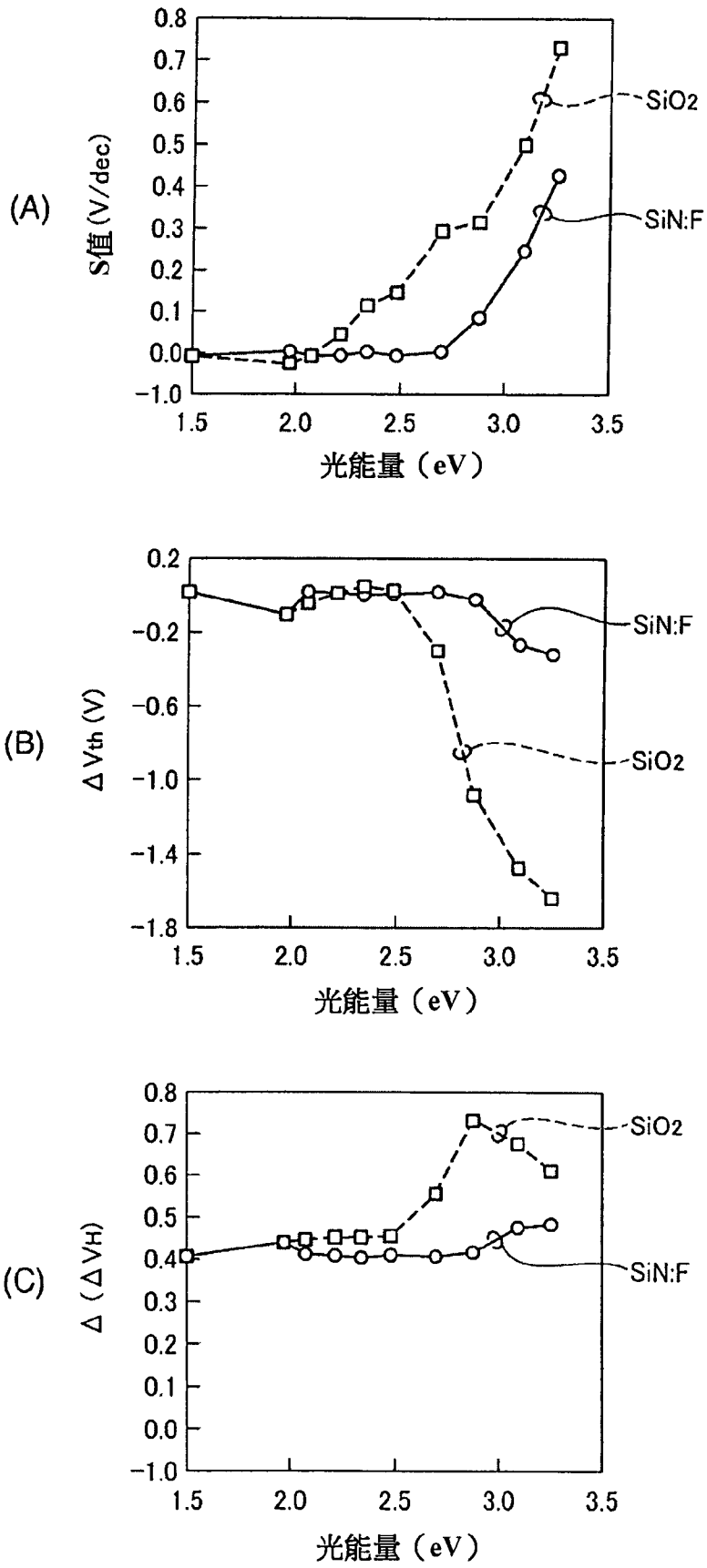


圖 3

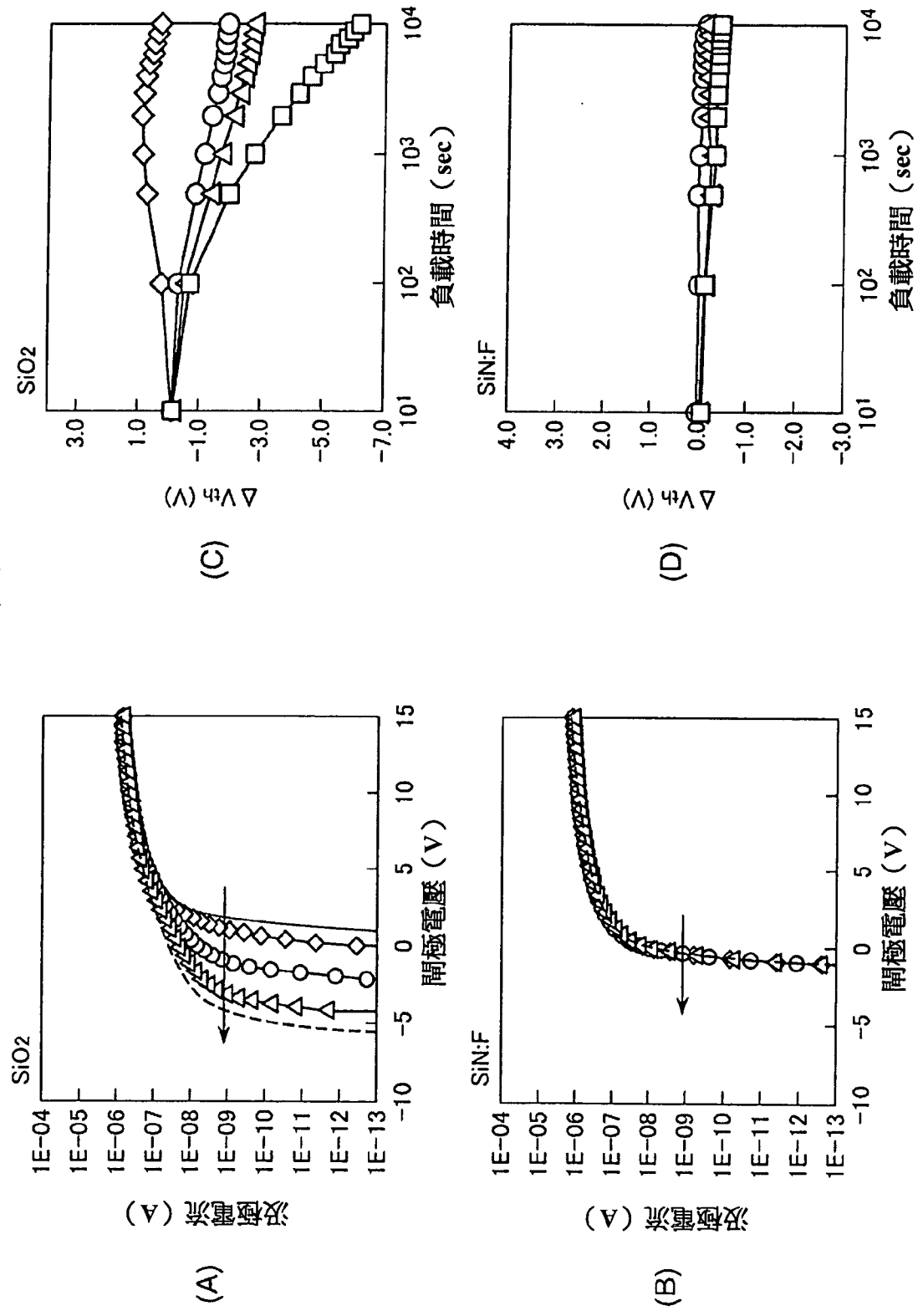


圖 4

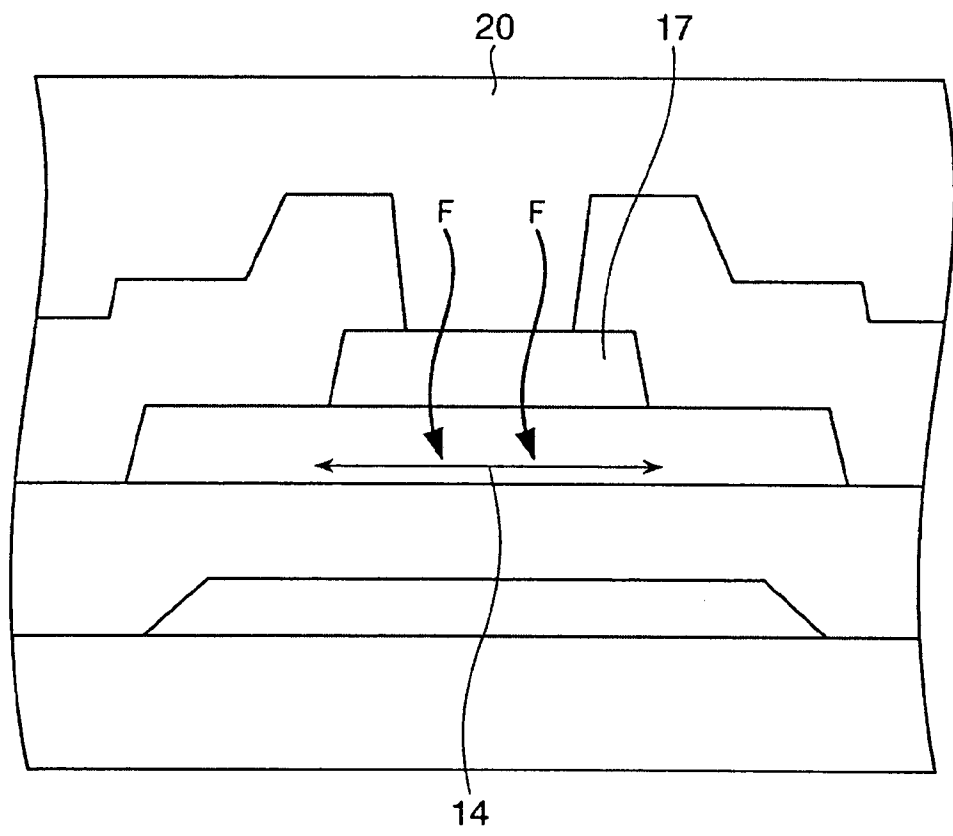


圖 5



圖 6

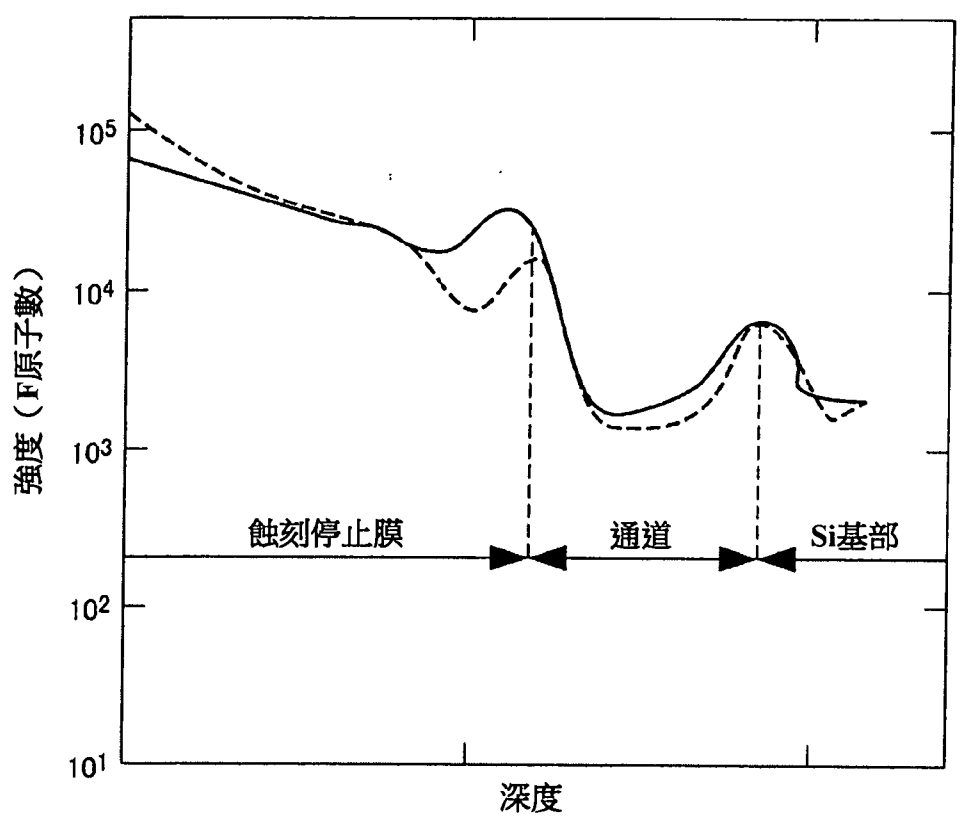


圖 7

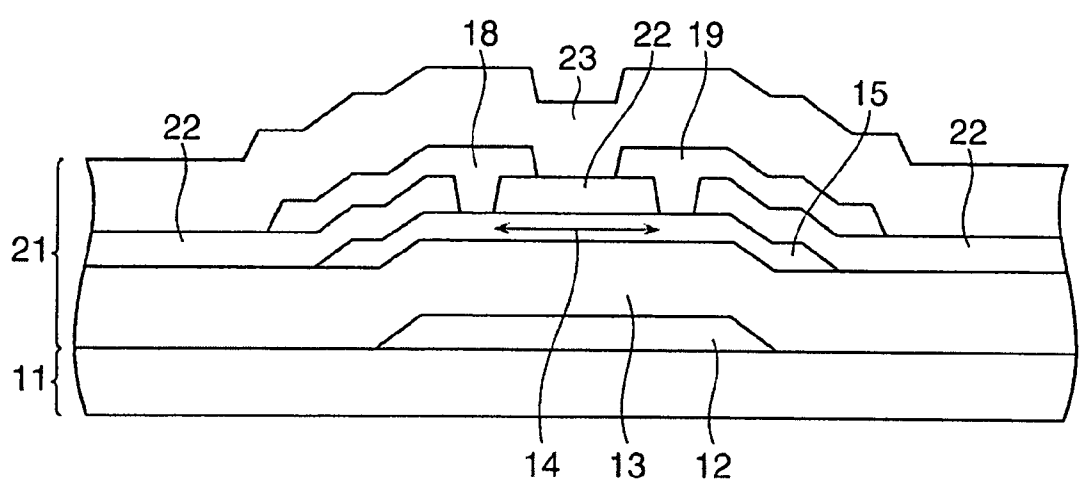


圖 8

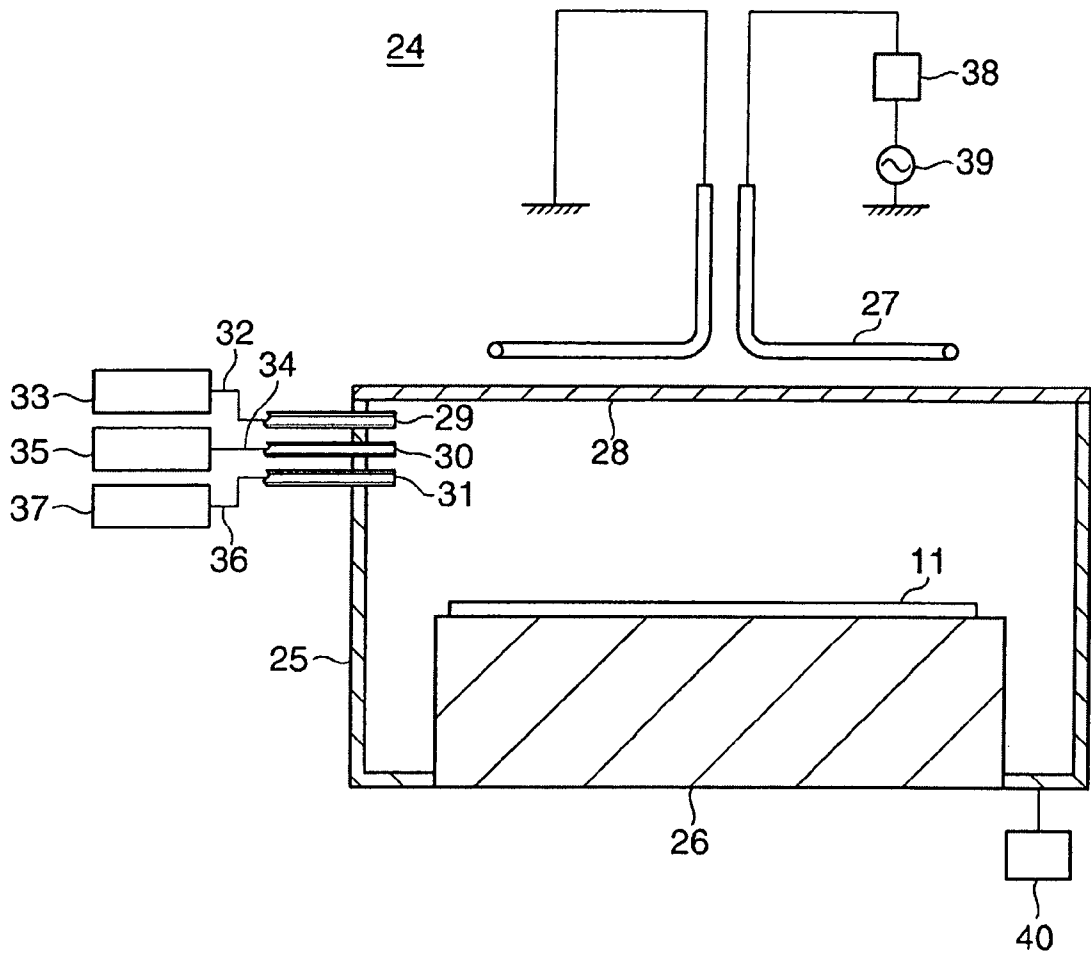


圖 9

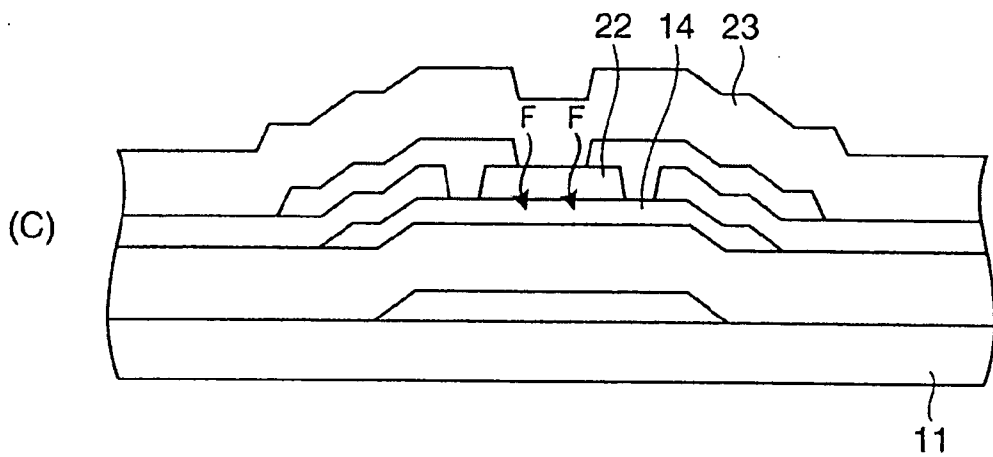
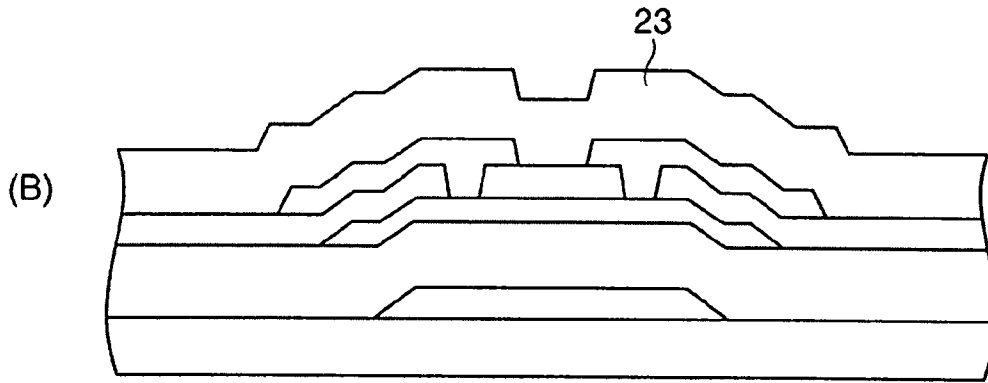
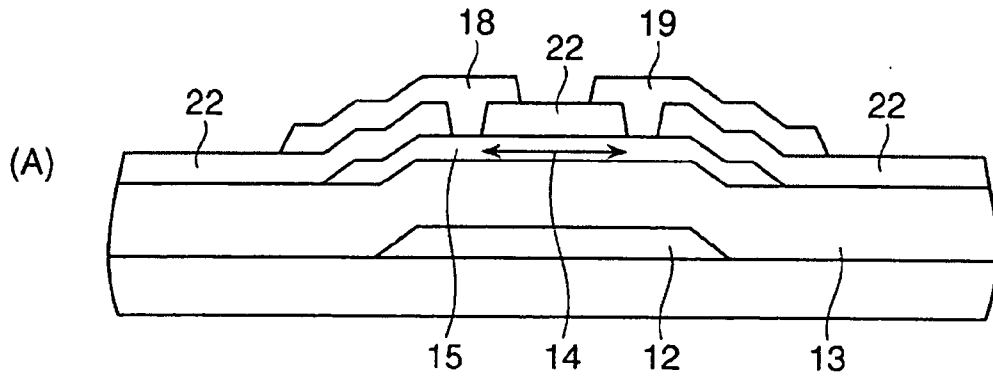


圖 10

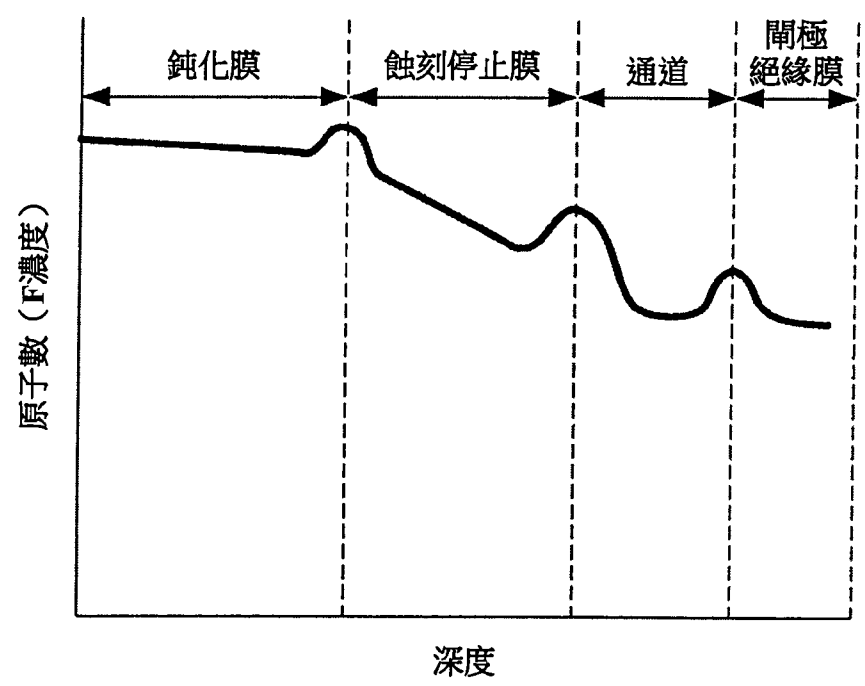


圖 11

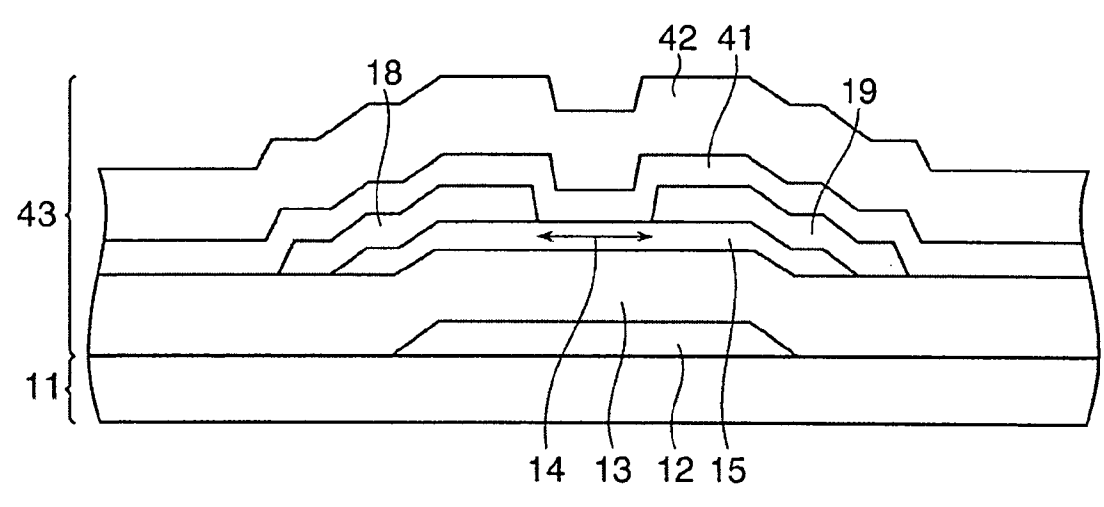


圖 12

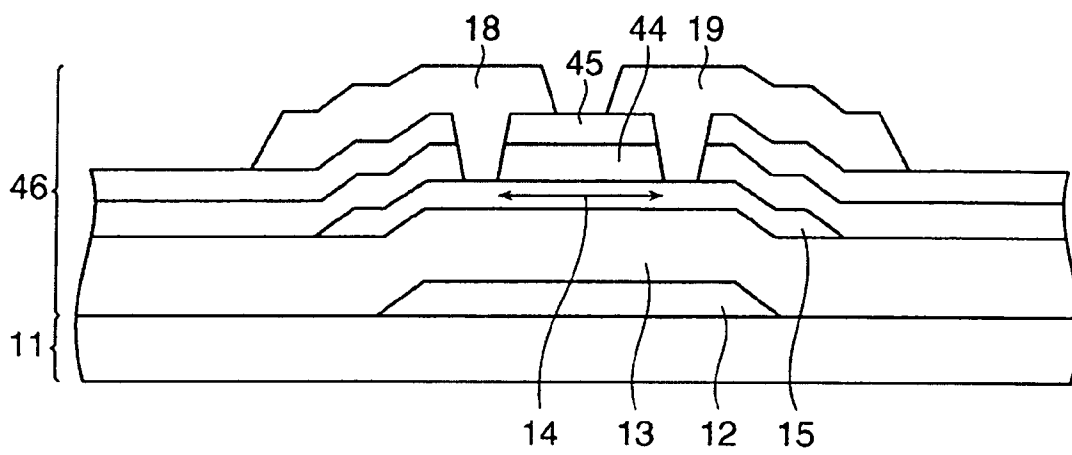


圖 13

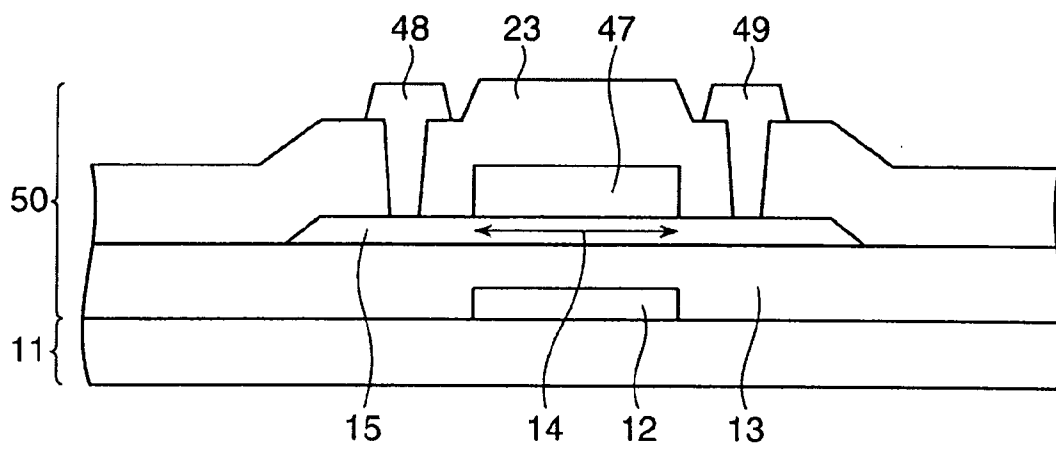


圖 14

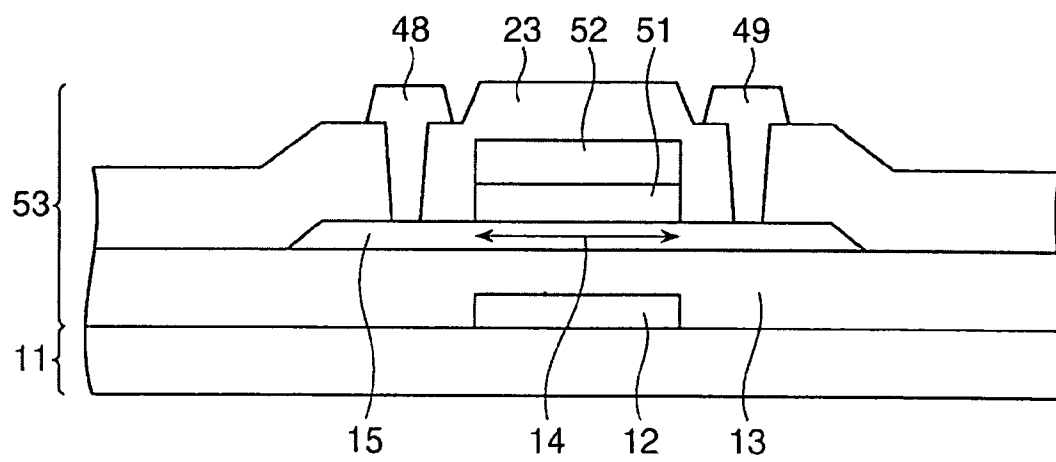


圖 15

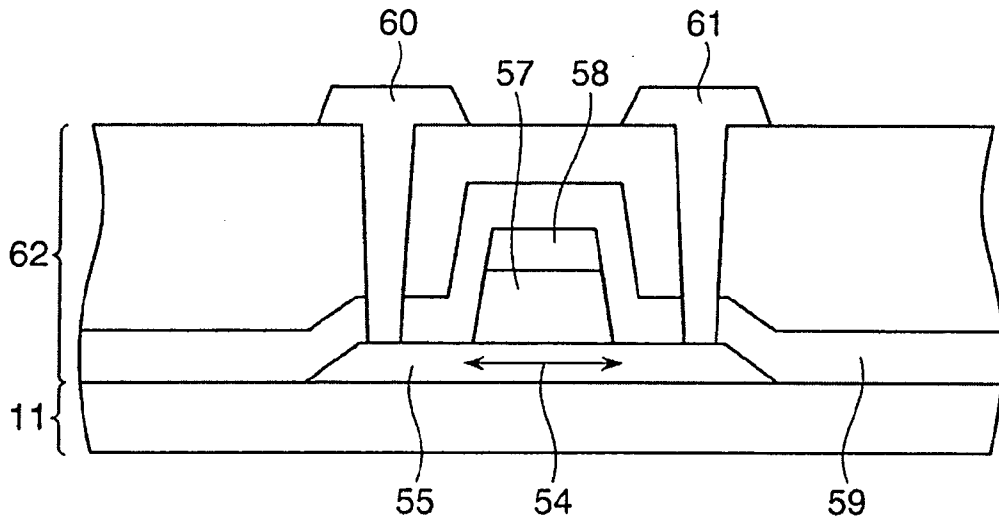
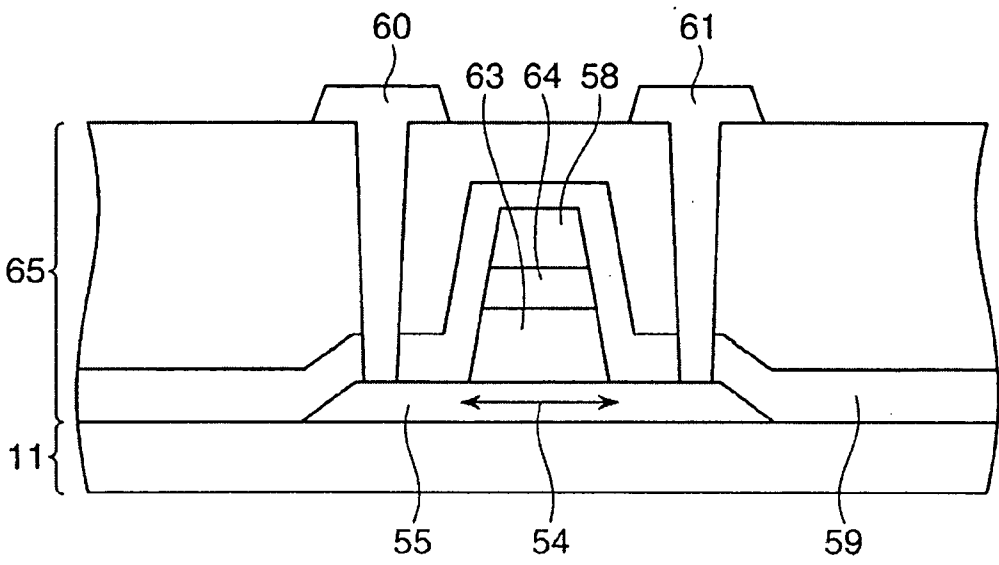


圖 16



申請專利範圍

1. 一種電子元件，係具備有金屬氧化物膜、第 1 膜及第 2 膜，該金屬氧化物膜，係形成氧化物半導體，該第 1 膜，係鄰接於該金屬氧化物膜，該第 2 膜，係夾著該第 1 膜，與前述金屬氧化物膜相對向，該電子元件，其特徵係，

前述第 2 膜，係由含氟膜所構成，

前述第 1 膜及前述金屬氧化物膜的邊界之氟原子的濃度，係高於除了前述金屬氧化物膜之前述邊界以外的部分之氟原子的濃度，且低於前述第 2 膜之氟原子濃度，至少除了前述第 1 膜之前述邊界以外的部分之氟原子的濃度分布，係具有朝向前述邊界而下降的濃度梯度。

2. 如申請專利範圍第 1 項之電子元件，其中，

前述含氟膜之前述氟原子的濃度，係高於除了前述金屬氧化物膜之前述邊界以外的部分之前述氟原子的濃度。

3. 如申請專利範圍第 1 或 2 項之電子元件，其中，

前述含氟膜，係含氟氮化矽膜（ SiN:F ）膜、含氟氧化矽（ SiO:F ）膜及含氟氮化氧矽（ SiON:F ）膜之任一。

4. 如申請專利範圍第 1 或 2 項之電子元件，其中，

前述第 1 膜，係蝕刻停止膜，前述第 2 膜，係鈍化膜。

5. 如申請專利範圍第 1 或 2 項之電子元件，其中，

前述金屬氧化物膜，係至少含有氧化鋅或 IGO 作為

構成元素。

6. 一種電子元件之製造方法，係具備有金屬氧化物膜、第 1 膜及第 2 膜，該金屬氧化物膜，係形成氧化物半導體，該第 1 膜，係鄰接於該金屬氧化物膜，該第 2 膜，係夾著該第 1 膜，與前述金屬氧化物膜相對向，該電子元件之製造方法，其特徵係，

由含氟膜構成前述第 2 膜，使氟原子從該含氟膜向前述金屬氧化物膜擴散，

前述第 1 膜及前述金屬氧化物膜的邊界之前述氟原子的濃度高於除了前述金屬氧化物膜之前述邊界以外的部分之前述氟原子的濃度，且低於前述第 2 膜之氟原子濃度。

7. 一種電子元件之製造方法，係具備有金屬氧化物膜及含氟膜，該金屬氧化物膜，係形成氧化物半導體，該含氟膜，係夾著其他膜鄰接於該金屬氧化物膜，該電子元件之製造方法，其特徵係，

在前述金屬氧化物膜，係形成有通道，前述其他膜及前述含氟膜，係絕緣膜，

藉由使用了氟化物之氣體與包含有氧原子及氮原子的至少一個之氣體的 CVD (Chemical Vapor Deposition)，形成前述含氟膜，

使氟原子從前述含氟膜向前述金屬氧化物膜擴散，藉此，前述其他膜之前述金屬氧化物膜之前述邊界以外的部分之氟原子的濃度分布，係具有朝向前述邊界下降後再次朝向前述邊界，增加至低於前述含氟膜之濃度的濃度梯

度。

8. 如申請專利範圍第 7 項之電子元件之製造方法，其中，

用於前述 CVD 之任一的氣體亦不包含氫原子。

9. 如申請專利範圍第 7 或 8 項之電子元件之製造方法，其中，

前述 CVD，係藉由使用 ICP (Inductively Coupled Plasma) 或微波電漿的電漿處理裝置來執行。

10. 如申請專利範圍第 7 或 8 項之電子元件之製造方法，其中，

前述含氟膜，係由含氟氮化矽 (SiN:F) 膜所構成，在前述 CVD 所使用的氣體，係包含有四氟化矽 (SiF₄) 氣體及氮氣 (N₂)。

11. 如申請專利範圍第 7 或 8 項之電子元件之製造方法，其中，

前述含氟膜，係由含氟氧化矽 (SiO:F) 膜所構成，在前述 CVD 所使用的氣體，係包含有四氟化矽氣體和氧氣 (O₂) 及氧化亞氮 (N₂O) 氣體的至少一方。

12. 如申請專利範圍第 7 或 8 項之電子元件之製造方法，其中，

前述含氟膜，係由含氟氮化氧矽 (SiON:F) 膜所構成，在前述 CVD 所使用的氣體，係包含有四氟化矽氣體、氮氣和氧氣及氧化亞氮氣體的至少一方。

13. 一種電子元件之製造裝置，係具備有金屬氧化物

膜及含氟膜，該金屬氧化物膜，係形成氧化物半導體，該含氟膜，係夾著其他膜鄰接於該金屬氧化物膜，該電子元件之製造裝置，其特徵係，

在前述金屬氧化物膜，係形成有通道，前述其他膜及前述含氟膜，係絕緣膜，

藉由使用了氟化物之氣體與包含有氧原子及氮原子的至少一個之氣體的 CVD，形成前述含氟膜，

使氟原子從前述含氟膜擴散，藉此，前述其他膜之氟原子的濃度分布，係「具有在前述其他膜之前述金屬氧化物膜之邊界以外的部分，朝向前述邊界下降且在前述邊界增加的濃度梯度」，在前述邊界增加之氟原子的濃度，係低於前述含氟膜之氟原子的濃度。

14. 如申請專利範圍第 13 項之電子元件之製造裝置，其中，

前述元件之製造裝置，係藉由使用 ICP 或微波電漿的電漿處理裝置來執行。