



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I550622 B

(45)公告日：中華民國 105 (2016) 年 09 月 21 日

(21)申請案號：102121767

(22)申請日：中華民國 102 (2013) 年 06 月 19 日

(51)Int. Cl.：

G11C19/30 (2006.01)

G09G5/00 (2006.01)

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：黃昱榮 HUANG, YU JUNG (TW)；雷鎮遠 LEI, CHEN YUAN (TW)；林廷政 LIN, TING CHENG (TW)；蔡孟杰 TSAI, MENG CHIEH (TW)

(74)代理人：郭肯華

(56)參考文獻：

TW 201203861A

CN 101620334A

CN 102819998A

CN 102831860A

CN 102867478A

US 2012/0075275A1

審查人員：方玟蓁

申請專利範圍項數：7 項 圖式數：8 共 25 頁

(54)名稱

顯示裝置的控制方法以及適用該方法之移位暫存器模組

DISPLAY DEVICE CONTROL METHOD AND A SHIFT REGISTER MODULE ADAPTED THE METHOD

(57)摘要

一種移位暫存器模組，包括：一第一移位暫存器，一第二移位暫存器、一第三移位暫存器和一第四移位暫存器。該第一移位暫存器接收一第一輸入訊號，以產生一第一驅動訊號；該第二移位暫存器則接收獨立於第一輸入訊號的第二輸入訊號並產生一第二驅動訊號；該第三移位暫存器接收獨立於該第一輸入訊號與該第二輸入訊號之一第三輸入訊號，並產生一第三驅動訊號；該第四移位暫存器接收獨立於該第一輸入訊號、該第二輸入訊號和該第三輸入訊號之一第四輸入訊號，並輸出一第四驅動訊號。此外，對應於上述移位暫存器模組之控制方法亦被提出。

A shift register module has a first shift register, a second shift register, a third shift register and a fourth shift register. The first shift register receives a first input signal for generating a first driving signal. The second shift register receives a second input signal, which is independent from the first input signal, for generating a second driving signal. The third shift register receives a third input signal, which is independent from the first input signal and the second input signal, for generating a third driving signal. The fourth shift register receives a fourth input signal, which is independent from the first input signal and the second input signal and the third input signal, for generating a fourth driving signal. In addition, a corresponding control method is also provided.

指定代表圖：

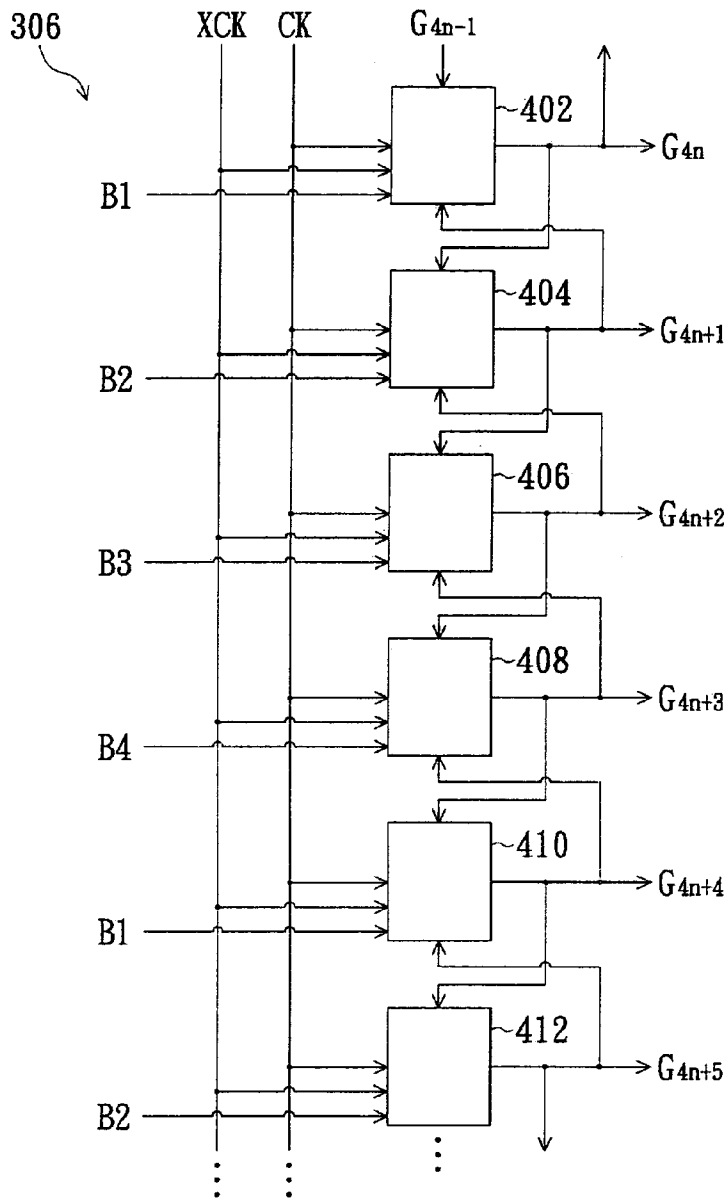


圖4

符號簡單說明：

306 . . . 閘極驅動模  
組

402、404、406、  
408、410、

412 . . . 移位暫存器

B1、B2、B3、

B4 . . . 輸入訊號

CK、XCK . . . 時  
脈訊號

$G_{4n}$ 、 $G_{4n+1}$ 、 $G_{4n+2}$ 、

$G_{4n+3}$ 、 $G_{4n+4}$ 、 $G_{4n$

+5 . . . 閘極驅動訊  
號



申請日： 23日修正替換頁

IPC分類：

## 發明摘要

※ 申請案號：102121767

※ 申請日：102.6.19

※IPC 分類： G11C 19/30 (2006.01)  
G09G 5/00 (2006.01)

【發明名稱】顯示裝置的控制方法以及適用該方法之移位暫存器模組 / DISPLAY DEVICE CONTROL METHOD AND A SHIFT REGISTER MODULE ADAPTED THE METHOD

## ●【中文】

一種移位暫存器模組，包括：一第一移位暫存器，一第二移位暫存器、一第三移位暫存器和一第四移位暫存器。該第一移位暫存器接收一第一輸入訊號，以產生一第一驅動訊號；該第二移位暫存器則接收獨立於第一輸入訊號的第二輸入訊號並產生一第二驅動訊號；該第三移位暫存器接收獨立於該第一輸入訊號與該第二輸入訊號之一第三輸入訊號，並產生一第三驅動訊號；該第四移位暫存器接收獨立於該第一輸入訊號、該第二輸入訊號和該第三輸入訊號之一第四輸入訊號，並輸出一第四驅動訊號。此外，對應於上述移位暫存器模組之控制方法亦被提出。

## ●【英文】

A shift register module has a first shift register, a second shift register, a third shift register and a fourth shift register. The first shift register receives a first input signal for generating a first driving signal. The second shift register receives a second input signal, which is independent from the first input signal, for generating a second driving signal. The third shift register receives a third

input signal, which is independent from the first input signal and the second input signal, for generating a third driving signal. The fourth shift register receives a fourth input signal, which is independent from the first input signal and the second input signal and the third input signal, for generating a fourth driving signal. In addition, a corresponding control method is also provided.

**【代表圖】**

**【本案指定代表圖】**：第（ 4 ）圖。

**【本代表圖之符號簡單說明】**：

306：閘極驅動模組

402、404、406、408、410、412：移位暫存器

B1、B2、B3、B4：輸入訊號

CK、XCK：時脈訊號

$G_{4n}$ 、 $G_{4n+1}$ 、 $G_{4n+2}$ 、 $G_{4n+3}$ 、 $G_{4n+4}$ 、 $G_{4n+5}$ ：閘極驅動訊號

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 顯示裝置的控制方法以及適用該方法之移位暫存器模組 / DISPLAY DEVICE CONTROL METHOD AND A SHIFT REGISTER MODULE ADAPTED THE METHOD

## 【技術領域】

**【0001】** 本發明是有關於一種移位暫存器的電路，尤其是有關於一種用於顯示裝置之移位暫存器的電路。

## 【先前技術】

**【0002】** 圖 1 繪示為習知之閘極驅動模組的方塊圖。請參照圖 1，習知的閘極驅動模組 100 可以適用於一顯示裝置，其包括多個移位暫存器，例如 102、104、106 和 108。此外，在圖 1 中，標示  $V_{st}$  表示為起始訊號、標示 CK 和 XCK 皆表示為時脈訊號、標示  $Bi_1$  和  $Bi_2$  皆表示為輸入訊號，而標示  $G_{n-1}$ 、 $G_n$ 、 $G_{n+1}$  和  $G_{n+2}$  皆表示為閘極驅動訊號。另外，每一移位暫存器皆具有三個電晶體，分別以 M1、M2 與 M3 來標示。以移位暫存器 102 的操作為例，其電晶體 M1 與 M2 的閘極端係分別接收起始訊號  $V_{st}$  與閘極驅動訊號  $G_n$ ，並據以決定是否將輸入訊號  $Bi_1$  傳送至電晶體 M3 的閘極端，以對電晶體 M3 的閘極端進行充電。而移位暫存器 102 中之電晶體 M3 則依據其閘極端的電壓大小而決定是否將時脈訊號 CK 傳送至移位暫存器 102 的輸出端，以形成閘極驅動訊號  $G_{n-1}$ 。至於移位暫存器 104~108 的操作，本領域具有通常知識者當可依前述移位暫存器 102 的操作方式而推得，在此便不再贅述。

【0003】 從圖 1 所示的閘極驅動模組 100 可知，移位暫存器 102 和 104 係接收同一輸入訊號  $Bi_1$ ，而移位暫存器 106 和 108 則接收同一輸入訊號  $Bi_2$ 。意即，同一輸入訊號係提供至連續相鄰二級的移位暫存器。然而，這樣的作法會使得畫面出現明顯的橫紋，以圖 2 來說明之。圖 2 係繪示圖 1 之閘極驅動模組的主要訊號的時序圖。在圖 2 中，標示相同於圖 1 中之標示者係表示為相同訊號。此外，在圖 2 中，標示  $G_{n-1\_NODE1}$  係表示移位暫存器 102 中之電晶體 M3 的閘極端的電壓大小，而  $G_n\_NODE1$  係表示移位暫存器 104 中之電晶體 M3 的閘極端的電壓大小。由圖 2 可知，當移位暫存器 102 中之電晶體 M3 的閘極端被充電至高位準時（如標示  $G_{n-1\_NODE1}$  所示），移位暫存器 102 會對應產生並輸出閘極驅動訊號  $G_{n-1}$ ，而當移位暫存器 104 中之電晶體 M3 的閘極端被充電至高位準時（如標示  $G_n\_NODE1$  所示），移位暫存器 104 會對應產生並輸出閘極驅動訊號  $G_n$ 。當移位暫存器 102 與 104 中之電晶體 M3 的閘極端被充電至高位準時，對應的電晶體 M1 與 M2 便會被關閉，然而由於移位暫存器 102 中之電晶體 M3 的閘極端被充電至高位準時，輸入訊號  $Bi_1$  係呈現高位準，而移位暫存器 104 中之電晶體 M3 的閘極端被充電至高位準時，輸入訊號  $Bi_1$  係呈現低位準，因而造成自移位暫存器 104 中之電晶體 M3 的閘極端流向輸入訊號  $Bi_1$  的漏電流，會遠大於自移位暫存器 102 中之電晶體 M3 的閘極端流向輸入訊號  $Bi_1$  的漏電流。如此一來，就會造成閘極驅動訊號  $G_{n-1}$  與  $G_n$  這二者的脈衝會有不同位準下降時間，進而使得顯示裝置的畫面上產生明顯的橫紋。同樣地，移位暫存器 106 與 108 也會有相同的情形。

**【發明內容】**

**【0004】** 有鑑於此，本發明提供一種移位暫存器模組，可以應用於顯示裝置，以避免上述在顯示裝置上發生橫紋的情形。

**【0005】** 本發明也提供一種顯示裝置，可以避免上述在畫面上產生橫紋的情形。

**【0006】** 此外，本發明更提供一種顯示裝置的控制方法，可以避免上述在顯示裝置之畫面上的橫紋。

**【0007】** 本發明所提供的移位暫存器模組，包括第一移位暫存器、一第二移位暫存器、一第三移位暫存器和一第四移位暫存器，該四者分別具有開關電路、輸出電路和禁能電路。在第一移位暫存器中，開關電路會接收第一輸入訊號，並依據一起始訊號決定將第一輸入訊號輸出。輸出電路則是耦接開關電路，以接收從開關電路輸出的第一輸入訊號。當第一輸入訊號的位準被切換至一第一位準時，輸出電路會將第一時脈訊號從第一移位暫存器的輸出端輸出，以產生一第一驅動訊號。另外，禁能電路也會耦接開關電路，以依據開關電路之輸出端的狀態而決定禁能第一驅動訊號。第二移位暫存器的架構與第一移位暫存器的架構大致上相同。不同的是，第二移位暫存器中的開關電路會接收獨立於第一輸入訊號的第二輸入訊號，以使第二移位暫存器輸出第二驅動訊號。第三移位暫存器的架構與第一移位暫存器和第二移位暫存器的架構大致上相同。不同的是，第三移位暫存器中的開關電路會接收獨立於第一輸入訊號和第二輸入訊號的第三輸入訊號，以使第三移位暫存器輸出第三驅動訊號。第四移位暫存



器的架構與第一移位暫存器、第二移位暫存器和第三移位暫存器的架構大致上相同。不同的是，第四移位暫存器中的開關電路會接收獨立於第一輸入訊號、第二輸入訊號、第三輸入訊號的第四訊號，以使第四移位暫存器輸出第四驅動訊號。

【0008】 從另一觀點來看，本發明所提供的顯示裝置，包括基板、畫素陣列、第一移位暫存器、第二移位暫存器、第三移位暫存器和第四移位暫存器。畫素陣列形成在基板上，並且具有多個畫素列。同樣地，第一移位暫存器、第二移位暫存器、第三移位暫存器和第四移位暫存器也都形成在基板上。其中，第一移位暫存器依據對應的輸入訊號產生對應的閘極驅動訊號。第二移位暫存器依據對應的輸入訊號產生對應的閘極驅動訊號。第三移位暫存器依據對應的輸入訊號產生對應的閘極驅動訊號。而第四移位暫存器則依據對應的輸入訊號產生對應的閘極驅動訊號，其中第一、第二、第三與第四移位暫存器所接收的輸入訊號係各自獨立。

【0009】 從另一觀點來看，本發明所提供的顯示裝置的控制方法，包括產生多個各自獨立的輸入訊號給顯示裝置中的多個移位暫存器，以使各移位暫存器分別對應產生多個閘極驅動訊號到顯示裝置上的多個畫素列其中之一；以及當閘極驅動訊號其中之一被禁能時，則禁能對應的輸入訊號。

【0010】 本發明係提供多個互相獨立的輸入訊號給移位暫存器模組中的移位暫存器使用，因此只要將這些輸入訊號的時序進行適當的設計，便可使得每一移位暫存器在產生並輸出閘極驅動訊號時，每一移位暫存器所接收到的輸入訊號皆可呈現出高位準。如此一來，就可以避免顯示裝置之畫面上橫紋產生的情況。

**【圖式簡單說明】****【0011】**

圖 1 繪示為習知之閘極驅動模組的方塊圖。

圖 2 係繪示圖 1 之閘極驅動模組的主要訊號的時序圖。

圖 3 繪示為一種顯示裝置的架構圖。

圖 4 繪示為依照本發明之一較佳實施例的一種閘極驅動模組的方塊圖。

圖 5 繪示為依照本發明之一較佳實施例的一種第三移位暫存器的電路圖。

圖 6 繪示為依照本發明之一較佳實施例的一種第四移位暫存器的電路圖。

圖 7 繪示為圖 4 中之訊號的時序圖。

圖 8 繪示為依照本發明之一較佳實施例的一種顯示裝置之控制方法的步驟流程圖。

**【實施方式】**

**【0012】** 圖 3 繪示為一種顯示裝置的架構圖。請參照圖 3，本實施例所提供的顯示裝置 300，包括基板 302、畫素陣列 304 和閘極驅動模組 306。畫素陣列 304 配置於基板 302 上，具有多個畫素列 312，朝一預設方向依序排列。另外，閘極驅動模組 306 也是配置在基板 302 上，並且配置於畫素陣列 304 的一側。在本實施例中，顯示裝置 300 是採用單邊閘極驅動的架構，但是本發明並不以此為限。本領域的技術人員可以將本發明自行應用在雙邊閘極驅動之架構的顯示裝置上，並不影響本發明主要的精神。

【0013】 圖 4 繪示為依照本發明之一較佳實施例的一種閘極驅動模組的方塊圖，其繪示有一閘極驅動模組中連續六級的移位暫存器。請參照圖 4，其繪示有閘極驅動模組 306 中的第一移位暫存器 402、第二移位暫存器 404、第三移位暫存器 406、第四移位暫存器 408、第五移位暫存器 410 與第六移位暫存器 412，這六個移位暫存器用以分別產生閘極驅動訊號  $G_{4n}$ 、 $G_{4n+1}$ 、 $G_{4n+2}$ 、 $G_{4n+3}$ 、 $G_{4n+4}$  與  $G_{4n+5}$  給第  $4n$ 、 $4n+1$ 、 $4n+2$ 、 $4n+3$ 、 $4n+4$  與  $4n+5$  個畫素列。另外，每一移位暫存器 402、404、406、408、410 與 412 還分別接收前一級和後一級移位暫存器的輸出。特別的是，各移位暫存器接收的輸入訊號 B1、B2、B3 和 B4 彼此互相獨立。

【0014】 圖 5 繪示為依照本發明之一較佳實施例的一種第三移位暫存器的電路圖。圖 5 所示即為圖 4 中的第三移位暫存器 406 的電路架構，本領域具有通常知識者在了解第三移位暫存器 406 的操作方式後，當可自行應用至其它級的移位暫存器，由於其它級的移位暫存器的電路架構與操作方式皆與第三移位暫存器 406 的電路架構與操作方式類似，為了簡潔起見，在此以第三移位暫存器 406 為例說明，熟習此項技藝人士當能藉此得知其他級的移位暫存器的操作方式。請合併參照圖 4 和圖 5，第三移位暫存器 406 具有開關電路 502、輸出電路 504 和禁能電路 506。

【0015】 開關電路 502 具有開關 512 和 514。在本實施例中，開關 512 和 514 是利用 NMOS 電晶體來實現，然而本領域的技術人員可以依照實際情況而替換為 PMOS 電晶體，並不影響本發明的精神。

【0016】 在本實施例中，開關 512 和 514(以下以電晶體

512 和 514 表示)的第一源/汲極端共同耦接對應的輸入訊號 B3。其中，電晶體 512 的閘極端耦接前一級移位暫存器所輸出的閘極驅動訊號  $G_{4n+1}$  當作一起始訊號，而電晶體 514 的閘極端則是耦接後一級移位暫存器所輸出的閘極驅動訊號  $G_{4n+3}$  當作另一起始訊號。另外，電晶體 512 和 514 的第二源/汲極端耦接節點 N1。

**【0017】** 輸出電路 504 包括電晶體 522，例如是 NMOS 電晶體，其第一源/汲極端耦接時脈訊號 CK，其第二源/汲極端耦接第三移位暫存器 406 的輸出端，而其閘極端則耦接節點 N1，並且透過電容 524 與第三移位暫存器 406 的輸出端互相耦接。

**【0018】** 禁能電路 506 則包括電晶體 532、534、536 和 538(例如是 NMOS 電晶體) 與電容 540。電晶體 532、534、536 和 538 的第一源/汲極端耦接低電壓  $V_{gl}$ 。其中，電晶體 532 的閘極端耦接節點 N1，其第二源/汲極端透過電容 540 耦接時脈訊號 CK。另外，電晶體 534 和 536 的閘極端共同耦接至電晶體 532 的第二源/汲極端，而二者的第二源/汲極端分別耦接至節點 N1 以及第三移位暫存器 406 的輸出端。電晶體 538 的第二源/汲極端也耦接第三移位暫存器 406 的輸出端，而閘極端則耦接至時脈訊號 XCK。

**【0019】** 圖 6 繪示為依照本發明之一較佳實施例的一種第四移位暫存器的電路圖。圖 6 所示即為圖 4 中的第四移位暫存器 408 的電路架構，本領域的技術人員在了解第四移位暫存器 408 的操作方式後，當可自行推得其它級的移位暫存器的架構。請合併參照圖 4 和圖 6，同樣地，第四移位暫存器 408 也包括開關電路 602、輸出電路 604 和禁能電路 606。

【0020】 開關電路 602 也包括開關 612 和 614，其耦接關係可以對等於圖 5 中的開關 512 和 514。另外，輸出電路 604 也包括電晶體 622 和電容 624，其耦接關係可以對等於圖 5 中的電晶體 522 和電容 524。不同的是，電晶體 622 的第一源/汲極端是耦接時脈訊號 XCK。

【0021】 禁能電路 606 也包括電晶體 632、634、636 和 638(例如是 NMOS 電晶體)與電容 640，其連接關係可以對等於圖 5 中的電晶體 532、534、536、538 與電容 540，在此不再贅述。不同的是，電晶體 632 的第一源/汲極端是透過電容 640 耦接至時脈訊號 XCK，並且電晶體 638 的閘極端則是耦接時脈訊號 CK。

【0022】 圖 7 繪示為圖 4 中之訊號的時序圖，其中時脈訊號 CK 和 XCK 彼此反相。請合併參照圖 4、圖 5 和圖 7。在  $7t_1$  時，時脈訊號 CK 和 XCK 分別被設置在低位準和高位準。另外，輸入訊號 B3 被設置在高位準。此時，前一級的閘極驅動訊號  $G_{4n+1}$  為高位準，因此，電晶體 512 會被導通，而將高位準的輸入訊號 B3 傳送到第三移位暫存器 406 的節點 N1。因此，電晶體 522 和 532 都會被導通。由於電晶體 532 被導通，因此低電壓  $V_{gl}$  就會被傳送到電晶體 534 和 536 的閘極端，而將其關閉。另一方面，電晶體 538 會因為時脈訊號 XCK 為高位準而被導通，進而將第三移位暫存器 406 的輸出端下拉至低位準。

【0023】 接著，在  $7t_2$  時，前一級的閘極驅動訊號  $G_{4n+1}$  以及時脈訊號 XCK 都被下拉到低位準，而時脈訊號 CK 則上拉至高位準。因此，電晶體 512 和 538 都會被關閉，而電晶體 522 和 532 則持續導通。由於時脈訊號 CK 已經被上拉至高

位準，因此第三移位暫存器 406 在  $7t_2$  時會輸出具有高位準的閘極驅動訊號  $G_{4n+2}$ 。在  $7t_3$  時，時脈訊號 CK 又被下拉至低位準，而時脈訊號 XCK 則被上拉至高位準，因此閘極驅動訊號  $G_{4n+2}$  就被下拉到低位準。此時，輸入訊號 B3 會被下拉至低位準。請再參照圖 4、圖 6 和圖 7，本領域的技術人員當可按照以上的敘述，推得第四移位暫存器 408 的操作方式，因此不再贅述。

【0024】 由圖 7 所示的時序可知，當每一奇數級的移位暫存器中的電晶體 522 的閘極端被充電至高位準而據以產生並輸出對應的閘極驅動訊號時，其所對應接收的輸入訊號皆呈現高位準，而當每一偶數級的移位暫存器中的電晶體 622 的閘極端被充電至高位準而據以產生並輸出對應的閘極驅動訊號時，其所對應接收的輸入訊號亦皆呈現高位準。這表示，自任一奇數級的移位暫存器中的電晶體 522 的閘極端流向對應輸入訊號的漏電流，會等於自任一偶數級的移位暫存器中的電晶體 622 的閘極端流向對應輸入訊號的漏電流。如此一來，就可以避免顯示裝置的畫面上出現橫紋的情形。

【0025】 值得一提的是，為了確保每一移位暫存器在產生並輸出閘極驅動訊號時，其所接收的對應輸入訊號皆呈現高位準，因此每一閘極驅動訊號的下降緣可以是被設定在對應輸入訊號的下降緣之前。以圖 7 所示訊號為例，閘極驅動訊號  $G_{4n+2}$  的下降緣可以是被設定在輸入訊號 B3 的下降緣之前，使得閘極驅動訊號  $G_{4n+2}$  的下降緣與輸入訊號 B3 的下降緣之間具有一第一時間差。同樣地，閘極驅動訊號  $G_{4n+3}$  的下降緣也可以是被設定在輸入訊號 B4 的下降緣之前，使得閘極驅動訊號  $G_{4n+3}$  的下降緣與輸入訊號 B4 的下降緣之

間具有一第二時間差。在本實施例中，此第二時間差與上述的第一時間差大致上相等。在較佳的情況中，上述的第一時間差和第二時間差可以等於 0。同樣地，在其他的閘極驅動訊號與其對應的輸入訊號之間也可採用相同的做法。

【0026】 由於在以上的實施例中，是揭示由上到下的掃描順序，可以稱為正掃描模式。在正掃描模式中，對應於各級的輸入訊號的上升緣是對齊前一級閘極驅動訊號的上升緣。當然，本領域的技術人員也可以將本發明應用在反掃描模式下，也就是由下到上的掃描順序。在反掃描模式下，對應於各級的輸入訊號的上升緣是對齊下一級閘極驅動訊號的上升緣。

【0027】 圖 8 繪示為依照本發明之一較佳實施例的一種顯示裝置之控制方法的步驟流程圖。請參照圖 8，本實施例的所提供的控制方法如步驟 S802 所述，先產生多個各自獨立的輸入訊號給顯示裝置中的多個移位暫存器，以使各級移位暫存器可以分別產生對應的閘極驅動訊號給顯示裝置的多個畫素列。接著，如步驟 S804 所述，當閘極驅動訊號其中之一被禁能時，則關閉對應的輸入訊號。當然，在此控制方法中，更可包括使每一輸入訊號的禁能時間落後於對應之閘極驅動訊號的禁能時間，而產生一禁能時間差；以及將各閘極驅動訊號與對應之輸入訊號之間的禁能時間差調整為相同。

### 【符號說明】

#### 【0028】

100、306：閘極驅動模組

102、104、106、108、402、404、406、408、410、412：

## 移位暫存器

300：顯示裝置

302：基板

304：畫素陣列

312：畫素列

502、602：開關電路

504、604：輸出電路

506、606：禁能電路

512、514、612、614：開關

522、532、534、536、538、622、632、634、636、638、

M1、M2、M3：電晶體

524、540、624、640：電容

Bi1、Bi2、B1、B2、B3、B4：輸入訊號

CK、XCK：時脈訊號

 $G_{n-1}$ 、 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $G_{4n-1}$ 、 $G_{4n}$ 、 $G_{4n+1}$ 、 $G_{4n+2}$ 、 $G_{4n+3}$ 、 $G_{4n+4}$ 、 $G_{4n+5}$ ：閘極驅動訊號

Vst：起始訊號

S802、S804：顯示裝置之控制方法的步驟流程

2t1、2t2、7t1、7t2、7t3：時間點

 $G_{n-1\_NODE1}$ 、 $G_n\_NODE1$ ：電晶體 M3 的閘極端的電壓

大小

N1：節點

Vgl：低電壓



## 申請專利範圍

1. 一種移位暫存器模組，包括：

一第一移位暫存器，具有：

一第一開關電路，接收一第一輸入訊號，並依據一起始訊號決定將該第一輸入訊號輸出；

一第一輸出電路，耦接該第一開關電路，以接收該第一輸入訊號，當該第一輸入訊號的位準被切換至一第一位準時，該第一輸出電路將一第一時脈訊號從該第一移位暫存器的輸出端輸出，以產生一第一驅動訊號；以及

一第一禁能電路，耦接該第一開關電路，以依據該第一開關電路之輸出端的狀態而決定禁能該第一驅動訊號；

一第二移位暫存器，具有：

一第二開關電路，接收獨立於該第一輸入訊號的一第二輸入訊號，並依據該第一驅動訊號而決定將該第二輸入訊號輸出；

一第二輸出電路，耦接該第二開關電路，以接收該第二輸入訊號，當該第一輸入訊號、該第一驅動訊號及該第二輸入訊號的位準為該第一位準時，則該第二輸出電路將一第二時脈訊號從該第二移位暫存器的輸出端輸出，以產生一第二驅動訊號，而該第二時脈訊號與該第一時脈訊號互為反相；以及

一第二禁能電路，耦接該第二開關電路，以依據該第二開關電路之輸出端的狀態而決定禁能該第二驅動訊號；

一第三移位暫存器，具有：

一第三開關電路，接收獨立於該第一輸入訊號與該第二輸入訊號之一第三輸入訊號，並依據該第二驅動訊號而

決定將該第三輸入訊號輸出；

一 第三輸出電路，耦接該第三開關電路，以接收該第三輸入訊號，當該第二輸入訊號、該第二驅動訊號及該第三輸入訊號的位準為該第一位準時，該第三輸出電路將該第一時脈訊號從該第三移位暫存器的輸出端輸出，以產生一第三驅動訊號；以及

一 第三禁能電路，耦接該第三開關電路，以依據該第三開關電路之輸出端的狀態而決定禁能該第三驅動訊號；以及

一 第四移位暫存器，具有：

一 第四開關電路，接收獨立於該第一輸入訊號、該第二輸入訊號與該第三輸入訊號之一第四輸入訊號，並依據該第三驅動訊號而決定將該第四輸入訊號輸出；

一 第四輸出電路，耦接該第四開關電路，以接收該第四輸入訊號，當該第三輸入訊號、該第三驅動訊號及該第四輸入訊號的位準為該第一位準時，則該第四輸出電路將該第二時脈訊號從該第四移位暫存器的輸出端輸出，以產生一第四驅動訊號；以及

一 第四禁能電路，耦接該第四開關電路，以依據該第四開關電路之輸出端的狀態而決定禁能該第四驅動訊號。

2. 如申請專利範圍第 1 項所述之移位暫存器模組，其中該第一驅動訊號的下降緣在該第一輸入訊號的下降緣之前，且二者具有一第一時間差，該第二驅動訊號的下降緣在該第二輸入訊號的下降緣之前，且二者具有一第二時間差，其中該第二時間差與該第一時間差大致上相等。

3. 如申請專利範圍第 2 項所述之移位暫存器模組，其中該第一時間差和該第二時間差實質上等於 0。

4. 一種顯示裝置的控制方法，而該顯示裝置具有多個畫素列依序排列，且該控制方法包括下列步驟：

產生多個各自獨立的輸入訊號給該顯示裝置中的多個移位暫存器，以使各該移位暫存器可以依據所接收到的時脈訊號產生多個閘極驅動訊號到每一該些畫素列，其中每一該移位暫存器在輸出各該閘極驅動訊號為高位準的期間，其本身以及下一級移位暫存器之各自獨立的輸入訊號皆為高位準；以及

當該些閘極驅動訊號其中之一被禁能時，則禁能對應之輸入訊號。

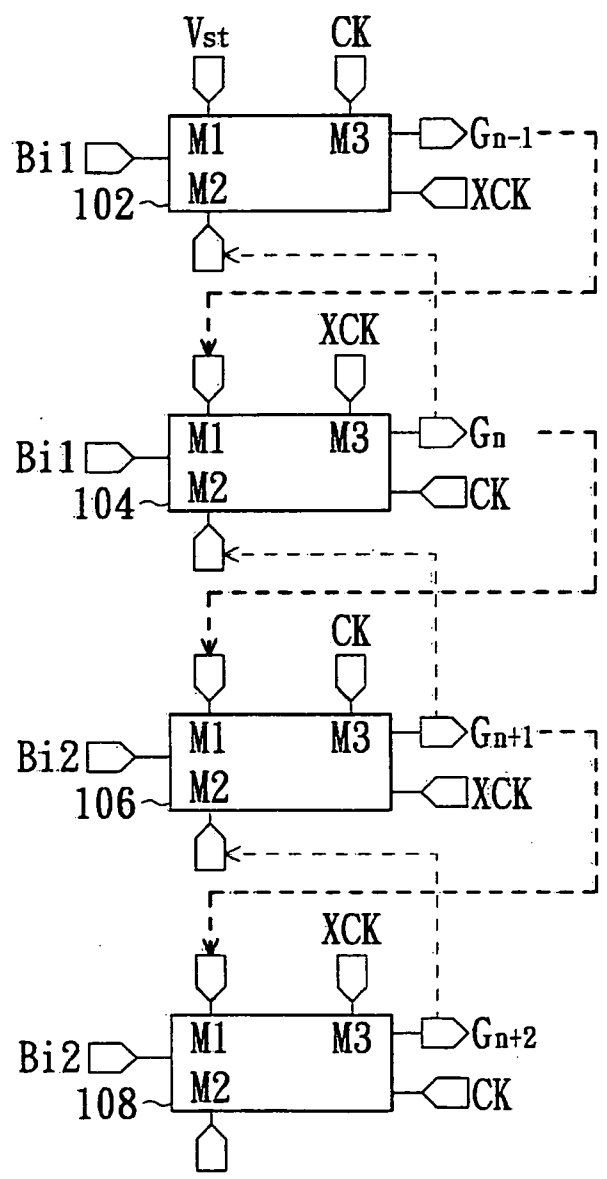
5. 如申請專利範圍第 4 項所述之控制方法，其更包括：使各該輸入訊號的禁能時間落後於對應之閘極驅動訊號的禁能時間，而具有一禁能時間差；以及

將每一該些閘極驅動訊號與對應之輸入訊號之間的禁能時間差調整為相同。

6. 如申請專利範圍第 4 項所述之控制方法，其中各該輸入訊號的上升緣分別對齊前一個閘極驅動訊號的上升緣。

7. 如申請專利範圍第 4 項所述之控制方法，其中各該輸入訊號的上升緣分別對齊下一個閘極驅動訊號的上升緣。

圖式



100

圖 1

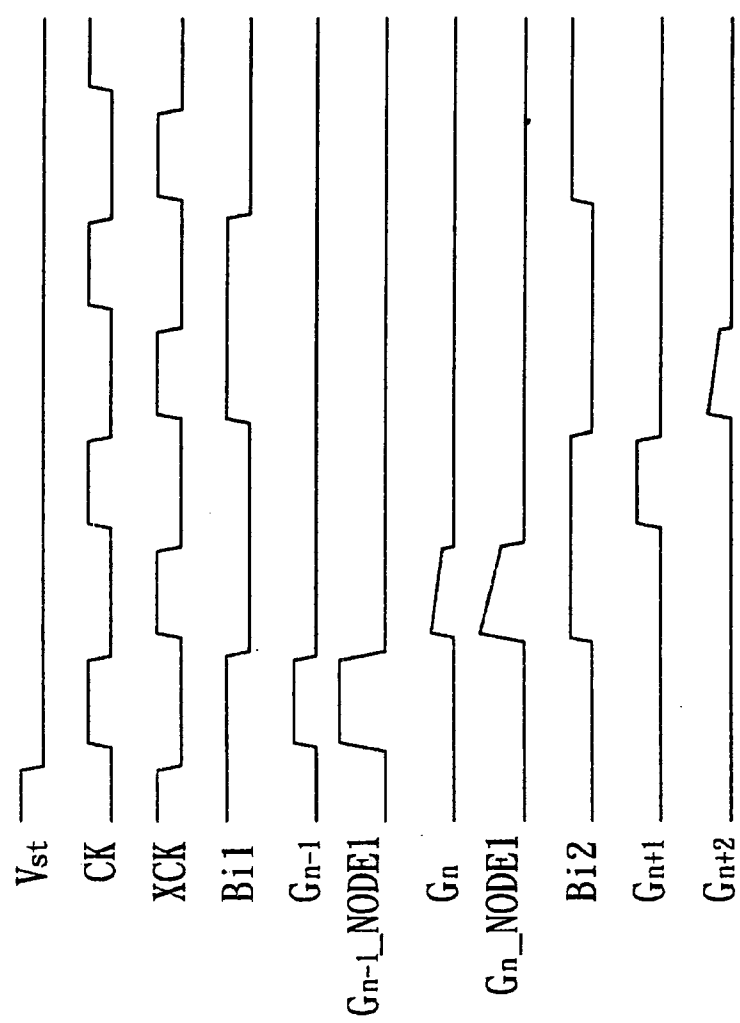


圖2

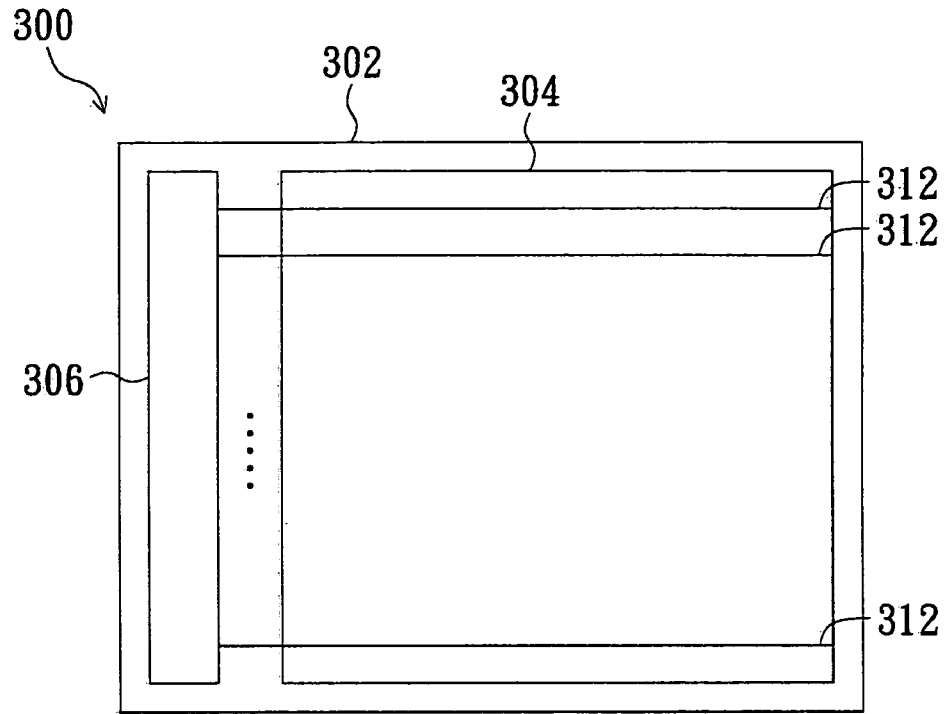


圖3

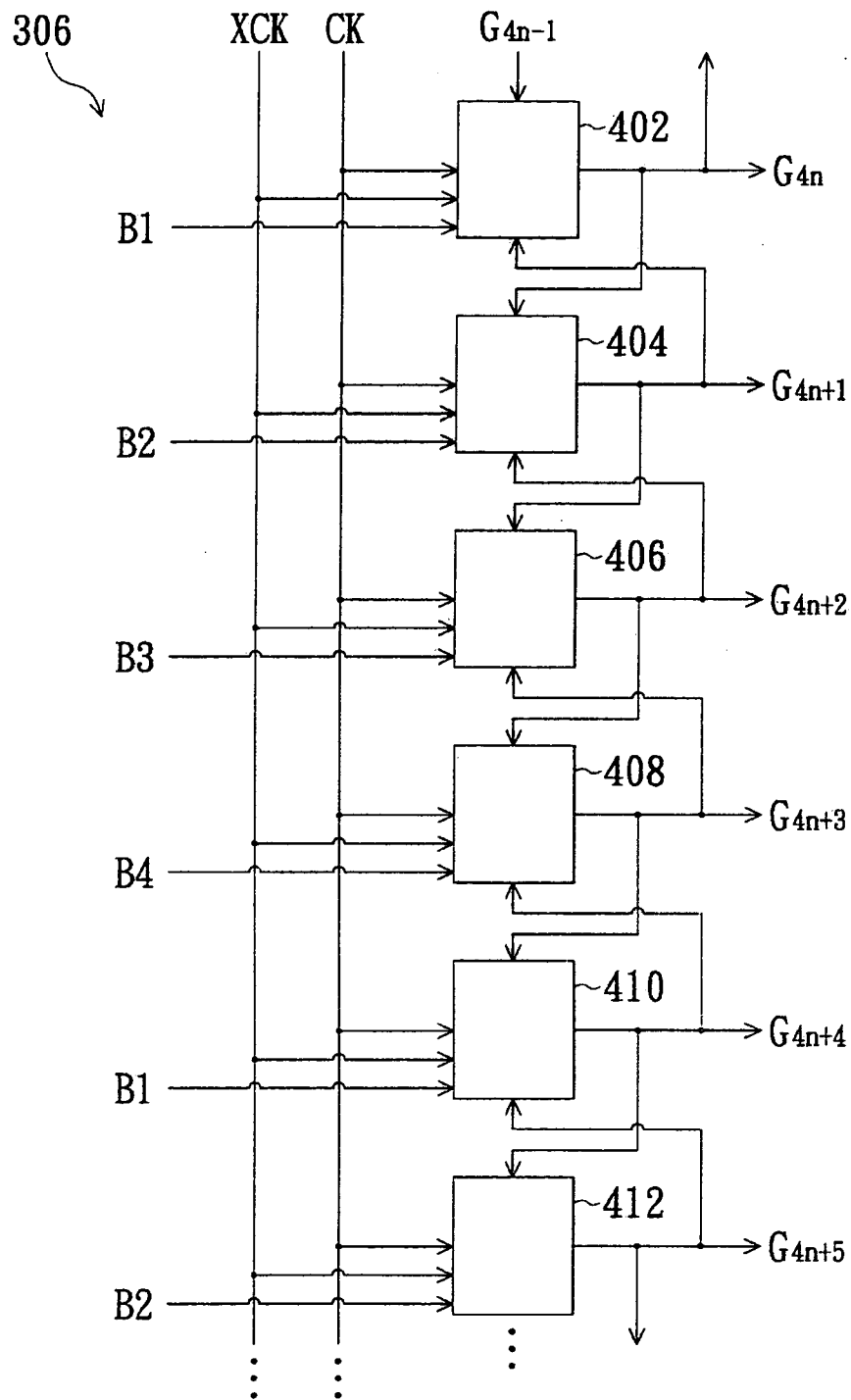


圖4

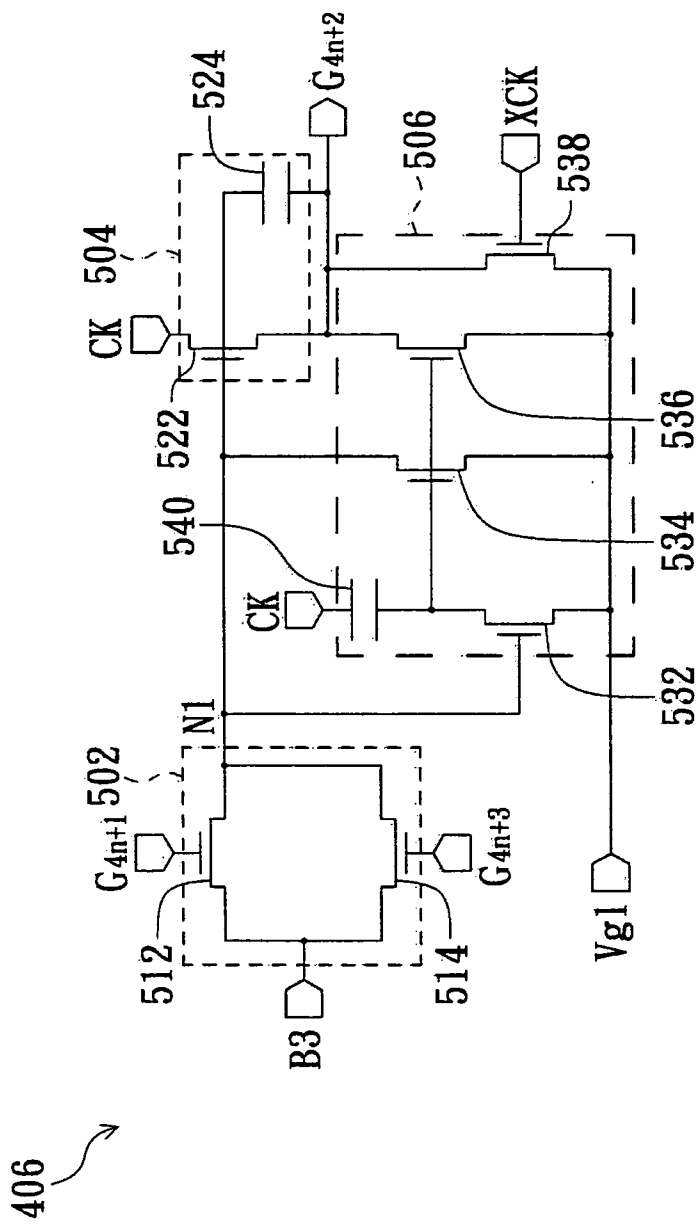


圖5



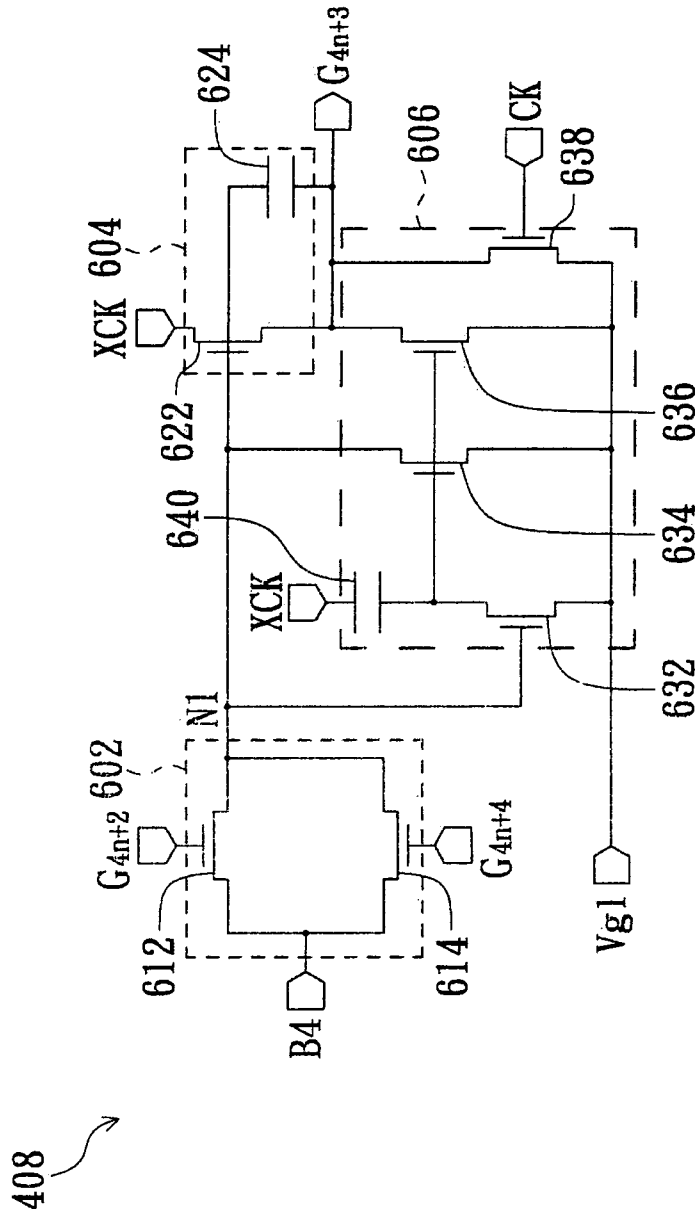


圖6

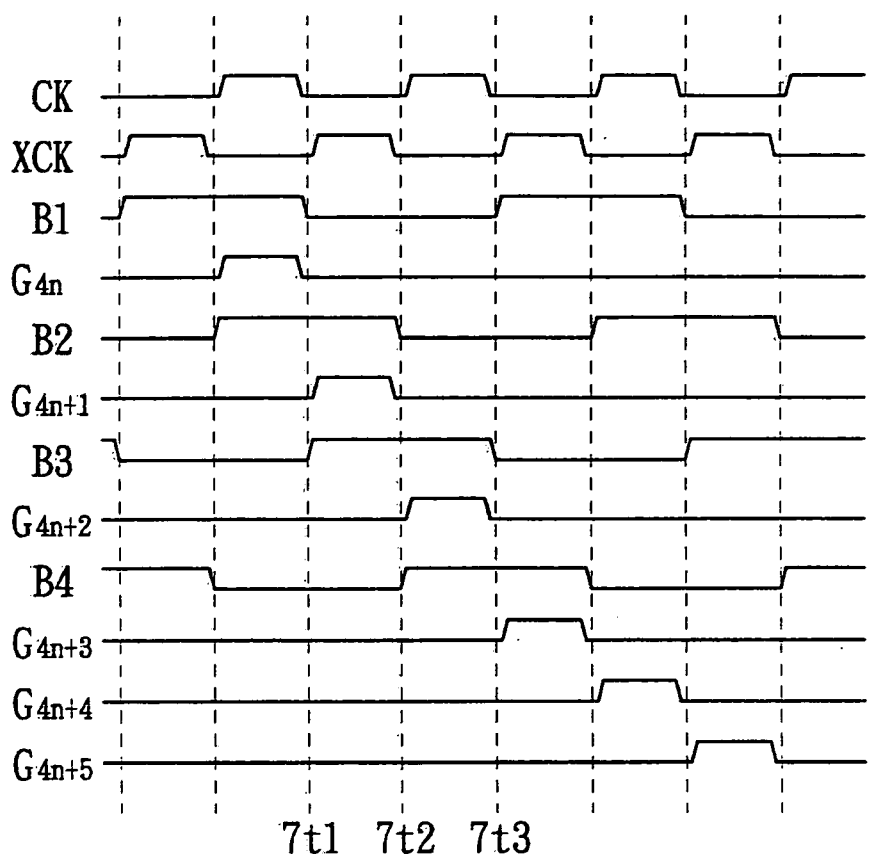


圖7

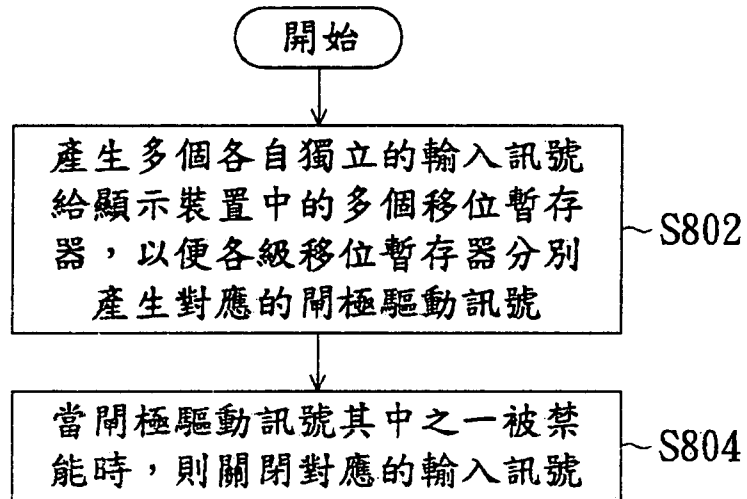


圖8