



(12)发明专利

(10)授权公告号 CN 107004633 B

(45)授权公告日 2020.10.30

(21)申请号 201480083550.2

R·E·申克尔 K·J·辛格

(22)申请日 2014.12.22

A·M·迈尔斯

(65)同一申请的已公布的文献号
申请公布号 CN 107004633 A

(74)专利代理机构 永新专利商标代理有限公司
72002

(43)申请公布日 2017.08.01

代理人 林金朝 王英

(85)PCT国际申请进入国家阶段日
2017.05.22

(51)Int.Cl.
H01L 21/768(2006.01)
H01L 21/31(2006.01)

(86)PCT国际申请的申请数据
PCT/US2014/071999 2014.12.22

(56)对比文件
US 2007/0182014 A1,2007.08.09
CN 101075578 A,2007.11.21
US 2013/0328208 A1,2013.12.12

(87)PCT国际申请的公布数据
W02016/105350 EN 2016.06.30

(73)专利权人 英特尔公司
地址 美国加利福尼亚

审查员 付伍君

(72)发明人 J·S·沙瓦拉 R·A·布雷恩

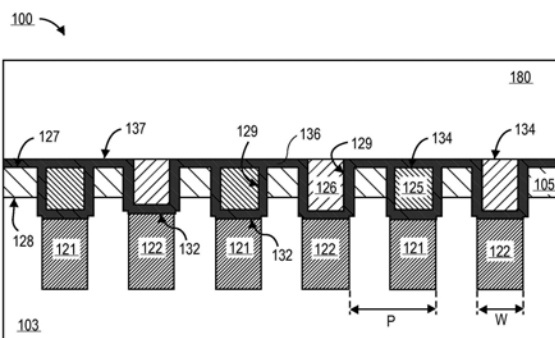
权利要求书3页 说明书13页 附图18页

(54)发明名称

使用交替硬掩模和密闭性蚀刻停止衬垫方案使紧密间距导电层与引导通孔接触的方法和结构

(57)摘要

描述了用于半导体器件的具有交替的电介质盖和蚀刻停止衬垫的互连结构以及用于制造这种装置的方法。根据实施例,互连结构可以包括层间电介质(ILD),所述层间电介质具有在ILD的顶表面之上的第一硬掩模层。所述互连结构还可以包括ILD中的一个或多个第一互连线。第一电介质盖可以定位于每个所述第一互连线的顶表面上方。额外的实施例包括ILD中的与所述第一互连线布置成交替图案的一个或多个第二互连线。第二电介质盖可以形成于每个所述第二互连线的顶表面上方。实施例还可以包括形成在第一电介质盖的顶表面之上的蚀刻停止衬垫。



1. 一种互连结构,包括:
层间电介质ILD,其具有形成在所述ILD的顶表面之上的第一硬掩模层;
形成在所述ILD中的一个或多个第一互连线,其中,第一电介质盖形成在每个所述第一互连线的顶表面上方;
形成到所述ILD中的与所述第一互连线成交替图案的一个或多个第二互连线,其中,第二电介质盖形成在每个所述第二互连线的顶表面上方;以及
形成在所述第一电介质盖的顶表面之上的蚀刻停止衬垫,
其中,所述蚀刻停止衬垫将所述第一电介质盖与所述第一互连线分开。
2. 根据权利要求1所述的互连结构,其中,所述蚀刻停止衬垫将所述第二电介质盖与所述第二互连线分开。
3. 根据权利要求1所述的互连结构,其中,所述蚀刻停止衬垫形成在所述第二电介质盖的顶表面之上。
4. 根据权利要求1所述的互连结构,其中,所述蚀刻停止衬垫是在蚀刻停止衬垫蚀刻工艺期间相对于所述第一电介质盖、所述第二电介质盖和所述第一硬掩模层具有10:1或更大的蚀刻选择性的材料。
5. 根据权利要求4所述的互连结构,其中,所述蚀刻停止衬垫蚀刻工艺是湿法蚀刻工艺。
6. 根据权利要求5所述的互连结构,其中,干法蚀刻工艺选择性地蚀刻所述第一电介质盖或所述第二电介质盖中的至少一个。
7. 根据权利要求1所述的互连结构,其中,所述第一电介质盖是与所述第二电介质盖不同的材料。
8. 根据权利要求7所述的互连结构,其中,针对给定蚀刻工艺,所述第一电介质盖相对于所述第二电介质盖具有10:1或更大的蚀刻选择性。
9. 根据权利要求1所述的互连结构,还包括穿过所述ILD形成的一个或多个第一通孔,其中,第一电介质盖形成在所述一个或多个第一通孔的顶表面上方。
10. 根据权利要求1所述的互连结构,还包括穿过所述ILD形成的一个或多个第二通孔,其中,第二电介质盖形成在所述一个或多个第二通孔的顶表面上方。
11. 根据权利要求1所述的互连结构,其中,所述第一电介质盖和所述第二电介质盖为 $\text{SiO}_x\text{C}_y\text{N}_z$ 材料、金属氧化物材料或金属氮化物材料。
12. 根据权利要求1所述的互连结构,其中,所述蚀刻停止衬垫是氧化铝或氧化钪材料。
13. 根据权利要求1所述的互连结构,其中,所述第一互连线与所述第二互连线的间隔小于25nm。
14. 一种形成互连件的方法,包括:
将一个或多个第一沟槽形成到层间电介质ILD中;
将第一金属设置到所述一个或多个第一沟槽中以形成第一互连线;
在所述第一互连线的顶表面之上形成蚀刻停止衬垫;
在形成在所述第一互连线的顶表面之上的所述蚀刻停止衬垫上方形成第一电介质盖;
以与所述第一沟槽成交替的图案将一个或多个第二沟槽形成到所述ILD中;
将第二金属设置到所述一个或多个第二沟槽中以形成第二互连线;

在所述第二互连线的顶表面之上和所述第一电介质盖的顶表面之上形成蚀刻停止衬垫;以及

在所述第二互连线上方形形成第二电介质盖。

15. 根据权利要求14所述的方法,其中,形成所述第一沟槽包括:

在形成在所述ILD之上的第一硬掩模层上方形成骨干层;

在所述骨干层上形成间隔体,其中,所述第一硬掩模层的一部分保持暴露于所述间隔体之间;以及

蚀刻穿过所述第一硬掩模层的暴露部分并进入位于所述第一硬掩模层的所述暴露部分下面的所述ILD中。

16. 根据权利要求15所述的方法,其中,形成所述第二沟槽包括:

蚀刻穿过所述骨干层;以及

蚀刻穿过所述第一硬掩模层的部分并进入所述ILD中。

17. 根据权利要求14所述的方法,还包括:

在将所述第一金属设置到所述第一沟槽中之前,蚀刻穿过所述ILD的形成在一个或多个所述第一沟槽下面的部分;以及

在将所述第二金属设置到所述第二沟槽中之前,蚀刻穿过所述ILD的位于一个或多个所述第二沟槽下面的部分。

18. 根据权利要求14所述的方法,其中,所述蚀刻停止衬垫相对于所述第一电介质盖和所述第二电介质盖具有10:1或更大的蚀刻选择性。

19. 根据权利要求14所述的方法,其中,所述第一互连线与所述第二互连线的间隔小于25nm。

20. 根据权利要求14所述的方法,其中,所述第一电介质盖和所述第二电介质盖为 $\text{SiO}_x\text{C}_y\text{N}_z$ 材料、金属氧化物材料或金属氮化物材料,并且其中,所述蚀刻停止衬垫是氧化铝或氧化钪材料。

21. 一种形成互连件的方法,包括:

在层间电介质ILD上方形成第一硬掩模层;

在所述第一硬掩模层上方形成骨干硬掩模;

在所述骨干硬掩模的表面和所述第一硬掩模层的暴露部分之上形成间隔体层;

蚀刻穿过所述间隔体层以形成沿着所述骨干硬掩模的侧壁的骨干间隔体;

蚀刻穿过所述第一硬掩模层和所述ILD以将第一沟槽形成到所述ILD中;

将第一金属设置到一个或多个所述第一沟槽中以形成第一互连线;

在所述第一互连线的顶表面之上形成蚀刻停止衬垫;

在形成在所述第一互连线的顶表面之上的所述蚀刻停止衬垫上方形成第一电介质盖;

蚀刻穿过所述骨干硬掩模以及所述第一硬掩模层和所述ILD的位于所述骨干硬掩模下方的部分,以形成第二沟槽;

将第二金属设置到一个或多个所述第二沟槽中以形成第二互连线;

在所述第二互连线的顶表面之上和所述第一电介质盖的顶表面之上形成蚀刻停止衬垫;

在所述第二互连线上方形形成第二电介质盖;以及

去除所述骨干间隔体。

22. 根据权利要求21所述的方法,其中,所述蚀刻停止衬垫在蚀刻停止衬垫蚀刻工艺期间相对于所述第一电介质盖和所述第二电介质盖具有10:1或更大的蚀刻选择性。

23. 根据权利要求22所述的方法,其中,所述蚀刻停止衬垫蚀刻工艺是湿法蚀刻工艺。

24. 根据权利要求21所述的方法,其中,所述第一电介质盖和所述第二电介质盖为 $\text{SiO}_x\text{C}_y\text{N}_z$ 材料、金属氧化物材料或金属氮化物材料,并且其中,所述蚀刻停止衬垫是氧化铝或氧化钪材料。

使用交替硬掩模和密闭性蚀刻停止衬垫方案使紧密间距导电层与引导通孔接触的方法和结构

技术领域

[0001] 本发明的实施例总体涉及半导体器件的制造。具体而言，本发明的实施例涉及用于半导体器件的互连结构和用于制造这种器件的方法。

背景技术

[0002] 现代集成电路使用导电互连层连接芯片上的个体器件和/或发送和/或接收器件外部的信号。互连层的常见类型包括耦合到个体器件的铜和铜合金互连线，包括通过互连通孔的其他互连线。罕有的是具有多级互连的集成电路。例如，两个或更多互连层可以由电介质材料彼此分开。将互连级分开的电介质层通常称为层间电介质 (ILD)。

[0003] 由于这些互连层利用具有较小间距的互连线来制造以便适应对较小芯片的需求，所以越来越难以将通孔与期望的互连层适当地对准。具体而言，在制造期间，由于固有的制造偏差，通孔边缘相对于其要接触的互连层或线的位置可能未对准。不过，通孔必须要允许将一个互连层的一条互连线连接到期望的下方层或线，而不会错误地连接到不同互连层或线。如果通孔未对准并接触错误的金属特征，芯片可能短路，导致电气性能降低。解决这个问题的一种方案是减小通孔尺寸，例如，通过将通孔制造得更窄。不过，减小通孔尺寸导致电阻增大，并降低了制造期间的收益。

附图说明

[0004] 图1A是根据实施例的互连结构的截面图，其包括每个电介质盖和互连线之间的蚀刻停止衬垫。

[0005] 图1B是根据实施例的互连结构的截面图，其包括在每个电介质盖之上形成的蚀刻停止衬垫。

[0006] 图1C是根据实施例的互连结构的截面图，其包括形成于第二互连线和第二电介质盖之间的蚀刻停止衬垫。

[0007] 图1D是根据实施例的互连结构的截面图，其包括蚀刻停止衬垫和多个通孔。

[0008] 图2A-2H是根据实施例的示出形成通往多个互连线的接触部的方法的截面图。

[0009] 图3A-3X是根据实施例的示出形成包括蚀刻停止衬垫的互连结构的方法的截面图。

[0010] 图4A-4D是根据实施例的示出形成包括位于每个电介质盖之上的蚀刻停止衬垫的互连结构的方法的截面图。

[0011] 图5是实施本发明的一个或多个实施例的内插器的截面图。

[0012] 图6是根据本发明的实施例构造的计算装置的示意图。

具体实施方式

[0013] 本文描述的是包括互连结构的系统和形成这种装置的方法，互连结构允许通往紧

密间距互连线的接触部形成。在以下描述中,将利用本领域技术人员通常采用的术语描述例示性实施方式的各个方面,以向本领域其他技术人员传达他们工作的实质。不过,对于本领域的技术人员显而易见的是,可以仅利用所述方面的一些实践本发明。出于解释的目的,阐述了具体的数字、材料和配置以便提供对例示性实施方式的透彻理解。不过,对于本领域的技术人员显而易见的是,可以无需具体细节来实践本发明。在其他情况下,为了不使例示性实施方式难以理解,省略或简化了公知特征。

[0014] 将以最有助于理解本发明的方式将各种操作依次描述为多个分立操作,不过,不应将描述的次序解释为暗示这些操作必须依赖该次序。具体而言,这些操作不必按照描述的次序执行。

[0015] 可以在诸如半导体衬底的衬底上形成或执行本发明的实施方式。在一种实施方式中,半导体衬底可以是使用体硅或绝缘体上硅子结构形成的晶体衬底。在其他实施方式中,可以使用替代的材料(可以或可以不与硅组合)形成半导体衬底,替代材料包括但不限于锗、锑化铟、碲化铅、砷化铟、磷化铟、砷化镓、砷化铟镓、锑化镓、或III-V族或IV族材料的其他组合。尽管本文描述了可以形成衬底的材料的一个示例,但可以充当在其上构建半导体器件的基础的任何材料都落在本发明的范围之内。

[0016] 图1A是根据本发明的实施例的互连结构100的截面图。互连结构100可以结合利用一个或多个互连层的任何半导体器件(例如IC电路等)使用。互连结构100形成于层间电介质(ILD) 103中。本发明的实施例利用本领域通常公知用作ILD的低k电介质材料,例如二氧化硅。根据本发明的实施例,适于形成ILD 103的低k电介质材料还可以包括但不限于诸如掺碳二氧化硅、多孔二氧化硅或氮化硅的材料。本发明的额外实施例可以包括由具有小于5的k值的电介质材料形成的ILD 103。实施例还可以包括k值小于2的ILD。根据额外的实施例,ILD 103可以包括空气隙并具有k值1。根据本发明的实施例,ILD 103可以小于100nm厚。根据额外的实施例,ILD 103可以小于40nm厚。本发明的额外实施例还可以包括厚度介于40nm和80nm之间的ILD 103。额外的实施例包括大约60nm厚的ILD 103。

[0017] 在实施例中,第一硬掩模层105形成于ILD 103的顶表面之上。例如,第一硬掩模层105可以是电介质材料,例如氮化物或氧化物。根据实施例,第一硬掩模层105抵抗可以用于蚀刻穿透第二互连层180的蚀刻工艺,第二互连层例如是用于形成互连的额外ILD层,其可以形成于第一硬掩模层105上方。本发明的实施例包括3nm和10nm厚之间的第一硬掩模层105。

[0018] 根据实施例,互连结构100包括以交替图案形成到ILD 103中的第一和第二互连线121、122,如图1A所示。第一和第二互连线121、122由导电材料形成。例如,但并非限制,用于形成互连线的导电材料可以包括Cu、Co、W、NiSi、TiN、Mo、Ni、Ru、Au、Ag或Pt。在实施例中,使用相同的导电材料形成第一和第二互连线121、122。根据替代的实施例,第一和第二互连线121、122由不同导电材料形成。

[0019] 互连线121、122彼此间隔开间距P。本发明的实施例包括间距P小于60nm的高密度互连线。本发明的其他实施例包括小于30nm的间距P。本发明的实施例包括小于30nm的互连线宽度W。本发明的额外实施例可以包括小于15nm的互连线宽度W。

[0020] 在实施例中,第一和第二互连线121、122是凹陷的,以使得互连线的顶表面132位于第一硬掩模层105的顶表面127下方。根据实施例,第一和第二互连线可以是凹陷的,以使

得互连线121、122的顶表面132位于第一硬掩模层105的底表面128下方。根据本发明的实施例,使互连线121、122凹陷允许在每条互连线上方形形成电介质盖125、126和蚀刻停止衬垫136。

[0021] 如图1A所示,可以在第一互连线121上方形成第一电介质盖125。在实施例中,第一电介质盖125的顶表面134可以与第一硬掩模层105的顶表面127大体上共面。本发明的实施例还包括形成于第二互连线122上方的第二电介质盖126。在实施例中,第二电介质盖126的顶表面134可以与蚀刻停止衬垫136的顶表面137大体上共面。额外的实施例可以包括彼此大体上共面的第一和第二电介质盖125、126的顶表面134。

[0022] 本发明的实施例包括由诸如 $\text{SiO}_x\text{C}_y\text{N}_z$ 等电介质材料、例如但不限于 TiO 、 ZrO 、 TiAlZrO 、 AlO 的非导电金属氧化物和氮化物、或有机材料制成的第一和第二电介质盖125、126。根据实施例,第一和第二电介质盖由相同材料制成。根据额外实施例,第一电介质盖125和第二电介质盖126由不同材料制成。

[0023] 根据实施例,第一电介质盖125由在蚀刻工艺期间相对于第二电介质盖126具有高选择性的材料制成。如本文使用的,在将第一材料说明为相对于第二材料具有高选择性时,在给定蚀刻工艺期间以快于第二材料的速率蚀刻第一材料。例如,第一电介质盖125可以针对给定蚀刻工艺相对于第二电介质盖具有大约为10:1或更大的蚀刻选择性(即,对于给定蚀刻工艺,以比蚀刻第二电介质盖的速率大大约十倍的速率蚀刻第一电介质盖)。根据额外的实施例,第二电介质盖126由相对于第一电介质盖125具有高选择性的材料制成。例如,第二电介质盖126可以相对于第一电介质盖125具有大约10:1或更大的蚀刻选择性。本发明的额外实施例包括由在蚀刻工艺期间相对于第一硬掩模层105具有高选择性的材料形成第一和第二电介质盖125、126。

[0024] 本发明的实施例还可以包括相对于蚀刻停止衬垫136被选择性蚀刻的第一和第二电介质盖126。根据实施例,蚀刻停止衬垫136可以是沉积于第一和第二电介质盖125、126中的一个或多个的表面之上以及第一硬掩模层105之上的共形层。例如,蚀刻停止衬垫136可以具有大约5.0nm或更小的厚度。额外的实施例包括厚度介于大约2.0nm和3.0nm之间的蚀刻停止衬垫136。蚀刻停止衬垫136可以是电介质材料。例如,蚀刻停止衬垫可以是氧化铝或氧化钪。例如,蚀刻停止衬垫可以相对于第一和第二电介质盖具有大约10:1或更大的蚀刻选择性。本发明的额外实施例可以包括相对于第一和第二电介质盖具有大约20:1或更大的蚀刻选择性的蚀刻停止衬垫。例如,第一和第二电介质盖可以是容易利用干法蚀刻工艺去除的材料,而蚀刻停止衬垫136是抵抗干法蚀刻工艺,但可以利用湿法蚀刻工艺选择性去除的材料。

[0025] 利用相对于第一和第二电介质盖125、126具有高的蚀刻选择性的蚀刻停止衬垫136的实施例提供了额外的益处。例如,在蚀刻停止衬垫136形成于第一电介质盖125或第二电介质盖126的顶表面132之上的实施例中,第一和第二电介质盖125、126之间的蚀刻选择性不需要很高。可以减小第一和第二电介质盖125、126之间的蚀刻选择性,因为蚀刻停止衬垫136保护一组电介质盖不受蚀刻工艺影响,而留下另一组电介质盖被暴露。

[0026] 例如,在图1A中,第一电介质盖125被蚀刻停止衬垫136覆盖,第二电介质盖126不被蚀刻停止衬垫136覆盖。因此,第一和第二电介质盖125、126可以相对于彼此具有小于大约10:1的蚀刻选择性。在一些实施例中,第一和第二电介质盖125、126可以是相同材料,因

此,相对于彼此没有蚀刻选择性。尽管在图1A中将第一电介质盖125示为被覆盖,但要认识到,实施例不限于这样的配置。替代的实施例还可以包括使第二电介质盖126被蚀刻停止衬垫136覆盖,而第一电介质盖125不被蚀刻停止衬垫136覆盖。

[0027] 尽管实施例包括利用蚀刻停止衬垫覆盖第一电介质盖125或第二电介质盖126,但实施例不限于这样的配置。例如,图1B中所示的本发明的实施例具有均被蚀刻停止衬垫136覆盖的第一和第二电介质盖125、126。除了利用蚀刻停止衬垫136覆盖电介质盖125、126二者之外,图1B中的互连结构100_B大体上类似于图1A中公开的互连结构100。

[0028] 返回参考图1A,蚀刻停止衬垫136还可以形成于第一和第二互连线121、122的顶表面132之上。实施例还可以包括沿电介质盖125、126的侧壁129形成蚀刻停止衬垫136。在互连线121、122的顶表面之上提供蚀刻停止衬垫136确保了在形成第一和第二电介质盖125、126期间互连线不被氧化。例如,在使用化学气相沉积(CVD)工艺沉积电介质盖时,升高的温度和水分的存在可能导致互连线的氧化。氧化的互连线降低了器件的效率和可靠性。在互连线和电介质盖之间存在蚀刻停止衬垫136防止水分到达互连线并防止氧化。

[0029] 不过,要认识到,并非可以用于形成电介质盖125、126的每种沉积工艺都导致互连线的氧化。例如,可以任选地在互连线之上利用旋涂工艺形成氧化硅电介质盖。在这样的实施例中,在形成第一和/或第二电介质盖125、126期间,互连线可能不被氧化。因此,根据本发明的实施例,可以从每条互连线的顶表面132省去蚀刻停止衬垫136。图1C中示出了根据这种实施例的互连结构100_c。互连结构100_c大体上类似于图1A中的互连结构100的截面图,只是第一互连线121不具有形成于其顶表面132之上的蚀刻停止衬垫136。在这样的实施例中,第一电介质盖125可以与第一互连线121直接接触。在替代的实施例中,可以任选地在第二互连线122的顶表面之上省去蚀刻停止衬垫136。在实施例中,可以任选地在互连线121、122两者的顶表面132之上省去蚀刻停止衬垫136。

[0030] 现在参考图1D,示出了根据额外实施例的互连器件100_d的截面图。图1D中的互连器件100_d大体上类似于图1A中所示的结构,并且还包括第一通孔123和第二通孔124。根据本发明的实施例,第一和第二通孔123、124被集成到第一和第二互连线121、122的交替图案中。这样一来,在本发明的实施例中,第一通孔123形成于本来要形成第一互连线121的地方。类似地,实施例包括在本来要形成第二互连线122的地方形成第二通孔124。

[0031] 第一通孔123大体上类似于第一互连线121,只是该线形成为穿透ILD 103。因此,第一通孔123提供了通过ILD 103制作通往较低层级的电连接的能力。例如,可以将通往较低层级的电连接制作为导线、晶体管器件的S/D接触部或需要电连接的半导体器件的任何其他特征。类似地,第二通孔124大体上类似于第二互连线122,只是该线形成为穿透ILD 103。因此,第二通孔124提供了通过ILD 103制作通往较低层级的电连接的能力。本发明的附图中给出的图示省去了可能由第一和第二通孔接触的较低层级的结构,以免不必要地使本发明难以理解。

[0032] 本发明的实施例还包括形成于第一和第二通孔123、124上方的第一和第二电介质盖125、126,第一和第二电介质盖125、126大体上类似于上文关于形成于第一和第二互连线121、122上方的电介质盖所描述的那些。此外,第一和第二通孔上方的电介质盖可以由蚀刻停止衬垫136与互连线分开。额外的实施例还可以包括在形成于通孔之上的电介质盖中的一个或多个的顶表面134之上形成蚀刻停止衬垫136。

[0033] 本发明的实施例允许改进通往紧密间距互连线的接触部形成。如上所述,紧密间距互连线需要越来越精确的对准,以形成通往期望互连线的接触部。不过,如图2A-2H中所示的接触部形成过程中所示,由于电介质盖、硬掩模层和蚀刻停止衬垫的蚀刻选择性,包括电介质盖125、126和蚀刻停止衬垫136的互连结构允许接触部较宽,并且具有较大的对准误差裕量。图2A-2H示出了示例性接触部形成过程,其允许制作通往互连线和通孔的多个接触部。示例性接触部形成过程示出了本发明的实施例允许制作通往相邻的第一和第二互连线的接触部,制作仅通往第二互连线的接触部以及制作仅通往第一互连线的接触部。尽管在工艺流程期间在单个互连结构上示出了所有三种配置,但实施例不限于这样的配置。例如,可以使用包括形成本文所述的一种或多种不同接触部配置的过程。

[0034] 现在参考图2A,牺牲材料185形成在第二ILD 180之上并被图案化以形成第一开口191和第二开口192。在实施例中,可以利用蚀刻工艺将第一开口191和第二开口192的图案转移到第二ILD 180中。在实施例中,第一开口191可以用于形成第一接触部,其提供通过第二ILD 180到相邻的第一和第二互连线或通孔的连接。在实施例中,第二开口192可以用于形成第二接触部,其提供通过第二ILD 180到第二互连线122或通孔124的连接。如所示,本发明的实施例允许开口的宽度大于互连线的间距P。例如,第二开口192的宽度 W_0 大于互连线的间距P。由于根据本发明的实施例提供的蚀刻选择性,宽度 W_0 甚至可以大到足以允许第二开口192在不被接触的相邻互连线之上延伸。

[0035] 之后,可以执行选择性蚀刻暴露的第二电介质盖126的蚀刻工艺。例如,可以利用不会显著蚀刻蚀刻停止衬垫136的干法蚀刻工艺来选择性蚀刻第二电介质盖126。如所示,蚀刻停止衬垫136保留并保护第一硬掩模层105和第一电介质盖125的部分不被去除。在去除第二电介质盖126之后,可以去除牺牲材料185。例如,可以利用灰化工艺去除牺牲材料。

[0036] 现在参考图2B,第二牺牲层186形成在互连结构之上并被图案化。根据实施例,对第二牺牲层186进行图案化以形成第三开口193。在实施例中,第三开口可以用于形成第三接触部,其提供了通过第二ILD 180到第一互连线121的连接。此外,可以对第二牺牲层186进行图案化,以使第一开口191被再次开口。如所示,用于对第一开口191重新开口的图案化不需要与利用第一牺牲层185图案化的原始第一开口191完美对准。根据本发明的实施例,因为形成于互连线之上的材料之间的蚀刻选择性,增大的覆盖误差是可以接受的。

[0037] 现在参考图2C,利用蚀刻工艺将用于第二牺牲层186中的第一开口191和第三开口193的图案转移到第二ILD 180中。根据实施例,该蚀刻工艺是湿法蚀刻工艺,其相对于蚀刻停止衬垫136选择性地蚀刻第二ILD 180。在实施例中,该蚀刻工艺也可以相对于暴露的第二电介质盖126选择性地蚀刻第二ILD 180。

[0038] 如图2C中描绘的实施例中所示,第一开口191可以足够宽或未对准,以使相邻第二电介质盖126的部分153被暴露。暴露第二电介质盖126的部分153是可以接受的,因为暴露的材料的蚀刻选择性将防止第二电介质盖126被后续蚀刻工艺完全去除。因此,当在后续工艺中沉积接触金属时,不会形成通往部分暴露的第二电介质盖126下方的互连线或通孔的短路。

[0039] 现在参考图2D,去除蚀刻停止衬垫136的暴露部分。由于可以相对于第一和第二电介质盖125、126以及第一硬掩模层105选择性地蚀刻蚀刻停止衬垫136,因而可以完全去除蚀刻停止衬垫136而不会去除其他材料的相当大部分。例如,蚀刻停止衬垫136可以是利用

湿法蚀刻化学试剂被选择性去除的材料,而电介质盖和第一硬掩模在存在湿法蚀刻化学试剂的情况下在很大程度上对蚀刻不敏感。如所示,去除蚀刻停止衬垫136暴露了第一开口191中的第二通孔124的顶表面132。此外,去除第三开口193中的蚀刻停止衬垫122暴露了第一和第二电介质盖125、126的顶表面134。

[0040] 现在参考图2E,去除第一电介质盖125。在实施例中,利用相对于第二电介质盖126和硬掩模105选择性去除第一电介质盖125的蚀刻工艺去除第一电介质盖125。如所示,蚀刻工艺的选择性可以完全去除第一电介质盖125,同时仅去除第二电介质盖126的暴露部分153和第一硬掩模105的暴露部分的少量。第二电介质盖126和第一硬掩模层105的部分的去除的程度取决于针对给定蚀刻工艺第一电介质盖125相对于其他材料的蚀刻选择性。例如,第一电介质盖125可以相对于第二电介质盖126或第一硬掩模层105具有大约2:1或更大的蚀刻选择性。尽管图2E示出了去除暴露的第一硬掩模层105的一部分以及暴露的第二电介质盖126的一部分,但要认识到,可以通过增大第一电介质盖125相对于用于形成第一硬掩模层105和/或第二电介质盖126的材料的蚀刻选择性,来减少第二电介质盖126和第一硬掩模层105的暴露部分153的量。

[0041] 之后,可以去除第二牺牲材料层186,如图2F所示。在实施例中,可以利用灰化工艺去除第二牺牲材料层186。在去除第二牺牲材料层186之后,可以暴露第一开口191、第二开口192和第三开口193。

[0042] 在实施例中,去除形成在接触部之上的蚀刻停止衬垫136的剩余部分,如图2G中所示。例如,可以利用相对于第一电介质盖125、第二电介质盖126和第一硬掩模层105中的每者选择性去除蚀刻停止衬垫的蚀刻工艺来去除蚀刻停止衬垫136。在实施例中,该蚀刻工艺可以是湿法蚀刻工艺。根据实施例,相邻的第一互连线121和第二通孔124的顶表面132暴露于第一开口191中。额外的实施例可以包括暴露在第二开口192中的单个第二互连线122的顶表面132。额外的实施例可以包括暴露在第三开口193中的单个第一互连线121的顶表面132。

[0043] 现在参考图2H,向第二ILD 180中形成的开口中沉积金属,以在第一开口中形成第一接触部181,在第二开口中形成第二接触部182,并且在第三开口中形成第三接触部183。在实施例中,可以对来自金属沉积工艺的任何过多的沉积物进行抛光或深蚀刻,以使第二ILD 180和接触部的顶表面大体上彼此共面。例如,可以利用诸如CVD、ALD或电镀等任何金属沉积工艺沉积金属。例如,可以利用诸如CMP的平面化工艺使金属与第二ILD 180的顶表面平面化。

[0044] 如所示出的,即使在覆盖不完美的时候,也可以选择性地制作连接。例如,第二接触部182在超过一个互连线之上延伸,但该连接被制作成单个互连线122。类似地,第三接触部183在三个独立的互连线之上延伸,但该连接被制作成单个互连线121。因此,接触部的宽度可以比本来可能的宽度大,并且未对准误差不会导致与相邻互连件的不希望的短路。接触部的更大宽度还减轻了对制造设备的要求,并可以提供更高的收益。

[0045] 可以根据相对于图3A-3X所述的工艺制造根据本发明实施例的互连结构。现在参考图3A,示出了将在其中形成互连结构100的ILD 103。根据本发明的实施例,在ILD 103上方形成掩蔽叠置体190。根据本发明的实施例,掩蔽叠置体190包括适于掩蔽并将特征蚀刻到ILD 103中的多个层。根据实施例,掩蔽叠置体190可以包括形成于ILD 103之上的第一硬

掩模层105,例如氮化物或氧化物材料。如上所述,可以基于第一硬掩模层105相对于将在后续处理操作中形成的其他特征(例如第一和第二电介质盖和/或蚀刻停止衬垫)的蚀刻选择性来选择第一硬掩模层105。根据实施例,可以在一个或多个额外的互连结构(未示出)之上形成ILD 103,或者可以在器件衬底(例如形成电路(未示出)的半导体衬底)之上形成ILD 103。

[0046] 掩蔽叠置体190还可以包括形成于第一硬掩模层105上方的碳硬掩模107。碳硬掩模107可以是适于形成硬掩模层的任何材料,例如非晶硅或碳化硅。硬掩模蚀刻停止层110可以形成于碳硬掩模107上方。根据本发明的实施例,硬掩模蚀刻停止层110可以是抗蚀刻材料,例如但不限于TiO₂、ZrO₂、AlN、ZrAlTiO₂或Al₂O₃。掩蔽叠置体190还可以包括形成于硬掩模蚀刻停止层110上方的虚设硬掩模层111。根据本发明的实施例,虚设硬掩模层111可以是适于形成硬掩模层的任何材料,例如非晶硅或碳化硅。根据实施例,掩蔽叠置体190还可以包括形成于虚设硬掩模层111上方的抗反射层112,例如非晶硅层。抗反射层112可以包括在掩蔽叠置体190中,以便提供对形成于抗反射层112上方的掩模层133的图案化的更好控制。掩模层133可以是通常利用诸如光敏抗蚀剂的光刻工艺来图案化的材料。如图3A中所示,掩模层133已经被图案化,以形成用于第一结构的期望形状,该形状将被转移到虚设硬掩模层111中。

[0047] 现在参考图3B,已经将掩模层133的图案转移到虚设硬掩模层111中以形成第一骨干115。本发明的实施例利用蚀刻工艺(例如现有技术中公知的湿法或干法蚀刻工艺)将掩模层133的图案转移到虚设硬掩模层111中。然后可以去除抗反射涂层112和掩模层133的剩余部分。

[0048] 接下来在图3C中,在硬掩模蚀刻停止层110的暴露部分和第一骨干115之上形成间隔体形成层113。间隔体形成层113可以是通常用于形成电介质间隔体的材料,例如氧化物或氮化物。然后使用间隔体蚀刻工艺在第一骨干115的每侧上形成间隔体114。实施例包括间隔体蚀刻工艺,其从形成于水平表面上的间隔体形成层113选择性地去除材料,从而留下沿着第一骨干115的侧壁的间隔体114。在形成间隔体之后,蚀刻掉第一骨干115以留下间隔体114,如图3D中所示。

[0049] 现在参考图3E,间隔体114被用作蚀刻掩模,并且其图案被转移到硬掩模层107中。在蚀刻工艺之后,硬掩模层107和蚀刻停止层110的部分保留。如本文使用的,硬掩模层107的剩余部分也称为第二骨干116。实施例利用现有技术中公知的蚀刻工艺,例如湿法或干法蚀刻工艺来将间隔体114的图案转移到硬掩模层107中以形成第二骨干116。

[0050] 现在参考图3F,然后利用膜108覆盖第二骨干116。膜108是可以用于形成第二间隔体材料的材料。根据实施例,膜108可以是硬的共形材料,例如但不限于TiO₂、ZrO₂、AlN、Al₂O₃及其组合。根据本发明的实施例,用于第二骨干116的材料在蚀刻工艺期间相对于用于第二膜108的材料具有高蚀刻选择性。根据这样的实施例,形成膜108的材料抵抗将容易蚀刻掉骨干116的蚀刻工艺。例如,在第二骨干116由非晶硅制成时,那么可以利用氧化钛制造膜108。

[0051] 现在参考图3G,已经执行了间隔体蚀刻工艺以便将膜108转变成间隔体109。实施例包括各向异性间隔体蚀刻工艺,其选择性地去除形成于水平表面上的膜108的部分,由此留下沿着第二骨干116的侧壁的间隔体109。之后,使用第一沟槽蚀刻工艺形成穿过第一硬掩模层105并进入ILD 103的第一沟槽141。第一沟槽蚀刻工艺利用间隔体109作为掩模,以

便在第一沟槽141之间提供适当的间距,并形成具有期望宽度W的第一沟槽141。根据本发明的实施例,宽度W小于大约30nm。本发明的额外实施例包括小于15nm的宽度W。在实施例中,第一沟槽141可以具有大约20nm和大约60nm之间的深度。本发明的额外实施例包括将第一沟槽141形成到大约40nm的深度。

[0052] 现在参考图3H,根据本发明的实施例,可以实施通孔掩蔽工艺。将碳硬掩模135形成到沟槽141中以及间隔体109上方。可以在碳硬掩模135之上形成抗反射涂层131,例如非晶硅。形成通孔掩模133,例如光致抗蚀剂,并使其图案化以具有形成于第一沟槽141之一上方的掩模开口130,如图3H中所示。

[0053] 现在参考图3I,然后蚀刻掉掩模开口130下方的碳硬掩模135。该蚀刻工艺还蚀刻穿过第一沟槽底部下方的ILD 103的剩余部分,以形成通孔开口142。通孔开口142可以提供通往ILD 103下方的层或特征的连接。尽管示出了单个通孔开口142,但实施例还可以包括具有超过一个通孔开口142的互连结构100。

[0054] 现在参考图3J,根据实施例,去除碳硬掩模层135的剩余部分,并可以在第一沟槽141中和上方形成导电层152以形成第一互连线121,并且导电层152可以形成到通孔开口142中以形成第一通孔123。本发明的实施例包括导电层152,其可以是用于互连线的任何导电金属,例如铜、钴、钨等。实施例包括利用现有技术公知的沉积工艺向第一沟槽141和通孔开口142中沉积第一金属,沉积工艺例如但不限于化学气相沉积(CVD)、原子层沉积(ALD)或电镀。

[0055] 如图3K中所示,已经使第一互连线121和第一通孔123的顶表面132与间隔体109的顶表面平面化,以便从金属沉积去除溢出的材料。根据实施例,可以利用诸如化学机械平面化(CMP)或蚀刻工艺的工艺执行平面化。本发明的额外实施例包括利用平面化工艺去除硬掩模蚀刻停止层110的部分并暴露第二骨干116的部分。

[0056] 现在参考图3L,蚀刻掉第二骨干116。根据实施例,间隔体109的剩余部分提供了掩蔽层,用于蚀刻形成到ILD 103的先前位于第二骨干116下面的部分中的第二沟槽144。根据实施例,第二沟槽144的深度可以大体上类似于第一沟槽的深度。根据替代的实施例,第二沟槽144的深度可以大于或小于第一沟槽的深度。

[0057] 现在参考图3M,根据本发明的实施例,可以实施第二通孔图案化工艺。将碳硬掩模135形成到第二沟槽144中以及间隔体109上方。可以在碳硬掩模135之上形成抗反射涂层131,例如非晶硅。诸如光敏抗蚀剂或其他掩蔽材料的通孔掩模133被形成并图案化为具有形成于一个或多个第二沟槽144上方的掩模开口130。现在参考图3N,蚀刻掉掩模开口130下面的碳硬掩模135和第二沟槽144下面的ILD 103的部分以形成通孔开口145。通孔开口145可以提供通往ILD 103下方的层或特征(未示出)的连接。在形成通孔开口145之后,去除剩余的碳硬掩模135、抗反射涂层131和掩蔽材料133,如图3O中所示。

[0058] 现在参考图3P,根据实施例,将牺牲硬掩模材料162沉积到第二沟槽144和通孔开口145中。在实施例中,可以沉积牺牲硬掩模材料162以使硬掩模材料覆盖所有暴露表面,之后,可以往回抛光过载的沉积物以具有与间隔体109的顶表面大体上共面的顶表面163。

[0059] 之后,根据本发明实施例,在图3Q中,可以使第一互连线121和第一通孔123凹陷到第一硬掩模层105下方以形成第一凹陷171。根据实施例,凹陷可以导致顶表面132定位于第一硬掩模层105的顶表面下方。根据额外的实施例,顶表面132与ILD 103的顶表面大体上共

面,或凹陷到ILD 103的顶表面下方。实施例包括利用湿法或干法蚀刻工艺使第一互连线121凹陷。

[0060] 现在参考图3R,在暴露表面之上形成蚀刻停止衬垫136。在实施例中,在第一互连线121和第一通孔123的顶表面132之上并沿着第一凹陷171的侧壁形成蚀刻停止衬垫136。根据实施例,蚀刻停止衬垫可以具有小于大约5nm的厚度。额外的实施例包括厚度在大约2nm和大约3nm之间的蚀刻停止衬垫136。例如,可以利用原子层沉积(ALD)工艺形成蚀刻停止衬垫。

[0061] 在互连线和通孔的顶表面132之上形成蚀刻停止衬垫136保护导电材料不受损伤,例如如果不保护顶表面132,则在后续处理操作中可能发生氧化。不过,如果后续处理不会损伤互连线,则可以任选地省去蚀刻停止衬垫136。这样的实施例然后会遵循结合其余的图3S-3X所述的大体上相同的处理操作,并且会获得大体上类似于上文结合图1C所述的互连结构100c的互连结构。

[0062] 在实施例中,用于形成蚀刻停止衬垫136的材料是相对于将在后续处理操作中形成的第一和第二电介质盖的其他材料被选择性蚀刻的材料。例如,第一和第二电介质盖可以是可以被干法蚀刻的材料,而蚀刻停止衬垫136是抵抗干法蚀刻、但可以利用湿法蚀刻来选择性去除的材料。例如,蚀刻停止衬垫136可以是氧化铝、氧化钪等。

[0063] 再次参考图3R,可以将电介质层155沉积到第一凹陷171中以及蚀刻停止衬垫136之上。例如,可以利用CVD、PVD或旋涂工艺沉积电介质层155。之后,可以使电介质层155凹陷,以使第一电介质盖125保留在第一互连线121和第一通孔123上方的第一凹陷171中,如图3S中所示。根据所示实施例,利用蚀刻工艺使电介质层155凹陷。在实施例中,蚀刻工艺对电介质层155是选择性的,并且使得蚀刻停止衬垫136大体上不变。根据额外的实施例,可以利用诸如CMP的抛光工艺使电介质层155凹陷。在这样的实施例中,还可以去除蚀刻停止衬垫136、间隔体109和牺牲硬掩模层162的部分。本发明的实施例可以将诸如 $\text{SiO}_x\text{C}_y\text{N}_z$ 、非导电金属氧化物或金属氮化物的材料用于第一电介质盖125。本发明的额外实施例可以选择用于第一电介质盖125的材料,其具有高的相对于将在后续处理操作中形成的蚀刻停止层105和第二电介质盖126的蚀刻选择性。

[0064] 现在参考图3T,可以去除间隔体109之上形成的蚀刻停止衬垫136的部分,如果该部分先前未被去除。例如,可以利用诸如CMP的抛光工艺去除蚀刻停止衬垫。在实施例中,可以利用蚀刻工艺去除蚀刻停止衬垫136,该蚀刻工艺选择性地去除蚀刻停止衬垫136而不去除相当大量的间隔体109或第一电介质盖125。一旦去除了蚀刻停止衬垫136,就暴露出牺牲硬掩模162。实施例然后可以包括去除暴露的牺牲硬掩模162,以便对开口144和第二通孔开口145重新开口。例如,可以利用蚀刻或灰化工艺去除牺牲硬掩模162。

[0065] 现在参考图3U,将金属层沉积到暴露的开口144和145中,并可以来回抛光任何过载的沉积物以形成第二互连122和第二通孔124。在实施例中,金属层可以是用于形成第一互连122和第一通孔123的相同的金属。在额外的实施例中,金属可以不是用于第一互连122和第一通孔123的相同的金属。例如,金属可以是通常用于互连线的任何金属,例如铜、钴、钨等。如图3U中所示,用于去除过载的沉积物的抛光工艺还可以去除间隔体109的剩余部分。

[0066] 现在参考图3V,可以使第二互连122和第二通孔124的顶表面132凹陷到硬掩模层

105的底表面128下方,以形成第二凹陷172。在实施例中,第二互连122和第二通孔124的顶表面132可以与第一互连121和第一通孔123的顶表面132大体上共面。在额外的实施例中,可以使第二互连122和第二通孔124的顶表面132凹陷,以使他们在第一互连121和第一通孔123的顶表面132上方或下方。

[0067] 现在参考图3W,根据实施例,在暴露表面之上沉积蚀刻停止衬垫136。如所示,可以在第一电介质盖125的顶表面134之上形成蚀刻停止衬垫136,蚀刻停止衬垫136也可以在第二互连线122和第二通孔124上方排列第二凹陷172。蚀刻停止衬垫136可以大体上类似于在图3R的描述中公开的处理操作中沉积的蚀刻停止衬垫136。尽管可以在一个或多个不同处理操作期间沉积蚀刻停止衬垫136,但本文可以将整个蚀刻停止衬垫136称为单个特征。不过,要认识到,本发明的实施例还可以利用包括在不同沉积工艺期间被沉积而导致的不同材料、组分和/或厚度的蚀刻停止衬垫136。

[0068] 图3W还示出了将第二电介质层156沉积到第二互连线122和第二通孔124上方的第二凹陷172中。在实施例中,可以利用CVD、PVD或旋涂工艺沉积第二电介质层156。本发明的实施例可以将诸如 $\text{SiO}_x\text{C}_y\text{N}_z$ 、非导电金属氧化物或金属氮化物的材料用于第二电介质盖126。本发明的额外实施例可以选择用于第二电介质盖126的材料,其相对于第一硬掩模层105、第一电介质盖125和/或蚀刻停止衬垫136具有高蚀刻选择性。

[0069] 之后,在图3X中,可以往回抛光或蚀刻第二电介质层156的过载的沉积物以形成第二电介质盖126。在实施例中,第二电介质盖126的顶表面134与蚀刻停止衬垫136的顶表面大体上共面。如所示,蚀刻停止衬垫136可以完全包围第一电介质盖125(即,围绕第一电介质盖125的顶表面、底表面和侧壁),并部分包围第二电介质盖126(即在第二电介质盖126的底表面和侧壁之上)。要认识到,本发明的实施例还包括比图3X中所示的包围更多表面或更少表面的蚀刻停止衬垫136,例如,图1B和1C中所示的互连结构。在已经形成蚀刻停止衬垫136之后,本发明的实施例可以包括在互连结构之上沉积第二电介质层180。

[0070] 现在参考图4A-4D,根据实施例,示出了用于形成互连结构的方法,该互连结构包括第一和第二电介质盖125、126之上的蚀刻停止衬垫。形成图4A中所示结构的处理大体上类似于结合图3A-3W所示出并描述的处理操作,并且因此将不会在此重复。

[0071] 现在参考图4B,可以往回抛光电介质层156的过载的沉积物以形成第二电介质盖126。例如,可以利用CMP工艺往回抛光电介质层。如所示,抛光工艺还可以去除蚀刻停止衬垫136的形成在第一电介质盖125和第一硬掩模层105之上的部分。

[0072] 之后,在图4C中,在第一硬掩模层105、第一电介质盖125和第二电介质盖126的顶表面之上沉积蚀刻停止衬垫136。可以在蚀刻停止衬垫136之上沉积电介质材料以形成第二电介质层180,如图4D中所示。

[0073] 图5示出了包括本发明的一个或多个实施例的内插器1000。内插器1000是用于将第一衬底1002桥接到第二衬底1004的居间衬底。第一衬底1002可以是例如集成电路管芯。第二衬底1004例如可以是存储器模块、计算机主板或另一个集成电路管芯。通常,内插件1000的目的是将连接扩展到更宽间距或将连接重新布线到不同连接。例如,内插器1000可以将集成电路管芯耦合到球栅阵列(BGA)1006,球栅阵列接下来可以被耦合到第二衬底1004。在一些实施例中,第一和第二衬底1002/1004附接到内插器1000的相对侧。在其他实施例中,第一和第二衬底1002/1004附接到内插件1000的同一侧。并且在其他实施例中,通

过内插件1000互连三个或更多衬底。

[0074] 内插件1000可以由环氧树脂、玻璃纤维加强的环氧树脂、陶瓷材料或诸如聚酰亚胺的聚合物材料形成。在其他实施方式中,内插件可以由交替的刚性或柔性材料形成,其可以包括上述用于半导体衬底中的相同材料,例如硅、锗和其他III-V族和IV族材料。

[0075] 内插件可以包括金属互连件1008和通孔1010,包括但不限于穿硅通孔(TSV)1012。内插件1000还可以包括嵌入式器件1014,包括无源和有源器件。这样的器件包括但不限于电容器、去耦电容器、电阻器、电感器、保险丝、二极管、变压器、传感器和静电放电(ESD)器件。也可以在内插件1000上形成更复杂的器件,例如射频(RF)器件、功率放大器、功率管理器件、天线、阵列、传感器和MEMS器件。

[0076] 根据本发明的实施例,本文公开的用于形成包括交替的电介质盖和蚀刻停止衬垫的互连结构的设备或工艺可以用于制造内插件1000或制造嵌入式器件1014。

[0077] 图6示出了根据本发明的一个实施例的计算装置1200。计算装置1200可以包括若干部件。在一个实施例中,这些部件附接到一个或多个母板。在替代的实施例中,这些部件被制造到单个芯片上系统(SoC)管芯上而不是母板上。计算装置1200中的部件包括但不限于集成电路管芯1202和至少一个通信芯片1208。在一些实施方式中,将通信芯片1208制造为集成电路管芯1202的一部分。集成电路管芯1202可以包括CPU 1204以及常常用作高速缓冲存储器的管芯上存储器1206,可以通过诸如嵌入式DRAM(eDRAM)或自旋转移矩存储器(STTM或STTM-RAM)的技术来提供管芯上存储器1206。

[0078] 计算装置1200可以包括可以或不物理和电耦合到母板或制造于SoC管芯内的其他部件。这些其他部件包括但不限于易失性存储器1210(例如,DRAM)、非易失性存储器1212(例如,ROM或闪存存储器)、图形处理单元1214(GPU)、数字信号处理器1216、密码处理器1242(在硬件内执行密码算法的专用处理器)、芯片组1220、天线1222、显示器或触摸屏显示器1224、触摸屏控制器1226、电池1228或其他电源、功率放大器(未示出)、全球定位系统(GPS)装置1228、罗盘1230、运动协处理器或传感器1232(可以包括加速度计、陀螺仪和罗盘)、扬声器1234、相机1236、用户输入装置1238(例如键盘、鼠标、触笔和触控板)和大容量存储装置1240(例如硬盘驱动器、光盘(CD)、数字多用盘(DVD)等)。

[0079] 通信芯片1208实现了用于往返于计算装置1200传输数据的无线通信。术语“无线”及其派生词可以用于描述可以通过使用经调制的电磁辐射经由非固体介质来传送数据的电路、装置、系统、方法、技术、通信信道等。该术语并非暗示相关联的装置不包含任何导线,尽管在一些实施例中它们可能不包含。通信芯片1208可以实施若干无线标准或协议中的任一种,包括但不限于Wi-Fi(IEEE 802.11族)、WiMAX(IEEE 802.16族)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、其衍生物,以及被指定为3G、4G、5G和更高代的任何其他无线协议。计算装置1200可以包括多个通信芯片1208。例如,第一通信芯片1208可以专用于较短距离的无线通信,例如Wi-Fi和蓝牙,第二通信芯片1208可以专用于较长距离的无线通信,例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO等。

[0080] 计算装置1200的处理器1204包括一个或多个器件,例如耦合到形成于根据本发明的实施例的互连结构中的一个或多个互连线的晶体管,所述互连结构包括交替的电介质盖和蚀刻停止衬垫。术语“处理器”可以指处理来自寄存器和/或存储器的电子数据以将该电

子数据转换成可以存储在寄存器和/或存储器中的其他电子数据的任何装置或装置的一部分。

[0081] 通信芯片1208也可以包括一个或多个器件,例如耦合到形成于根据本发明的实施例的互连结构中的一个或多个互连线的晶体管,所述互连结构包括交替的电介质盖和蚀刻停止衬垫。

[0082] 在其他实施例中,计算装置1200内容纳的另一个部件可以包含一个或多个器件,例如耦合到形成于根据本发明的实施例的互连结构中的一个或多个互连线的晶体管,所述互连结构包括交替的电介质盖和蚀刻停止衬垫。

[0083] 在各实施例中,计算装置1200可以是膝上型计算机、上网本计算机、笔记本电脑、超级本计算机、智能电话、平板计算机、个人数字助理(PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字相机、便携式音乐播放器或数字视频记录器。在其他实施方式中,计算装置1200可以是处理数据的任何其他电子装置。

[0084] 例示的本发明的实施方式的以上描述,包括摘要中描述的内容,并非旨在是穷举的或将本发明限制到所公开的精确形式。尽管出于例示的目的在本文中描述了本发明的具体实施方式和示例,但如相关领域的技术人员将理解的,在本发明的范围内,各种等价修改都是可能的。

[0085] 可以根据以上详细描述对本发明做出这些修改。以下权利要求中使用的术语不应被解释为将本发明限制到说明书和权利要求中公开的具体实施方式。相反,本发明的范围要完全由以下权利要求确定,权利要求要根据权利要求解释所建立的基本原则来解释。

[0086] 本发明的实施例可以包括一种互连结构,包括:层间电介质(ILD),所述层间电介质具有在ILD的顶表面之上的第一硬掩模层;ILD中的一个或多个第一互连线,其中第一电介质盖在每个所述第一互连线的顶表面上方;ILD中的与所述第一互连线布置成交替图案的一个或多个第二互连线,其中第二电介质盖在每个所述第二互连线的顶表面上方;以及第一电介质盖的顶表面之上的蚀刻停止衬垫。额外的实施例还可以包括互连结构,其中蚀刻停止衬垫将第一电介质盖与第一互连线分开。额外的实施例还可以包括互连结构,其中蚀刻停止衬垫将第二电介质盖与第二互连线分开,并且其中还沿第二电介质盖的侧壁并在第一硬掩模层的顶表面之上形成蚀刻停止衬垫。额外的实施例还可以包括互连结构,其中蚀刻停止衬垫形成于第二电介质盖的顶表面之上。额外的实施例还可以包括互连结构,其中蚀刻停止衬垫是在蚀刻停止衬垫蚀刻工艺期间具有10:1或更大的相对于第一电介质盖、第二电介质盖和第一硬掩模层的蚀刻选择性的材料。额外的实施例还可以包括互连结构,其中蚀刻停止衬垫蚀刻工艺是湿法蚀刻工艺。额外的实施例还可以包括互连结构,其中干法蚀刻工艺选择性地蚀刻第一电介质盖或第二电介质盖中的至少一个。额外的实施例还可以包括互连结构,其中第一电介质盖是与第二电介质盖不同的材料。额外的实施例还可以包括互连结构,其中第一电介质盖针对给定蚀刻工艺相对于第二电介质盖具有10:1或更大的蚀刻选择性。额外的实施例还可以包括互连结构,还包括穿过ILD形成的一个或多个第一通孔,其中第一电介质盖形成于一个或多个第一通孔的顶表面上方。额外的实施例还可以包括互连结构,还包括穿过ILD形成的一个或多个第二通孔,其中第二电介质盖形成于一个或多个第二通孔的顶表面上方。额外的实施例还可以包括互连结构,其中蚀刻停止衬垫是

氧化铝或氧化铪材料。额外的实施例还可以包括互连结构,其中第一互连线与第二互连线的间隔小于25nm。

[0087] 本发明的实施例还可以包括一种形成互连件的方法,包括:将一个或多个第一沟槽形成到层间电介质(ILD)中;将第一金属沉积到所述一个或多个第一沟槽中以形成第一互连线;在第一互连线的顶表面之上形成蚀刻停止衬垫;在形成在第一互连线的顶表面之上的蚀刻停止衬垫上方形成第一电介质盖;以及与第一沟槽交替的图案将一个或多个第二沟槽形成到ILD中;将第二金属设置到所述一个或多个第二沟槽中以形成第二互连线;在第二互连线的顶表面之上和第一电介质盖的顶表面之上形成蚀刻停止衬垫;以及在第二互连线上方形形成第二电介质盖。额外的实施例还可以包括一种形成互连件的方法,其中形成第一沟槽包括:在ILD之上形成的第一硬掩模层上方形成骨干层;在骨干层上形成间隔体,其中第一硬掩模层的一部分保持暴露于间隔体之间;以及蚀刻穿过第一硬掩模层的暴露部分并进入第一硬掩模层的暴露部分下面的ILD中。额外的实施例还可以包括一种形成互连件的方法,其中形成第二沟槽包括:蚀刻穿过骨干层;以及蚀刻穿过第一硬掩模层的部分并进入ILD。额外的实施例还可以包括一种形成互连件的方法,还包括:在将第一金属沉积到第一沟槽之前,蚀刻穿过形成于一个或多个所述第一沟槽下面的ILD的部分;以及在将第二金属沉积到第二沟槽之前,蚀刻穿过一个或多个所述第二沟槽下面的ILD的部分。额外的实施例还可以包括一种形成互连件的方法,其中蚀刻停止衬垫相对于第一电介质盖和第二电介质盖具有10:1或更大的蚀刻选择性。额外的实施例还可以包括一种形成互连件的方法,其中第一互连线与第二互连线的间隔小于25nm。额外的实施例还可以包括一种形成互连件的方法,其中第一和第二盖是 $\text{SiO}_x\text{C}_y\text{N}_z$ 材料、金属氧化物材料或金属氮化物材料,并且其中蚀刻停止衬垫是氧化铝或氧化铪材料。

[0088] 本发明的实施例还可以包括一种形成互连件的方法,包括:在层间电介质(ILD)上方形成第一硬掩模层;在第一硬掩模层上方形成骨干硬掩模;在骨干硬掩模的表面和第一硬掩模层的暴露部分之上形成间隔体层;蚀刻穿过间隔体层以沿骨干硬掩模的侧壁形成骨干间隔体;蚀刻穿过第一硬掩模层和ILD以将第一沟槽形成到ILD中;将第一金属设置到所述一个或多个第一沟槽中以形成第一互连线;在第一互连线的顶表面之上形成蚀刻停止衬垫;在第一互连线的顶表面之上形成的蚀刻停止衬垫上方形成第一电介质盖;蚀刻穿过骨干硬掩模以及骨干硬掩模下方的第一硬掩模层和ILD的部分以形成第二沟槽;将第二金属设置到所述一个或多个第二沟槽中以形成第二互连线;在第二互连线的顶表面之上和第一电介质盖的顶表面之上形成蚀刻停止衬垫;在第二互连线上方形形成第二电介质盖;以及去除骨干间隔体。额外的实施例还可以包括一种形成互连件的方法,其中蚀刻停止衬垫在蚀刻停止衬垫蚀刻工艺期间相对于第一电介质盖和第二电介质盖具有10:1或更大的蚀刻选择性。额外的实施例还可以包括一种形成互连件的方法,其中蚀刻停止衬垫蚀刻工艺是湿法蚀刻工艺。额外的实施例还可以包括一种形成互连件的方法。额外的实施例还可以包括一种形成互连件的方法,其中第一和第二电介质盖为 $\text{SiO}_x\text{C}_y\text{N}_z$ 材料、金属氧化物材料或金属氮化物材料,并且其中蚀刻停止衬垫是氧化铝或氧化铪材料。

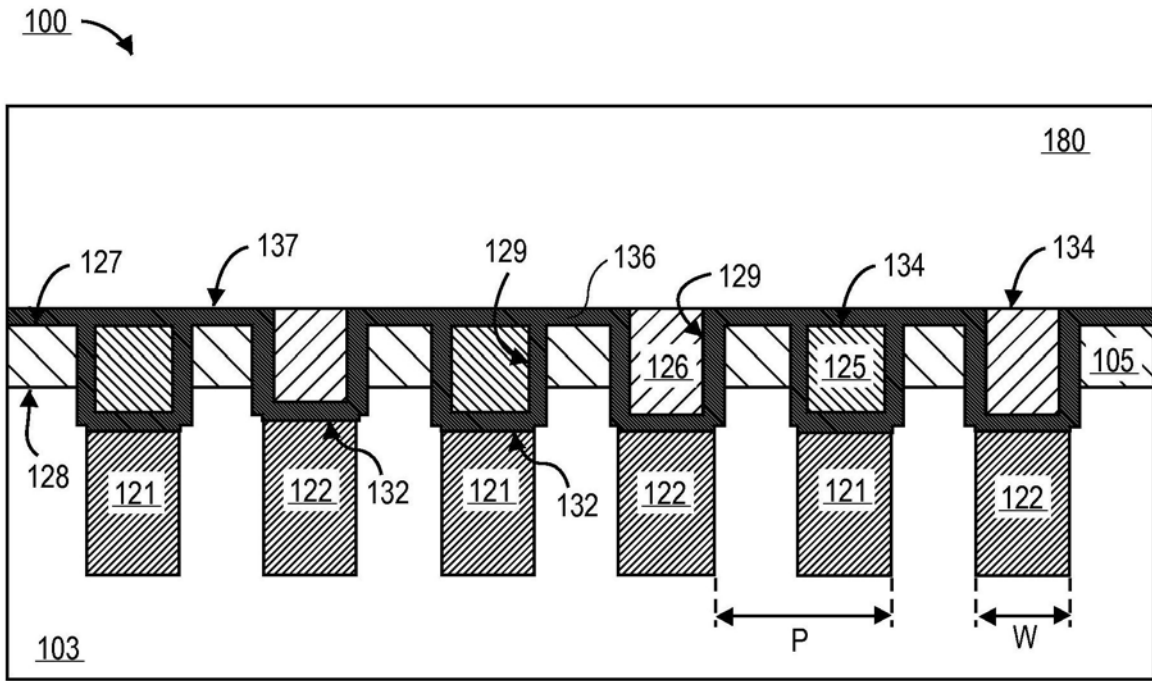


图1A

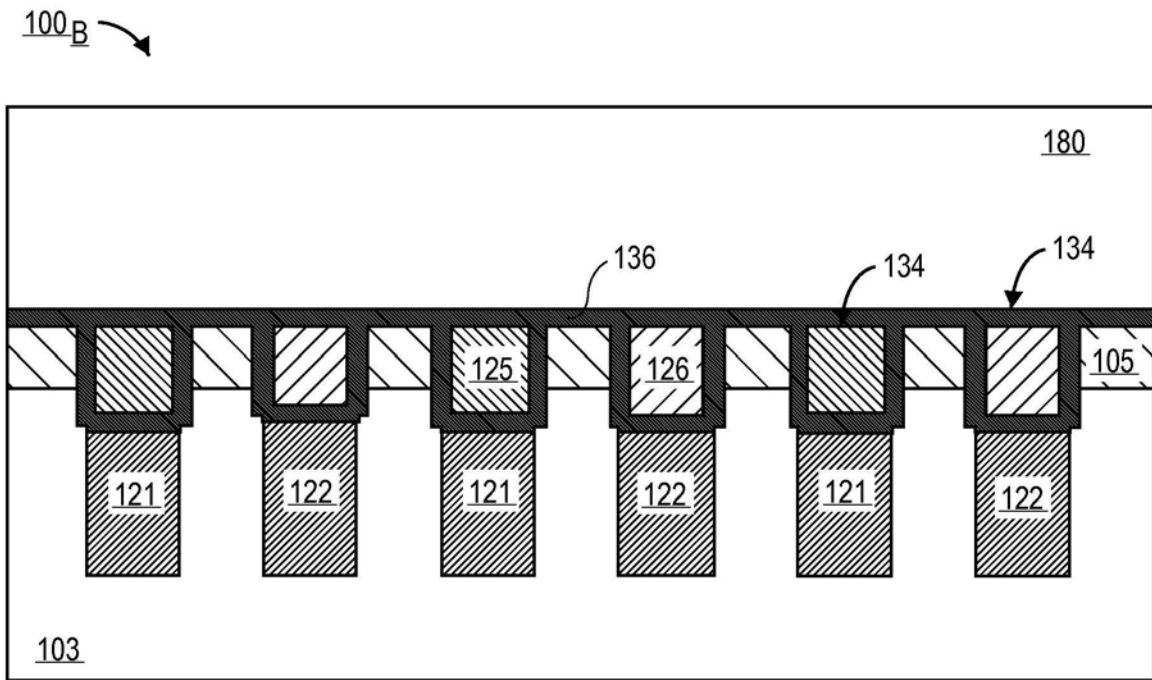


图1B

100_C

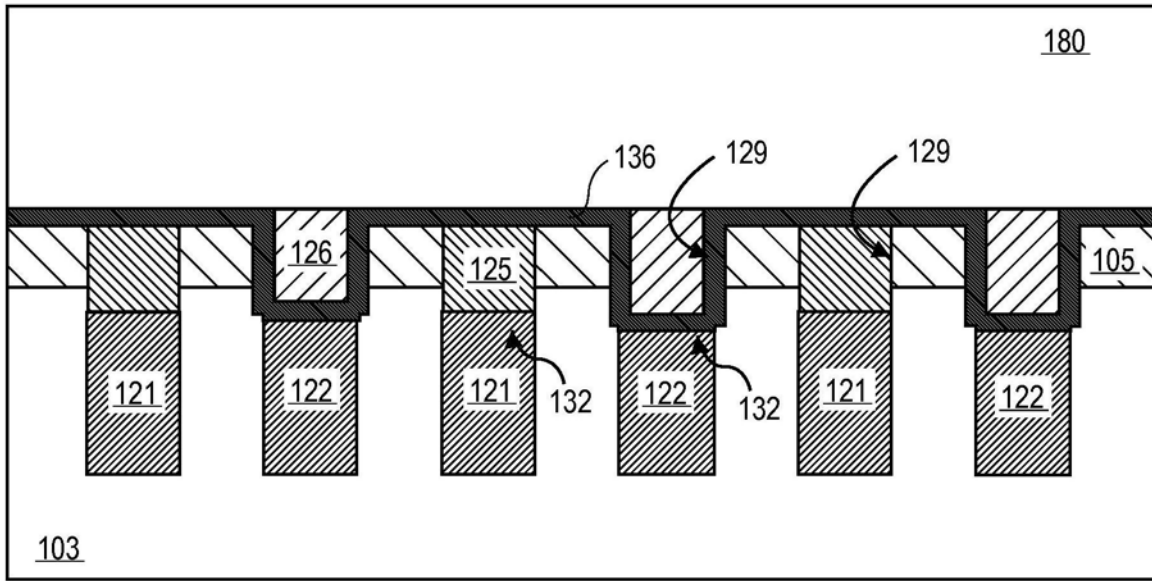


图1C

100_D

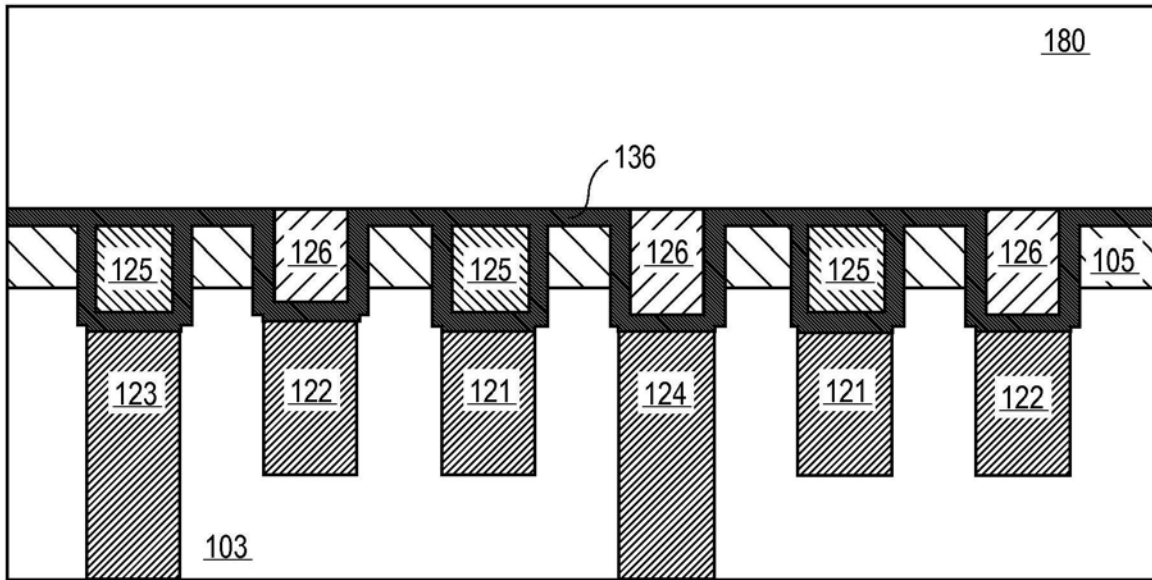


图1D

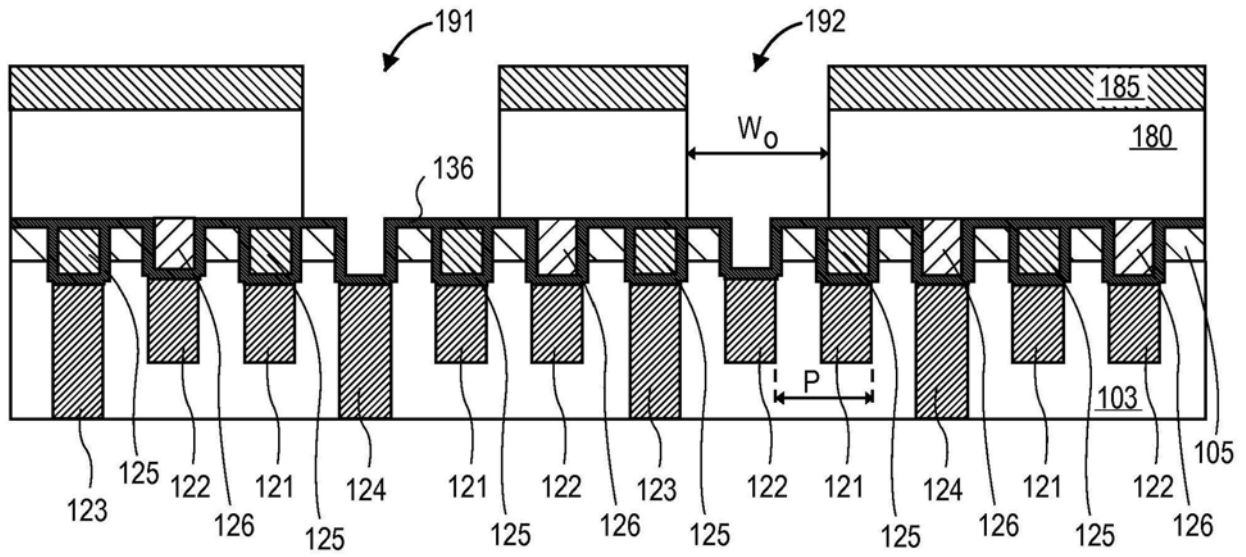


图2A

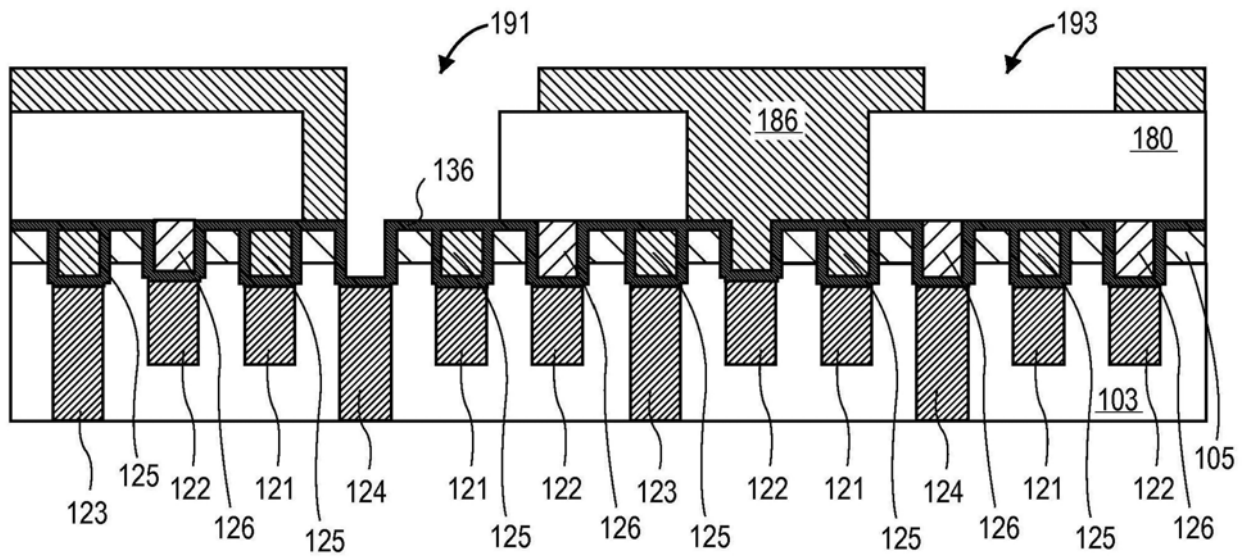


图2B

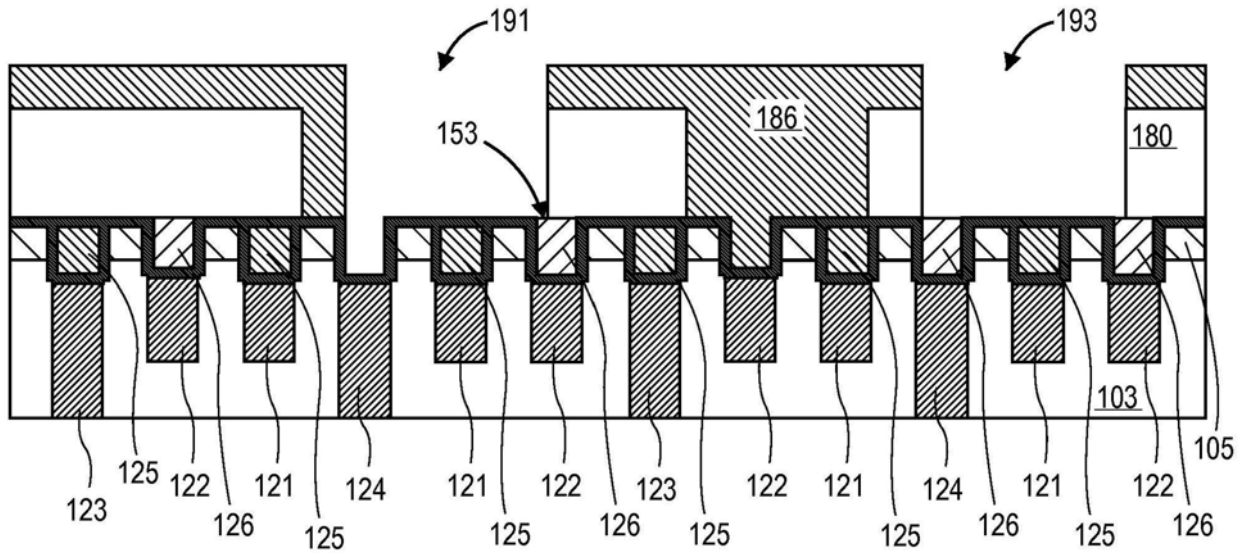


图2C

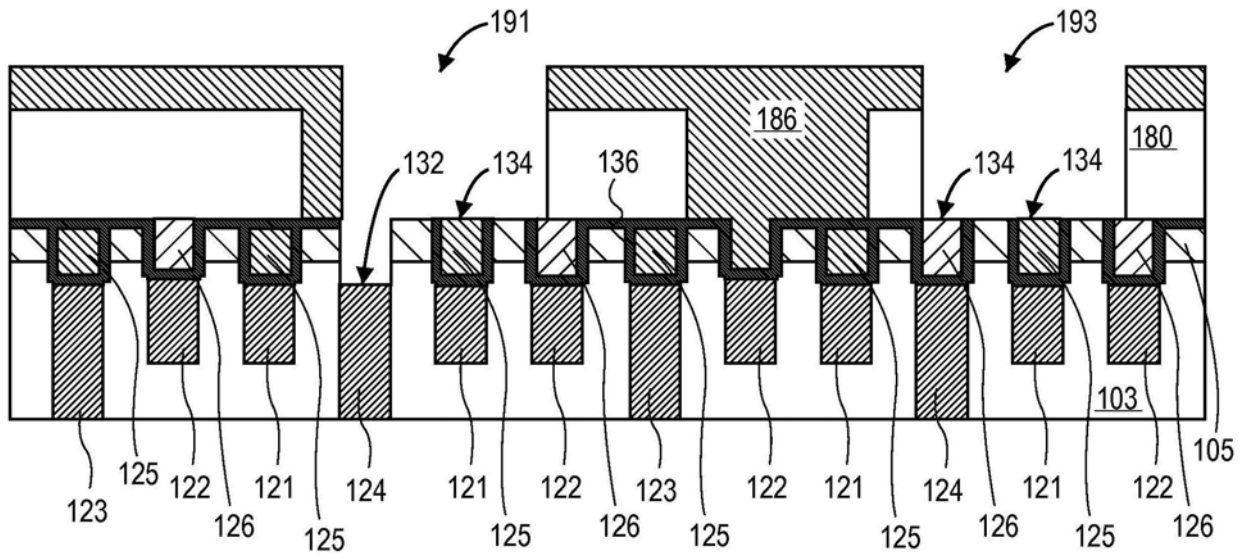


图2D

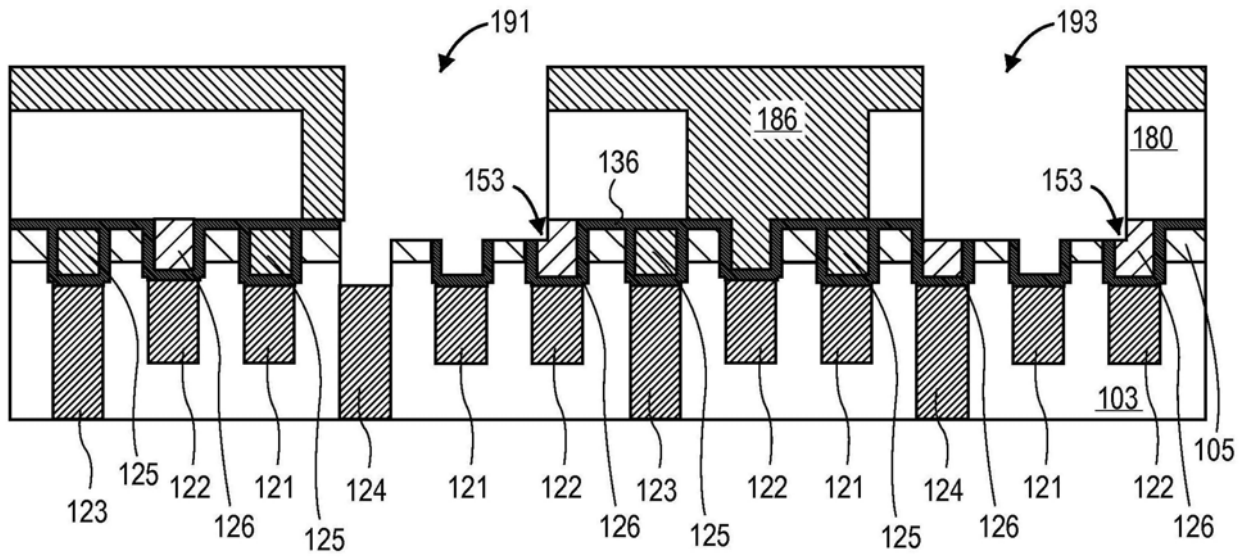


图2E

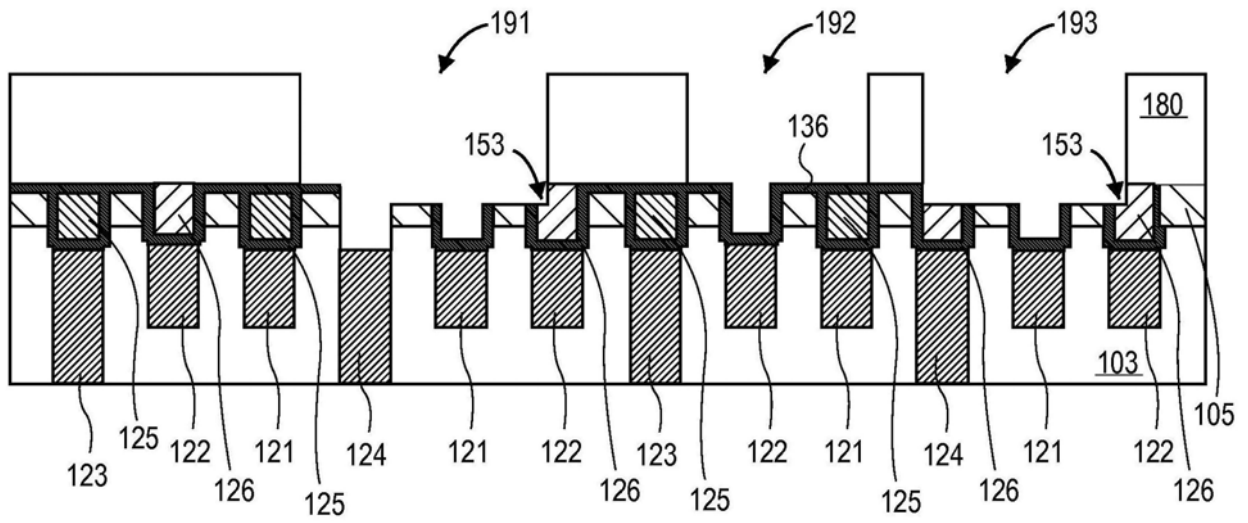


图2F

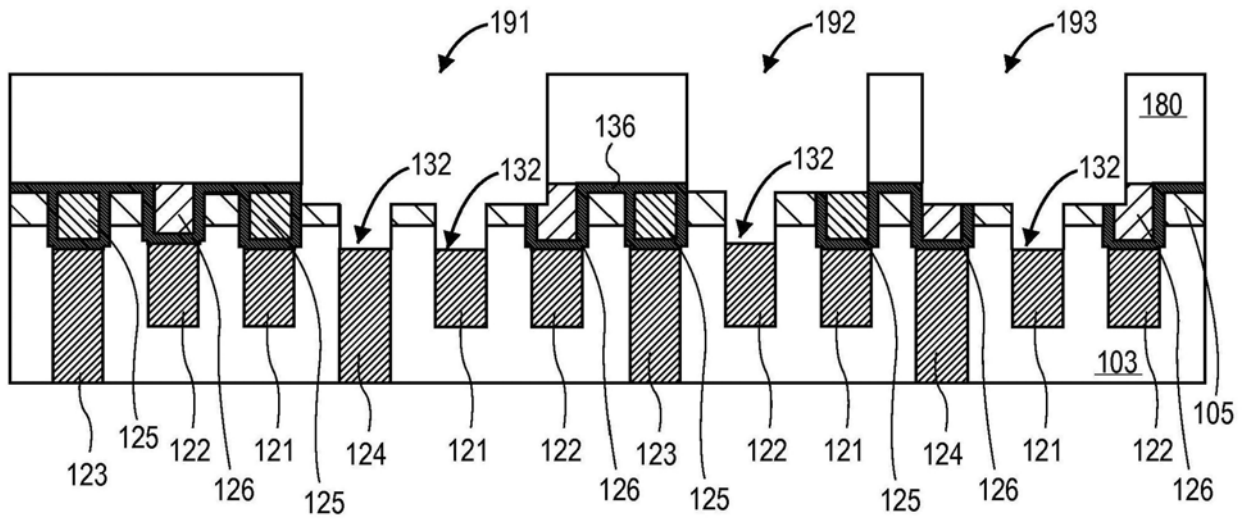


图2G

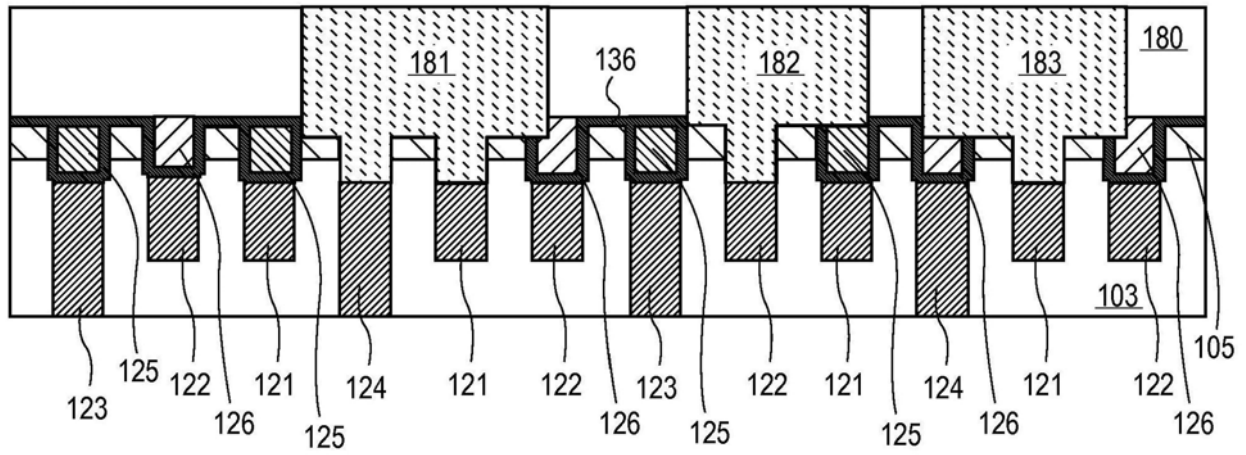


图2H

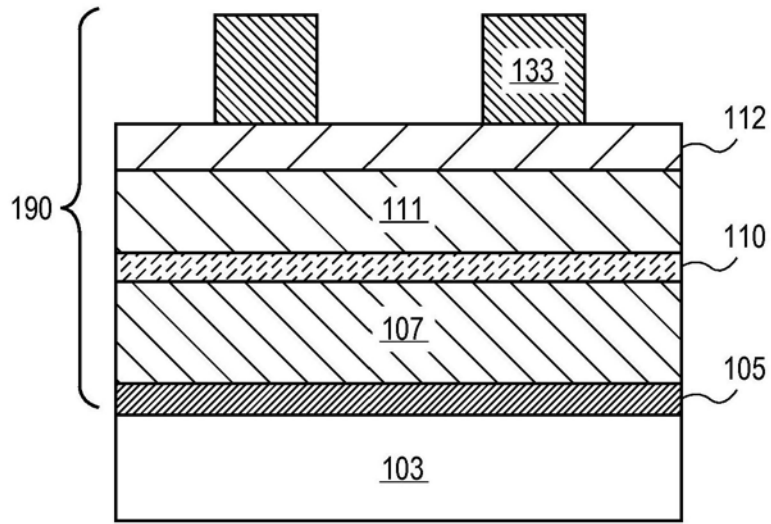


图3A

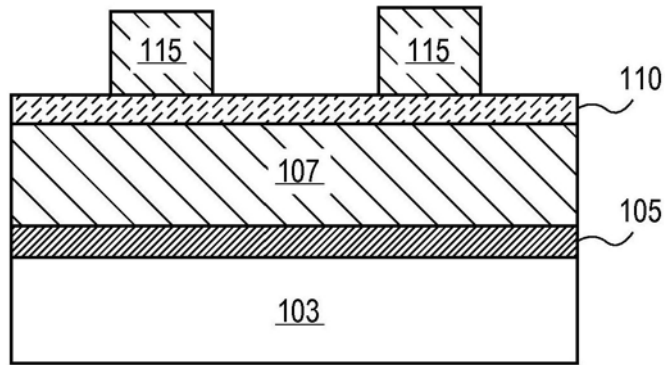


图3B

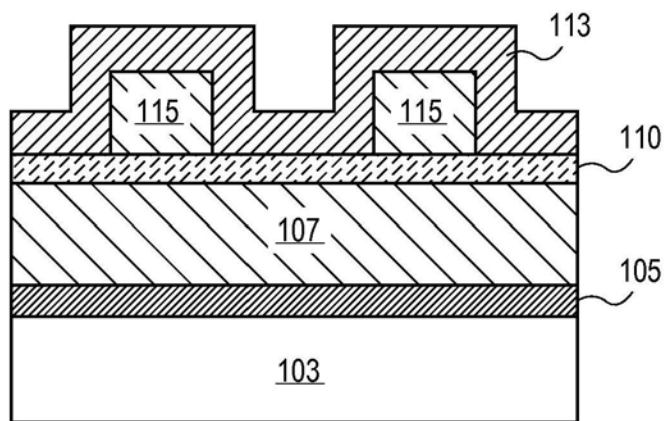


图3C

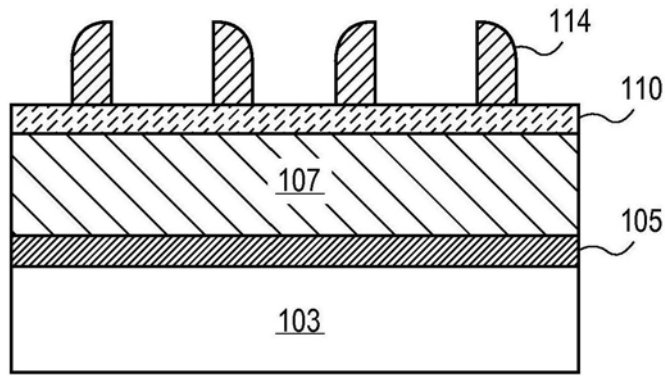


图3D

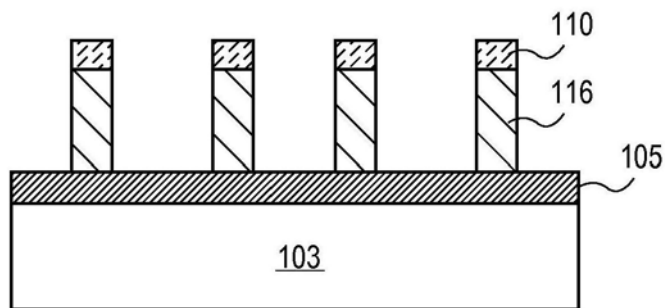


图3E

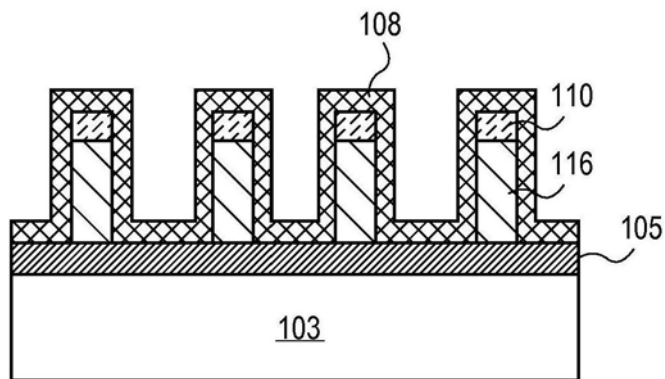


图3F

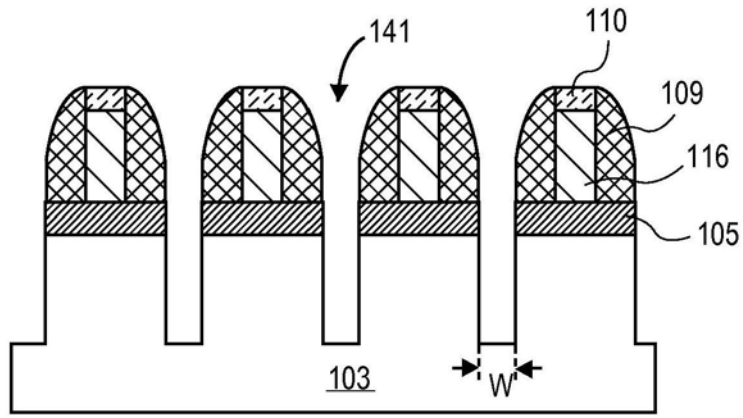


图3G

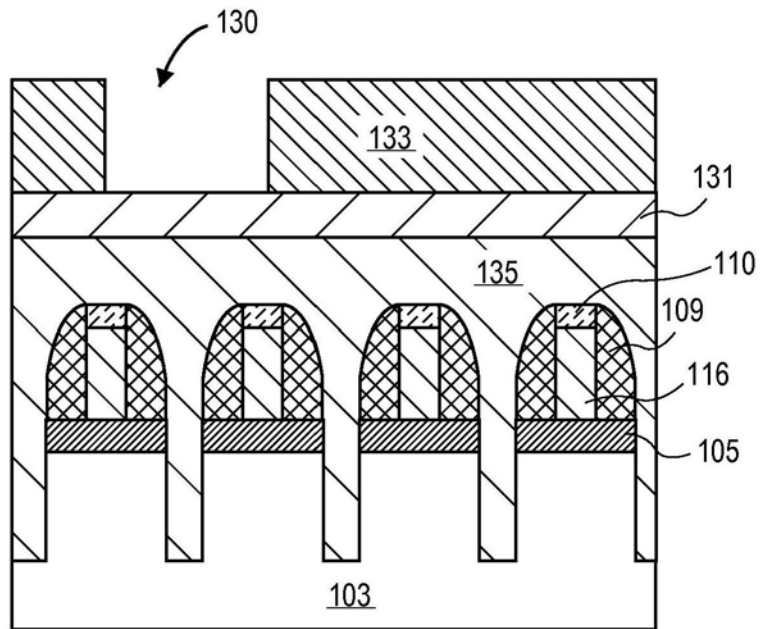


图3H

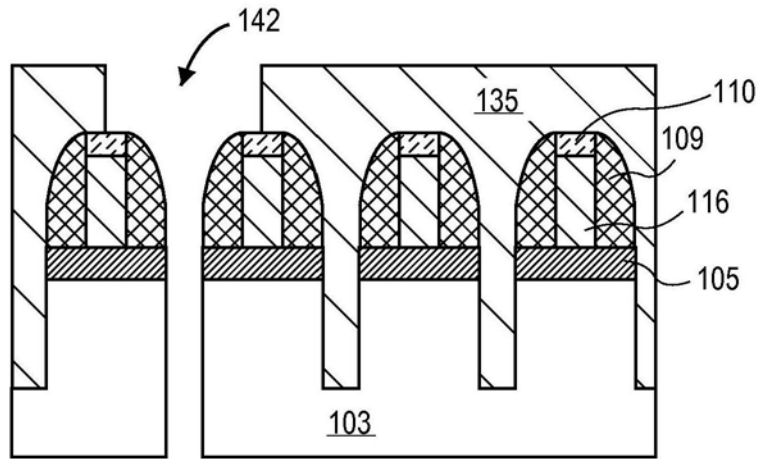


图3I

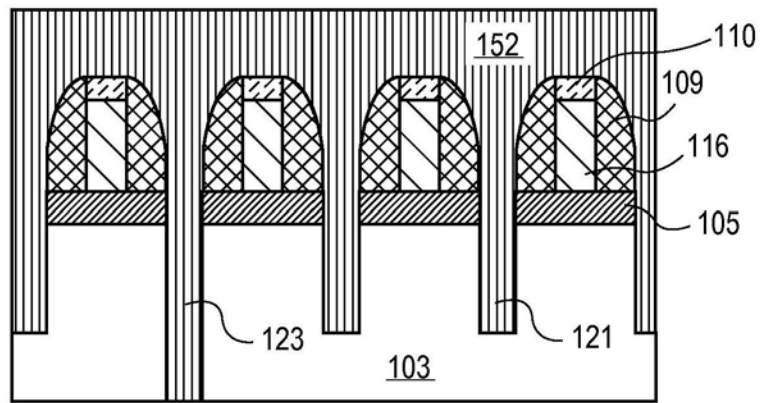


图3J

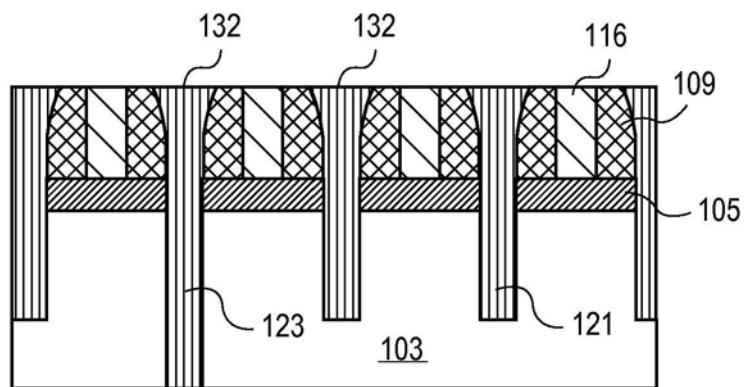


图3K

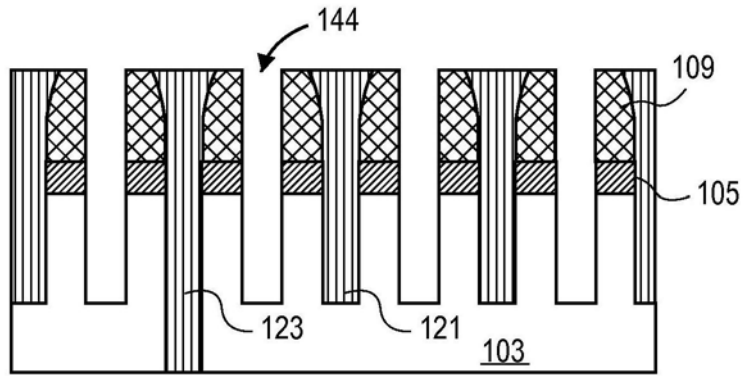


图3L

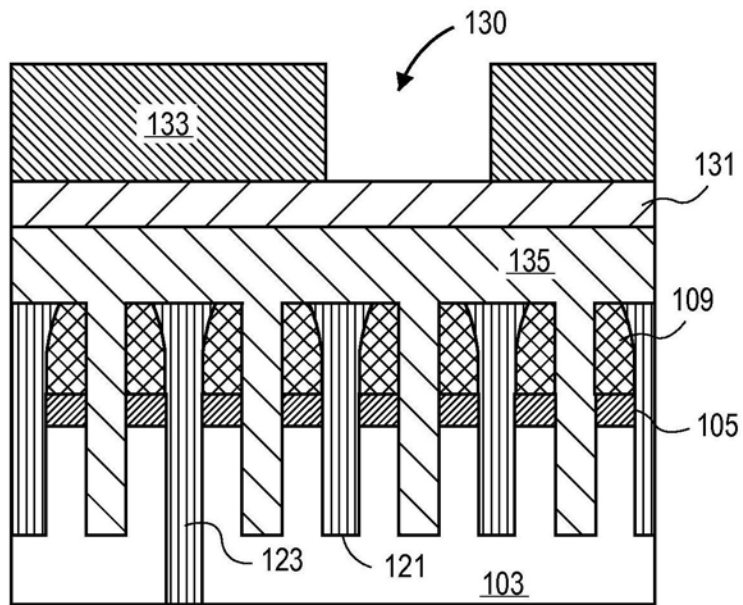


图3M

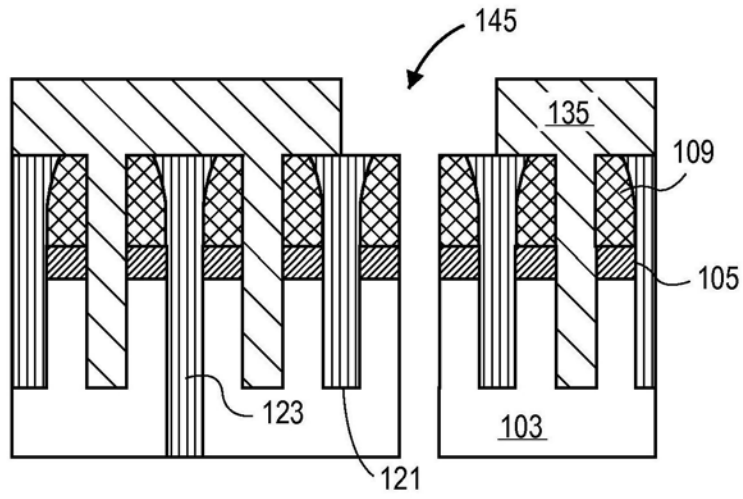


图3N

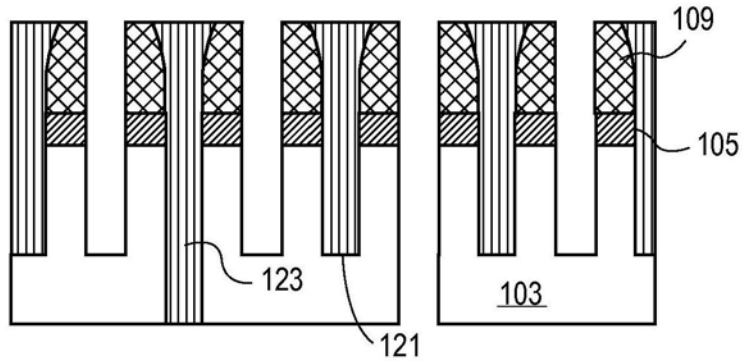


图30

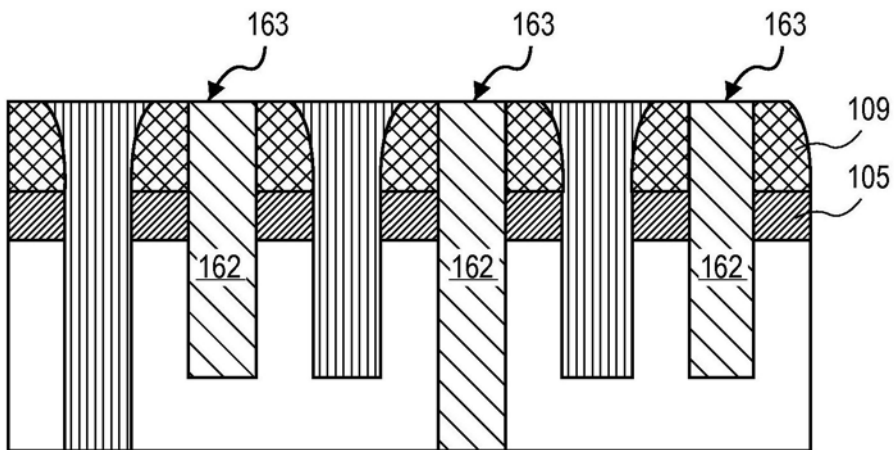


图3P

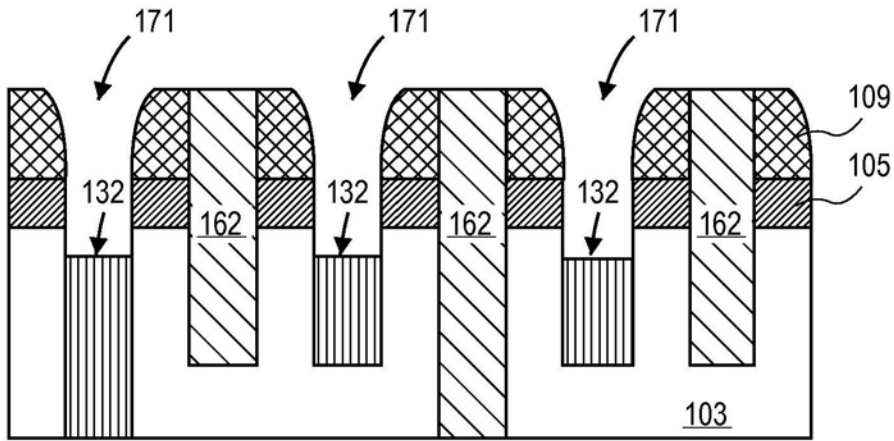


图3Q

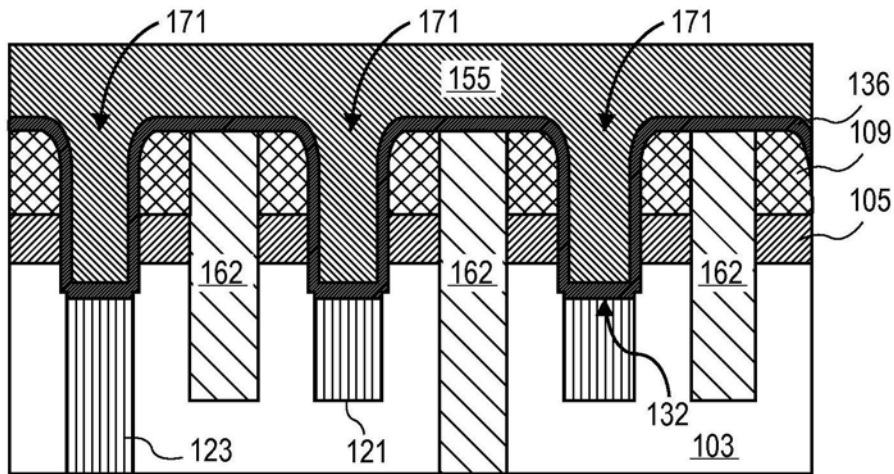


图3R

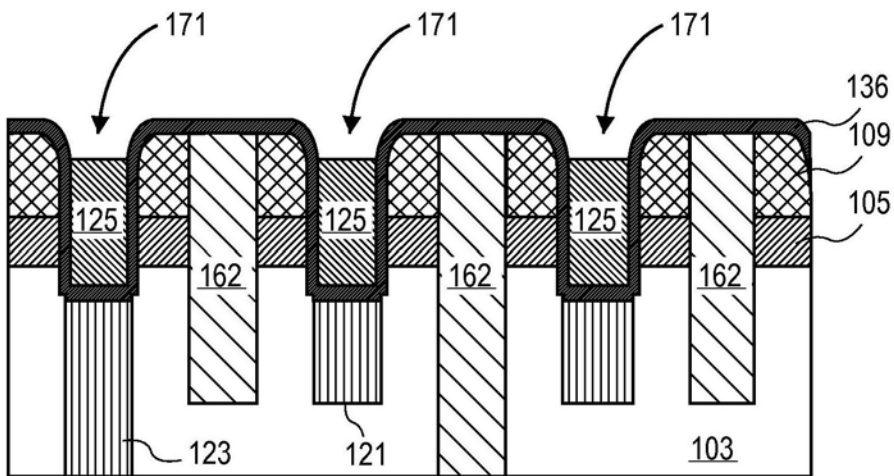


图3S

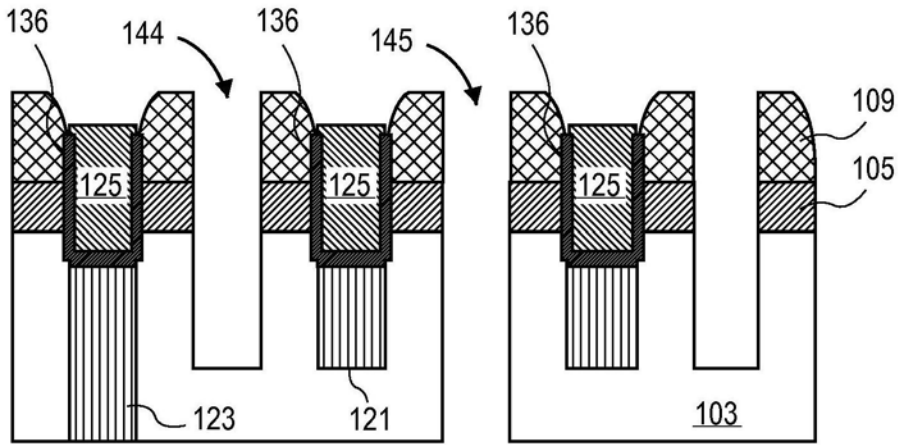


图3T

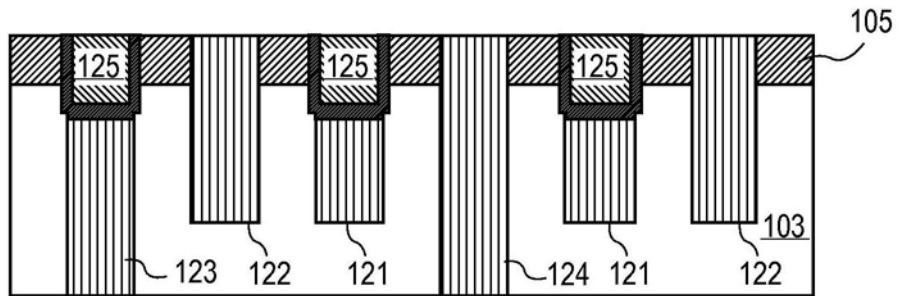


图3U

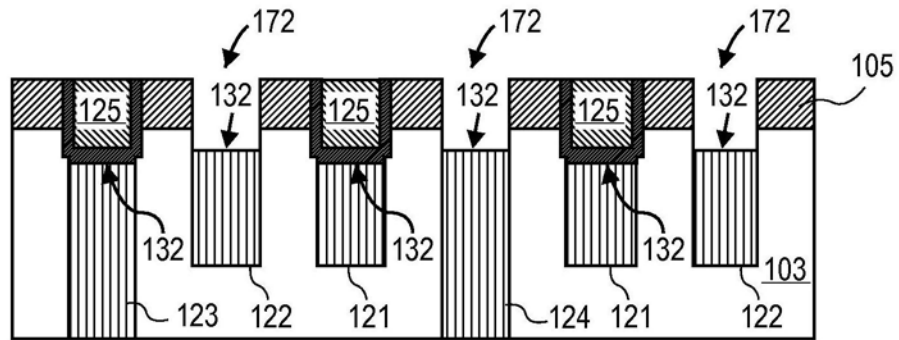


图3V

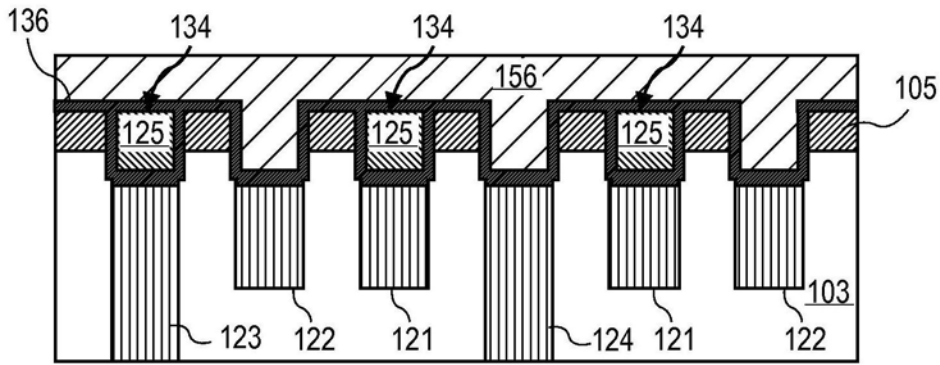


图3W

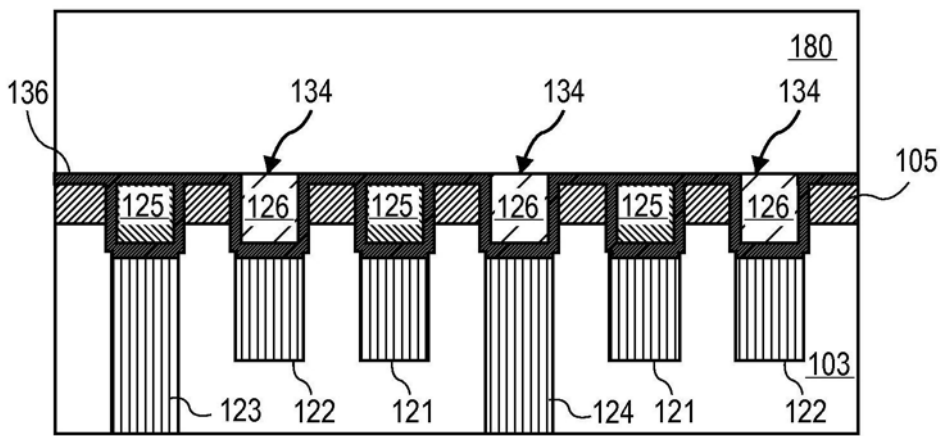


图3X

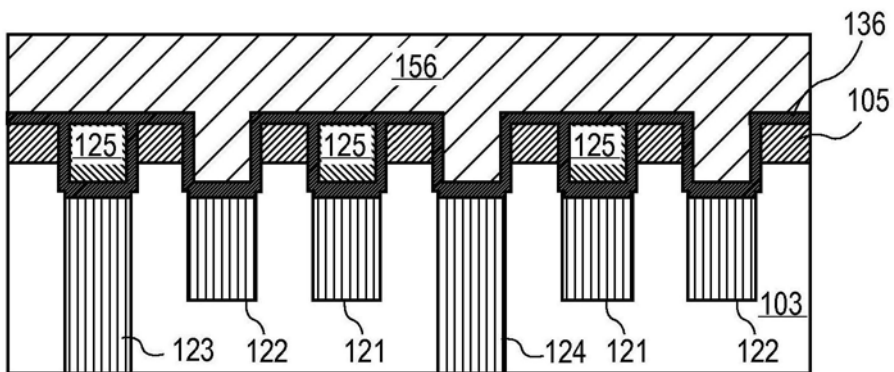


图4A

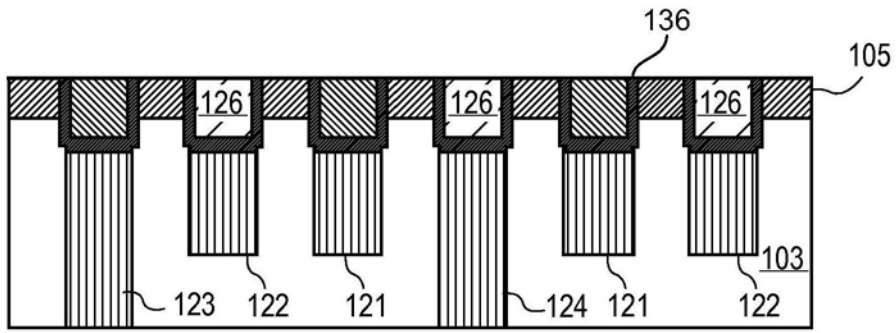


图4B

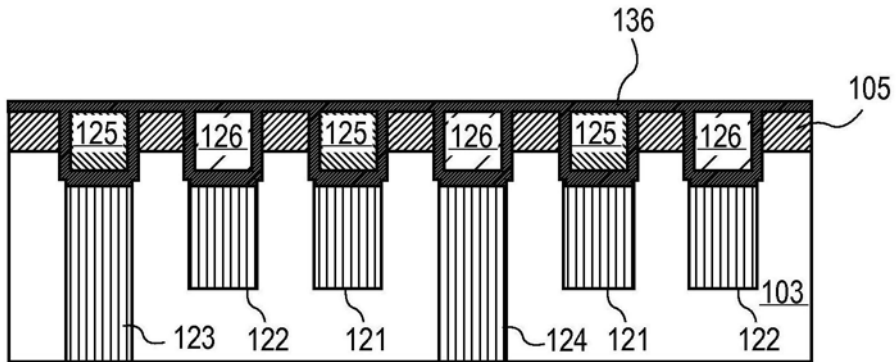


图4C

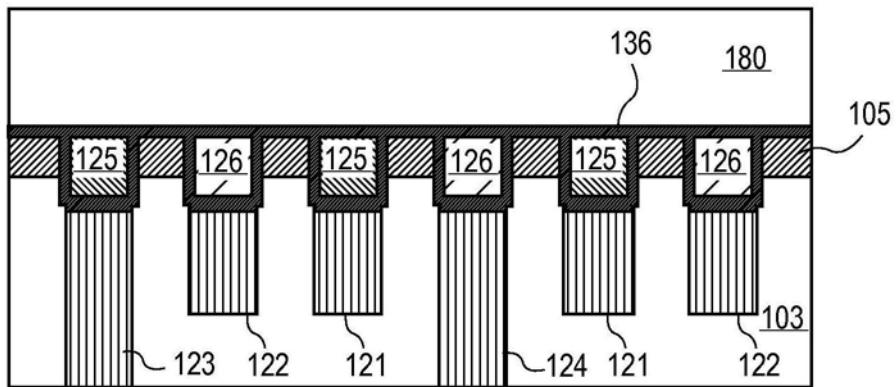


图4D

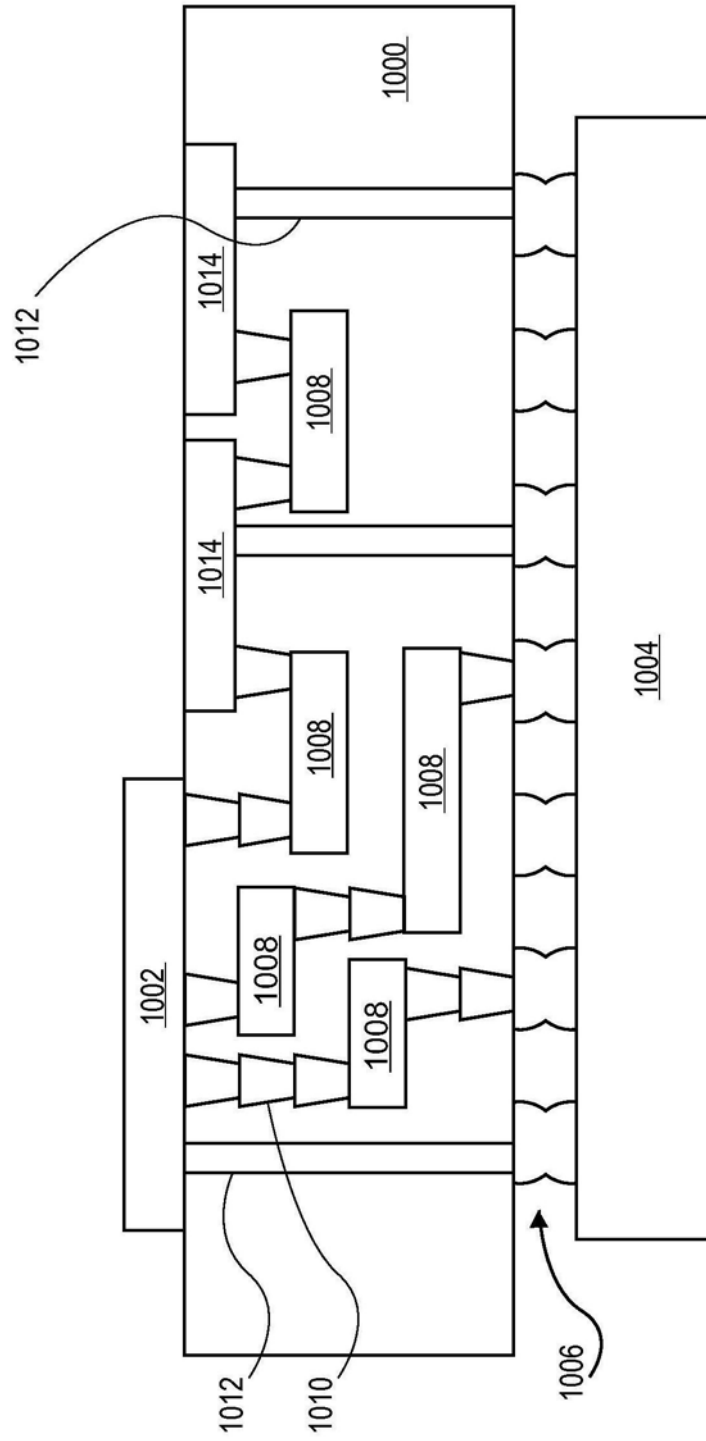


图5

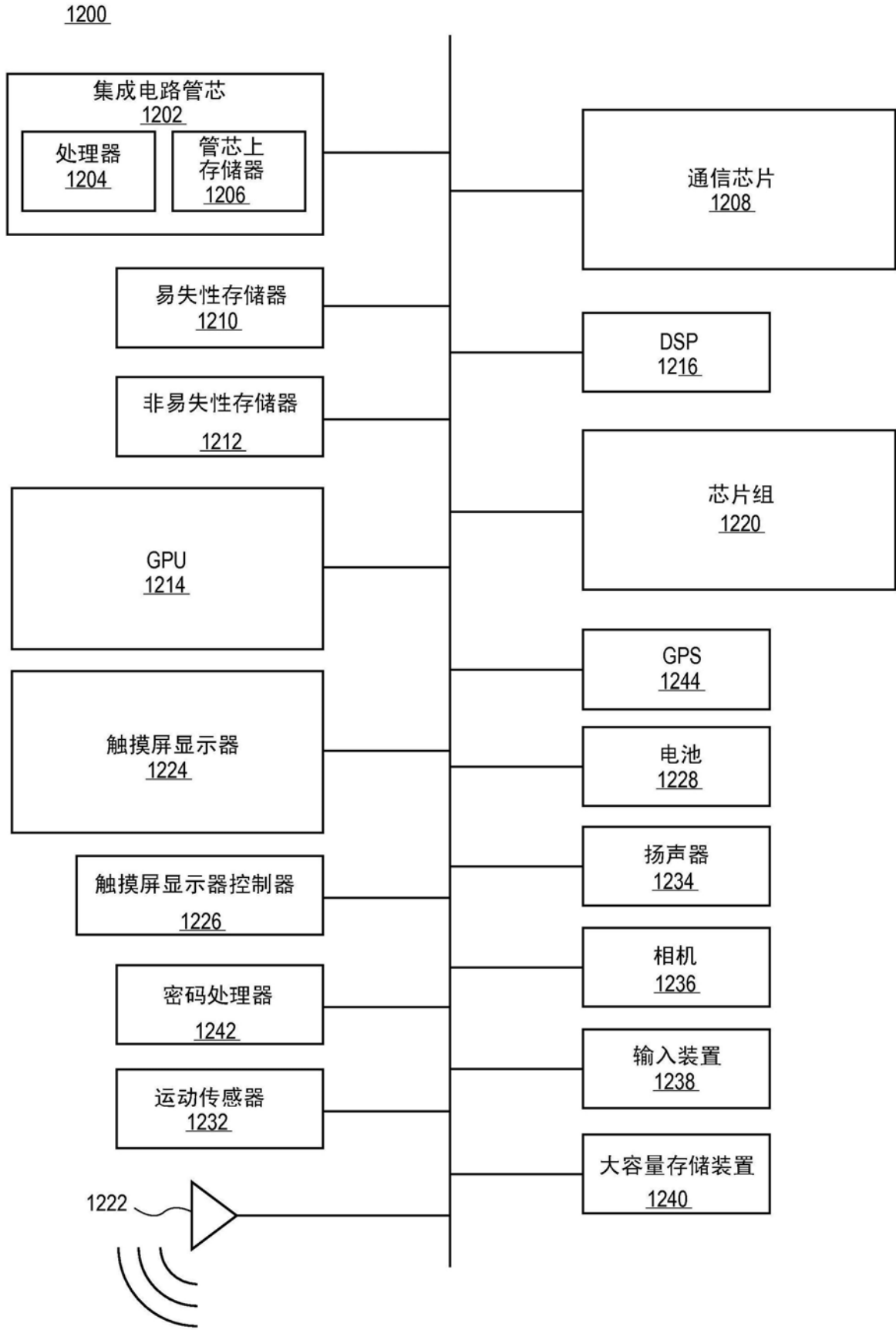


图6