



(12) 发明专利

(10) 授权公告号 CN 113838913 B

(45) 授权公告日 2023.04.28

(21) 申请号 202111116036.2

(22) 申请日 2021.09.23

(65) 同一申请的已公布的文献号  
申请公布号 CN 113838913 A

(43) 申请公布日 2021.12.24

(73) 专利权人 电子科技大学  
地址 611731 四川省成都市高新区(西区)  
西源大道2006号  
专利权人 电子科技大学广东电子信息工程  
研究院

(72) 发明人 张金平 肖翔 张琨 张波

(74) 专利代理机构 成都点睛专利代理事务所  
(普通合伙) 51232  
专利代理师 敖欢

(51) Int.Cl.

H01L 29/06 (2006.01)

H01L 29/739 (2006.01)

H01L 21/331 (2006.01)

(56) 对比文件

CN 109103257 A, 2018.12.28

CN 108183130 A, 2018.06.19

US 2017345905 A1, 2017.11.30

CN 107768436 A, 2018.03.06

US 2019067469 A1, 2019.02.28

审查员 穆晓龄

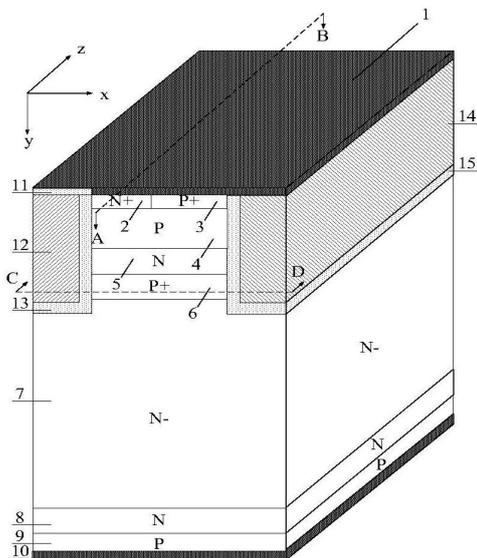
权利要求书3页 说明书8页 附图12页

(54) 发明名称

分段式注入的自钳位IGBT器件及其制作方法

(57) 摘要

本发明提供一种分段式注入的自钳位IGBT及其制作方法。在元胞右侧引入与发射极等电位的沟槽结构,在N型电荷存储层下方引入P型掺杂埋层,通过改变掩模版的开口,使高浓度的P型埋层呈间隔式分布,改善了在器件导通时高浓度P型埋层对阈值电压的不利影响,降低了导通电阻。在器件饱和时自偏置PMOS结构开启,CS层电势被钳位在一个较低的值,从而降低了IGBT的饱和电流。间隔式分布的高浓度P型埋层可以保证PMOS结构在高集电极电压下正常开启以钳位住CS层的电势,降低饱和电流,提高了器件的短路能力。在制备传统沟槽IGBT工艺方法的基础上,仅增加一张掩模版即可实现沿z方向呈分段式分布的P+埋层,没有增加工艺的复杂度,容易实现。



CN 113838913 B

1. 一种分段式注入的自钳位IGBT器件,包括从下至上依次层叠设置的集电极金属(10)、P型集电区(9)、N型场阻止层(8)、N-漂移区(7),位于N-漂移区(7)上方的沟槽结构,所述沟槽结构包括栅介质层(13)、栅介质层(13)内的多晶栅电极(12)、位于多晶栅电极(12)上方的栅隔离介质层(11);

其特征在于:所述N-漂移区(7)上方具有P+埋层(6)、分离栅结构,所述分离栅结构包括分离栅介质层(15)、分离栅介质层(15)内的多晶分离栅电极(14);

以3维直角坐标系对器件的3维方向进行定义:定义器件从沟槽结构指向分离栅结构的方向为x轴方向、从沟槽结构指向N-漂移区(7)的方向为y轴方向、垂直于x和y的方向为z轴方向;

所述P+埋层(6)沿Z方向呈现间隔式分布,Z方向上相邻的P+埋层(6)之间的区域为N-漂移区(7);所述P+埋层(6)与沟槽结构及分离栅结构接触;所述P+埋层(6)及N-漂移区(7)上部具有N型电荷存储层(5);所述N型电荷存储层(5)上部具有P型基区(4);所述P型基区(4)上部具有N+发射区(2)、与N+发射区(2)接触的P+接触区(3);所述栅隔离介质层(11)上部、N+发射区(2)上部、P+接触区(3)上部、分离栅结构上部具有发射极金属(1);所述分离栅介质层(15)与发射极金属(1)之间短接;所述P+埋层(6)的浓度高于P型基区(4)的浓度;所述P+埋层(6)沿z方向的宽度大于或等于同水平面上相邻P+埋层(6)之间N-漂移区(7)的宽度;所述P+埋层(6)沿y方向的宽度小于N型电荷存储层(5)沿y方向的宽度。

2. 根据权利要求1所述的一种分段式注入的自钳位IGBT器件,其特征在于:沿Z方向任意相邻的两个P+埋层(6)之间的N-漂移区(7)替换为P-埋层(16);所述P-埋层(16)沿Z方向的宽度小于或等于P+埋层(6)沿Z方向的宽度;所述P-埋层(16)的浓度小于或等于P型基区(4)的浓度,P-埋层(16)沿y方向的宽度和P+埋层(6)沿y方向的宽度相同。

3. 根据权利要求1所述的一种分段式注入的自钳位IGBT器件,其特征在于:在N-漂移区(7)中引入由超结N柱(17)与超结P柱(18)构成的超结结构。

4. 根据权利要求1所述的一种分段式注入的自钳位IGBT器件,其特征在于:在分离栅结构的右侧引入P型浮空区(20),所述P型浮空区(20)的上方具有隔离介质层(19),隔离介质层(19)的上方具有发射极金属(1);

P型浮空区(20)沿y方向的深度与分离栅结构的深度相等,或者所述P型浮空区(20)沿y方向的深度超过分离栅结构沿y方向的深度且P型浮空区(20)与P+埋层(6)部分接触。

5. 根据权利要求1所述的一种分段式注入的自钳位IGBT器件,其特征在于:分离栅结构上部的金属嵌入P型基区(4)和分离栅结构。

6. 权利要求1所述的一种分段式注入的自钳位IGBT器件的制作方法,其特征在于包括如下步骤:

步骤1:选取掺杂浓度为 $10^{13} \sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区;

步骤2:在硅片表面淀积保护层,光刻出窗口进行沟槽硅刻蚀,刻蚀出栅电极沟槽与分离栅电极沟槽;

步骤3:在沟槽侧壁生长一层牺牲氧化层,然后去除掉牺牲氧化层;然后在沟槽侧壁生长一层栅氧化层;接着在所述栅氧化层上淀积多晶硅,然后反刻蚀掉表面多余多晶硅;

步骤4:在硅片表面生长一层预氧化层,通过离子注入P型杂质,制得间隔分布的P+埋层;

步骤5:通过离子注入N型杂质制得N型电荷存储层;通过离子注入P型杂质并退火处理制得P型基区;分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区和P+接触区;

步骤6:淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层;

步骤7:器件正面淀积金属制作发射极金属;

步骤8:翻转硅片;通过离子注入N型杂质,激光退火后制得N型场阻止层;通过离子注入P型杂质制得P+集电区;淀积金属制得金属集电极。

7.权利要求1所述的一种分段式注入的自钳位IGBT器件的制作方法,其特征在于包括如下步骤:

步骤1:选取掺杂浓度为 $10^{13}\sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区;

步骤2:在硅片表面生长一层预氧化层,通过离子注入P型杂质,制得间隔分布的P+埋层;

步骤3:通过离子注入N型杂质制得N型电荷存储层;通过离子注入P型杂质并退火处理制得P型基区;分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区和P+接触区;

步骤4:在硅片表面淀积保护层,光刻出窗口进行沟槽硅刻蚀,刻蚀出栅电极沟槽与分离栅电极沟槽;

步骤5:在沟槽侧壁生长一层牺牲氧化层,然后去除掉牺牲氧化层;然后在沟槽侧壁生长一层栅氧化层;接着在所述栅氧化层上淀积多晶硅,然后反刻蚀掉表面多余多晶硅;

步骤6:淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层;

步骤7:器件正面淀积金属制作发射极金属;

步骤8:翻转硅片;通过离子注入N型杂质,激光退火后制得N型场阻止层;通过离子注入P型杂质制得P+集电区;淀积金属制得金属集电极。

8.权利要求2所述的一种分段式注入的自钳位IGBT器件的制作方法,其特征在于包括如下步骤:

步骤1:选取掺杂浓度为 $10^{13}\sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区;

步骤2:在硅片表面淀积保护层,光刻出窗口进行沟槽硅刻蚀,刻蚀出栅电极沟槽与分离栅电极沟槽;

步骤3:在沟槽侧壁生长一层牺牲氧化层,然后去除掉牺牲氧化层;然后在沟槽侧壁生长一层栅氧化层;接着在所述栅氧化层上淀积多晶硅,然后反刻蚀掉表面多余多晶硅;

步骤4:在硅片表面生长一层预氧化层,通过离子注入P型杂质,制得间隔分布的P+埋层;

步骤5:通过离子注入P型杂质,形成P-埋层;

步骤6:通过离子注入N型杂质制得N型电荷存储层;通过离子注入P型杂质并退火处理制得P型基区;分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区和P+接触区;

步骤7:淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层;

步骤8:器件正面淀积金属制作发射极金属;

步骤9:翻转硅片;通过离子注入N型杂质,激光退火后制得N型场阻止层;通过离子注入

P型杂质制得P+集电区；淀积金属制得金属集电极。

## 分段式注入的自钳位IGBT器件及其制作方法

### 技术领域

[0001] 本发明属于功率半导体器件技术领域,涉及绝缘栅双极型晶体管(IGBT),具体涉及一种分段式注入的自钳位IGBT及其制作方法。

### 背景技术

[0002] 绝缘栅双极晶体管(IGBT)作为新型功率器件,结合了金属氧化物半导体场效应管(MOSFET)的栅电极电压控制特性和双极结型晶体管(BJT)的低导通电阻特性,具有电压控制、输入阻抗大、驱动功率小、导通电阻小、电流密度高,开关损耗低及工作频率高等特性,是比较理想的半导体功率开关器件,在各种功率转换、马达驱动及电力电子装置中得到了广泛应用。

[0003] 自IGBT问世以来,人们一直致力于改善器件导通压降和关断损耗的折中关系。从初代穿通型IGBT(PT-IGBT) IGBT到场阻止型IGBT(FS-IGBT),IGBT的长度不断减薄,器件的折中特性大大提高。在栅极结构上,IGBT由平面栅发展到沟槽栅,消除了JEFT效应,进一步降低了器件的导通压降。在这些基础上,IGBT经过不断的改进,得到了许多新结构。载流子存储型IGBT(CSTBT)通过在P基区下方引入浓度高于N型漂移区的N型载流子存储层,形成空穴的堆积,增强了发射极侧载流子浓度,降低了器件的导通压降。但是,引入的CS存储层与P基区之间的PN结会建立起较强电场,造成器件在较低承压下提前达到雪崩击穿条件,阻断能力降低。而且随CS层浓度的增加,器件的饱和电流也会同时增大,对安全工作区带来不利影响。

### 发明内容

[0004] 为了改善传统CSTBT结构中由于高浓度N型电荷存储层引起的饱和电流大、短路性能差、击穿特性退化、以及深沟槽引起的米勒电容增大的问题,本发明提出了一种分段式注入的自钳位IGBT结构如图2所示,在元胞右侧引入与发射极等电位、与沟槽栅等深度的沟槽结构,在N型电荷存储层下方引入高浓度P型掺杂埋层,通过改变掩模版的开口,使高浓度的P型埋层不再连续分布,而是呈间隔式分布,改善了在器件导通时高浓度P型埋层对阈值电压的不利影响,电子电流可以通过未掺杂P型杂质的部分流入N型漂移区,大大降低了导通电阻。其中P型基区、N型电荷存储层、P型埋层与沟槽发射极构成自偏置PMOS结构,在器件饱和时PMOS开启,CS层电势被钳位在一个较低的值,为PNP晶体管提供的基极电流降低,从而降低了IGBT的饱和电流。间隔式分布的高浓度P型埋层可以保证PMOS结构在高集电极电压下正常开启以钳位住CS层的电势,降低饱和电流,提高了器件的短路能力,改善了短路安全工作区。本发明在制备传统沟槽IGBT工艺方法的基础上,仅增加一张掩模版即可实现沿z方向呈分段式分布的P+埋层,没有增加工艺的复杂度,容易实现。

[0005] 为实现上述发明目的,本发明的技术方案如下:

[0006] 一种分段式注入的自钳位IGBT器件,包括从下至上依次层叠设置的集电极金属10、P型集电区9、N型场阻止层8、N-漂移区7,位于N-漂移区7上方的沟槽结构,所述沟槽结构

包括栅介质层13、栅介质层13内的多晶栅电极12、位于多晶栅电极12上方的栅隔离介质层11；

[0007] 所述N-漂移区7上方具有P+埋层6、分离栅结构，所述分离栅结构包括分离栅介质层15、分离栅介质层15内的多晶分离栅电极14；

[0008] 以三维直角坐标系对器件的3维方向进行定义：定义器件从沟槽结构指向分离栅结构的方向为x轴方向、从沟槽结构指向N-漂移区7的方向为y轴方向、垂直于x和y的方向为z轴方向；

[0009] 所述P+埋层6沿Z方向呈现间隔式分布，Z方向上相邻的P+埋层6之间的区域为N-漂移区7；所述P+埋层6与沟槽结构及分离栅结构接触；所述P+埋层6及N-漂移区7上部具有N型电荷存储层5；所述N型电荷存储层5上部具有P型基区4；所述P型基区4上部具有N+发射区2、与N+发射区2接触的P+接触区3；所述栅隔离介质层11上部、N+发射区2上部、P+接触区3上部、分离栅结构上部具有发射极金属1；所述分离栅介质层15与发射极金属1之间短接；所述P+埋层6的浓度高于P型基区4的浓度；所述P+埋层6沿z方向的宽度大于或等于同水平面上相邻P+埋层6之间N-漂移区7的宽度；所述P+埋层6沿y方向的宽度小于N型电荷存储层5沿y方向的宽度。

[0010] 作为优选方式，沿Z方向任意相邻的两个P+埋层6之间的N-漂移区7替换为P-埋层16；所述P-埋层16沿Z方向的宽度小于或等于P+埋层6沿Z方向的宽度；所述P-埋层16的浓度小于或等于P型基区4的浓度，P-埋层16沿y方向的宽度和P+埋层6沿y方向的宽度相同。

[0011] 作为优选方式，在N-漂移区7中引入由超结N柱17与超结P柱18构成的超结结构。

[0012] 作为优选方式，在分离栅结构的右侧引入P型浮空区20，所述P型浮空区20的上方具有隔离介质层19，隔离介质层19的上方具有发射极金属1，P型浮空区20沿y方向的深度与分离栅结构的深度相等。

[0013] 作为优选方式，所述P型浮空区20的沿y方向的深度超过分离栅结构沿y方向的深度，P型浮空区20与P+埋层6部分接触。

[0014] 作为优选方式，分离栅结构上部的金属嵌入P型基区4和分离栅结构。

[0015] 本发明还提供一种分段式注入的自钳位IGBT器件的制作方法，包括如下步骤：

[0016] 步骤1：选取掺杂浓度为 $10^{13} \sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区7；

[0017] 步骤2：在硅片表面淀积保护层，光刻出窗口进行沟槽硅刻蚀，刻蚀出栅电极沟槽与分离栅电极沟槽；

[0018] 步骤3：在沟槽侧壁生长一层牺牲氧化层，然后去除掉牺牲氧化层；然后在沟槽侧壁生长一层栅氧化层；接着在所述介质层上淀积多晶硅，然后反刻蚀掉表面多余多晶硅；

[0019] 步骤4：在硅片表面生长一层预氧化层，通过离子注入P型杂质，制得间隔分布的P+埋层6；

[0020] 步骤5：通过离子注入N型杂质制得N型电荷存储层5；通过离子注入P型杂质并退火处理制得P型基区4；分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区2和P+接触区3；

[0021] 步骤6：淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层；

[0022] 步骤7：器件正面淀积金属制作发射极金属；

[0023] 步骤8：翻转硅片；通过离子注入N型杂质，激光退火后制得N型场阻止层；通过离子

注入P型杂质制得P+集电区；淀积金属制得金属集电极。

[0024] 本发明还提供第二种分段式注入的自钳位IGBT器件的制作方法,包括如下步骤:

[0025] 步骤1:选取掺杂浓度为 $10^{13} \sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区7;

[0026] 步骤2:在硅片表面生长一层预氧化层,通过离子注入P型杂质,制得间隔分布的P+埋层6;

[0027] 步骤3:通过离子注入N型杂质制得N型电荷存储层5;通过离子注入P型杂质并退火处理制得P型基区4;分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区2和P+接触区3;

[0028] 步骤4:在硅片表面淀积保护层,光刻出窗口进行沟槽硅刻蚀,刻蚀出栅电极沟槽与分离栅电极沟槽;

[0029] 步骤5:在沟槽侧壁生长一层牺牲氧化层,然后去除掉牺牲氧化层;然后在沟槽侧壁生长一层栅氧化层;接着在所述介质层上淀积多晶硅,然后反刻蚀掉表面多余多晶硅;

[0030] 步骤6:淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层;

[0031] 步骤7:器件正面淀积金属制作发射极金属;

[0032] 步骤8:翻转硅片;通过离子注入N型杂质,激光退火后制得N型场阻止层;通过离子注入P型杂质制得P+集电区;淀积金属制得金属集电极。

[0033] 本发明还提供第三种分段式注入的自钳位IGBT器件的制作方法,包括如下步骤:

[0034] 步骤1:选取掺杂浓度为 $10^{13} \sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区7;

[0035] 步骤2:在硅片表面淀积保护层,光刻出窗口进行沟槽硅刻蚀,刻蚀出栅电极沟槽与分离栅电极沟槽;

[0036] 步骤3:在沟槽侧壁生长一层牺牲氧化层,然后去除掉牺牲氧化层;然后在沟槽侧壁生长一层栅氧化层;接着在所述介质层上淀积多晶硅,然后反刻蚀掉表面多余多晶硅;

[0037] 步骤4:在硅片表面生长一层预氧化层,通过离子注入P型杂质,制得间隔分布的P+埋层6;

[0038] 步骤5:通过离子注入P型杂质,形成P-埋层16,

[0039] 步骤6:通过离子注入N型杂质制得N型电荷存储层5;通过离子注入P型杂质并退火处理制得P型基区4;分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区2和P+接触区3;

[0040] 步骤7:淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层;

[0041] 步骤8:器件正面淀积金属制作发射极金属;

[0042] 步骤9:翻转硅片;通过离子注入N型杂质,激光退火后制得N型场阻止层;通过离子注入P型杂质制得P+集电区;淀积金属制得金属集电极。

[0043] 本发明的工作原理:

[0044] 当多晶栅电极12接高于器件阈值电压的高电位、集电极金属10接高电位、发射极金属1及多晶分离栅电极14接低电位时,器件工作在导通状态,P型集电区9向N-漂移区7中注入空穴,N+发射区2向N-漂移区7中注入电子,电子空穴对的存在使得漂移区中发生电导调制效应,同时由于N型电荷存储层5的存在,增强了表面空穴的积累,改善了漂移区的载流子分布,降低了器件的正向导通压降;由于高浓度的P+埋层呈间隔式分布,电子电流可以通过P+埋层的间隙流入N型漂移区,所以P+埋层的引入不会影响器件的导通性能。

[0045] 当集电极10电压很高时,器件进入饱和状态。P型基区4、N型电荷存储层5、P+埋层6与多晶分离栅电极14构成自偏置PMOS结构,其中P型基区4作为漏极、N型电荷存储层5作为N型基区、P+埋层6作为源极、多晶分离栅电极14作为栅电极。集电极金属10的电位升高,N型电荷存储层5也随之升高,当N型电荷存储层5的电势达到自偏置PMOS的阈值电压时,PMOS开启,N型电荷存储层作为IGBT中的MOS结构的漏极,为PNP晶体管提供的基极电流降低,从而降低了IGBT的饱和电流,进而提高了器件在短路工况下的承受能力。

[0046] 当多晶栅电极12、发射极金属1接低电位时,集电极金属10接高电位时,器件工作在阻断状态,此时P+埋层6与沟槽发射极结构能够有效屏蔽N型电荷存储层5对器件击穿电压的影响,同时PMOS的开启为空穴的抽取提供了额外的通路,提高了器件的开关速度,减小了器件的关断损耗,同时分离栅结构大大降低了栅极电容,进一步降低了开关损耗。

[0047] 本发明的有益效果表现在:

[0048] 本发明在元胞右侧引入与发射极等电位、与沟槽栅等深度的沟槽结构,在N型电荷存储层下方引入高浓度P型掺杂埋层,通过改变掩模版的开口,使高浓度的P型埋层不再连续分布,而是呈间隔式分布。其中P型基区、N型电荷存储层、P型埋层与沟槽发射极构成自偏置PMOS结构,在器件饱和时N型电荷存储层电势随集电极电压升高而升高,当其电势达到PMOS的阈值电压时,PMOS开启,N型电荷存储层电势被钳位在一个较低的值,N型电荷存储层作为IGBT中的MOS结构的漏极,为PNP晶体管提供的基极电流降低,从而降低了IGBT的饱和电流,提高了器件在短路工况下的承受能力,改善了短路安全工作区。然而高浓度的P型埋层会影响器件导通时沟道反型层的形成,高浓度P型埋层的不连续分布可以改善器件的阈值电压,电子电流可以从P+埋层的间隙中流入N型漂移区,改善了高浓度P+埋层带来的导通电阻增大的问题,降低了导通压降。本发明在制备传统沟槽IGBT工艺方法的基础上,仅增加一张掩模版即可实现沿z方向呈分段式分布的P+埋层,没有增加工艺的复杂度,容易实现。

## 附图说明

[0049] 图1是传统沟槽电荷存储型IGBT器件的半元胞结构示意图;

[0050] 图2是本发明实施例1提供的一种分段式注入的自钳位IGBT的半元胞结构示意图;

[0051] 图3是本发明实施例1提供的一种分段式注入的自钳位IGBT的半元胞结构沿AB线的剖面示意图;

[0052] 图4是本发明实施例1提供的一种分段式注入的自钳位IGBT的半元胞结构沿CD线的剖面示意图;

[0053] 图5是本发明实施例2提供的一种分段式注入的自钳位IGBT的半元胞结构示意图;

[0054] 图6是本发明实施例2提供的一种分段式注入的自钳位IGBT的半元胞结构沿AB线的剖面示意图;

[0055] 图7是本发明实施例2提供的一种分段式注入的自钳位IGBT的半元胞结构沿CD线的剖面示意图;

[0056] 图8是本发明实施例3提供的一种分段式注入的自钳位IGBT的半元胞结构示意图;

[0057] 图9是本发明实施例3提供的一种分段式注入的自钳位IGBT的半元胞结构沿AB线的剖面示意图;

[0058] 图10是本发明实施例3提供的一种分段式注入的自钳位IGBT的半元胞结构沿CD线

的剖面示意图；

[0059] 图11是本发明实施例4提供一种分段式注入的自钳位IGBT的半元胞结构示意图；

[0060] 图12是本发明实施例4提供一种分段式注入的自钳位IGBT的半元胞结构沿AB线的剖面示意图；

[0061] 图13是本发明实施例5提供一种分段式注入的自钳位IGBT的半元胞结构示意图；

[0062] 图14是本发明实施例5提供一种分段式注入的自钳位IGBT的半元胞结构沿AB线的剖面示意图；

[0063] 图15是本发明实施例6提供一种分段式注入的自钳位IGBT的半元胞结构示意图；

[0064] 图16是本发明实施例6提供一种分段式注入的自钳位IGBT的半元胞结构沿AB线的剖面示意图；

[0065] 图17是本发明实施例1提供一种分段式注入的自钳位IGBT形成N-漂移区7后的工艺示意图；

[0066] 图18是本发明实施例1提供一种分段式注入的自钳位IGBT刻蚀形成栅沟槽工艺示意图；

[0067] 图19是本发明实施例1提供一种分段式注入的自钳位IGBT形成栅介质层13与分离栅介质层15并淀积多晶形成栅电极12与分离栅电极14后的工艺示意图；

[0068] 图20是本发明实施例1提供一种分段式注入的自钳位IGBT形成P+埋层6后的工艺示意图；

[0069] 图21是本发明实施例1提供一种分段式注入的自钳位IGBT形成N型电荷存储层5、P型基区4、N+发射区2、P+接触区3后的工艺示意图；

[0070] 图22是本发明实施例1提供一种分段式注入的自钳位IGBT形成栅隔离介质层11后的工艺示意图；

[0071] 图23是本发明实施例1提供一种分段式注入的自钳位IGBT形成发射极金属1后的工艺示意图；

[0072] 图24是本发明实施例1提供一种分段式注入的自钳位IGBT形成N型场阻止层8、P+集电区9、集电极金属10后的工艺示意图；

[0073] 图1至图24中,1为发射极金属,2为N+发射区,3为P+接触区,4为P型基区,5为N型电荷存储层,6为P+埋层,7为N-漂移区,8为N型场阻止层,9为P型集电区,10为集电极金属,11为栅隔离介质层,12为多晶栅电极,13为栅介质层,14为多晶分离栅电极,15为分离栅介质层,16为P-埋层,17为超结N柱,18为超结P柱,19为隔离介质层,20为P型浮空区。

### 具体实施方式

[0074] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0075] 实施例1:

[0076] 一种分段式注入的自钳位IGBT器件实施例,其半元胞结构及沿AB线、CD线的剖面如图2、3、4所示,包括从下至上依次层叠设置的集电极金属10、P型集电区9、N型场阻止层8、N-漂移区7,位于N-漂移区7上方的沟槽结构,所述沟槽结构包括栅介质层13、栅介质层13内的多晶栅电极12、位于多晶栅电极12上方的栅隔离介质层11;

[0077] 其特征在于:所述N-漂移区7上方具有P+埋层6、分离栅结构,所述分离栅结构包括分离栅介质层15、分离栅介质层15内的多晶分离栅电极14;

[0078] 以3维直角坐标系对器件的3维方向进行定义:定义器件从沟槽结构指向分离栅结构的方向为x轴方向、从沟槽结构指向N-漂移区7的方向为y轴方向、垂直于x和y的方向为z轴方向;

[0079] 所述P+埋层6沿Z方向呈现间隔式分布,Z方向上相邻的P+埋层6之间的区域为N-漂移区7;所述P+埋层(6)与沟槽结构及分离栅结构接触;所述P+埋层6及N-漂移区7上部具有N型电荷存储层5;所述N型电荷存储层5上部具有P型基区4;所述P型基区4上部具有N+发射区2、与N+发射区2接触的P+接触区3;所述栅隔离介质层11上部、N+发射区2上部、P+接触区3上部、分离栅结构上部具有发射极金属1;所述分离栅介质层15与发射极金属1之间短接;所述P+埋层6的浓度高于P型基区4的浓度;所述P+埋层6沿z方向的宽度大于或等于同水平面上相邻P+埋层6之间N-漂移区7的宽度;所述P+埋层6沿y方向的宽度小于N型电荷存储层5沿y方向的宽度。

[0080] 本实施例的一种分段式注入的自钳位IGBT器件的制作方法,包括如下步骤:

[0081] 步骤1:如图17所示,选取掺杂浓度为 $10^{13} \sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区7;

[0082] 步骤2:如图18所示,在硅片表面淀积保护层,光刻出窗口进行沟槽硅刻蚀,刻蚀出栅电极沟槽与分离栅电极沟槽;

[0083] 步骤3:如图19所示,在沟槽侧壁生长一层牺牲氧化层,然后去除掉牺牲氧化层;然后在沟槽侧壁生长一层栅氧化层;接着在所述介质层上淀积多晶硅,然后反刻蚀掉表面多余多晶硅;

[0084] 步骤4:如图20所示,在硅片表面生长一层预氧化层,通过离子注入P型杂质,制得间隔分布的P+埋层6;

[0085] 步骤5:如图21所示,通过离子注入N型杂质制得N型电荷存储层5;通过离子注入P型杂质并退火处理制得P型基区4;分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区2和P+接触区3;

[0086] 步骤6:如图22所示,淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层;

[0087] 步骤7:如图23所示,器件正面淀积金属制作发射极金属;

[0088] 步骤8:如图24所示,翻转硅片;通过离子注入N型杂质,激光退火后制得N型场阻止层;通过离子注入P型杂质制得P+集电区;淀积金属制得金属集电极。

[0089] 实施例2

[0090] 在实施例1的基础上提出一种分段式注入的自钳位IGBT器件实施例,本实施例和实施例1的区别在于:沿Z方向任意相邻的两个P+埋层6之间的N-漂移区7替换为P-埋层16;所述P-埋层16沿Z方向的宽度小于或等于P+埋层6沿Z方向的宽度;所述P-埋层16的浓度小

于或等于P型基区4的浓度,P-埋层16沿y方向的宽度和P+埋层6沿y方向的宽度相同。

[0091] 其半元胞结构及沿AB线、CD线的剖面如图5、6、7所示,其工艺制造在步骤4与步骤5之间加入步骤:通过离子注入P型杂质,形成P-埋层16,其余工艺步骤与实施例1相同。

[0092] 本实施例的一种分段式注入的自钳位IGBT器件的制作方法,包括如下步骤:

[0093] 步骤1:选取掺杂浓度为 $10^{13} \sim 10^{14}/\text{cm}^3$ 的轻掺杂硅片用以形成器件的N-漂移区7;

[0094] 步骤2:在硅片表面淀积保护层,光刻出窗口进行沟槽硅刻蚀,刻蚀出栅电极沟槽与分离栅电极沟槽;

[0095] 步骤3:在沟槽侧壁生长一层牺牲氧化层,然后去除掉牺牲氧化层;然后在沟槽侧壁生长一层栅氧化层;接着在所述介质层上淀积多晶硅,然后反刻蚀掉表面多余多晶硅;

[0096] 步骤4:在硅片表面生长一层预氧化层,通过离子注入P型杂质,制得间隔分布的P+埋层6;

[0097] 步骤5:通过离子注入P型杂质,形成P-埋层16,

[0098] 步骤6:通过离子注入N型杂质制得N型电荷存储层5;通过离子注入P型杂质并退火处理制得P型基区4;分别注入N型杂质和P型杂质制得相互接触且并排设置的N+发射区2和P+接触区3;

[0099] 步骤7:淀积二氧化硅并刻蚀掉多余的介质形成栅隔离介质层;

[0100] 步骤8:器件正面淀积金属制作发射极金属;

[0101] 步骤9:翻转硅片;通过离子注入N型杂质,激光退火后制得N型场阻止层;通过离子注入P型杂质制得P+集电区;淀积金属制得金属集电极。

[0102] 本实施例在不改变工艺复杂度的前提下,仅增加两张掩模版,引入的P-埋层16既可以调节器件的阈值电压,与实施例1相比又可以更好的钳位住CS层电势,获得更低的饱和电流。

[0103] 实施例3

[0104] 在实施例1的基础上提出一种分段式注入的自钳位IGBT器件实施例,本实施例和实施例1的区别在于:在N-漂移区7中引入由超结N柱17与超结P柱18构成的超结结构。其半元胞结构及沿AB线、CD线的剖面如图8、9、10所示,

[0105] 超结结构的引入进一步降低了器件的导通压降并提高了器件的击穿电压。

[0106] 实施例4

[0107] 在实施例1的基础上提出一种分段式注入的自钳位IGBT器件实施例,本实施例和实施例1的区别在于:在分离栅结构的右侧引入P型浮空区20,所述P型浮空区20的上方具有隔离介质层19,隔离介质层19的上方具有发射极金属1,P型浮空区20沿y方向的深度与分离栅结构的深度相等。其半元胞结构及沿AB线、CD线的剖面如图11、12所示

[0108] P型浮空区的引入增强了电导调制效应,降低了导通压降,同时减小了沟道密度,进一步降低了饱和电流,改善了短路特性。

[0109] 实施例5

[0110] 在实施例4的基础上提出一种分段式注入的自钳位IGBT器件实施例,本实施例和实施例1的区别在于:其半元胞结构及沿AB线、CD线的剖面如图13、14所示,所述P型浮空区20沿y方向的深度超过分离栅结构沿y方向的深度,P型浮空区20与P+埋层6部分接触。

[0111] 该P型浮空区的引入增强了电导调制效应,降低了导通压降,同时减小了沟道密

度,进一步降低了饱和电流,并且缓解了沟槽处的电场尖峰,提高了击穿电压。

[0112] 实施例6

[0113] 在实施例1的基础上提出一种分段式注入的自钳位IGBT器件实施例,本实施例和实施例1的区别在于:分离栅结构上部的金属嵌入器件。其半元胞结构及沿AB线、CD线的剖面如图15、16所示,沟槽发射极上部的金属嵌入P型基区4和分离栅结构。

[0114] 发射极嵌入结构的引入缩小了台面宽度,改善了器件的导通特性,同时降低了米勒电容。

[0115] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

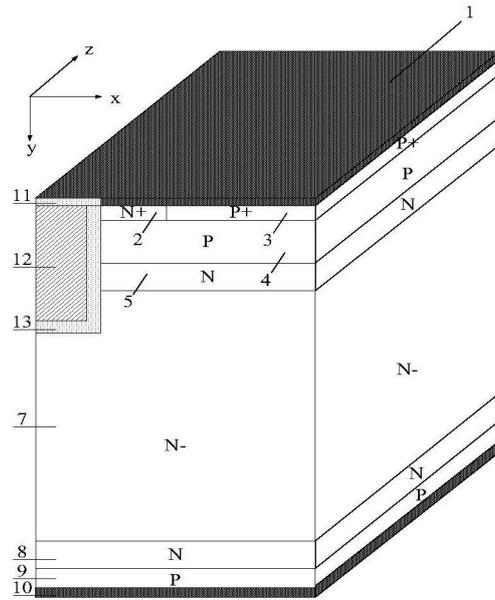


图1

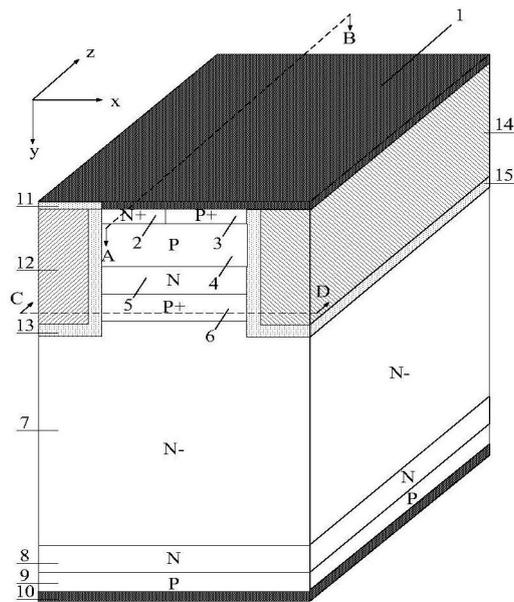


图2

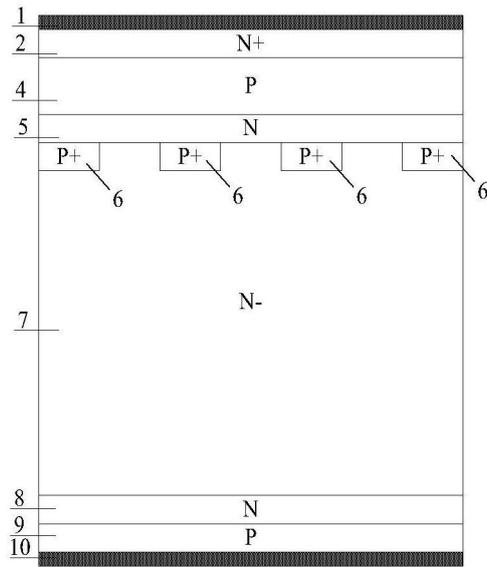


图3

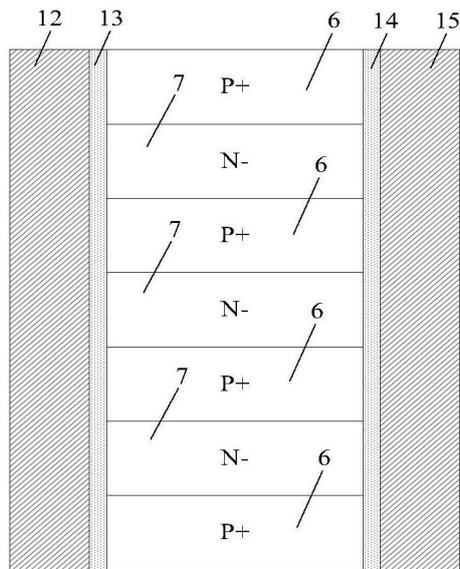


图4

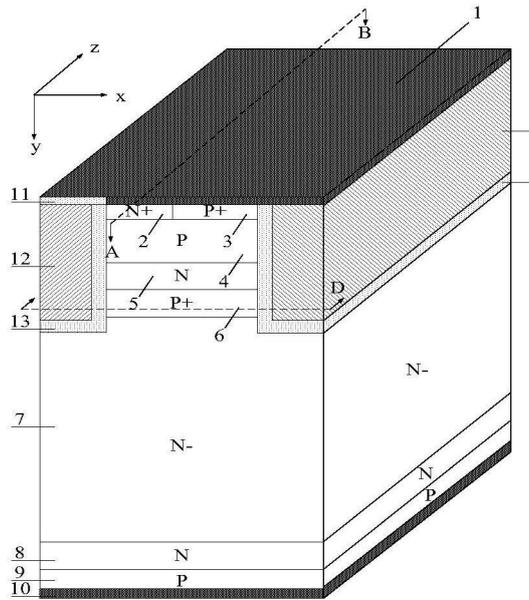


图5

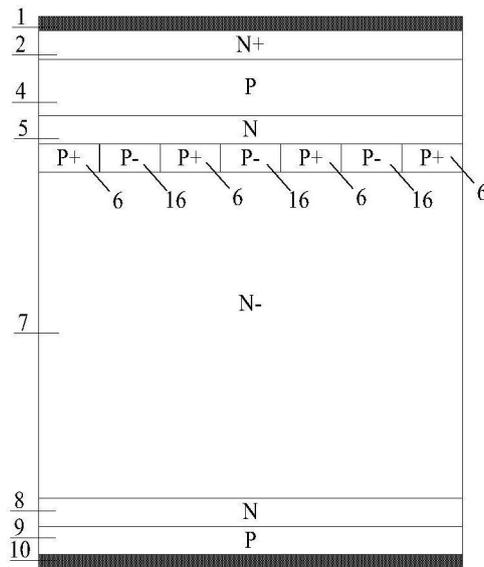


图6

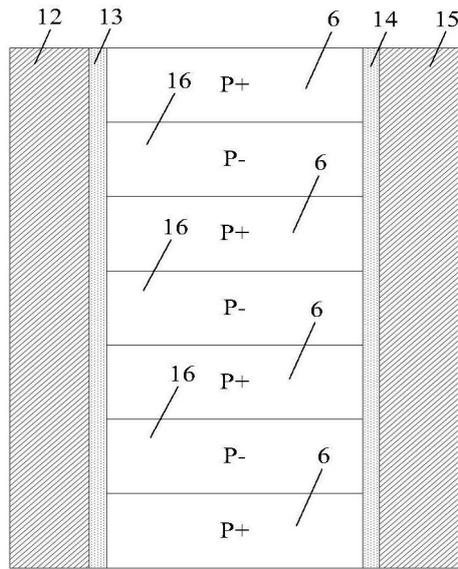


图7

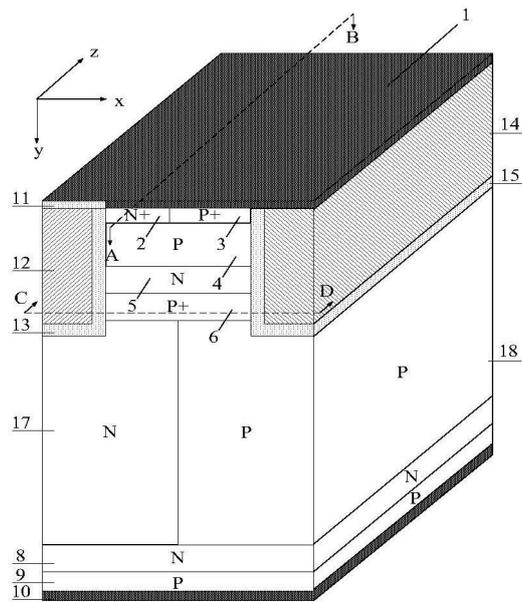


图8

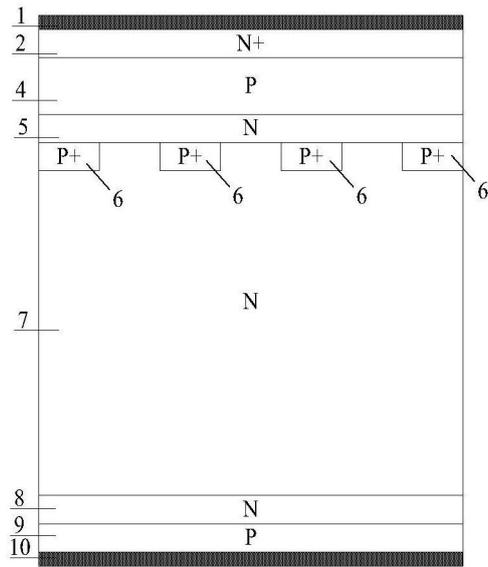


图9

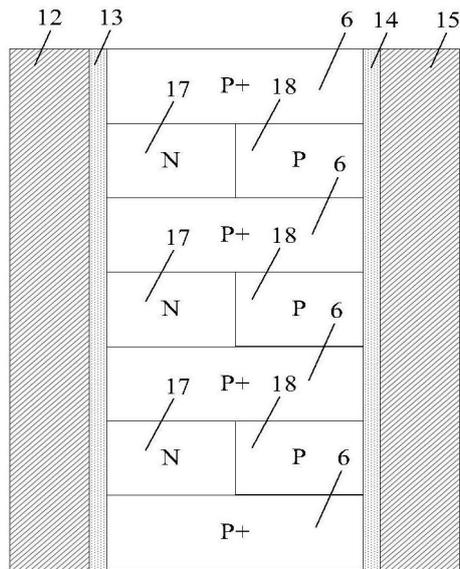


图10

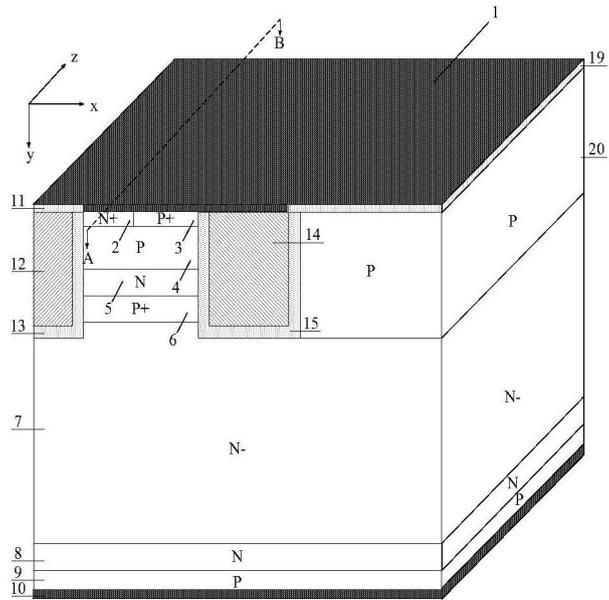


图11

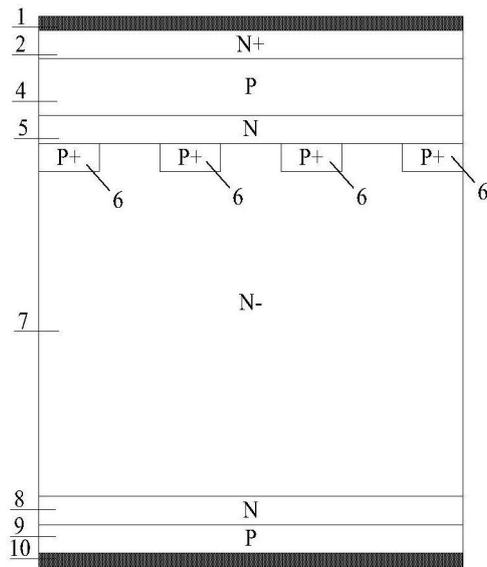


图12

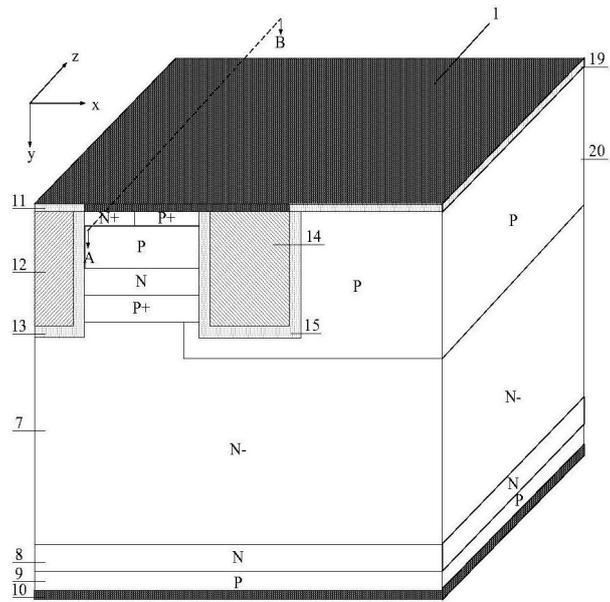


图13

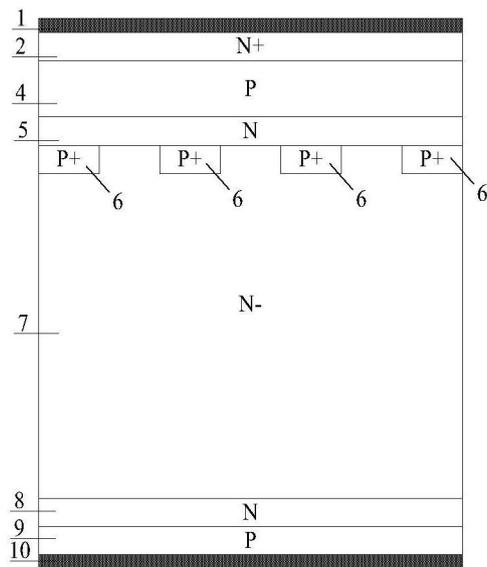


图14

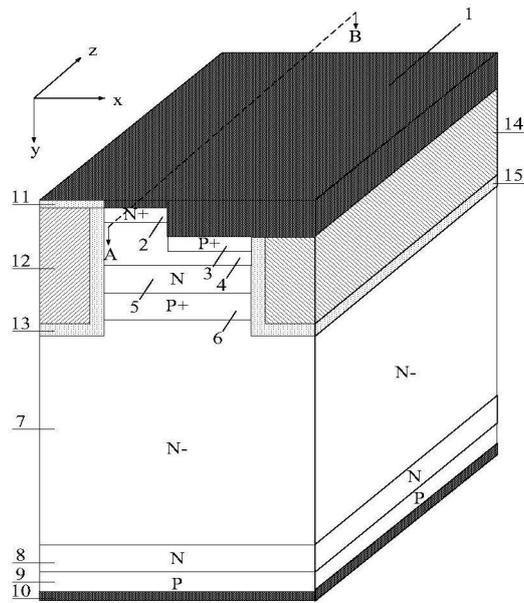


图15

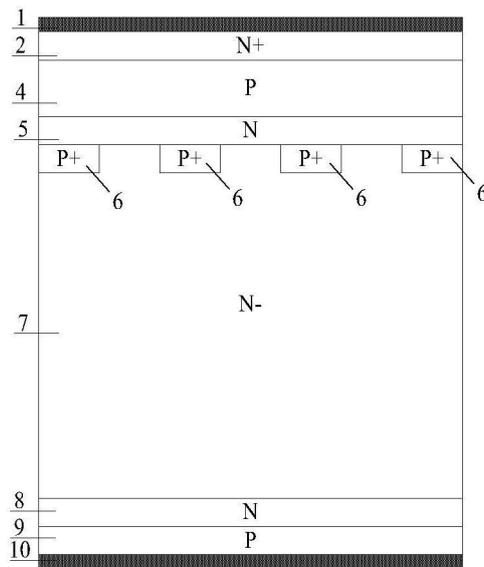


图16

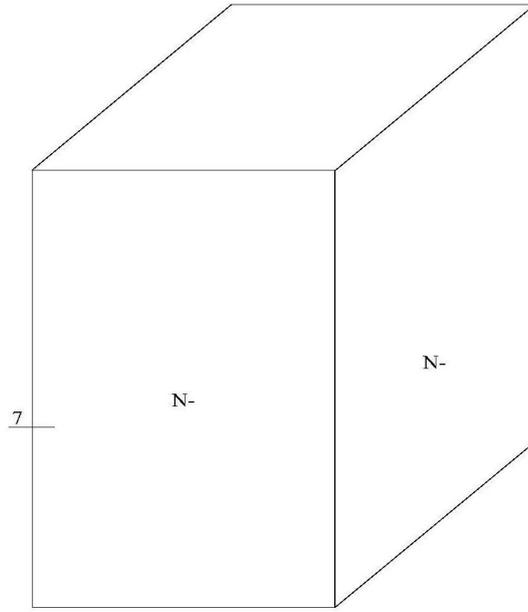


图17

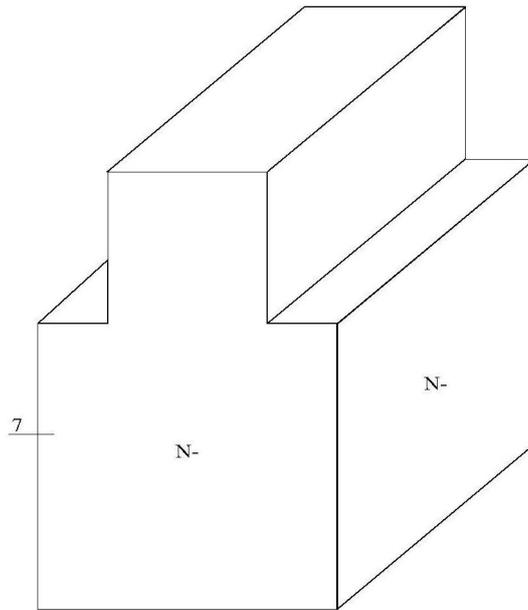


图18

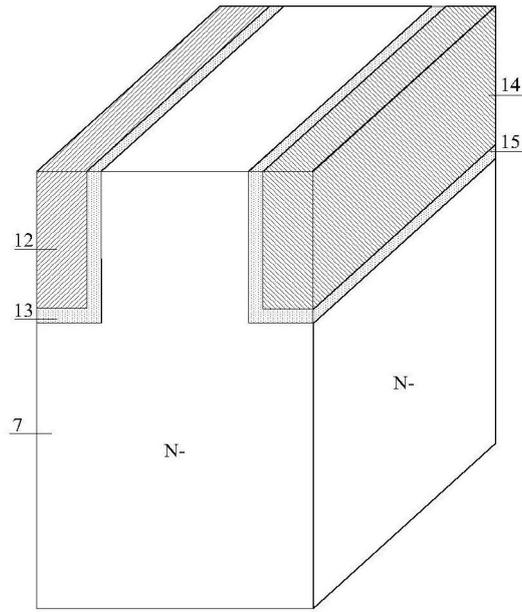


图19

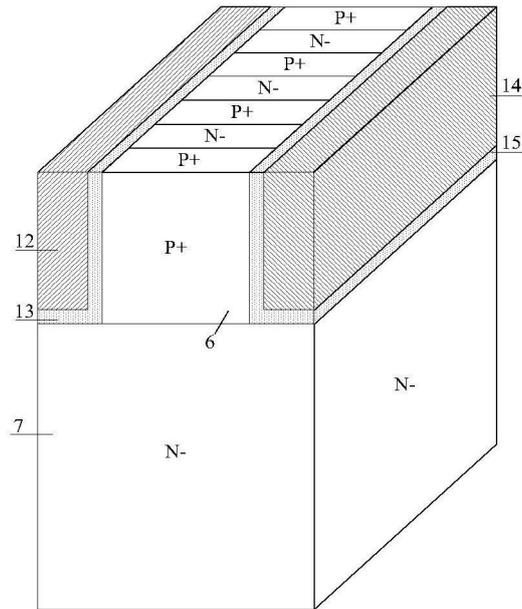


图20

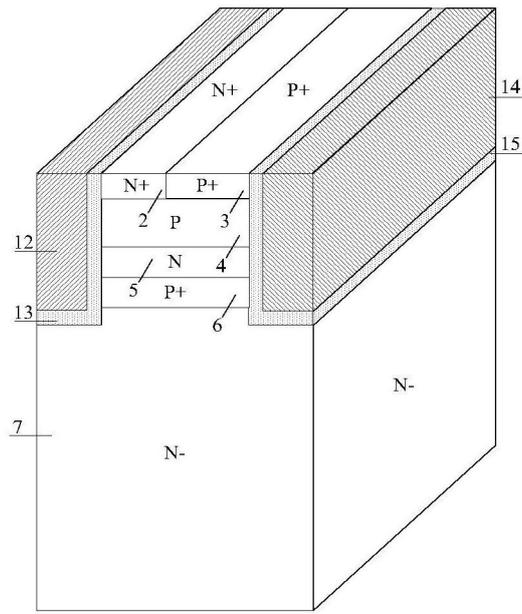


图21

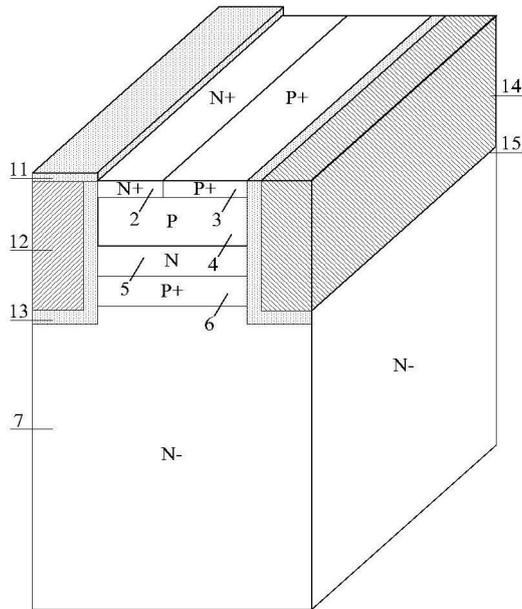


图22

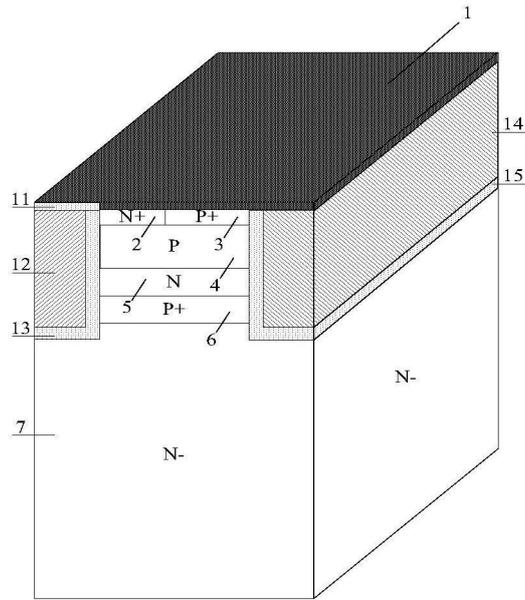


图23

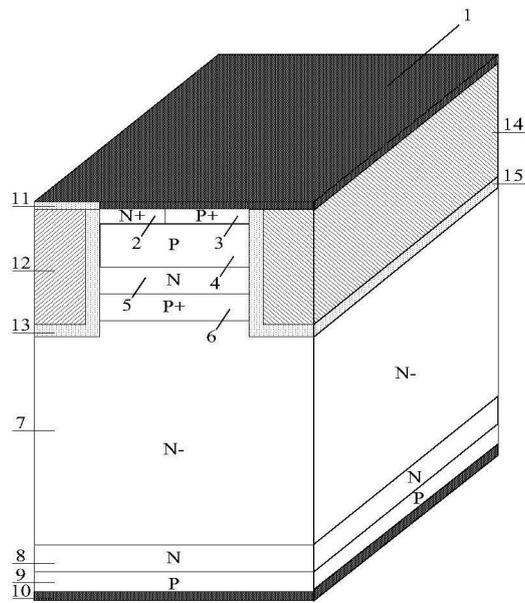


图24