

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-12977

(P2007-12977A)

(43) 公開日 平成19年1月18日(2007.1.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 3 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 5 B
	HO 1 L 29/78	6 5 8 F

審査請求 有 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2005-193597 (P2005-193597)
 (22) 出願日 平成17年7月1日(2005.7.1)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (74) 代理人 100106389
 弁理士 田村 和彦
 (72) 発明者 中川 明夫
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

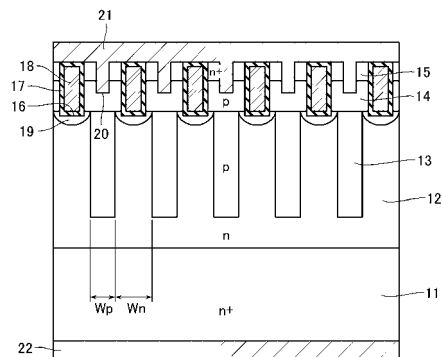
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 S J 構造を有する半導体装置の更なる微細化を可能とする方法を提供する。

【解決手段】 第1導電型の第1の半導体層11と、第1の半導体層11の一方の面側に形成された第1の主電極22と、第1の半導体層11の他方の面側に形成され、面方向に交互に配置された第1導電型の第2の半導体層12および第2導電型の第3の半導体層13と、第2の半導体層12および第3の半導体層13の表面に形成された第2導電型の第4の半導体層14と、第4の半導体層14の表面に形成された第1導電型の第5の半導体層15と、第4及び第5半導体層14, 15を貫通し第2の半導体層12に達するトレンチ内に絶縁膜を介して形成された制御電極と、トレンチの形成後にトレンチの底部にトレンチの底部を包み込むように形成された第1導電型の第6の半導体層19と、第4及び第5の半導体層に接続された第2の主電極21とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 の半導体層と、
前記第 1 の半導体層の一方の面側に形成された第 1 の主電極と、
前記第 1 の半導体層の他方の面側に形成され、第 1 導電型の第 2 の半導体層およびこの第 2 の半導体層に対して面方向に周期的に配置された第 2 導電型の第 3 の半導体層と、
前記第 2 の半導体層および第 3 の半導体層の表面に形成された第 2 導電型の第 4 の半導体層と、
前記第 4 の半導体層の表面に形成された第 1 導電型の第 5 の半導体層と、
前記第 4 及び第 5 半導体層を貫通し前記第 2 の半導体層に達するトレンチ内に絶縁膜を介して形成された制御電極と、
前記トレンチの形成後に前記トレンチの底部に形成された第 1 導電型の第 6 の半導体層と、
前記第 4 及び第 5 の半導体層に接続された第 2 の主電極と
を備えてなることを特徴とする半導体装置。 10

【請求項 2】

前記トレンチは、底部の幅をそれ以外の部分の幅よりも狭く形成してなるものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 の半導体層の前記第 3 の半導体層との配列方向の幅が前記第 3 の半導体層の前記配列方向の幅よりも広いことを特徴とする請求項 1 又は 2 記載の半導体装置。 20

【請求項 4】

第 1 導電型の第 1 の半導体層と、
前記第 1 の半導体層の一方の面側に形成された第 1 の主電極と、
前記第 1 の半導体層の他方の面側に形成され、第 1 導電型の第 2 の半導体層およびこの第 2 の半導体層に対して面方向に周期的に配置された第 2 導電型の第 3 の半導体層と、
前記第 2 の半導体層および第 3 の半導体層の表面に形成された第 2 導電型の第 4 の半導体層と、
前記第 4 の半導体層の表面に形成された第 1 導電型の第 5 の半導体層と、
前記第 4 及び第 5 半導体層を貫通し前記第 2 の半導体層に達するトレンチ内に絶縁膜を介して形成された制御電極と、
前記第 4 及び第 5 の半導体層に接続された第 2 の主電極と
を備え、
前記第 3 の半導体層の前記第 2 の半導体層との配列方向の幅が、前記第 2 の半導体層の前記配列方向の幅又は前記トレンチの前記配列方向の幅よりも狭い
ことを特徴とする半導体装置。 30

【請求項 5】

第 1 導電型の第 1 の半導体層と、
前記第 1 の半導体層の一方の面側に形成された第 1 の主電極と、
前記第 1 の半導体層の他方の面側に形成され、第 1 導電型の第 2 の半導体層およびこの第 2 の半導体層に対して面方向に周期的に配置された第 2 導電型の第 3 の半導体層と、
前記第 2 の半導体層および第 3 の半導体層の表面に形成された第 2 導電型の第 4 の半導体層と、
前記第 4 の半導体層の表面に形成された第 1 導電型の第 5 の半導体層と、
前記第 4 及び第 5 半導体層を貫通し前記第 2 の半導体層に達する、底部の幅がそれ以外の部分の幅よりも狭いトレンチ内に絶縁膜を介して形成された制御電極と、
前記第 4 及び第 5 の半導体層に接続された第 2 の主電極と
を備えてなることを特徴とする半導体装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スーパージャンクション（以下、「SJ」と呼ぶ。）構造を有するSJ MOSFET等の半導体装置に関する。

【背景技術】

【0002】

従来、SJ MOSFETは、n型コラム層とp型コラム層とを面方向に交互に配置したSJ構造を有する基板上にp型ボディ層（ベース拡散層）を形成し、更にp型ボディ層の表面にn型ソース拡散層を形成することにより製造されていた。しかし、コラム層を例えば2 μ m以下と微細化しようとする、上述した構造では、ボディ層を十分に小さくすることができず、微細化には限界があった。

10

【0003】

一方、微細化に適した構造として、トレンチゲート型のSJ MOSFETが知られている。しかし、トレンチゲート型の場合には、n型コラム層及びp型コラム層の形成位置とトレンチゲートの形成位置とが面方向にずれた場合、又はトレンチを形成する際のエッチング等が意図した深さよりも深くなってp型コラム層に達してしまった場合に、p型ボディ層からn型コラム層へのキャリア通路が形成されずに、半導体装置全体のオン抵抗が増大してしまうという問題がある。

【0004】

この問題に関し、特許文献1には、トレンチゲートの底部を覆うn型コラム層とp型ボディ層とを繋ぐキャリア通路のほぼ全体を含む領域にn型シリコン領域を形成したSJ MOSFETが開示されている。

20

【0005】

しかし、上述した特許文献1が開示されたSJ MOSFETにおいても、トレンチの面方向及び縦方向の位置ずれを考慮してn型シリコン領域を形成しなければならないため、n型シリコン領域の幅及び深さが大きくならざるを得ず、結局、微細化には限界があった。

【特許文献1】特開2003-124464、段落0038、図1

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、更なる微細化を可能とするSJ構造を有する半導体装置を提供することを目的とする。

30

【課題を解決するための手段】

【0007】

本発明に係る第1の半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層の一方の面側に形成された第1の主電極と、前記第1の半導体層の他方の面側に形成され、第1導電型の第2の半導体層およびこの第2の半導体層に対して面方向に周期的に配置された第2導電型の第3の半導体層と、前記第2の半導体層および第3の半導体層の表面に形成された第2導電型の第4の半導体層と、前記第4の半導体層の表面に形成された第1導電型の第5の半導体層と、前記第4及び第5半導体層を貫通し前記第2の半導体層に達するトレンチ内に絶縁膜を介して形成された制御電極と、前記トレンチの形成後に前記トレンチの底部に形成された第1導電型の第6の半導体層と、前記第4及び第5の半導体層に接続された第2の主電極とを備えてなることを特徴とする。

40

【0008】

また、本発明に係る第2の半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層の一方の面側に形成された第1の主電極と、前記第1の半導体層の他方の面側に形成され、第1導電型の第2の半導体層およびこの第2の半導体層に対して面方向に周期的に配置された第2導電型の第3の半導体層と、前記第2の半導体層および第3の半導体層の表面に形成された第2導電型の第4の半導体層と、前記第4の半導体層の表面に形成された第1導電型の第5の半導体層と、前記第4及び第5半導体層を貫通し前記第2の半

50

導体層に達するトレンチ内に絶縁膜を介して形成された制御電極と、前記第4及び第5の半導体層に接続された第2の主電極とを備え、前記第3の半導体層の前記第2の半導体層との配列方向の幅が、前記第2の半導体層の前記配列方向の幅又は前記トレンチの前記配列方向の幅よりも狭いことを特徴とする。

【0009】

本発明に係る第3の半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層の一方の面側に形成された第1の主電極と、前記第1の半導体層の他方の面側に形成され、第1導電型の第2の半導体層およびこの第2の半導体層に対して面方向に周期的に配置された第2導電型の第3の半導体層と、前記第2の半導体層および第3の半導体層の表面に形成された第2導電型の第4の半導体層と、前記第4の半導体層の表面に形成された第1導電型の第5の半導体層と、前記第4及び第5半導体層を貫通し前記第2の半導体層に達する、底部の幅がそれ以外の部分の幅よりも狭いトレンチ内に絶縁膜を介して形成された制御電極と、前記第4及び第5の半導体層に接続された第2の主電極とを備えてなることを特徴とする。

10

【発明の効果】

【0010】

本発明によれば、更なる微細化を可能とするSJMOS構造を有する半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照して本発明の実施の形態について説明する。

20

[第1の実施形態]

図1は、本発明の第1の実施形態に係るSJMOSFETの概略構成を示す断面図であり、図2～図9は、同SJMOSFETを製造工程順に示した断面図である。ここでは、第1、第2の導電型がそれぞれn型、p型であるとして、p型ベース層を持つnチャンネルMOSFETを例に説明するが、第1、第2の導電型をそれぞれp型、n型としても良い。

【0012】

n⁺型シリコン基板11はドレイン層を形成する。この基板11の一方の面上に、n型コラム層12とp型コラム層13とが一定の周期で面方向に交互に配置され、SJ構造を形成している。n型コラム層12とp型コラム層13の上面には、p型ボディ層(ベース層)14が形成され、このp型ボディ層14の上にn⁺型ソース層15が形成されている。

30

【0013】

n⁺型ソース層15からp型ボディ層14を貫通して、nコラム層12に達する深さのトレンチ16が形成され、このトレンチ16にゲート絶縁膜17を介してポリシリコン等からなるゲート電極18が埋め込み形成されている。n型コラム層12のトレンチ16の底部が臨む部分には、この底部を覆うようにn型拡散層19が形成されている。

【0014】

隣接するゲート電極18の間には、n⁺型ソース層15からp型ボディ層14にまで達するコンタクトトレンチ20が形成され、このコンタクトトレンチ20に埋め込まれるようにアルミニウムのソース電極21が形成され、n⁺型ソース層15とp型ボディ層14に同時にコンタクトを取っている。また、n⁺型シリコン基板11の他方の面上には、アルミニウムからなるドレイン電極22が形成されている。

40

【0015】

具体的にこの実施の形態では、n型及びp型コラム層12, 13の配列方向の幅W_n, W_pが2μm以下に形成され、n型コラム層12の幅W_nは、p型コラム層13の幅W_pよりも広く形成されている。これによって、トレンチ16が面方向に多少ずれても、ゲート電極18をnコラム層12上に確実に形成することが可能になる。

【0016】

50

次に、この第1の実施形態に係るSJMOSFETの製造工程について説明する。

【0017】

まず、図2に示すように、 n^+ 型シリコン基板11上にn型層12をエピタキシャル成長により形成する。次に、図3に示すように、例えばRIE(Reactive Ion Etching)等の異方性エッチングによってn型層12に深いトレンチ13を形成し、nコラム層12を形成する。続いて、図4に示すように、トレンチ13に例えばエピタキシャル成長によりp型層を埋め込んでp型コラム13を形成する。更に、図5に示すように、n型コラム層12及びp型コラム層13に熱処理による影響を余り与えないようにするため、高加速度イオン・インプランテーションによりボロン等のp型不純物及び砒素等のn型不純物を順次打ち込んで熱拡散させることにより、p型ボディ層14及び n^+ 型ソース層15を順次形成する。

10

【0018】

次に、図6に示すように、例えば窒化膜等のマスク材17をフォトエッチングにより形成し、異方性エッチングによって、 n^+ 型ソース層15からp型ボディ層14を貫通して、nコラム層12に達する深さのトレンチ16を形成後、マスク材17を残したまま熱酸化を行って、図7に示すように、トレンチ16の底面及び側壁を覆うゲート酸化膜17を形成する。ゲート酸化膜17を形成後、図8に示すように、トレンチ16の底部にイオン・インプランテーションにより砒素等のn型不純物を打ち込み、熱処理によりn型拡散層19を形成する。その後、図9に示すように、トレンチ16内に例えばCVD等でポリシリコンを埋め込むと共に、トレンチ16上部のポリシリコンをエッチバックして取り

20

【0019】

最後に、図1に示すように、隣接するゲート電極18の間に、異方性エッチングにより、 n^+ 型ソース層15からp型ボディ層14にまで達するコンタクトトレンチ20を形成し、このコンタクトトレンチ20にアルミニウム膜を埋め込むことにより、ソース電極21を形成すると共に、 n^+ 型シリコン基板11の裏面にアルミニウム膜を堆積してドレイン電極22を形成することにより、本実施形態のSJMOSFETを形成することができる。

【0020】

図10は、トレンチ16の形成位置がnコラム層12及びpコラム層13の形成位置に対して面方向にずれた場合のSJMOSFETの構成を示している。本実施形態によれば、n型拡散層19がトレンチ16の底部に拡散によりセルフアライメントされて形成されるので、トレンチ16の形成位置が多少ずれた場合でも、p型ボディ層14及びゲート酸化膜17の界面に形成されたnチャンネルとnコラム層12とがn型拡散層19を介して確実に連結され、nチャンネルのキャリア通路を確保することができ、低いオン抵抗を確保することができる。

30

【0021】

また、本実施形態によれば、p型ボディ層14へのコンタクトをコンタクトトレンチ20の形成により実現しているので、p型ボディ層14及び n^+ 型ソース層15と平面電極との接続形態に比べてゲート電極18間の間隔を狭くすることができ、これによっても微細化を可能にすることができる。

40

[第2の実施形態]

図11は、本発明の第2の実施形態に係るSJMOSFETの構成を示す断面図である。

【0022】

この実施形態では、ゲート酸化膜27を介してゲート電極28を埋め込むトレンチ26の底部が先端を狭くしたV字型ないしはU字型を呈している点が先の実施形態とは異なっている。このように、先端の幅を開口側の幅よりも狭くすることにより、面方向のずれに対するマージンを先の実施形態よりも更に大きくとることができる。また、n型拡散層2

50

9の幅も、先の実施形態よりも狭くすることができる。これにより、更なる微細化が可能になる。

【第3の実施形態】

図12は、本発明の第3の実施形態に係るSJMOSFETの構成を示す断面図である。

【0023】

上記第1及び第2の実施形態では、nコラム層12上にゲート電極18を形成したが、この実施形態では、pコラム層13の上にゲート電極18を形成している。p型コラム層13の幅 W_p は、ゲート電極用のトレンチ16の幅 W_t よりも狭く設定される。これにより、トレンチ16が面方向に多少ずれた場合でも、トレンチ16の側面に形成されるnチャネルとnコラム層12との接続を確保することができる。この場合、特にnコラム層12の幅 W_n とpコラム層13の幅 W_p の関係は規定されない。

10

【0024】

なお、以上の説明では、nコラム層12とpコラム層13の立体的な形状については、特に言及しなかったが、nコラム層12とpコラム層13とは、例えば図13に示すように、ストライプ状に交互に配置されていても良いし、例えば図14に示すように、nコラム層12の中に円柱状のpコラム層13が所定の間隔で縦横に配列されているような形態とすることもできる。

【0025】

また、上記実施形態では、p型コラム層を埋め込みにより形成したが、n型エピタキシャル層を何層かに分けて形成する度にp型不純物を注入及び拡散することでp型コラム層を形成するようにしても良い。

20

【0026】

また、上記実施形態では、MOSFETを例に挙げたが、SJ構造を有するIGBTなどにも本発明を同様に適用可能であることは言うまでもない。

【図面の簡単な説明】

【0027】

【図1】本発明の第1の実施形態に係るSJMOSFETの断面図である。

【図2】図1のMOSFETを製造工程順に示す断面図である。

【図3】図1のMOSFETを製造工程順に示す断面図である。

30

【図4】図1のMOSFETを製造工程順に示す断面図である。

【図5】図1のMOSFETを製造工程順に示す断面図である。

【図6】図1のMOSFETを製造工程順に示す断面図である。

【図7】図1のMOSFETを製造工程順に示す断面図である。

【図8】図1のMOSFETを製造工程順に示す断面図である。

【図9】図1のMOSFETを製造工程順に示す断面図である。

【図10】図1のMOSFETのゲート電極用トレンチが面方向にずれた場合を示す断面図である。

【図11】本発明の第2の実施形態に係るSJMOSFETの断面図である。

【図12】本発明の第3の実施形態に係るSJMOSFETの断面図である。

40

【図13】本発明の更に他の実施形態に係るSJMOSFETの一部断面を示す斜視図である。

【図14】本発明の更に他の実施形態に係るSJMOSFETの一部断面を示す斜視図である。

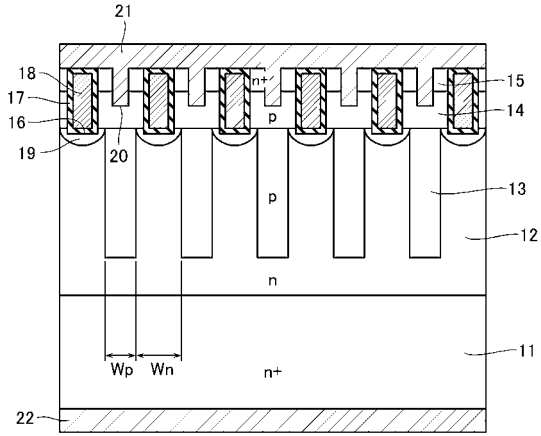
【符号の説明】

【0028】

11...n⁺型シリコン基板、12...n型コラム層、13, 13...p型コラム層、14...p型ボディ層、15...n⁺型ソース層、16, 26...トレンチ、17, 27...ゲート酸化膜、18, 28...ゲート電極、19, 29...n型拡散層、20...コンタクトトレンチ、21...ソース電極、22...ドレイン電極。

50

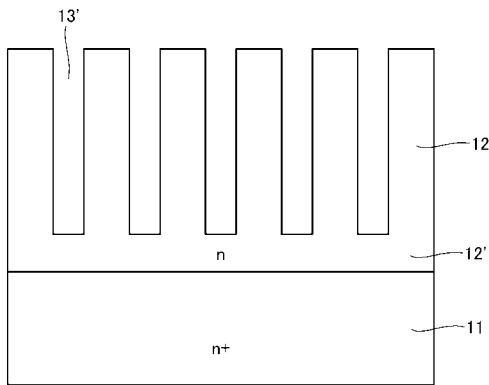
【 図 1 】



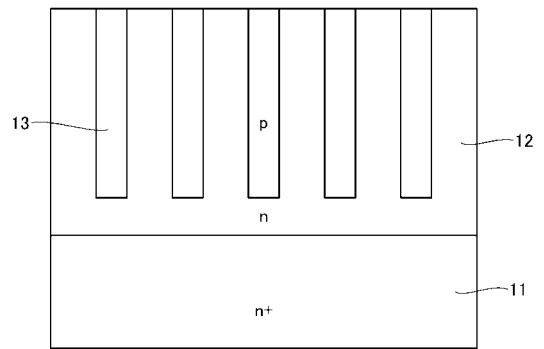
【 図 2 】



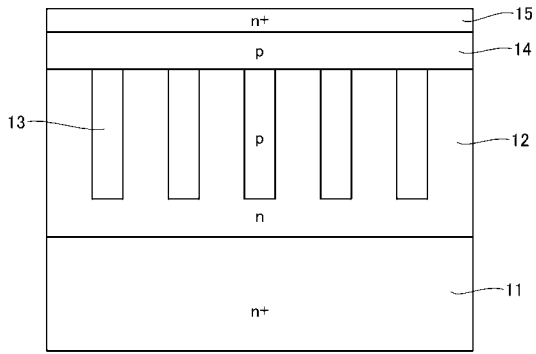
【 図 3 】



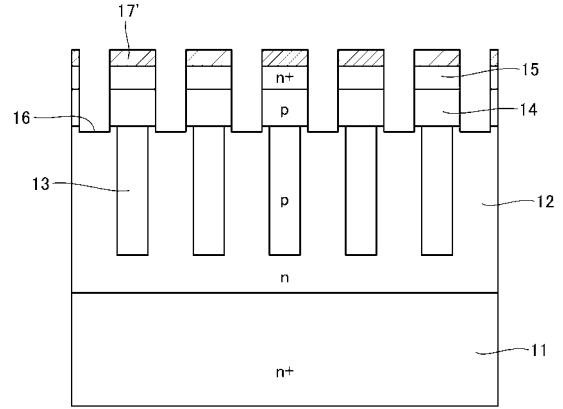
【 図 4 】



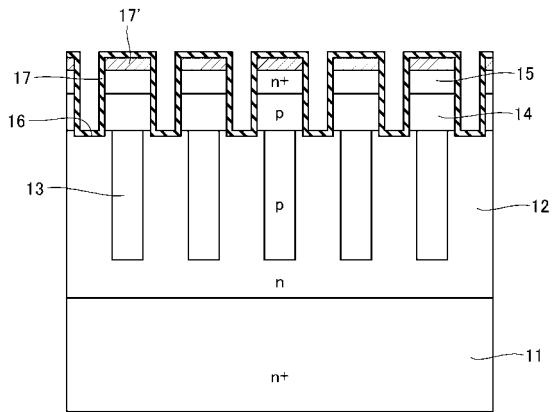
【 図 5 】



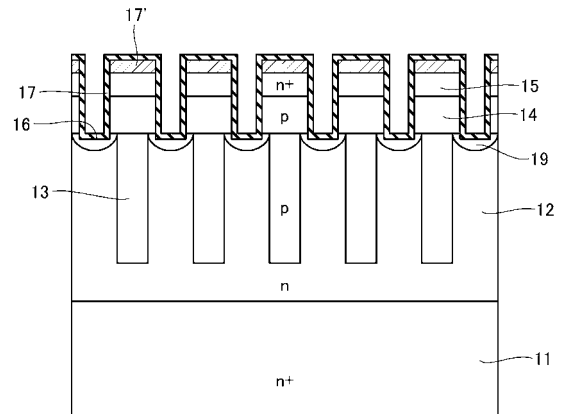
【 図 6 】



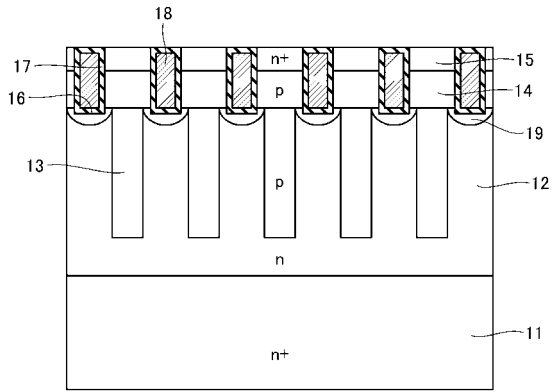
【 図 7 】



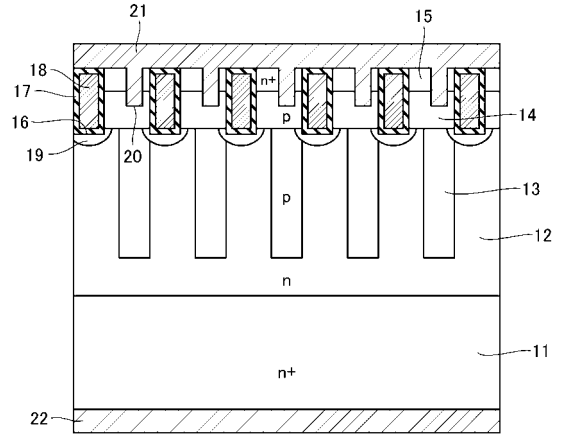
【 図 8 】



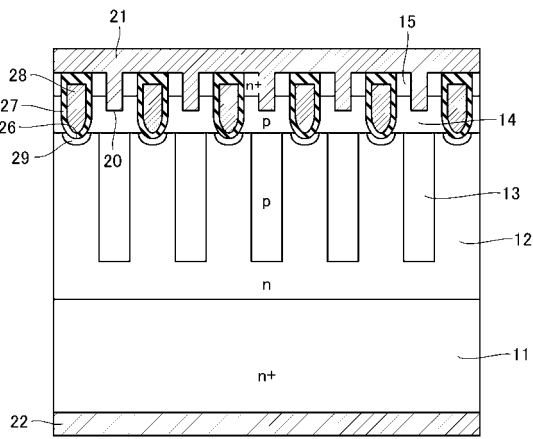
【 図 9 】



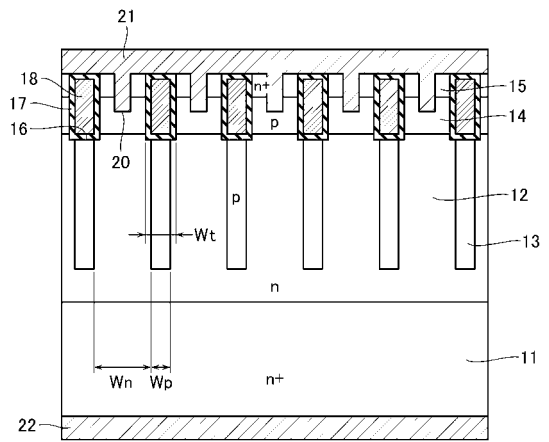
【 図 10 】



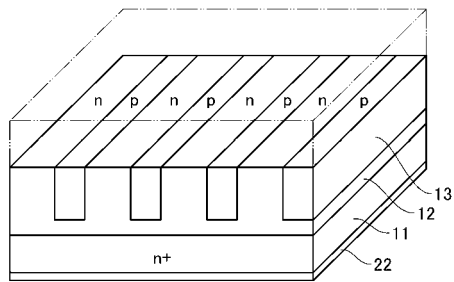
【 図 11 】



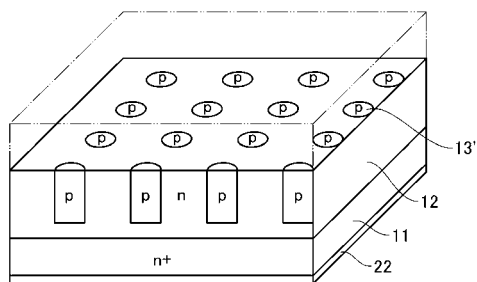
【 図 12 】



【図 1 3】



【図 1 4】



【手続補正書】

【提出日】平成18年8月25日(2006.8.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1

【補正方法】変更

【補正の内容】

【請求項 1】

第 1 導電型の第 1 の半導体層と、
 前記第 1 の半導体層の一方の面側に形成された第 1 の主電極と、
 前記第 1 の半導体層の他方の面側に形成され、第 1 導電型の第 2 の半導体層およびこの第 2 の半導体層に対して面方向に周期的に配置された第 2 導電型の第 3 の半導体層と、
 前記第 2 の半導体層および第 3 の半導体層の表面に形成された第 2 導電型の第 4 の半導体層と、
 前記第 4 の半導体層の表面に形成された第 1 導電型の第 5 の半導体層と、
 前記第 4 及び第 5 半導体層を貫通し前記第 2 の半導体層に達するトレンチ内に絶縁膜を介して形成された制御電極と、
 前記トレンチの底部から拡散されて形成された第 1 導電型の第 6 の半導体層と、
 前記第 4 及び第 5 の半導体層に接続された第 2 の主電極と
 を備えてなることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【 0 0 0 7 】

本発明に係る第1の半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層の一方の面側に形成された第1の主電極と、前記第1の半導体層の他方の面側に形成され、第1導電型の第2の半導体層およびこの第2の半導体層に対して面方向に周期的に配置された第2導電型の第3の半導体層と、前記第2の半導体層および第3の半導体層の表面に形成された第2導電型の第4の半導体層と、前記第4の半導体層の表面に形成された第1導電型の第5の半導体層と、前記第4及び第5半導体層を貫通し前記第2の半導体層に達するトレンチ内に絶縁膜を介して形成された制御電極と、前記トレンチの底部から拡散されて形成された第1導電型の第6の半導体層と、前記第4及び第5の半導体層に接続された第2の主電極とを備えてなることを特徴とする。