



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월22일
 (11) 등록번호 10-0831677
 (24) 등록일자 2008년05월16일

(51) Int. Cl.
G11C 8/04 (2006.01) *G11C 7/20* (2006.01)
 (21) 출원번호 10-2006-0105249
 (22) 출원일자 2006년10월27일
 심사청구일자 2006년10월27일
 (65) 공개번호 10-2008-0037933
 (43) 공개일자 2008년05월02일
 (56) 선행기술조사문헌
 US 06564287 B
 KR 10 2007 0095563 PA

(73) 특허권자
주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
김근국
 충북 청주시 흥덕구 가경동 동부아파트 102-303
 (74) 대리인
특허법인아주

전체 청구항 수 : 총 48 항

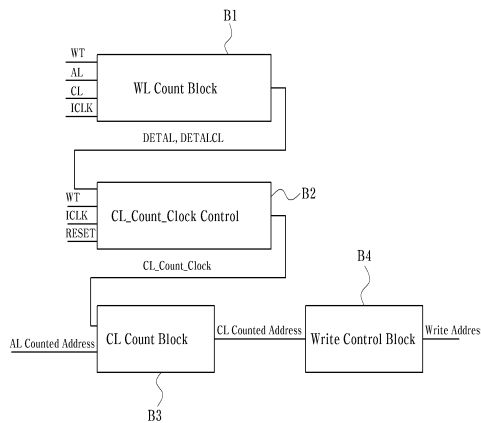
심사관 : 이선택

(54) 카운터 제어신호 생성회로

(57) 요약

본 발명은 래치된 외부어드레스를 입력받아 제1 레이턴시만큼 카운팅하여 제1 카운트 어드레스를 생성하는 제1 카운터와; 상기 제1 카운트 어드레스를 제2 레이턴시만큼 카운팅하여 제2 카운트 어드레스를 생성하는 제2 카운터와; 라이트 명령에 응답하여 인에이블되는 라이트 인식신호를 입력받아, 상기 라이트 인식신호에 응답하여 상기 제2 카운터의 인에이블을 제어하는 카운터 제어신호를 생성하는 카운터 제어신호 생성부와; 상기 라이트 인식신호를 입력받아, 상기 라이트 인식신호를 제1 레이턴시만큼 카운팅한 제1 커맨드신호를 생성하고, 상기 라이트 인식신호에 응답하여 인에이블되는 제1 디택팅신호를 생성하여 출력하는 제1 디택팅 신호 생성부 및; 상기 제1 커맨드신호를 입력받아, 상기 제1 커맨드신호를 제2 레이턴시만큼 카운팅한 제2 커맨드 신호를 생성하고, 상기 제1 커맨드신호에 응답하여 인에이블되는 제2 디택팅신호를 생성하여 출력하는 제2 디택팅 신호 생성부를 포함하는 카운터 제어신호 생성회로에 관한 것이다.

대표도 - 도2



특허청구의 범위

청구항 1

래치된 외부어드레스를 입력받아 제1 레이턴시만큼 카운팅하여 제1 카운트 어드레스를 생성하는 제1 카운터와;

상기 제1 카운트 어드레스를 제2 레이턴시만큼 카운팅하여 제2 카운트 어드레스를 생성하는 제2 카운터와;

라이트 명령에 응답하여 인에이블되는 라이트 인식신호를 입력받아, 상기 라이트 인식신호에 응답하여 상기 제2 카운터의 인에이블을 제어하는 카운터 제어신호를 생성하는 카운터 제어신호 생성부와;

상기 라이트 인식신호를 입력받아, 상기 라이트 인식신호를 제1 레이턴시만큼 카운팅한 제1 커맨드신호를 생성하고, 상기 라이트 인식신호에 응답하여 인에이블되는 제1 디택팅신호를 생성하여 출력하는 제1 디택팅 신호 생성부 및;

상기 제1 커맨드신호를 입력받아, 상기 제1 커맨드신호를 제2 레이턴시만큼 카운팅한 제2 커맨드 신호를 생성하고, 상기 제1 커맨드신호에 응답하여 인에이블되는 제2 디택팅신호를 생성하여 출력하는 제2 디택팅 신호 생성부를 포함하는 카운터 제어신호 생성회로.

청구항 2

제1항에 있어서, 상기 카운터 제어신호는 상기 제1 디택팅신호 및 제2 디택팅신호에 응답하여 인에이블되는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 3

제1항에 있어서, 상기 제1 디택팅신호 및 제2 디택팅신호 중 적어도 하나는 상기 제2 커맨드신호가 생성되기 전까지 인에이블 상태를 유지하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 4

제 1항에 있어서, 상기 카운터 제어신호 생성부는

상기 라이트 인식신호와 제1 리셋신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 제1 및 제2 디택팅신호를 입력받아 논리연산을 수행하는 제2 논리소자와;

상기 제2 논리소자의 출력신호와 상기 제1 리셋신호를 소정구간 지연시킨 제2 리셋신호를 입력받아 논리연산을 수행하는 제1 논리부와;

상기 제1 논리소자와 상기 제1 논리부의 출력신호를 입력받아 래치하는 래치부 및;

상기 래치부의 출력신호를 소정 구간 지연시킨 신호와 내부클럭을 입력받아 논리연산을 수행하여 상기 카운터 제어신호를 생성하는 제2 논리부를 포함하는 카운터 제어신호 생성회로.

청구항 5

제 4항에 있어서, 상기 제1 논리소자는 부정논리합 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 6

제 4항에 있어서, 상기 제2 논리소자는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 7

제 4항에 있어서, 상기 제1 논리부는 논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 8

제 4항에 있어서, 상기 제2 논리부는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

로.

청구항 9

제1항에 있어서, 상기 제1 디택팅 신호 생성부는

직렬로 연결된 제1 내지 제12 래치로 구성되어, 내부클럭에 응답하여 상기 라이트 인식신호를 순차적으로 래치하는 래치부와;

제1 레이턴시 신호에 응답하여 상기 라이트 인식신호를 전달하는 제1 전달소자와, 제2 레이턴시 신호에 응답하여 상기 제2 래치의 출력신호를 전달하는 제2 전달소자와, 제3 레이턴시 신호에 응답하여 상기 제4 래치의 출력신호를 전달하는 제3 전달소자와, 제4 레이턴시 신호에 응답하여 상기 제6 래치의 출력신호를 전달하는 제4 전달소자와, 제5 레이턴시 신호에 응답하여 상기 제8 래치의 출력신호를 전달하는 제5 전달소자와, 제6 레이턴시 신호에 응답하여 상기 제10 래치의 출력신호를 전달하는 제6 전달소자와, 제7 레이턴시 신호에 응답하여 상기 제12 래치의 출력신호를 전달하는 제7 전달소자를 포함하는 커맨드 신호 생성부와;

제1 레이턴시 인에이블 신호에 응답하여 상기 제1 및 제2 래치의 출력신호를 전달하는 제1 전달부와, 제2 레이턴시 인에이블 신호에 응답하여 상기 제3 및 제4 래치의 출력신호를 전달하는 제2 전달부와, 제3 레이턴시 인에이블 신호에 응답하여 상기 제5 및 제6 래치의 출력신호를 전달하는 제3 전달부와, 제4 레이턴시 인에이블 신호에 응답하여 상기 제7 및 제8 래치의 출력신호를 전달하는 제4 전달부와, 제5 레이턴시 인에이블 신호에 응답하여 상기 제9 및 제10 래치의 출력신호를 전달하는 제5 전달부와, 제6 레이턴시 인에이블 신호에 응답하여 상기 제11 및 제12 래치의 출력신호를 전달하는 제6 전달부를 포함하는 신호전달부 및;

상기 라이트 인식신호를 버퍼링한 신호와 상기 제1 및 제2 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제1 논리부와, 상기 제1 논리부의 출력신호와 상기 제3 및 제4 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제2 논리부와, 상기 제2 논리부의 출력신호와 상기 제5 및 제6 전달부로부터 전달된 신호를 입력받아 논리연산하여 상기 제1 디택팅신호를 생성하는 제3 논리부를 포함하는 디택팅신호 생성부를 포함하는 카운터 제어신호 생성회로.

청구항 10

제9항에 있어서, 상기 제1 내지 제7 전달소자는 전달게이트인 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 11

제9항에 있어서, 상기 제1 전달부는

상기 제1 래치의 출력신호와, 상기 제2 래치의 출력신호를 버퍼링한 신호 및, 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 제1 논리소자의 출력신호와 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 카운터 제어신호 생성회로.

청구항 12

제11항에 있어서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 13

제9항에 있어서, 상기 제2 전달부는

상기 제3 래치의 출력신호와, 상기 제4 래치의 출력신호를 버퍼링한 신호 및, 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 제1 논리소자의 출력신호와 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 카운터 제어신호 생성회로.

청구항 14

제13항에 있어서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신

호 생성회로.

청구항 15

제9항에 있어서, 상기 제1 내지 제3 논리부는 논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 16

제9항에 있어서, 상기 제1 내지 제2 레이턴시 신호를 입력받아 상기 제1 및 제2 레이턴시 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하되,

상기 인에이블 신호 생성부는

상기 제1 레이턴시 신호를 소정구간 지연시키는 지연소자와,

상기 지연소자의 출력신호를 버퍼링하여 상기 제1 레이턴시 인에이블 신호를 생성하는 제1 버퍼와,

상기 지연소자의 출력신호와 상기 제2 레이턴시 신호를 입력받아 논리연산하는 논리부와,

상기 논리부의 출력신호를 버퍼링하여 상기 제2 레이턴시 인에이블 신호를 생성하는 제2 버퍼를 포함하여 구성되는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 17

제16항에 있어서, 상기 지연소자는 인버터 체인으로 구성되는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 18

제16항에 있어서, 상기 제1 및 제2 버퍼는 인버터인 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 19

제16항에 있어서, 상기 논리부는 논리합 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 20

제1항에 있어서, 상기 제2 디택팅 신호 생성부는

직렬로 연결된 제1 내지 제10 래치로 구성되어, 내부클럭에 응답하여 상기 라이트 인식신호를 순차적으로 래치하는 래치부와;

제1 레이턴시 신호에 응답하여 상기 제1 커맨드신호를 전달하는 제1 전달소자와, 제2 레이턴시 신호에 응답하여 상기 제2 래치의 출력신호를 전달하는 제2 전달소자와, 제3 레이턴시 신호에 응답하여 상기 제4 래치의 출력신호를 전달하는 제3 전달소자와, 제4 레이턴시 신호에 응답하여 상기 제6 래치의 출력신호를 전달하는 제4 전달소자와, 제5 레이턴시 신호에 응답하여 상기 제8 래치의 출력신호를 전달하는 제5 전달소자와, 제6 레이턴시 신호에 응답하여 상기 제10 래치의 출력신호를 전달하는 제6 전달소자를 포함하는 커맨드 신호 생성부와;

제1 레이턴시 인에이블 신호에 응답하여 상기 제1 및 제2 래치의 출력신호를 전달하는 제1 전달부와, 제2 레이턴시 인에이블 신호에 응답하여 상기 제3 및 제4 래치의 출력신호를 전달하는 제2 전달부와, 제3 레이턴시 인에이블 신호에 응답하여 상기 제5 및 제6 래치의 출력신호를 전달하는 제3 전달부와, 제4 레이턴시 인에이블 신호에 응답하여 상기 제7 및 제8 래치의 출력신호를 전달하는 제4 전달부와, 제5 레이턴시 인에이블 신호에 응답하여 상기 제9 및 제10 래치의 출력신호를 전달하는 제5 전달부를 포함하는 신호전달부 및;

상기 제1 커맨드신호를 버퍼링한 신호와 상기 제1 및 제2 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제1 논리부와, 상기 제1 논리부의 출력신호와 상기 제3 내지 제5 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제2 논리부를 포함하는 디택팅신호 생성부를 포함하는 카운터 제어신호 생성회로.

청구항 21

제20항에 있어서, 상기 제1 내지 제6 전달소자는 전달게이트인 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 22

제20항에 있어서, 상기 제1 전달부는

상기 제1 래치의 출력신호와, 상기 제2 래치의 출력신호를 버퍼링한 신호 및, 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 제1 논리소자의 출력신호와 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 카운터 제어신호 생성회로.

청구항 23

제22항에 있어서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 24

제20항에 있어서, 상기 제2 전달부는

상기 제3 래치의 출력신호와, 상기 제4 래치의 출력신호를 버퍼링한 신호 및, 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 제1 논리소자의 출력신호와 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 카운터 제어신호 생성회로.

청구항 25

제24항에 있어서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 26

제20항에 있어서, 상기 제1 및 제2 논리부는 논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 27

제20항에 있어서, 상기 제1 내지 제2 레이턴시 신호를 입력받아 상기 제1 및 제2 레이턴시 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하되,

상기 인에이블 신호 생성부는

상기 제1 레이턴시 신호를 소정구간 지연시키는 지연소자와,

상기 지연소자의 출력신호를 버퍼링하여 상기 제1 레이턴시 인에이블 신호를 생성하는 제1 버퍼와,

상기 지연소자의 출력신호와 상기 제2 레이턴시 신호를 입력받아 논리연산하는 논리부와,

상기 논리부의 출력신호를 버퍼링하여 상기 제2 레이턴시 인에이블 신호를 생성하는 제2 버퍼를 포함하여 구성되는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 28

제1항에 있어서, 상기 제1 디텍팅 신호의 인에이블 구간은 상기 라이트 인식신호에 의해 상기 제1 커맨드 신호가 생성될 때까지 유지되는 카운터 제어신호 생성회로.

청구항 29

제28항에 있어서, 상기 제2 디텍팅 신호의 인에이블 구간은 상기 제1 커맨드 신호에 의해 상기 제2 커맨드 신호가 생성될 때까지 유지되는 카운터 제어신호 생성회로.

청구항 30

제 1 항에 있어서, 제1 라이트 명령에 의해 상기 제2 커맨드 신호가 생성되기 전에 제2 라이트 명령이 입력되는 경우 상기 제1 디텍팅 신호 또는 상기 제2 디텍팅 신호의 인에이블 상태가 유지되는 카운터 제어신호 생성회로.

청구항 31

제1 카운트 어드레스를 소정 레이턴시만큼 카운팅하여 제2 카운트 어드레스를 생성하는 카운터와;

라이트 명령에 응답하여 인에이블되는 라이트 인식신호를 입력받아, 상기 라이트 인식신호에 응답하여 상기 카운터의 인에이블을 제어하는 카운터 제어신호를 생성하는 카운터 제어신호 생성부와;

상기 라이트 인식신호를 입력받아, 상기 라이트 인식신호를 상기 레이턴시만큼 카운팅한 커맨드신호를 생성하고, 상기 라이트 인식신호에 응답하여 인에이블되는 디텍팅신호를 생성하여 출력하는 디텍팅 신호 생성부를 포함하는 카운터 제어신호 생성회로.

청구항 32

제31항에 있어서, 상기 카운터 제어신호는 상기 디텍팅신호에 응답하여 인에이블되는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 33

제31항에 있어서, 상기 디텍팅신호는 상기 커맨드신호가 생성되기 전까지 인에이블 상태를 유지하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 34

제 31항에 있어서, 상기 카운터 제어신호 생성부는

상기 라이트 인식신호와 제1 리셋신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 디텍팅신호를 입력받아 버퍼링하는 제2 논리소자와;

상기 제2 논리소자의 출력신호와 상기 제1 리셋신호를 소정구간 지연시킨 제2 리셋신호를 입력받아 논리연산을 수행하는 제1 논리부와;

상기 제1 논리소자와 상기 제1 논리부의 출력신호를 입력받아 래치하는 래치부 및;

상기 래치부의 출력신호를 소정 구간 지연시킨 신호와 내부클럭을 입력받아 논리연산을 수행하여 상기 카운터 제어신호를 생성하는 제2 논리부를 포함하는 카운터 제어신호 생성회로.

청구항 35

제 34항에 있어서, 상기 제1 논리소자는 부정논리합 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 36

제 34항에 있어서, 상기 제2 논리소자는 인버터인 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 37

제 34항에 있어서, 상기 제1 논리부는 논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 38

제 34항에 있어서, 상기 제2 논리부는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 39

제33항에 있어서, 상기 디텍팅 신호 생성부는

직렬로 연결된 제1 내지 제12 래치로 구성되어, 내부클럭에 응답하여 상기 라이트 인식신호를 순차적으로 래치

하는 래치부와;

제1 레이턴시 신호에 응답하여 상기 라이트 인식신호를 전달하는 제1 전달소자와, 제2 레이턴시 신호에 응답하여 상기 제2 래치의 출력신호를 전달하는 제2 전달소자와, 제3 레이턴시 신호에 응답하여 상기 제4 래치의 출력신호를 전달하는 제3 전달소자와, 제4 레이턴시 신호에 응답하여 상기 제6 래치의 출력신호를 전달하는 제4 전달소자와, 제5 레이턴시 신호에 응답하여 상기 제8 래치의 출력신호를 전달하는 제5 전달소자와, 제6 레이턴시 신호에 응답하여 상기 제10 래치의 출력신호를 전달하는 제6 전달소자와, 제7 레이턴시 신호에 응답하여 상기 제12 래치의 출력신호를 전달하는 제7 전달소자를 포함하는 커맨드 신호 생성부와;

제1 레이턴시 인에이블 신호에 응답하여 상기 제1 및 제2 래치의 출력신호를 전달하는 제1 전달부와, 제2 레이턴시 인에이블 신호에 응답하여 상기 제3 및 제4 래치의 출력신호를 전달하는 제2 전달부와, 제3 레이턴시 인에이블 신호에 응답하여 상기 제5 및 제6 래치의 출력신호를 전달하는 제3 전달부와, 제4 레이턴시 인에이블 신호에 응답하여 상기 제7 및 제8 래치의 출력신호를 전달하는 제4 전달부와, 제5 레이턴시 인에이블 신호에 응답하여 상기 제9 및 제10 래치의 출력신호를 전달하는 제5 전달부와, 제6 레이턴시 인에이블 신호에 응답하여 상기 제11 및 제12 래치의 출력신호를 전달하는 제6 전달부를 포함하는 신호전달부 및;

상기 라이트 인식신호를 버퍼링한 신호와 상기 제1 및 제2 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제1 논리부와, 상기 제1 논리부의 출력신호와 상기 제3 및 제4 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제2 논리부와, 상기 제2 논리부의 출력신호와 상기 제5 및 제6 전달부로부터 전달된 신호를 입력받아 논리연산하여 상기 디택팅신호를 생성하는 제3 논리부를 포함하는 디택팅신호 생성부를 포함하는 카운터 제어신호 생성회로.

청구항 40

제39항에 있어서, 상기 제1 내지 제7 전달소자는 전달게이트인 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 41

제39항에 있어서, 상기 제1 전달부는

상기 제1 래치의 출력신호와, 상기 제2 래치의 출력신호를 버퍼링한 신호 및, 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 제1 논리소자의 출력신호와 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 카운터 제어신호 생성회로.

청구항 42

제41항에 있어서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 43

제39항에 있어서, 상기 제2 전달부는

상기 제3 래치의 출력신호와, 상기 제4 래치의 출력신호를 버퍼링한 신호 및, 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와;

상기 제1 논리소자의 출력신호와 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 카운터 제어신호 생성회로.

청구항 44

제43항에 있어서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 45

제43항에 있어서, 상기 제1 내지 제3 논리부는 논리곱 연산을 수행하는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 46

제39항에 있어서, 상기 제1 내지 제2 레이턴시 신호를 입력받아 상기 제1 및 제2 레이턴시 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하되,

상기 인에이블 신호 생성부는

상기 제1 레이턴시 신호를 소정구간 지연시키는 지연소자와,

상기 지연소자의 출력신호를 버퍼링하여 상기 제1 레이턴시 인에이블 신호를 생성하는 제1 버퍼와,

상기 지연소자의 출력신호와 상기 제2 레이턴시 신호를 입력받아 논리연산하는 논리부와,

상기 논리부의 출력신호를 버퍼링하여 상기 제2 레이턴시 인에이블 신호를 생성하는 제2 버퍼를 포함하여 구성되는 것을 특징으로 하는 카운터 제어신호 생성회로.

청구항 47

제 31 항에 있어서, 상기 디택팅 신호의 인에이블 구간은 상기 라이트 인식신호에 의해 상기 커맨드신호가 생성될 때까지 유지되는 카운터 제어신호 생성회로.

청구항 48

제 31 항에 있어서, 제1 라이트 명령에 의해 상기 커맨드 신호가 생성되기 전에 제2 라이트 명령이 입력되는 경우 상기 디택팅신호의 인에이블 상태가 유지되는 카운터 제어신호 생성회로.

청구항 49

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 카운터 제어신호 생성회로에 관한 것으로, 더욱 구체적으로는 리드(Read) 동작 시 불필요하게 동작하는 CL 카운터(Cas Latency Counter)에 의해 야기되는 전류소모를 방지할 수 있도록 하는 카운터 제어신호 생성회로에 관한 것이다.
- <17> DDR2 SDRAM급 이상에서는 AL(Additive Latency) 및 WL(Write Latency)라는 새로운 개념이 도입되어, WL은 AL+CL(CAS Latency)-1로, RL(Read Latency)은 AL+CL로 규정하고 있다. 한편, 외부 어드레스를 받아들이는 입장에서 본다면 리드(Read) 동작의 경우 CL은 데이터 출력단 측에서 담당하게 되므로 RL은 AL로 규정하고 있다.
- <18> AL 및 WL 도입에 의한 장점은 리드(Read) 또는 라이트(Write) 명령의 위치가 훨씬 자유로워 졌다는 데 있다. 그러나, 새롭게 도입된 AL 및 WL에 의해 단점도 야기 되었는데, AL 및 WL을 제어하기 위해 동작되는 CL 카운터(CL Counter)에 의한 전류 소모 증가가 바로 그것이다.
- <19> 전류 소모를 줄이기 위해 리드 또는 라이트 동작이 올 수 없는 경우, 즉 뱅크(Bank) 모두 프리차지(Precharge)된 아이들(Idle) 상태인 경우에 있어 카운터의 동작을 중단시켜 전류 소모를 줄이는 방식이 사용되었다. 그러나, 이와 같은 방식에 의하더라도 리드 동작에서의 불필요한 CL 카운터의 동작에 의한 전류소모는 그대로 유지되는 문제가 있었다.
- <20> 따라서, 리드 동작에서 불필요한 CL 카운트에 의해 전류가 소모되는 것을 방지하기 위해, 리드 명령이 입력되는 경우 CL 카운터의 동작을 중지시킬 수 있는 리드-라이트 어드레스 생성회로가 개발되었다.
- <21> 도1a는 종래기술에 따른 리드-라이트 어드레스 생성회로의 구성을 도시한 블록도이다.
- <22> 도시한 바와 같이, 종래기술에 따른 리드-라이트 어드레스 생성회로는 외부 어드레스(Address)를 입력받아, 리

드(Read) 또는 라이트(Write) 명령에 동기시켜 래치된 어드레스 신호(Latched RDWT Address)를 출력하는 어드레스 래치부(A1, Address Latch Block)와; 래치된 어드레스 신호(Latched RDWT Address)를 입력받아, 카운트 클럭(Count Clock) 신호와 AL 신호에 동기시켜 기설정된 AL에 따라 카운트된 AL 카운트 어드레스(AL Counted Address)를 출력하는 AL 카운터(A2, AL Count Block)와; AL 카운트 어드레스(AL Counted Address)를 입력받아 실제 리드 동작을 위한 리드 어드레스(Read Address)를 생성하는 리드 어드레스 생성부(A3, Read Control Block)와; 라이트 명령(Write Command)에 따라 인에이블되는 라이트 인식 신호(WT)와, 리셋신호(RESET)와, 리드 명령(Read Command)에 따라 인에이블되는 리드 인식 신호(IRD) 및, 외부클럭과 동일한 주기를 갖는 내부 카운트 클럭인 내부클럭(ICLK)을 입력받아 CL 카운터(A5, CL Count Block)의 동작을 제어하기 위한 카운터 제어신호(CL_Count_Clock)를 생성하는 카운터 제어신호 생성부(A4, CL_Count_Clock Control)와; AL 카운트 어드레스(AL Counted Address)를 입력받아, CL 신호에 동기시켜 기설정된 CL에 따라 카운트된 CL 카운트 어드레스(CL Counted Address)를 출력하는 CL 카운터(A5, CL Count Block) 및; CL 카운트 어드레스(CL Counted Address)를 입력받아 실제 라이트 동작을 위한 라이트 어드레스(Write Address)를 생성하는 라이트 어드레스 생성부(A6, Write Control Block)를 포함한다.

<23> 여기서, 도1b를 참고하여 카운터 제어신호 생성부(A4, CL_Count_Clock Control)의 동작을 구체적으로 살펴보면 다음과 같다. 우선, 라이트 명령에 따라 라이트 인식 신호(WT)가 하이레벨로 인에이블되면 인에이블 신호(CLKCTL)는 하이레벨이 되어 낸드게이트(NDA3)를 인버터로 동작시킨다. 그 결과 카운터 제어신호(CL_Count_Clock)는 내부클럭(ICLK)을 반전시킨 신호로 형성되어 인에이블되므로 CL 카운터(A5, AL Count Block)가 동작한다. 한편, 리드 명령에 따라 리드 인식 신호(IRD)가 하이레벨로 인에이블되면 인에이블 신호(CLKCTL)는 로우레벨로 천이되고, 카운터 제어신호(CL_Count_Clock)는 하이레벨로 되어 디스에이블되므로 CL 카운터(A5, AL Count Block)는 동작이 중단된다. 이와 같이 카운터 제어신호 생성부(A4, CL_Count_Clock Control)는 라이트 명령에 의해 인에이블된 카운터 제어신호(CL_Count_Clock)를 생성하고, 리드 명령에 의해서는 디스에이블된 카운터 제어신호(CL_Count_Clock)를 생성함으로써, 리드 동작 시 CL 카운터(A5, AL Count Block)의 불필요한 동작에 의해 전류가 소모되는 것을 방지하고 있다..

<24> 그런데, 앞서 설명한 바와 같이 구성된 리드-라이트 어드레스 생성회로의 경우 AL에 따라 내부적인 문제가 발생하는데, 이를 카운터 제어신호 생성부의 내부신호 간의 타이밍도를 도시한 도1c를 통해 살펴보면 다음과 같다.

<25> 도1c에서 도시한 바와 같이, BL(Burst Length)이 4인 경우 리드 명령(RD(2)) 후 4클럭이 경과 된 후 라이트 명령이 올 수 있다. 한편, 카운터 제어신호(CL_Count_Clock)를 디스에이블 시키는 리드 인식 신호(IRD)는 리드 명령 후 AL만큼 지연된 후에 발생한다. 여기서, AL이 4인 경우 a에서 보는 바와 같이 라이트 명령(WT(3))에 따라 발생하는 라이트 인식신호(WT)의 인에이블 구간과 리드 명령(RD(2))에 따라 발생하는 리드 인식신호(IRD)의 인에이블 구간이 서로 겹쳐지는 경우가 발생할 수 있다. 그 결과 b에서 보는 바와 같이 카운터 제어신호(CL_Count_Clock)의 인에이블 구간이 1클럭만에 종료되어, 라이트 어드레스를 제대로 입력받지 못하는 문제가 발생하였다.

발명이 이루고자 하는 기술적 과제

<26> 따라서, 본 발명이 이루고자 하는 기술적 과제는 리드(Read) 명령에 관계없이, 라이트(Write) 명령에 의해서만 CL 카운터(CAS Latency Counter)의 동작 여부가 결정되도록 함으로써, 리드(Read) 동작 시 불필요하게 동작하는 CL 카운터에 의해 야기되는 전류소모를 방지할 수 있도록 하는 카운터 제어신호 생성회로를 제공하는데 있다.

<27> 또한, 본 발명의 또 다른 과제는 연속되는 라이트(Write) 명령이 있는 경우 최종 라이트 명령에 의해서만 CL 카운터의 동작이 중단되도록 함으로써, CL 카운터의 동작이 비정상적으로 중단되는 것을 방지하는 데 있다.

발명의 구성 및 작용

<28> 상기 기술적 과제를 달성하기 위하여, 본 발명은 래치된 외부어드레스를 입력받아 제1 레이턴시만큼 카운팅하여 제1 카운트 어드레스를 생성하는 제1 카운터와; 상기 제1 카운트 어드레스를 제2 레이턴시만큼 카운팅하여 제2 카운트 어드레스를 생성하는 제2 카운터와; 라이트 명령에 응답하여 인에이블되는 라이트 인식신호를 입력받아, 상기 라이트 인식신호에 응답하여 상기 제2 카운터의 인에이블을 제어하는 카운터 제어신호를 생성하는 카운터 제어신호 생성부와; 상기 라이트 인식신호를 입력받아, 상기 라이트 인식신호를 제1 레이턴시만큼 카운팅한 제1 커맨드신호를 생성하고, 상기 라이트 인식신호에 응답하여 인에이블되는 제1 디택팅신호를 생성하여 출력하는 제1 디택팅 신호 생성부 및; 상기 제1 커맨드신호를 입력받아, 상기 제1 커맨드신호를 제2 레이턴시만큼 카운팅한 제2 커맨드 신호를 생성하고, 상기 제1 커맨드신호에 응답하여 인에이블되는 제2 디택팅신호를 생

성하여 출력하는 제2 디택팅 신호 생성부를 포함하는 카운터 제어신호 생성회로를 제공한다.

- <29> 본 발명에서, 상기 카운터 제어신호는 상기 제1 디택팅신호 및 제2 디택팅신호에 응답하여 인에이블되는 것이 바람직하다.
- <30> 본 발명에서, 상기 제1 디택팅신호 및 제2 디택팅신호 중 적어도 하나는 상기 제2 커맨드신호가 생성되기 전까지 인에이블 상태를 유지하는 것이 바람직하다.
- <31> 본 발명에서, 상기 카운터 제어신호 생성부는 상기 라이트 인식신호와 제1 리셋신호를 입력받아 논리연산을 수행하는 제1 논리소자와; 상기 제1 및 제2 디택팅신호를 입력받아 논리연산을 수행하는 제2 논리소자와; 상기 제2 논리소자의 출력신호와 상기 제1 리셋신호를 소정구간 지연시킨 제2 리셋신호를 입력받아 논리연산을 수행하는 제1 논리부와; 상기 제1 논리소자와 상기 제1 논리부의 출력신호를 입력받아 래치하는 래치부 및; 상기 래치부의 출력신호를 소정 구간 지연시킨 신호와 내부클럭을 입력받아 논리연산을 수행하여 상기 카운터 제어신호를 생성하는 제2 논리부를 포함하는 것이 바람직하다.
- <32> 본 발명에서, 상기 제1 논리소자는 부정논리합 연산을 수행하는 것이 바람직하다.
- <33> 본 발명에서, 상기 제2 논리소자는 부정논리곱 연산을 수행하는 것이 바람직하다.
- <34> 본 발명에서, 상기 제1 논리부는 논리곱 연산을 수행하는 것이 바람직하다.
- <35> 본 발명에서, 상기 제2 논리부는 부정논리곱 연산을 수행하는 것이 바람직하다.
- <36> 본 발명에서, 상기 제1 디택팅 신호 생성부는 직렬로 연결된 제1 내지 제12 래치로 구성되어, 내부클럭에 응답하여 상기 라이트 인식신호를 순차적으로 래치하는 래치부와; 제1 레이턴시 신호에 응답하여 상기 라이트 인식신호를 전달하는 제1 전달소자와, 제2 레이턴시 신호에 응답하여 상기 제2 래치의 출력신호를 전달하는 제2 전달소자와, 제3 레이턴시 신호에 응답하여 상기 제4 래치의 출력신호를 전달하는 제3 전달소자와, 제4 레이턴시 신호에 응답하여 상기 제6 래치의 출력신호를 전달하는 제4 전달소자와, 제5 레이턴시 신호에 응답하여 상기 제8 래치의 출력신호를 전달하는 제5 전달소자와, 제6 레이턴시 신호에 응답하여 상기 제10 래치의 출력신호를 전달하는 제6 전달소자와, 제7 레이턴시 신호에 응답하여 상기 제12 래치의 출력신호를 전달하는 제7 전달소자를 포함하는 커맨드 신호 생성부와; 제1 레이턴시 인에이블 신호에 응답하여 상기 제1 및 제2 래치의 출력신호를 전달하는 제1 전달부와, 제2 레이턴시 인에이블 신호에 응답하여 상기 제3 및 제4 래치의 출력신호를 전달하는 제2 전달부와, 제3 레이턴시 인에이블 신호에 응답하여 상기 제5 및 제6 래치의 출력신호를 전달하는 제3 전달부와, 제4 레이턴시 인에이블 신호에 응답하여 상기 제7 및 제8 래치의 출력신호를 전달하는 제4 전달부와, 제5 레이턴시 인에이블 신호에 응답하여 상기 제9 및 제10 래치의 출력신호를 전달하는 제5 전달부와, 제6 레이턴시 인에이블 신호에 응답하여 상기 제11 및 제12 래치의 출력신호를 전달하는 제6 전달부를 포함하는 신호전달부 및; 상기 라이트 인식신호를 버퍼링한 신호와 상기 제1 및 제2 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제1 논리부와, 상기 제1 논리부의 출력신호와 상기 제3 및 제4 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제2 논리부와, 상기 제2 논리부의 출력신호와 상기 제5 및 제6 전달부로부터 전달된 신호를 입력받아 논리연산하여 상기 제1 디택팅신호를 생성하는 제3 논리부를 포함하는 디택팅신호 생성부를 포함한다.
- <37> 본 발명에서, 상기 제1 내지 제7 전달소자는 전달게이트인 것을 특징으로 하는 것이 바람직하다.
- <38> 본 발명에서, 상기 제1 전달부는 상기 제1 래치의 출력신호와, 상기 제2 래치의 출력신호를 버퍼링한 신호 및, 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와; 상기 제1 논리소자의 출력신호와 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 것이 바람직하다.
- <39> 본 발명에서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것이 바람직하다.
- <40> 본 발명에서, 상기 제2 전달부는 상기 제3 래치의 출력신호와, 상기 제4 래치의 출력신호를 버퍼링한 신호 및, 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와; 상기 제1 논리소자의 출력신호와 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 것이 바람직하다.
- <41> 본 발명에서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것이 바람직하다.
- <42> 본 발명에서, 상기 제1 내지 제3 논리부는 논리곱 연산을 수행하는 것을 특징으로 하는 것이 바람직하다.

- <43> 본 발명에서, 상기 제1 내지 제2 레이턴시 신호를 입력받아 상기 제1 및 제2 레이턴시 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하되, 상기 인에이블 신호 생성부는 상기 제1 레이턴시 신호를 소정구간 지연시키는 지연소자와, 상기 지연소자의 출력신호를 버퍼링하여 상기 제1 레이턴시 인에이블 신호를 생성하는 제1 버퍼와, 상기 지연소자의 출력신호와 상기 제2 레이턴시 신호를 입력받아 논리연산하는 논리부와, 상기 논리부의 출력신호를 버퍼링하여 상기 제2 레이턴시 인에이블 신호를 생성하는 제2 버퍼를 포함하여 구성되는 것이 바람직하다.
 - <44> 본 발명에서, 상기 지연소자는 인버터 체인으로 구성되는 것이 바람직하다.
 - <45> 본 발명에서, 상기 제1 및 제2 버퍼는 인버터인 것을 특징으로 하는 것이 바람직하다.
 - <46> 본 발명에서, 상기 논리부는 논리합 연산을 수행하는 것이 바람직하다.
 - <47> 본 발명에서, 상기 제2 디택팅 신호 생성부는 직렬로 연결된 제1 내지 제10 래치로 구성되어, 내부클럭에 응답하여 상기 라이트 인식신호를 순차적으로 래치하는 래치부와; 제1 레이턴시 신호에 응답하여 상기 제1 커맨드신호를 전달하는 제1 전달소자와, 제2 레이턴시 신호에 응답하여 상기 제2 래치의 출력신호를 전달하는 제2 전달소자와, 제3 레이턴시 신호에 응답하여 상기 제4 래치의 출력신호를 전달하는 제3 전달소자와, 제4 레이턴시 신호에 응답하여 상기 제6 래치의 출력신호를 전달하는 제4 전달소자와, 제5 레이턴시 신호에 응답하여 상기 제8 래치의 출력신호를 전달하는 제5 전달소자와, 제6 레이턴시 신호에 응답하여 상기 제10 래치의 출력신호를 전달하는 제6 전달소자를 포함하는 커맨드 신호 생성부와; 제1 레이턴시 인에이블 신호에 응답하여 상기 제1 및 제2 래치의 출력신호를 전달하는 제1 전달부와, 제2 레이턴시 인에이블 신호에 응답하여 상기 제3 및 제4 래치의 출력신호를 전달하는 제2 전달부와, 제3 레이턴시 인에이블 신호에 응답하여 상기 제5 및 제6 래치의 출력신호를 전달하는 제3 전달부와, 제4 레이턴시 인에이블 신호에 응답하여 상기 제7 및 제8 래치의 출력신호를 전달하는 제4 전달부와, 제5 레이턴시 인에이블 신호에 응답하여 상기 제9 및 제10 래치의 출력신호를 전달하는 제5 전달부를 포함하는 신호전달부 및; 상기 제1 커맨드신호를 버퍼링한 신호와 상기 제1 및 제2 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제1 논리부와, 상기 제1 논리부의 출력신호와 상기 제3 내지 제5 전달부로부터 전달된 신호를 입력받아 논리연산을 수행하는 제2 논리부를 포함하는 디택팅신호 생성부를 포함한다.
 - <48> 본 발명에서, 상기 제1 내지 제6 전달소자는 전달게이트인 것이 바람직하다.
 - <49> 본 발명에서, 상기 제1 전달부는 상기 제1 래치의 출력신호와, 상기 제2 래치의 출력신호를 버퍼링한 신호 및, 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와; 상기 제1 논리소자의 출력신호와 상기 제1 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 것이 바람직하다.
 - <50> 본 발명에서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것이 바람직하다.
 - <51> 본 발명에서, 상기 제2 전달부는 상기 제3 래치의 출력신호와, 상기 제4 래치의 출력신호를 버퍼링한 신호 및, 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제1 논리소자와; 상기 제1 논리소자의 출력신호와 상기 제2 레이턴시 인에이블 신호를 입력받아 논리연산을 수행하는 제2 논리소자를 포함하는 것이 바람직하다.
 - <52> 본 발명에서, 상기 제1 및 제2 논리소자는 부정논리곱 연산을 수행하는 것이 바람직하다.
 - <53> 본 발명에서, 상기 제1 및 제2 논리부는 논리곱 연산을 수행하는 것이 바람직하다.
 - <54> 본 발명에서, 상기 제1 내지 제2 레이턴시 신호를 입력받아 상기 제1 및 제2 레이턴시 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하되, 상기 인에이블 신호 생성부는 상기 제1 레이턴시 신호를 소정구간 지연시키는 지연소자와, 상기 지연소자의 출력신호를 버퍼링하여 상기 제1 레이턴시 인에이블 신호를 생성하는 제1 버퍼와, 상기 지연소자의 출력신호와 상기 제2 레이턴시 신호를 입력받아 논리연산하는 논리부와, 상기 논리부의 출력신호를 버퍼링하여 상기 제2 레이턴시 인에이블 신호를 생성하는 제2 버퍼를 포함하여 구성되는 것이 바람직하다.
- 본 발명에서, 상기 제1 디택팅 신호의 인에이블 구간은 상기 라이트 인식신호에 의해 상기 제1 커맨드 신호가 생성될 때까지 유지되는 것이 바람직하다.
- 본 발명에서, 상기 제2 디택팅 신호의 인에이블 구간은 상기 제1 커맨드 신호에 의해 상기 제2 커맨드 신호가 생성될 때까지 유지되는 것이 바람직하다.

- <55> 본 발명에서, 제1 라이트 명령에 의해 상기 제2 커맨드 신호가 생성되기 전에 제2 라이트 명령이 입력되는 경우 상기 제1 디택팅 신호 또는 상기 제2 디택팅 신호의 인에이블 상태가 유지되는 것이 바람직하다.
- <56> 삭제
- <57> 삭제
- <58> 또한, 본 발명은 제1 카운트 어드레스를 소정 레이턴시만큼 카운팅하여 제2 카운트 어드레스를 생성하는 카운터와; 라이트 명령에 응답하여 인에이블되는 라이트 인식신호를 입력받아, 상기 라이트 인식신호에 응답하여 상기 카운터의 인에이블을 제어하는 카운터 제어신호를 생성하는 카운터 제어신호 생성부와; 상기 라이트 인식신호를 입력받아, 상기 라이트 인식신호를 상기 레이턴시만큼 카운팅한 커맨드신호를 생성하고, 상기 라이트 인식신호에 응답하여 인에이블되는 디택팅신호를 생성하여 출력하는 디택팅 신호 생성부를 포함하는 카운터 제어신호 생성회로를 제공한다.
- <59> 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.
- <60> 도2는 본 발명에 의한 일 실시예에 따른 리드-라이트 어드레스 생성회로의 구성을 도시한 블럭도이다.
- <61> 도시된 바와 같이, 본 실시예의 리드-라이트 어드레스 생성회로는 디택팅 신호 생성부(B1), 카운터 제어신호 생성부(B2, CL_Count_Clock Control), CL 카운터(B3, CL Count Block) 및 라이트 어드레스 생성부(B4, Write Control Block)를 포함하여 구성된다. 여기서, 종래기술과 동일한 동작을 수행하는 구성 요소인 어드레스 래치부(A1, Address Latch Block), AL 카운터(A2, AL Count Block), 리드 어드레스 생성부(A3, Read Control Block)에 대한 구성은 생략한다.
- <62> AL 카운터(미도시, 도1a의 AL Count Block(A2))는 래치된 외부어드레스(Latched RDWT Address)를 입력받아 제1 레이턴시만큼 카운팅하여 AL 카운트 어드레스(AL Counted Address)를 생성한다. 또한, CL 카운터(B3, CL Count Block)는 AL 카운트 어드레스(AL Counted Address)를 CL만큼 카운팅하여 CL 카운트 어드레스(CL Counted Address)를 생성한다.
- <63> 카운터 제어신호 생성부(B2, CL_Count_Clock Control)는 라이트 명령에 응답하여 인에이블되는 라이트 인식신호(WT)를 입력받아, 라이트 인식신호(WT)에 응답하여 상기 CL 카운터(B3, CL Count Block)의 인에이블을 제어하는 카운터 제어신호(CL_Count_Clock)를 생성한다.
- <64> 도3을 참고하여 좀 더 구체적으로 살펴보면 카운터 제어신호 생성부(B2)는 라이트 인식신호(WT)와 리셋신호(RESET)를 입력받아 부정논리곱 연산을 수행하는 노어게이트(NR1)와, 제1 및 제2 디택팅신호(DETAL, DETALCL)를 입력받아 부정 논리곱 연산을 수행하는 낸드게이트(ND1)와, 낸드게이트(ND1)의 출력신호와 리셋신호(RESET)를 소정구간 지연시킨 지연 리셋신호(RESETD)를 입력받아 논리곱 연산을 수행하는 낸드게이트(ND2)와 인버터(IV2)로 구성된 제1 논리부(1)와, 노어게이트(NR1)와 제1 논리부(1)의 출력신호를 입력받아 래치하는 복수의 낸드게이트(ND3, ND4)로 구성된 래치부(2) 및, 래치부(2)의 출력신호를 복수의 인버터(IV3, IV4)를 통해 소정 구간 지연시켜 생성한 인에이블 신호(CLKCTL)와 내부클럭(ICLK)을 입력받아 부정 논리곱 연산을 수행하는 낸드게이트(ND5)와 복수의 인버터로 구성된 제2 논리부(4)를 포함한다.
- <65> 디택팅 신호 생성부(B1)는 라이트 인식신호(WT), AL 신호, CL 신호 및, 내부클럭(ICLK)을 입력받아 각각 제1 디택팅 신호(DETAL) 및 제2 디택팅 신호(DETALCL)를 생성하는 AL 디택팅 신호 생성부(B10)와 CL 디택팅 신호 생성부(B14)를 포함한다.
- <66> AL 디택팅 신호 생성부(B10)는 라이트 인식신호(WT)를 입력받아, 라이트 인식신호(WT)를 AL 만큼 카운팅한 제1 커맨드신호(ALOUT)를 생성하고, 라이트 인식신호(WT)에 응답하여 인에이블되는 제1 디택팅신호(DETAL)를 생성하여 출력한다. 도4a를 참고하여 좀 더 구체적으로 설명하면, AL 디택팅 신호 생성부(B10)는 다수의 인버터(IV11-IV34) 및 전달게이트(T1-T12)로 구성되어 내부클럭(ICLK)에 응답하여 라이트 인식신호(WT)를 순차적으로 래치하는 직렬 연결된 제1 내지 제12 AL 래치(11-22)와, 제0 내지 제6 AL 신호(AL<0:6>)에 응답하여 라이트 인식신호(WT), 제2, 제4, 제6, 제8, 제10 및 제12 래치(12, 14, 16, 18, 20, 22)의 출력신호를 각각 제1 커맨드 신호(ALOUT)로 전달하는 다수의 AL 전달게이트(T13-T19)를 포함한다.

- <67> 또한, AL 디텍팅 신호 생성부(B10)는 제1 AL 인에이블 신호(ALEN<1>), 제1 AL 래치(11)의 출력신호 및, 제2 AL 래치(12)의 출력신호를 반전한 신호를 입력받아, 부정 논리곱 연산을 수행하는 낸드게이트(ND11)와, 낸드게이트(ND11)의 출력신호와 제1 AL 인에이블 신호(ALEN<1>)를 입력받아 부정 논리곱 연산을 수행하는 낸드게이트(ND12)를 포함하여, 제1 AL 인에이블 신호(ALEN<1>)에 응답하여 제1 AL 래치(11)의 출력신호 또는 제2 AL 래치(12)의 출력신호를 버퍼링하여 전달하는 제1 AL 전달부(31)를 포함한다. 제2 내지 제6 AL 전달부(32-36)는 각각 제2 내지 제6 AL 인에이블 신호(ALEN<2:6>)를 입력받아 제3 내지 제12 AL 래치(13-22)의 출력신호를 전달하는데, 회로 구성은 제1 AL 전달부(31)와 거의 동일하므로 자세한 구성 설명은 생략한다.
- <68> 그리고, AL 디텍팅 신호 생성부(B10)는 라이트 인식신호(WT)를 버퍼링한 신호와 제1 AL 전달부(31)의 출력신호 및 제2 AL 전달부(32)의 출력신호를 입력받아 논리곱 연산을 수행하는 낸드게이트(ND23)와 인버터(IV50)로 구성된 제1 AL 디텍팅 신호 생성부(37)와, 제1 AL 디텍팅 신호 생성부(37)의 출력신호와 제3 AL 전달부(33)의 출력신호 및 제4 AL 전달부(34)의 출력신호를 입력받아 논리곱 연산을 수행하는 낸드게이트(ND24)와 인버터(IV51)로 구성된 제2 AL 디텍팅 신호 생성부(38) 및, 제2 AL 디텍팅 신호 생성부(38)의 출력신호와 제5 AL 전달부(35)의 출력신호 및 제6 AL 전달부(36)의 출력신호를 입력받아 논리곱 연산을 수행하는 낸드게이트(ND25)와 인버터(IV52)로 구성된 제3 AL 디텍팅 신호 생성부(39)를 포함한다.
- <69> 여기서, 도4b를 참고하면 제1 내지 제6 AL 인에이블 신호(ALEN<1:6>)를 생성하는 AL 인에이블 신호 생성부(B12)는 제0 AL 신호(AL<0>)를 소정구간 지연시키는 인버터(IV101-IV102)로 구성된 지연부(101)와, 지연부(101)의 출력신호를 반전시켜 제1 AL 인에이블 신호(ALEN<1>)를 생성하는 인버터(IV103)와, 지연부(101)의 출력신호와 제1 AL 신호(AL<1>)를 입력받아 논리합 연산을 수행하는 논리부(102)와, 논리부(102)의 출력신호를 반전시켜 제2 AL 인에이블 신호(ALEN<2>)를 생성하는 인버터(IV105)와, 논리부(102)의 출력신호와 제2 AL 신호(AL<2>)를 입력받아 논리합 연산을 수행하는 논리부(103)와, 논리부(103)의 출력신호를 반전시켜 제3 AL 인에이블 신호(ALEN<3>)를 생성하는 인버터(IV107)와, 논리부(103)의 출력신호와 제3 AL 신호(AL<3>)를 입력받아 논리합 연산을 수행하는 논리부(104)와, 논리부(104)의 출력신호를 반전시켜 제4 AL 인에이블 신호(ALEN<4>)를 생성하는 인버터(IV109)와, 논리부(104)의 출력신호와 제4 AL 신호(AL<4>)를 입력받아 논리합 연산을 수행하는 논리부(105)와, 논리부(105)의 출력신호를 반전시켜 제5 AL 인에이블 신호(ALEN<5>)를 생성하는 인버터(IV111)와, 논리부(105)의 출력신호와 제5 AL 신호(AL<5>)를 입력받아 논리합 연산을 수행하는 논리부(106)와, 논리부(106)의 출력신호를 반전시켜 제6 AL 인에이블 신호(ALEN<6>)를 생성하는 인버터(IV113)을 포함하여 구성된다.
- <70> 한편, CL 디텍팅 신호 생성부(B14)는 제1 커맨드 신호(ALOUT)를 입력받아, 제1 커맨드 신호(ALOUT)를 CL 만큼 카운팅한 제2 커맨드신호(ALCLOUT)를 생성하고, 제1 커맨드 신호(ALOUT)에 응답하여 인에이블되는 제2 디텍팅신호(DETALCL)를 생성하여 출력한다. 도4a를 참고하여 좀 더 구체적으로 설명하면, CL 디텍팅 신호 생성부(B14)는 다수의 인버터(IV61-IV80) 및 전달게이트(T20-T29)로 구성되어, 내부클럭(ICLK)에 응답하여 제1 커맨드 신호(ALOUT)를 순차적으로 래치하는 직렬 연결된 제1 내지 제10 CL 래치(51-60)와, 제2 내지 제7 CL 신호(CL<2:7>)에 응답하여 제1 커맨드 신호(ALOUT), 제2, 제4, 제6, 제8 및 제10 CL 래치(52, 54, 56, 58, 60)의 출력신호를 각각 전달하여 제2 커맨드 신호(ALCLOUT)로 출력하는 다수의 CL 전달게이트(T30-T35)를 포함한다.
- <71> 또한, CL 디텍팅 신호 생성부(B14)는 제3 CL 인에이블 신호(CLEN<3>), 제1 CL 래치(51)의 출력신호 및 제2 CL 래치(52)의 출력신호를 반전한 신호를 입력받아 부정 논리곱 연산을 수행하는 낸드게이트(ND26)와, 낸드게이트(ND26)의 출력신호와 제3 CL 인에이블 신호(CLEN<3>)를 입력받아 부정 논리곱 연산을 수행하는 낸드게이트(ND27)를 포함하여, 제3 CL 인에이블 신호(CLEN<3>)에 응답하여 제1 CL 래치(51)의 출력신호 또는 제2 CL 래치(52)의 출력신호를 반전하여 전달하는 제1 CL 전달부(71)를 포함한다. 제2 내지 제5 CL 전달부(72-75)는 각각 제4 내지 제7 CL 인에이블 신호(CLEN<4:7>)를 입력받아 제3 내지 제10 CL 래치(53-60)의 출력신호를 전달하는데, 회로 구성은 제1 CL 전달부(71)와 거의 동일하므로 자세한 구성 설명은 생략한다.
- <72> 그리고, CL 디텍팅 신호 생성부(B14)는 제1 커맨드 신호(ALOUT)와 제1 CL 전달부(71)의 출력신호 및 제2 CL 전달부(72)의 출력신호를 입력받아 논리곱 연산을 수행하는 낸드게이트(ND36)와 인버터(IV96)로 구성된 제1 CL 디텍팅 신호 생성부(81)와, 제1 CL 디텍팅 신호 생성부(81)의 출력신호와 제3 CL 전달부(73)의 출력신호와 제4 CL 전달부(74) 및 제5 CL 전달부(74)의 출력신호를 입력받아 논리곱 연산을 수행하여 제2 디텍팅 신호(DETALCL)를 생성하는 낸드게이트(ND37)와 인버터(IV97)로 구성된 제2 CL 디텍팅 신호 생성부(82)를 포함한다.
- <73> 여기서, 도4d를 참고하면 제3 내지 제7 CL 인에이블 신호(CLEN<3:7>)를 생성하는 CL 인에이블 신호 생성부(B16)는 제3 CL 신호(CL<3>)를 소정구간 지연시키는 인버터(IV201-IV202)로 구성된 지연부(201)와, 지연부(201)의 출력신호를 반전시켜 제3 CL 인에이블 신호(CLEN<3>)를 생성하는 인버터(IV203)와, 지연부(201)의 출력

신호와 제4 CL 신호(CL<4>)를 입력받아 논리합 연산을 수행하는 논리부(202)와, 논리부(202)의 출력신호를 반전시켜 제4 CL 인에이블 신호(CLEN<4>)를 생성하는 인버터(IV205)와, 논리부(202)의 출력신호와 제5 CL 신호(CL<5>)를 입력받아 논리합 연산을 수행하는 논리부(203)와, 논리부(203)의 출력신호를 반전시켜 제5 CL 인에이블 신호(CLEN<5>)를 생성하는 인버터(IV207)와, 논리부(203)의 출력신호와 제6 CL 신호(CL<6>)를 입력받아 논리합 연산을 수행하는 논리부(204)와, 논리부(204)의 출력신호를 반전시켜 제6 CL 인에이블 신호(CLEN<6>)를 생성하는 인버터(IV209)와, 논리부(204)의 출력신호와 제7 CL 신호(AL<7>)를 입력받아 논리합 연산을 수행하는 논리부(205)와, 논리부(205)의 출력신호를 반전시켜 제7 CL 인에이블 신호(CLEN<7>)를 생성하는 인버터(IV211)를 포함하여 구성된다.

<74> 이와 같이 구성된 리드-라이트 어드레스 생성회로의 동작을 구체적으로 설명한다. 다만, 종래 기술과 중복되는 동작 설명은 개략적으로만 설명하고, 도4a 내지 도4d에 도시한 디택팅 신호 생성부(B1), 카운터 제어신호 생성부(B2, CL_Count_Clock Control)의 동작을 중심으로 설명한다.

<75> 우선, 도4b에서 도시한 AL 인에이블 신호 생성부(B12)는 제1 내지 제6 AL 인에이블 신호(ALEN<1:6>)를 생성하고, 도4d에서 도시한 CL 인에이블 신호 생성부(B16)는 제3 내지 제7 CL 인에이블 신호(CLEN<3:7>)를 생성한다.

<76> 예를 들어, AL이 2로 설정된 경우 제2 AL 신호(AL<2>)만 인에이블되므로, 제2 AL 신호(AL<2>)는 하이레벨이 되고, 제0-1, 제3-5 AL 신호(AL<0:1>, AL<3:5>)는 로우레벨이 된다. 따라서, 제1 및 제2 AL 인에이블 신호(ALEN<1:2>)는 하이레벨로 인에이블되고, 제3 내지 제6 AL 인에이블 신호(ALEN<3:6>)는 로우레벨로 디스에이블된다. 즉, AL 인에이블 신호 생성부(B12)는 하이레벨의 제2 AL 신호(AL<2>)에 응답하여 하이레벨로 인에이블되는 제1 및 제2 AL 인에이블 신호(ALEN<1:2>)를 생성한다. 만약, AL이 3으로 설정되어 제3 AL 신호(AL<3>)가 인에이블된 경우 제1 내지 제3 AL 인에이블 신호(ALEN<1:3>)가 인에이블된다.

<77> 마찬가지로, CL이 5로 설정된 경우 제5 CL 신호(CL<5>)만 인에이블되므로, 제5 CL 신호(CL<5>)는 하이레벨이고, 제3-4, 제6-7 CL 신호(AL<3:4>, AL<6:7>)는 로우레벨이 된다. 따라서, 제3 및 제4 CL 인에이블 신호(CLEN<3:4>)는 하이레벨로 인에이블되고, 제5 내지 제7 CL 인에이블 신호(CLEN<5:7>)는 로우레벨로 디스에이블된다. 즉, CL 인에이블 신호 생성부(B16)는 인에이블된 제5 CL 신호(CL<5>)에 의해 인에이블된 제3 및 제4 CL 인에이블 신호(CLEN<3:4>)를 생성한다. 만약, CL이 6으로 설정되어 제6 CL 신호(CL<6>)가 인에이블된 경우 제3 내지 제5 CL 인에이블 신호(CLEN<3:5>)가 인에이블된다.

<78>

<79> 다음으로, 도4a에서 도시한 AL 디택팅 신호 생성부(B10)는 제0 내지 제6 AL 신호(AL<0:6>)를 입력받아 제1 커맨드신호(ALOUT)를 생성한다. 좀 더 구체적으로 예를 들어 설명하면 AL이 2로 설정된 경우 제2 AL 신호(AL<2>)만 하이레벨로 인에이블되어 제3 AL 전달게이트(T15)를 턴-온시키고, 제1-2, 제4-7 AL 전달게이트(T13-T14, T16-T19)를 턴-오프시킨다. 따라서, 라이트 명령에 응답하여 인에이블된 라이트 인식신호(WT)는 내부클럭(ICLK)에 응답하여 제1 내지 제12 AL 래치(11-22)에 래치되고, 제4 AL 래치(14)의 출력신호는 턴-온된 제3 AL 전달게이트(T15) 및 인버터(IV42)를 통해 제1 커맨드 신호(ALOUT)로 출력된다. 이때, 출력되는 제1 커맨드 신호(ALOUT)는 라이트 인식신호(WT)를 AL=2만큼 레이턴시(latency) 시킨 신호로 어드레스와는 별도로 레이턴시가 인가된 커맨드 신호이다.

<80> 아울러, 도4a를 참고하면 AL 디택팅 신호 생성부(B10)는 제1 내지 제6 AL 인에이블 신호(ALEN<1:6>)를 입력받아 제1 디택팅신호(DETAL)를 생성한다. 이하, 제1 디택팅신호(DETAL)의 생성과정을 살펴본다.

<81> 우선, 첫번째 라이트 명령에 응답하여 인에이블된 하이레벨의 라이트 인식신호(WT)가 입력되면 인버터(IV49)를 통해 반전된 로우레벨의 신호가 제1 AL 디택팅 신호 생성부(37)에 입력되고, 제1 AL 디택팅 신호 생성부(37)는 로우레벨을 출력한다. 그 결과, 제2 디택팅 신호 생성부(38)는 로우레벨을 출력하고, 제3 디택팅 신호 생성부(39)는 로우레벨로 인에이블된 제1 디택팅 신호(DETAL)를 출력한다. 이때, 라이트 명령에 응답하여 인에이블되는 제1 디택팅 신호(DETAL)의 인에이블 구간은 제1 커맨드신호(ALOUT)가 생성될 때까지 유지되도록 제어한다. 따라서, 제1 커맨드신호(ALOUT)가 생성될 때까지 두번째 라이트 명령이 입력되지 않는 경우에는 제1 디택팅 신호(DETAL)가 하이레벨로 디스에이블된다. 이때, 제1 디택팅 신호(DETAL)의 인에이블 구간은 AL 래치의 수 등을 조정하여 제어할 수 있다.

<82> 다음으로, 제1 커맨드신호(ALOUT)가 생성되기 전에 두번째 라이트 명령이 입력되면 두번째 라이트 명령에 응답하여 인에이블된 라이트 인식신호(WT)가 제1 내지 제12 AL 래치(11-22)를 통해 래치된다. 이때, AL이 2로 설정

되어 있으면 앞서 설명한 바와 같이 AL 인에이블 신호 생성부(B12)는 하이레벨로 인에이블된 제1 및 제2 AL 인에이블 신호(ALEN<1:2>)를 생성하여 제1 및 제2 AL 전달부(31, 32) 내의 낸드게이트(ND11-ND14)를 인버터로 동작시킨다. 따라서, 제1 AL 전달부(31)는 제1 AL 래치(11)의 출력신호 또는 제2 AL 래치(12)의 출력신호를 반전시킨 신호를 전달하여 로우레벨을 출력하고, 마찬가지로 제2 AL 전달부(32)도 로우레벨을 출력한다. 로우레벨의 제1 및 제2 AL 전달부(31, 32)의 출력신호를 입력받은 제1 AL 디택팅 신호 생성부(37)는 로우레벨을 출력하고, 결국 제3 AL 디택팅 신호 생성부(39)는 제1 디택팅 신호(DETAL)의 로우레벨 상태를 유지시킨다.

- <83> 한편, 도4c에서 도시한 CL 디택팅 신호 생성부(B14)는 제2 내지 제7 CL 신호(CL<2:7>)를 입력받아 제2 커맨드신호(ALCLOUT)를 생성한다. 좀 더 구체적으로 예를 들어 설명하면 CL이 5로 설정된 경우 제5 CL 신호(CL<5>)만 하이레벨로 인에이블되어 제4 CL 전달게이트(T33)를 턴-온시키고, 제1-3, 제5-6 CL 전달게이트(T30-T32, T34-T35)를 턴-오프시킨다. 따라서, 제1 커맨드 신호(ALOUT)는 내부클럭(ICLK)에 응답하여 제1 내지 제10 CL 래치(51-60)에 래치되고, 제6 CL 래치(56)의 출력신호는 턴-온된 제4 CL 전달게이트(T33) 및 인버터(IV87)를 통해 제2 커맨드 신호(ALCLOUT)로 출력된다. 이때, 출력되는 제2 커맨드 신호(ALCLOUT)는 제1 커맨드 신호(ALOUT)를 CL=5만큼 레이턴시(latency) 시킨 신호로 어드레스와는 별도로 레이턴시가 인가된 커맨드 신호이다.
- <84> 아울러, 도4c를 참고하면 CL 디택팅 신호 생성부(B14)는 제3 내지 제7 CL 인에이블 신호(CLEN<3:7>)를 입력받아 제2 디택팅신호(DETALCL)를 생성한다. 이하, 제2 디택팅신호(DETALCL)의 생성과정을 살펴본다.
- <85> 우선, 첫번째 라이트 명령에 응답하여 인에이블된 로우레벨의 제1 커맨드 신호(ALOUT)가 제1 CL 디택팅 신호 생성부(71)에 입력되고, 제1 CL 디택팅 신호 생성부(71)는 로우레벨을 출력한다. 그 결과, 제2 CL 디택팅 신호 생성부(38)는 로우레벨로 인에이블된 제2 디택팅 신호(DETALCL)를 출력한다. 이때, 라이트 명령에 따른 제2 디택팅 신호(DETALCL)의 인에이블 구간은 제2 커맨드신호(ALCLOUT)가 생성될 때까지 유지되도록 설정되는 것이 바람직하다.
- <86> 다음으로, 제2 커맨드신호(ALCLOUT)가 생성되기 전에 두번째 라이트 명령이 입력되면 두번째 라이트 명령에 응답하여 인에이블되는 제1 커맨드 신호(ALOUT)가 제1 내지 제10 CL 래치(51-60)를 통해 래치된다. 이때, CL이 5로 설정되어 있으면 앞서 설명한 바와 같이 CL 인에이블 신호 생성부(B16)는 하이레벨로 인에이블된 제3 및 제4 CL 인에이블 신호(CLEN<3:4>)를 생성하여 제1 및 제2 CL 전달부(71, 72) 내의 낸드게이트(ND26-ND29)를 인버터로 동작시킨다. 따라서, 제1 CL 전달부(71)는 제1 CL 래치(51)의 출력신호 또는 제2 CL 래치(52)의 출력신호를 반전시킨 신호를 전달하여 로우레벨을 출력하고, 마찬가지로 제2 CL 전달부(72)도 로우레벨을 출력한다. 로우레벨의 제1 및 제2 CL 전달부(71, 72)의 출력신호를 입력받은 제1 CL 디택팅 신호 생성부(81)는 로우레벨을 출력하고, 결국 제2 CL 디택팅 신호 생성부(82)는 제2 디택팅 신호(DETALCL)의 로우레벨 상태를 유지시킨다.
- <87> 이상을 정리하면 첫번째 라이트 명령이 입력된 후 제2 커맨드신호(ALCLOUT)가 생성되기 전에 두번째 라이트 명령이 입력되는 경우 제1 디택팅 신호(DETAL) 또는 제2 디택팅 신호(DETALCL) 중 적어도 하나가 두번째 라이트 명령에 의해 로우레벨로 인에이블되는 상태를 유지하게 된다.
- <88> 이와 같은 특성을 갖는 제1 디택팅 신호(DETAL) 및 제2 디택팅 신호(DETALCL)는 도3에서 도시한 카운터 제어신호 생성부(B2)에 입력되어 CL 카운터(B3)의 인에이블을 제어하는 카운터 제어신호(CL_Count_Clock)를 생성하는데 사용된다. 이하, 도3을 참고하여 카운터 제어신호 생성부(B2)의 동작을 살펴본다. 여기서, 리셋신호((RESET)는 리셋 초기 하이레벨이 된 후 로우레벨로 천이하는 신호이고, 지연 리셋신호(RESETD)는 리셋신호(RESET)가 소정 구간 지연된 신호이다.
- <89> 우선, 리셋단계 초기 리셋신호(RESET)는 하이레벨이 되므로 노드 A는 로우레벨이 되고, 노드B는 하이레벨로 리셋된다. 이후, 지연 리셋신호(RESETD)가 하이레벨이 되어 노드 C를 로우레벨, 노드 D를 하이레벨로 리셋한다. 이후, 리셋신호(RESET)가 로우레벨로 천이하면 노드 A는 하이레벨로 천이하므로 노드 B는 로우레벨이 된다. 노드 B가 로우레벨이 되면 노드 D는 하이레벨을 유지하고, 라이트 명령에 의해 라이트 인식신호가 입력되기 전까지는 노드 A가 하이레벨을 유지하므로 노드 B는 로우레벨을 유지한다. 결국, 리셋신호(RESET) 및 지연 리셋신호(RESETD)에 의해 노드 B는 로우레벨로 리셋되고, 카운터 제어신호(CL_Count_Clock)는 하이레벨로 생성되어 CL 카운터(B3)의 동작을 디스에이블 시킨다.
- <90> 다음으로, 리셋단계 이후 라이트 명령이 입력되는 경우를 살펴본다. 라이트 명령이 입력되면 라이트 인식신호(WT)는 하이레벨로 인에이블된다. 하이레벨의 라이트 인식신호(WT)에 의해 노드 A는 로우레벨이 되고, 노드 B는 하이레벨이 된다. 따라서, 인에이블 신호(CLKCTL)는 하이레벨이 되고, 카운터 제어신호(CL_Count_Clock)는 내부클럭(ICLK)의 반전 클럭으로 형성되어 CL 카운터(B3)를 인에이블 시킨다.

- <91> 한편, 라이트 명령이 입력되면 앞서 살펴본 바와 같이 제1 디텍팅 신호(DETAL) 및 제2 디텍팅 신호(DETALCL) 중 적어도 하나는 제2 커맨드 신호(ALCLOUT)가 생성될 때까지 로우레벨로 인에이블된다. 로우레벨을 갖는 제1 디텍팅 신호(DETAL) 또는 제2 디텍팅 신호(DETALCL)에 의해 노드 C는 하이레벨이 되고(이때, 노드 B는 라이트 인식 신호(WT)의 인에이블에 의해 하이레벨이다.), 노드 D는 로우레벨이 된다. 노드 D가 로우레벨이 되면 노드 A의 레벨과 관계없이 노드 B는 하이레벨이 되고, 카운터 제어신호(CL_Count_Clock)는 내부클럭(ICLK)의 반전 클럭으로 형성되어 CL 카운터(B3)의 인에이블 상태를 유지시킨다. 이와 같은 상태는 제1 디텍팅 신호(DETAL) 및 제2 디텍팅 신호(DETALCL)가 로우레벨을 유지하는 구간, 즉 제2 커맨드 신호(ALCLOUT)가 생성될 때까지 지속된다. 제2 커맨드 신호(ALCLOUT)가 생성된 이후에는 제1 디텍팅 신호(DETAL) 및 제2 디텍팅 신호(DETALCL)가 하이레벨로 천이하여 노드 C는 로우레벨로, 노드 D는 하이레벨로 되어 노드 B를 로우레벨로 천이시킨다. 그 결과 카운터 제어신호(CL_Count_Clock)는 하이레벨로 되어 CL 카운터(B3)의 동작을 디스에이블 시킨다.
- <92> 이상 설명한 바와 같이 본 발명의 카운터 제어신호 생성부(B2)에서 생성되는 카운터 제어신호(CL_Count_Clock)의 인에이블은 라이트 명령에 응답하여 인에이블되는 라이트 인식신호(WT) 및 제1 및 제2 디텍팅 신호(DETAL, DETALCL)에 의해 결정된다. 따라서, 리드 명령에 의해 CL 카운터(B3)가 불필요하게 동작하여 전류를 소모 시키는 현상을 방지할 수 있다.
- <93> 또한, 도 5a에서 도시한 바와 같이 AL이 4인 경우 c에서 보는 바와 같이 라이트 명령(WT(3))에 따라 발생하는 라이트 인식신호(WT)의 인에이블 구간과 리드 명령(RD(2))에 따라 발생하는 리드 인식신호(IRD)의 인에이블 구간이 서로 겹쳐지는 경우가 발생할 수 있으나, 본원발명의 카운터 제어신호(CL_Count_Clock)는 라이트 인식신호(WT) 및 제1 및 제2 디텍팅 신호(DETAL, DETALCL)에 의해서만 인에이블 구간이 결정되므로 CL 카운터(B3)의 동작이 비정상적으로 중단되는 현상을 방지할 수 있다.
- <94> 한편, 앞서 설명한 바와 같이 제2 커맨드 신호(ALCLOUT)가 생성되기 전에 두번째 라이트 명령이 입력되면 제1 디텍팅 신호(DETAL) 및 제2 디텍팅 신호(DETALCL) 중 적어도 하나는 두번째 라이트 명령에 따른 제2 커맨드 신호(ALCLOUT)가 생성될 때까지 로우레벨을 유지한다. 따라서, 카운터 제어신호(CL_Count_Clock)의 인에이블 구간은 두번째 라이트 명령에 따른 제2 커맨드 신호(ALCLOUT)가 생성될 때까지로 연장된다. 즉, 본 발명의 카운터 제어신호 생성부(B2)에서 생성되는 카운터 제어신호(CL_Count_Clock)는 연속되는 라이트 명령이 입력되는 경우에도 최종 라이트 명령에 따른 제2 커맨드 신호(ALCLOUT)가 생성될 때까지 인에이블 상태를 유지함으로써 CL 카운터(B3)의 동작이 비정상적으로 중단되는 현상을 방지할 수 있다.
- <95> 이와 같은 본 발명의 효과는 도5b를 통해 확인할 수 있다. 즉, 도5b에서와 같이 세번째 라이트 명령(WT(3))에서 네번째 라이트 명령(WT(4))이 연속해서 입력되어도, 카운터 제어신호(CL_Count_Clock)는 네번째 라이트 명령(WT(4))에 따른 제2 커맨드 신호(ALCLOUT)가 생성될 때까지 인에이블 상태를 유지한다. 따라서, CL 카운터(B3)의 동작이 비정상적으로 중단되어 라이트 어드레스를 제대로 입력받지 못하는 현상을 방지할 수 있다.

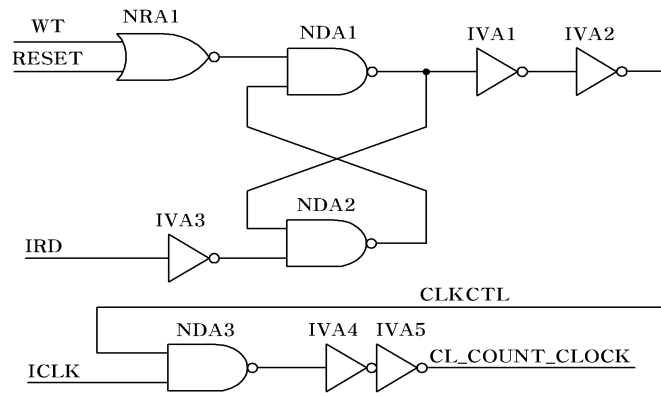
발명의 효과

- <96> 이상 설명한 바와 같이, 본 발명에 따른 카운터 제어신호 생성회로는 리드(Read) 명령에 관계없이, 라이트(Write) 명령에 의해서만 CL 카운터(CAS Latency Counter)의 동작 여부가 결정되도록 함으로써, 리드(Read) 동작 시 불필요하게 동작하는 CL 카운터에 의해 야기되는 전류소모를 방지할 수 있는 효과가 있다.
- <97> 또한, 연속되는 라이트(Write) 명령이 있는 경우 최종 라이트 명령에 의해서만 CL 카운터의 동작이 중단되도록 함으로써, CL 카운터의 동작이 비정상적으로 중단되는 것을 방지할 수 있는 효과도 있다.

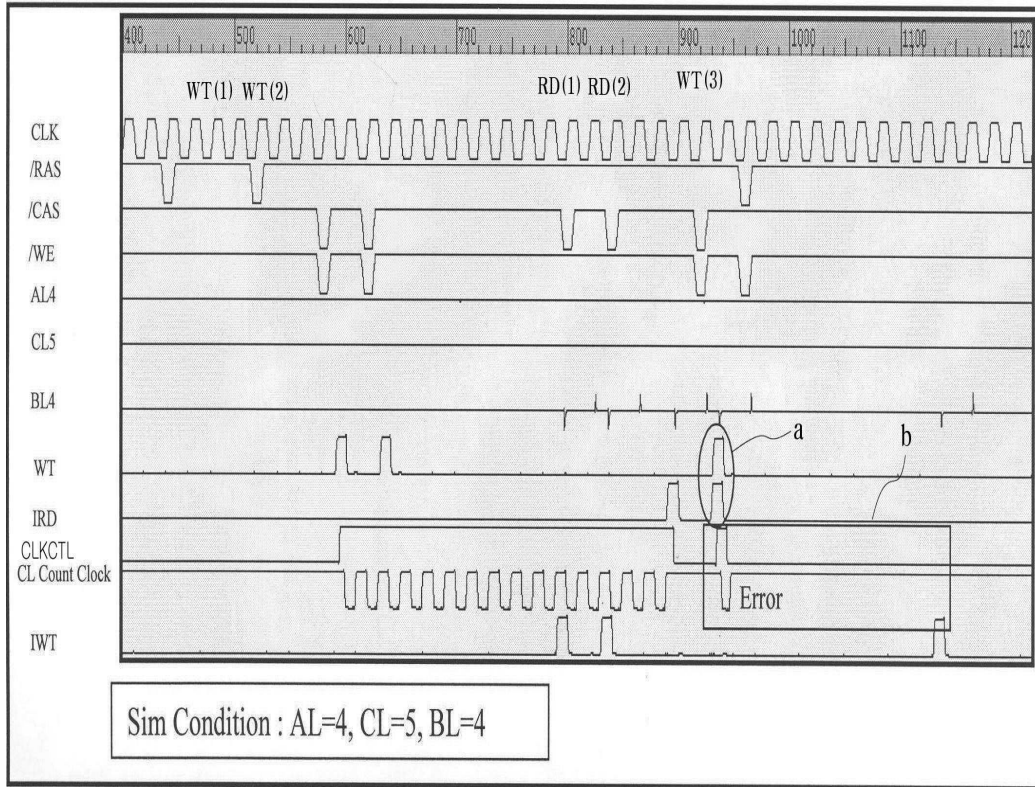
도면의 간단한 설명

- <1> 도1a는 종래기술에 따른 리드-라이트 어드레스 생성회로의 구성을 도시한 블럭도이다.
- <2> 도1b는 종래기술에 따른 카운터 제어신호 생성부의 회로도이다.
- <3> 도1c는 종래기술에 따른 카운터 제어신호 생성부의 내부신호 간의 타이밍도이다.
- <4> 도2는 본 발명에 의한 일 실시예에 따른 리드-라이트 어드레스 생성회로의 구성을 도시한 블럭도이다.
- <5> 도3은 본 발명에 의한 일 실시예에 따른 카운터 제어신호 생성부의 회로도이다.
- <6> 도4a 및 도4c는 각각 본 발명에 의한 일 실시예에 따른 AL 및 CL 디텍팅 신호 생성부의 회로도이다.

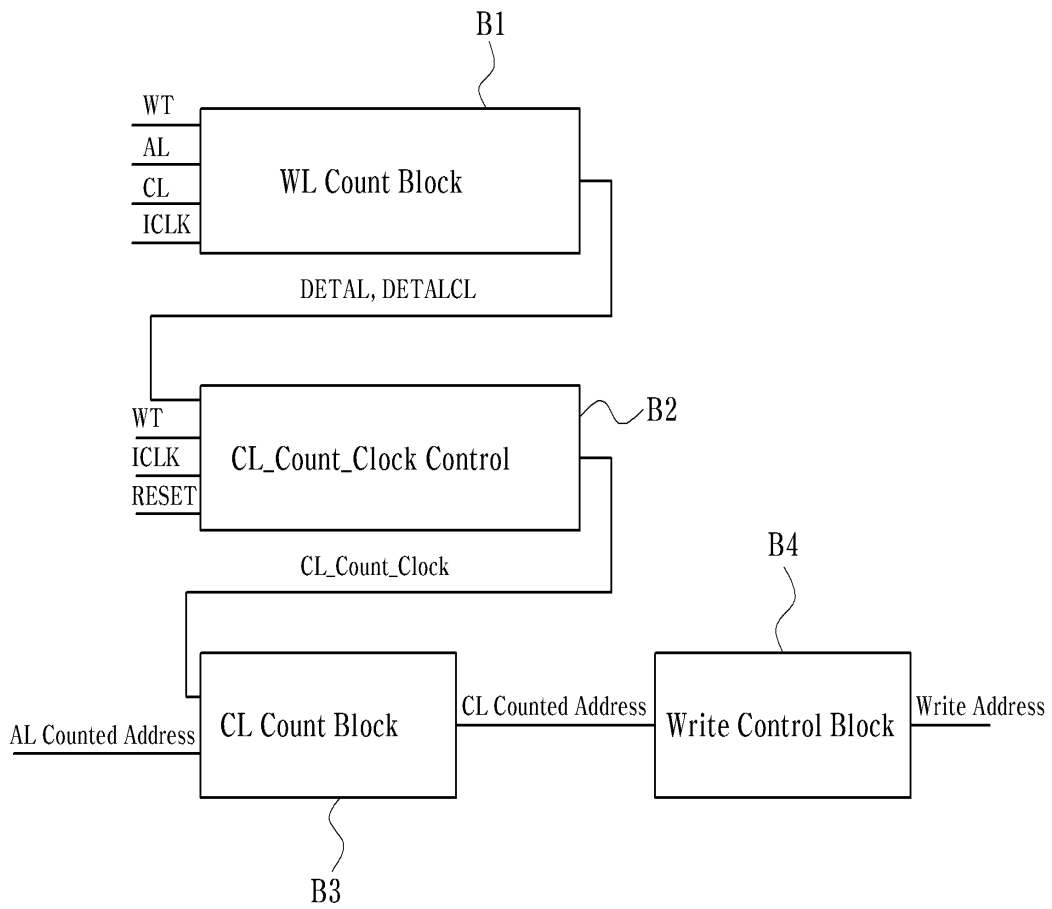
도면1b



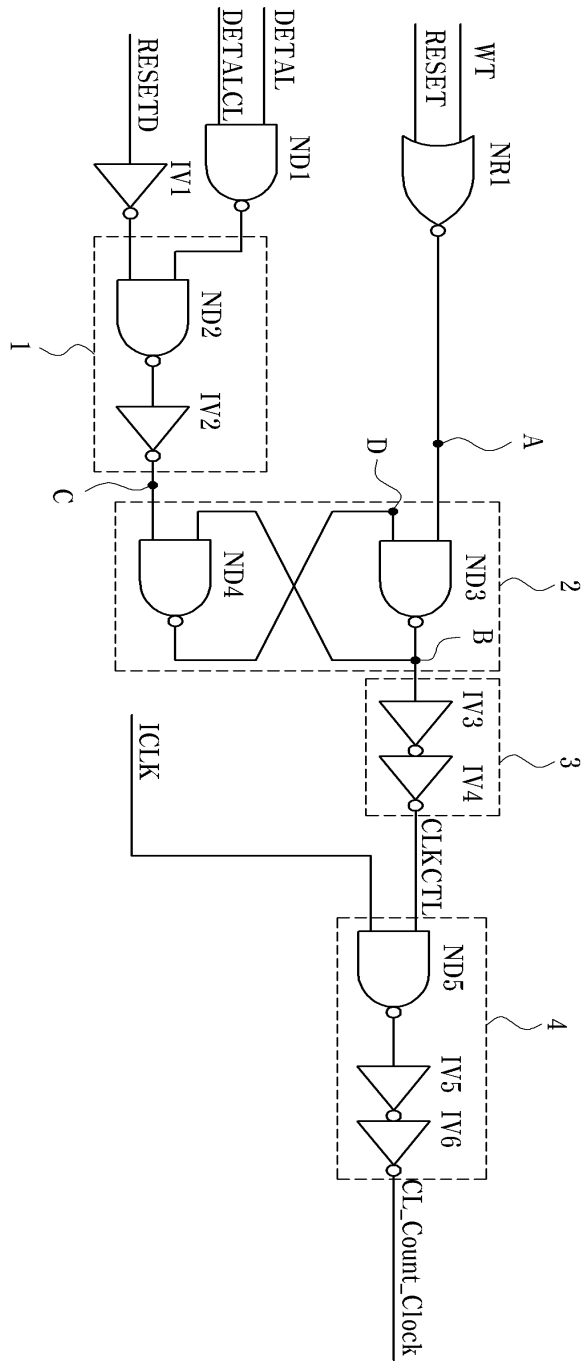
도면1c



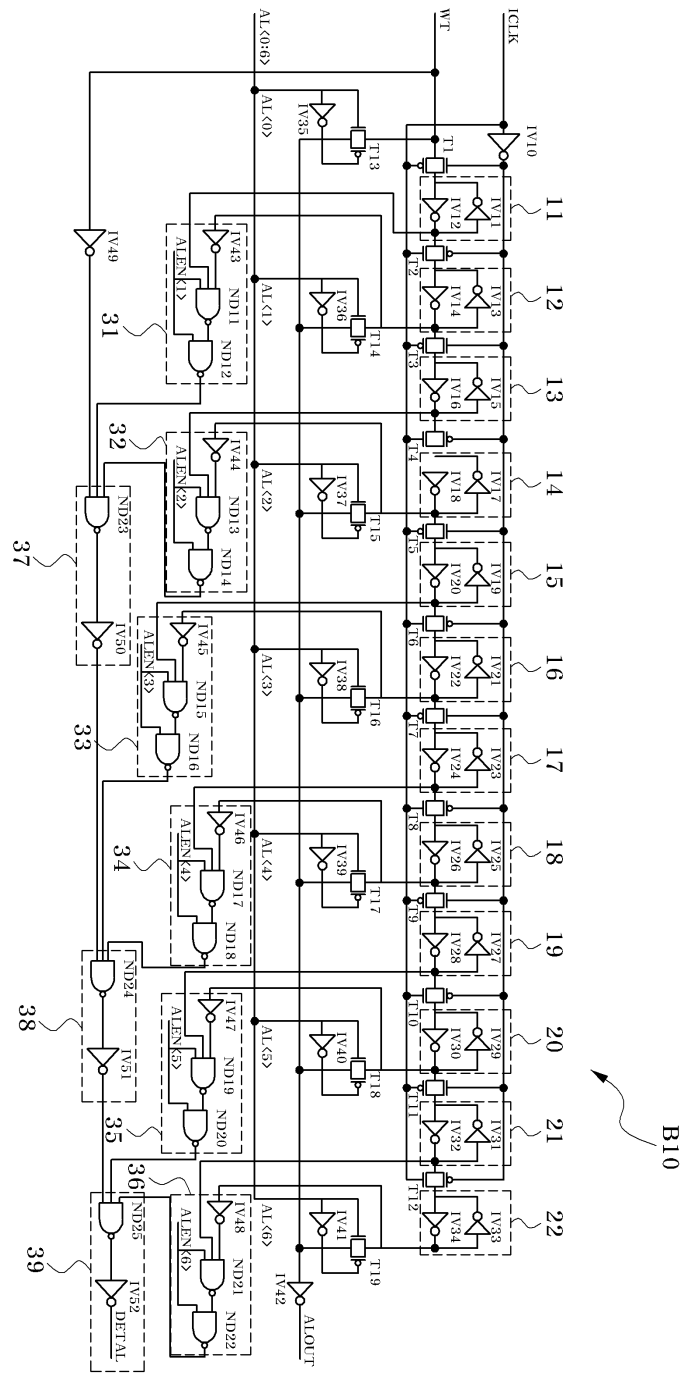
도면2



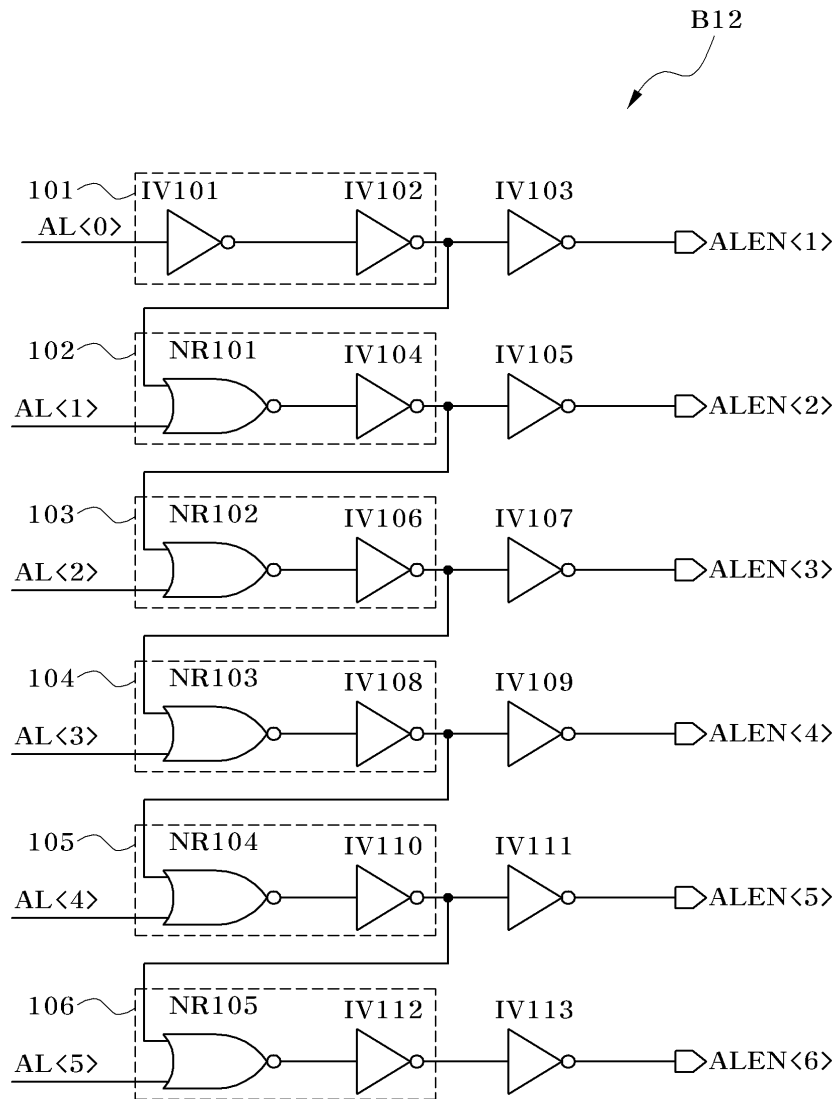
도면3



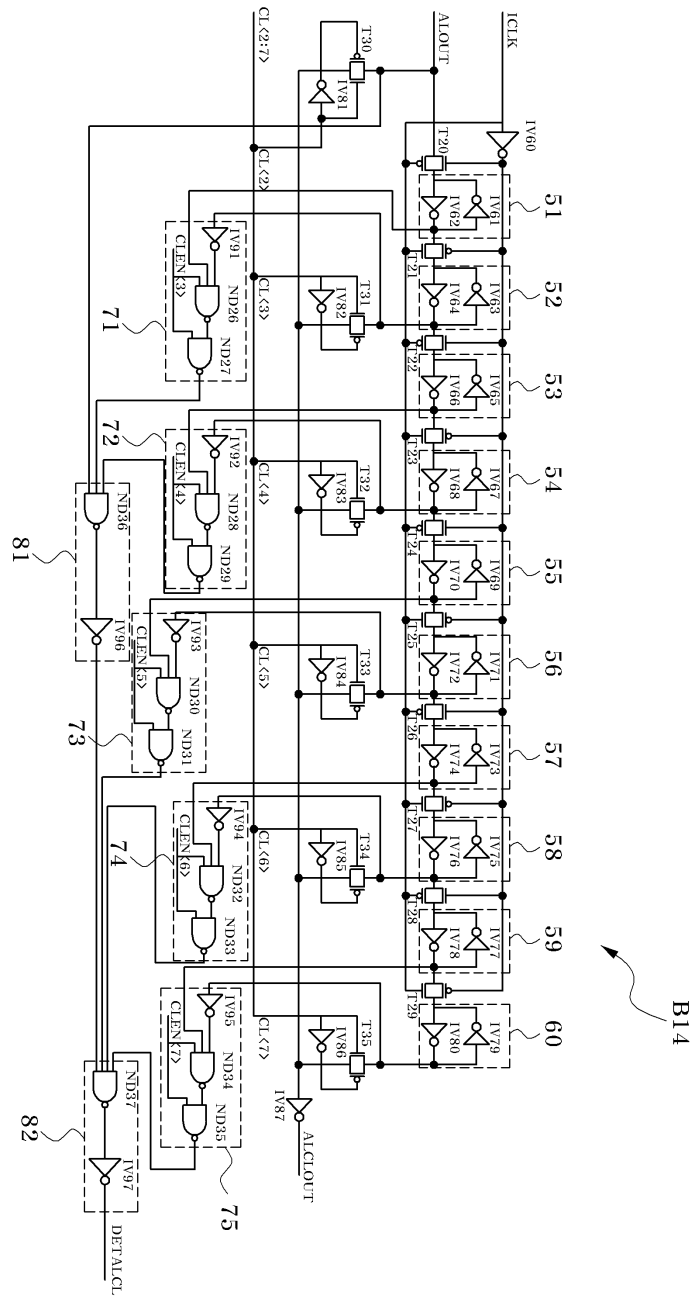
도면4a



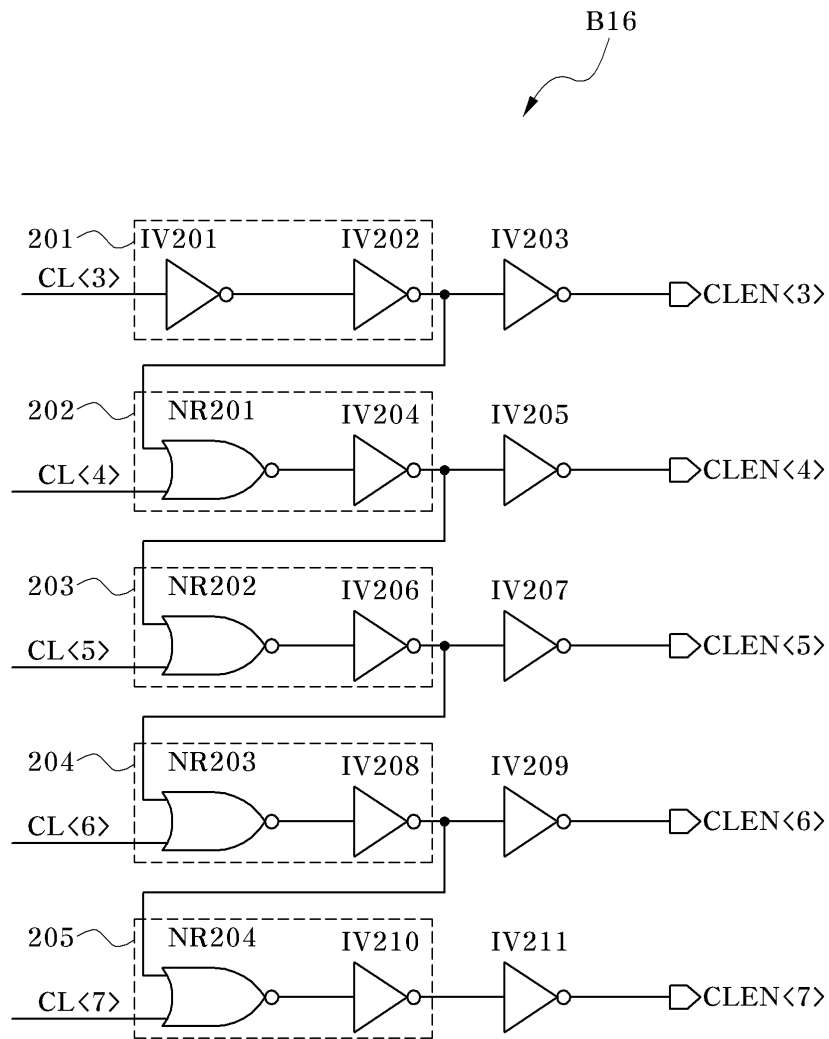
도면4b



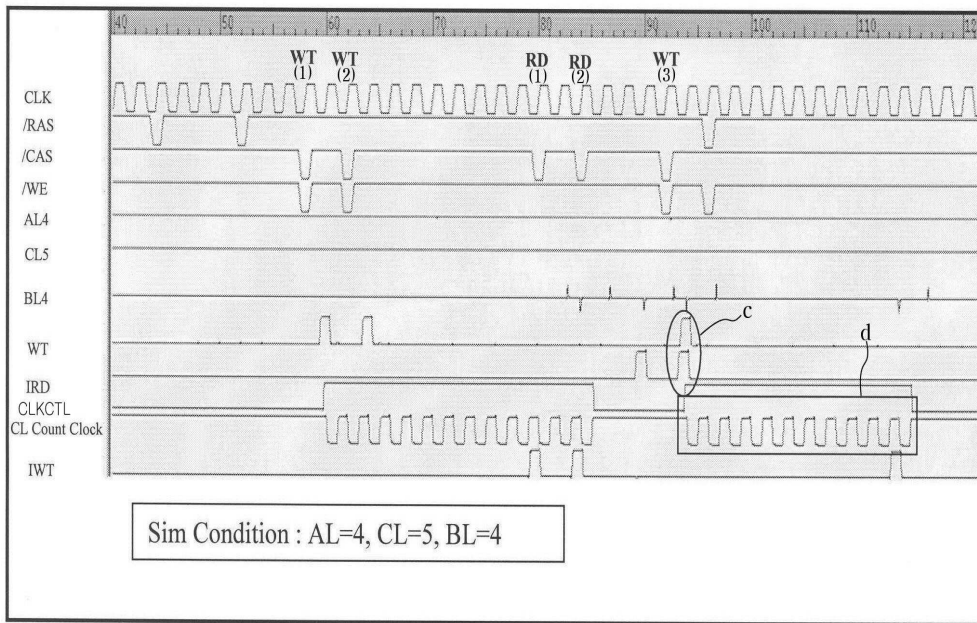
도면4c



도면4d



도면5a



도면5b

