

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-188004

(P2015-188004A)

(43) 公開日 平成27年10月29日(2015.10.29)

(51) Int.Cl.  
H01L 23/04 (2006.01)

F I  
H01L 23/04

テーマコード (参考)

E

審査請求 未請求 請求項の数 11 O L (全 10 頁)

(21) 出願番号 特願2014-64345 (P2014-64345)  
(22) 出願日 平成26年3月26日 (2014.3.26)

(71) 出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(74) 代理人 100076428  
弁理士 大塚 康徳  
(74) 代理人 100112508  
弁理士 高柳 司郎  
(74) 代理人 100115071  
弁理士 大塚 康弘  
(74) 代理人 100116894  
弁理士 木村 秀二  
(74) 代理人 100130409  
弁理士 下山 治  
(74) 代理人 100134175  
弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 パッケージ、半導体装置及び半導体モジュール

(57) 【要約】

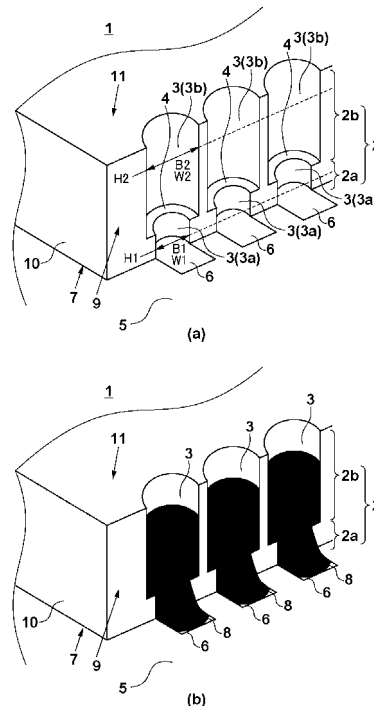
【課題】

半田ブリッジの発生を抑制する、半導体素子を搭載するためのパッケージを提供する。

【解決手段】

半導体素子を搭載するためのパッケージであって、前記パッケージは、半導体素子が搭載される領域を含む上面と、前記上面とは反対側に位置する下面と、前記上面と前記下面を結ぶ側面とを有する基体と、前記上面に設けられた端子と電気的に接続され、前記下面から前記上面へ向かう方向に延在して前記側面に形成された電極とを有しており、前記下面から前記上面へ向かう方向の第1の高さにおける前記電極の幅は、前記下面から前記上面へ向かう方向の、前記第1の高さよりも前記上面の側の第2の高さにおける前記電極の幅よりも狭い。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体素子を搭載するためのパッケージであって、前記パッケージは、半導体素子が搭載される領域を含む上面と、前記上面とは反対側に位置する下面と、前記上面と前記下面を結ぶ側面とを有する基体と、前記上面に設けられた端子と電氣的に接続され、前記下面から前記上面へ向かう方向に延在して前記側面に形成された電極と、を有しており、前記下面から前記上面へ向かう方向の第 1 の高さにおける前記電極の幅は、前記下面から前記上面へ向かう方向の、前記第 1 の高さよりも前記上面の側の第 2 の高さにおける前記電極の幅よりも狭いことを特徴とするパッケージ。

10

**【請求項 2】**

前記電極は、前記側面に設けられた溝部の内面に沿って形成されていることを特徴とする請求項 1 に記載のパッケージ。

**【請求項 3】**

前記溝部の内面が半円弧状になっていることを特徴とする請求項 2 に記載のパッケージ。

**【請求項 4】**

前記電極の幅は、前記第 1 の高さから前記第 2 の高さへ徐々に広がるように形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のパッケージ。

20

**【請求項 5】**

前記第 1 の高さにおける前記内面の半円弧の径は、前記第 2 の高さにおける前記内面の半円弧の径より小さいことを特徴とする請求項 3 のパッケージ。

**【請求項 6】**

前記第 1 の高さにおける前記電極の幅と、第 2 の高さにおける前記電極の幅との比は、 $1.2$  以上  $3.0$  以下であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のパッケージ

**【請求項 7】**

前記基体が、セラミックの積層体であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のパッケージ。

30

**【請求項 8】**

前記電極は前記下面に延在して形成されていることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のパッケージ。

**【請求項 9】**

請求項 1 乃至 8 のいずれか 1 項に記載のパッケージの前記基体の前記上面に半導体素子を搭載したことを特徴とする半導体装置。

**【請求項 10】**

前記基体は枠部を有し、前記半導体素子に対向する蓋体が前記枠部に固定されていることを特徴とする請求項 9 に記載の半導体装置。

**【請求項 11】**

請求項 9 または 10 に記載の半導体装置が、回路基板に半田付けにより実装されていることを特徴とする半導体モジュール。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体素子を搭載するためのパッケージ、半導体装置及び半導体モジュールに関する。

**【背景技術】****【0002】**

半導体素子を搭載するためのパッケージとしては、リード端子を有するものとして、パ

50

パッケージの側面からリード端子が伸びている SOP (Single Outline Package) や QFP (Quad Flat Package) などがある。また、リード端子を有しないものとしては、LCC (Leadless Chip Carrier) や LGA (Land Grid Array) などがある。

【0003】

LCC型のパッケージは例えばセラミック製のパッケージの側面部に、スルーホールを縦に半分に切断した円弧状の電極を複数有する。LCC型のパッケージは、CCDやCMOSを代表とする固体撮像素子やMEMSなどのパッケージとしても用いられている。このようなLCC型のパッケージを回路基板に実装する場合は、パッケージ側面の電極と回路基板上の電極とを重ね合わせた後、両電極を半田で接合して実装する。

10

【0004】

しかしながら、LCC型パッケージは、パッケージの外周側面部が半田付け固定されるため、熱ストレスに対して弱いという弱点を有している。すなわち、パッケージと回路基板との熱膨張係数の違いが大きい場合、温度サイクル等の熱ストレスにより半田接合部に応力が発生し、半田接合部の破断による電氣的接合不良が発生することがある。

【0005】

特許文献1には側面に形成された電極と回路基板上の電極との半田接合強度を向上させるチップ状電子部品の構造が開示されている。具体的には、電極が形成された半円形状開口の大きさが、回路基板に半田付けされる側のパッケージ裏面側の方が、パッケージ表面側より大きくされている。これによって、回路基板上の電極との半田接合時に発生する半田メニスカスを十分な領域に形成し、素子と回路基板との接合面積が広いために強固な半田接合を達成して接合信頼性を向上させることができる。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平08-186002号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1の構造は、電極間距離が小さいファインピッチのLCC型パッケージに適用することが困難である。すなわち、回路基板に半田付けされる側の電極間距離が小さくなるので、電極と回路基板上の電極とを半田で接合するときに、図4に示すように、隣接する電極3に跨って半田が流れて形成される、いわゆる半田ブリッジ41が発生しやすい。

30

【0008】

本発明は、半田ブリッジの発生を抑制する、半導体素子を搭載するパッケージを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の半導体素子を搭載するパッケージは、半導体素子が搭載される領域を含む上面と、前記上面とは反対側に位置する下面と、前記上面と前記下面を結ぶ側面とを有する基体と、前記上面に設けられた端子と電氣的に接続され、前記下面から前記上面へ向かう方向に延在して前記側面に形成された電極とを有しており、前記下面から前記上面へ向かう方向の第1の高さにおける前記電極の幅は、前記下面から前記上面へ向かう方向の、前記第1の高さよりも前記上面の側の第2の高さにおける前記電極の幅よりも狭いことを特徴とする。

40

【発明の効果】

【0010】

本発明によれば、半田ブリッジの発生を抑制する、半導体素子を搭載するパッケージを提供することができる。

【図面の簡単な説明】

50

## 【 0 0 1 1 】

【 図 1 】 本発明の実施形態 1 のパッケージと回路基板を表す概略図。

【 図 2 】 本発明の実施形態 1 のパッケージに半導体素子を搭載した概略図。

【 図 3 】 本発明の実施形態 2 のパッケージを表す斜視図。

【 図 4 】 半田ブリッジが発生した状態を示す図。

【 発明を実施するための形態 】

## 【 0 0 1 2 】

以下、本発明の実施形態について、図面を参照しながら具体的に説明する。また、以下に説明する実施形態は一例であって、本発明はこれらに限定されるものではない。

## 【 0 0 1 3 】

## [ 実施形態 1 ]

図 1 ( a ) は、本実施形態のパッケージ 1 が回路基板 5 の電極 6 の位置に合わせて載置された状態を示している。パッケージ 1 は、セラミックや樹脂などの絶縁体からなる略板状の基体 10 と、基体 10 の表面上に設けられた電極 3 とを有している。パッケージ 1 は、さらに半導体素子を封止するための蓋体や封止部材を有することができる。基体 10 は回路基板 5 と対向するパッケージ 1 の底面にあたる基体 10 の下面 7 と、半導体素子が載置される領域を含む上面 11 を有する。さらに基体 10 は上面 11 とその反対側に位置する下面 7 とを結ぶ側面 9 を有する。側面 9 は下面 7 の縁から上面 11 の縁へ向かって延びる。本例では上面 11 には、その中央領域に凹部 ( キャビティ ) が形成されるように段差が設けられている。この凹部の底面にあたる、上面 11 の中央領域が、半導体素子が載置される領域となる。また、基体 10 は上面 11 に上記段差を形成するために上面 11 の周辺領域に設けられた枠部 ( 不図示 ) を有する。枠部の内面が半導体素子を搭載する空間を取り囲むように形成されている。枠部の外壁が側面 9 の上部を構成する。上面 11 にはボンディングパッドなどの端子 ( 不図示 ) が設けられている。この端子は基体 10 の内部または表面に設けられた配線を介して電極 3 と導通している。この端子はワイヤボンディング接続やフリップチップ接続などの接続部材を用いた方法により半導体素子の端子と電気的に接続される。具体的な半導体素子の搭載方法としては、半導体素子を、パッケージ 1 の枠部の内側に搭載する。その後、樹脂などの封止部材によって半導体素子をパッケージ 1 の内部に埋設する方法、あるいはパッケージ 1 の内側をキャビティとして、蓋体によって封止するなどの方法を種々選択して用いることができる。ここでは、上面 11 に段差を設けた、キャビティを有する基体 10 の例を挙げたが、上面 11 を平坦面として、平坦面の中央領域に半導体素子を載置する構成としてもよい。

## 【 0 0 1 4 】

基体 10 の側面 9 には凹状の溝部 2 が形成されている。溝部 2 は、側面 9 の下面 7 側の下側溝部 2 a と側面 9 の上面 11 側の上側溝部 2 b とから構成されている。溝部 2 の内面に沿って、電極 3 が形成されている。電極 3 の内、下側溝部 2 a 内に設けられている部分が電極下部 3 a であり、上側溝部 2 b 内に設けられている部分が電極上部 3 b である。溝部 2 および電極 3 は、下面 7 から上面 11 へ向かう方向に延在している。下側溝部 2 a の幅は上側溝部 2 b の幅より狭く、溝部の内面に沿って設けられた電極 3 の幅も下側溝部 2 a に位置する電極下部 3 a の方が上側溝部 2 b に位置する電極上部 3 b より狭く形成されている。つまり電極 3 は、その幅が、パッケージの下面 7 側の高さ H 1 において狭く、上面 11 側の高さ H 2 において広くなるように、凹状の溝部 2 の内面に設けられている。ここでいう高さ H 1、H 2 とは側面 9 において、下面 7 から上面 11 に向かう方向における位置である。高さ H 1 は高さ H 2 よりも下面 7 に近い位置であり、高さ H 2 は高さ H 1 よりも上面 11 に近い位置である。下面 7 から上面 11 に向かう方向における側面 9 の長さ ( 上面 11 と下面 7 の距離および基体 10 の厚さに等しい ) を H とする。高さ H が 0 である位置は下面 7 と側面 9 の境界であり、高さが H である位置は上面 11 と側面 9 の境界である。H 1 = 0 であってもよいし、H 2 = H であってもよい。

## 【 0 0 1 5 】

下側溝部 2 a と上側溝部 2 b の間には段差 4 がある。段差 4 にも電極 3 を形成すること

10

20

30

40

50

で、半田が下側溝部 2 a から上側溝部 2 b に向かって濡れ広がりやすくすることができる。このように、電極上部 3 b は電極下部 3 a に連続していることが好ましい。電極 3 を溝内に設けることにより、電極 3 の半田付け時に、半田が溝部 2 の内部に入り込む。このことによりより広い半田付け接合面積と接合のための半田の量を得ることができ、半田接合をより強くする。

#### 【0016】

基体 10 の側面 9 の半円柱形状の複数の溝部 2 が基体 10 の下面 7 から上面 11 に向かって延在して形成されている。溝部 2 の幅は、回路基板 5 が取り付けられるパッケージ 1 の基体の下面 7 側の高さ H1 における幅 B1 よりもパッケージ 1 の上面 11 側の高さ H2 における幅 B2 が大きい。溝部 2 に形成される電極 3 の幅も、側面 9 の下面 7 の側の高さ H1 における電極下部 3 a の幅 W1 よりも、側面 9 の上面 11 側の高さ H2 における電極上部 3 b の幅 W2 が大きい。なお、ここでいう電極 3 の幅とは、パッケージ 1 の基体の下面 7 に平行に見た電極の幅であり、本実施形態のように半円柱形状の凹状の溝部 2 の内面に設けられている場合は、半円柱の円弧の長さを電極 3 の幅 W とする。ここでは或る高さにおける電極 3 の幅 W は溝部 2 の幅 B と等しい ( $B = W$ ) が、電極 3 を溝部 2 の内面の一部のみに設けて、幅 W を幅 B よりも小さく ( $W < B$ ) してもよい。

10

#### 【0017】

溝部の内面に形成された電極 3 は、半導体素子とボンディングワイヤで接続され、パッケージ 1 の上面 11 の端子 (ボンディングパッド) と、基体 10 の内部の配線により電気的に接続されている。そして電極 3 は、図 1 (b) に示すように、半田 8 によって回路基板 5 の電極 6 に接続される。

20

#### 【0018】

パッケージ 1 を回路基板 5 へ半田付けするとき、溶融した半田は重さのために、パッケージ 1 の下側溝部 2 a への供給量がパッケージ 1 の上側溝部 2 b への供給量に比べ大きくなる。その結果、隣接する電極 3 間の距離が小さいと、半田ブリッジが発生しやすくなる。本実施形態の場合、側面 9 の下側溝部 2 a に位置する電極下部 3 a の幅 W1 が、側面 9 の上側溝部 2 b に位置する電極上部 3 b の幅 W2 よりも小さくなっている。そのため、パッケージ 1 の下部での電極 3 間の距離を大きくすることができ、半田ブリッジの発生が抑制される。一方、パッケージ 1 の上部側面の電極の幅が大きくなっているため、この部分で半田接合強度を十分な強さにすることができる。したがって、本実施形態によれば、半田ブリッジの形成を抑制でき、半田接合強度も十分に強くできる。

30

#### 【0019】

基体 10 の側面 9 の凹状の溝部 2 は、パッケージ 1 の底面に対して垂直な方向に形成されたスルーホールを縦に分割した形状になっている。このように基体 10 の溝部 2 を半円弧状の構造に形成することは、スルーホールをセラミック基板に形成することにより実現することができる。大きな径のスルーホールを形成したセラミック材料 (グリーンシート) と小さな径のスルーホールを形成したセラミック材料 (グリーンシート) とを、スルーホールの位置が電極 3 を形成する位置になるように作成する。次に、セラミック材料をスルーホールの位置が重なるように積層して貼り合わせる。貼り合わせた後に、スルーホールの位置で縦に分割し、スルーホール径の大きい方をパッケージの上部とし、小さい方をパッケージの下部とする。スルーホールの内面に全面にメタライズによって電極 3 を設けておき、セラミック材料の積層体を分割後に段差 4 に電極を設けるあるいは、セラミック基板を分割後に溝部 2 に電極 3 を形成する。スルーホールが縦に半分に分割されてパッケージ 1 の側面の半円弧状の電極 3 が形成される。基体 10 をセラミックの積層体として作製することにより、本実施形態のパッケージは比較的簡単に作ることができる。

40

#### 【0020】

電極 3 を形成するためのスルーホール径は特に限定されないが、側面の高さ (下面から上面までの長さであり、基体 10 の厚みに相当する) が 1 ~ 3 mm 程度のパッケージの場合で 0.3 ~ 0.6 mm 程度が好適である。また、パッケージの下側溝部 2 a の電極下部 3 a の高さはパッケージの高さの 5 ~ 50 % 程度が望ましい。下側溝部 2 a の電極下部 3

50

aの高さがパッケージの高さの5%未満であると、半田が下側溝部2 aの周囲に流れ易く、半田ブリッジを抑制する効果が小さくなる。一方、下側溝部2 aの電極下部3 aの高さがパッケージ厚みの50%を超えると、パッケージの上側溝部2 bの電極と回路基板5の電極6との距離が離れてしまうので、半田接合の強度の低下が無視できなくなる。

#### 【0021】

例えば、パッケージの高さが2 mmの場合、下側溝部2 aの凹状の溝を形成するためのスルーホール径は0.3 mm程度とする。上側溝部2 bの凹状の溝を形成するためのスルーホール径は0.5 mm程度とする。また、下側溝部2 aの電極の高さは0.5 mm程度、電極のピッチ(間隔)は0.7 mm程度とすると半田接合を十分に強くでき、半田ブリッジの形成を抑制できる。

#### 【0022】

凹状の溝部2の内面の電極3の表面は金メッキ処理を施すことが好ましい。凹状の溝部2の内面の電極3は、パッケージ1の下部よりも上部の方の電極幅が大きくなっていくとよく、電極は、基体10の下面7側からパッケージ1の上部に向けて、溝部2の内面の全面ではなく一部に形成されていても構わない。また、パッケージ1の下部と上部とで溝部2を形成するためのスルーホール径は同じにして、溝部2の内面に形成される電極3の幅がパッケージ1の下部よりも上部の方が大きくなっているようにしてもよい。この場合、上部では、半田が電極と比較的広い面積で接合し、下部では半田が狭い面積で接合するので、半田が溝部2の下部で周辺へ漏れることを抑制でき、接合を十分な強さにできる。高さが1~3 mmのパッケージの場合、パッケージ1の下面側の電極3の下端での幅と電極3の上端での幅の比を1.2以上3.0以下とすることで接合強度を十分にし、半田ブリッジを抑制することができる。

#### 【0023】

回路基板5へのパッケージ1の実装は、半田ペーストを塗布した回路基板5の電極6に対して、パッケージ1を、パッケージの下面7と並行でかつパッケージの側面に対しては垂直になるように置く。このとき、回路基板5の電極6の中央とパッケージ1の側面の電極3の中心線が一致するよう位置調整される。この後、電極3と回路基板5の電極6とをリフロー炉で半田接合する。図1(b)に示すように、熱で溶けた半田がパッケージ1の側面の電極3に濡れ広がる。この時、半田はパッケージ1の下部の回路基板に近い部分から、パッケージ1の上部にも半田が濡れ広がる。パッケージ1の電極3と回路基板5の電極6とを接合するのに用いる半田は、Sn-Ag-Cu系の組成の他、例えばSn-Bi系であってもよい。

#### 【0024】

本実施形態のパッケージは、パッケージ1の下部における隣接する電極の間隔が、上部における隣接する電極の間隔より広いため、半田付け時に半田ブリッジが形成されることが抑制される。同時に、パッケージ1の上部の電極3の幅が広い部分へも半田が濡れ広がることによってパッケージの上部の電極の幅が広い部分で半田接合が得られるので、強い半田接合が実現できる。そのため、温度サイクル等の熱ストレスによって半田接合部が破断することが抑制されて信頼性の高い半導体素子を搭載するためのパッケージを得ることができる。なお、上記した実施形態では基体10の側面9に溝部2を設け、溝部2の内面に沿って電極3を設けた例を示した。しかし、側面9に溝部2を設けずに側面9を平坦面としてもよい。その場合には、下部の幅が狭く上部の幅が広い平面形状の電極3を、平坦な側面9に形成すればよい。

#### 【0025】

次に、本実施形態のパッケージ1に半導体素子を搭載して、半導体装置とした例について図2により説明する。図2(a)は図1(a)に示した基体10の上面11側から見た平面図であり、図2(b)は図1(a)に示した基体10の下面7側から見た平面図である。ここでは、半導体素子として固体撮像素子21を搭載した例を示すが、半導体素子は固体撮像素子21に限定されない。図1と共通する構成要素には同じ参照番号を付けている。固体撮像素子21は、パッケージ1の基体10の凹部22内に載置される。固体撮像

10

20

30

40

50

素子 21 は、枠部 19 により取り囲まれている。基体 10 の側面 9 に電極 3 が設けられている。固体撮像素子 21 の複数のボンディングパッド 23 とパッケージ 1 の枠部 19 の内側に設けられた複数のボンディングパッド 24 との間は、ボンディングワイヤ 25 で接続されている。パッケージ 1 の内側のボンディングパッド 24 と基体 10 の側面 9 上の電極 3 との間は枠部 19 の内部に設けられた配線により接続されている。本例では溝部 2 および電極 3 の上端は上面 11 まで達しているが、上面 11 まで達しなくてもよい。また、側面 9 の上部を成す、枠部 19 の外壁には溝部 2 や電極 3 を設けずに、側面 9 の下部のみに溝部 2 や電極 3 を設けることもできる。電極 3 は側面 9 から上面 11 および下面 7 の少なくとも一方に延在していてもよい。本例では、パッケージ 1 の側面の電極 3 は、図 2 (b) のパッケージ 1 の裏面図が示すようにパッケージ 1 の基体の下面 7 に形成された電極 26 へ連続して接続されている。電極 26 は電極 3 を延ばすように形成されており、回路基板とパッケージとの接合を強くする。

10

#### 【0026】

この例では、固体撮像素子 21 が載置された基体 10 の凹部 22 と対向する上部に透明な蓋体 28 が設けられている。固体撮像素子 21 に対向する蓋体 28 を通った光が、パッケージ 1 に載置された固体撮像素子 21 へ光が入射できるようになっている。図 2 (c) に示すように蓋体 28 は、枠部 19 の上面に接着材により固定されている。半導体素子を、凹部 22 の内部を樹脂で封止してもよい。

#### 【0027】

次に半導体装置を回路基板に固定して半導体モジュールを構成する例について説明する。固体撮像素子 21 を搭載したパッケージ 1 は図 2 (d) に示されるように、回路基板 5 の電極 6 に半田 8 により接続される。回路基板 5 には機器に取り付けるための取り付け穴 29 a ~ d を設けておき、直接機器に取り付けることができる。図 2 (d) に示すように回路基板 5 を保持プレート 30 に取り付けて、カメラ等の機器に取り付けてもよい。回路基板 5 には、他の回路と接続されるフレキシブル回路基板 31 が接続されている。保持プレート 30 に設けられた取り付け穴 32 a ~ c により機器に取り付けて、フレキシブル回路基板 31 により信号線、電源線等を機器と接続する。このように半導体素子を搭載したパッケージ 1 を回路基板 5 に半田付けして、半導体モジュールとすることにより、半導体素子の取扱いを簡単にすることができる。

20

#### 【0028】

##### [実施形態 2]

本実施形態について図 3 により説明する。本実施形態でも、基体 10 の側面の表面上に設けた凹状の溝部 2 の内面に沿って電極 3 が設けられている。溝部 2 は、パッケージ 1 が半田付けされる基体の下面 7 からパッケージ 1 の上の方向に向かって徐々に開口径が大きくなる円錐形状のスルーホールによって形成されている。そして円錐形状のスルーホールを縦に分割した半円錐形状の凹状の溝部 2 の内面全面に電極 3 が形成されている。したがって、基体の下面 7 側の高さ H1 における電極 3 の幅 W1 に対して、パッケージ 1 の電極 3 の上面 11 側の高さ H2 における電極 3 の幅 W2 が広がっている。電極 3 の表面は半田の接合性をよくするために金メッキ処理を施すことが好ましい。

30

#### 【0029】

例えば、パッケージの高さが 2 mm の場合、パッケージ 1 の最下部の凹状の溝を形成するためのスルーホール径は 0.3 mm 程度、パッケージ 1 の最上部の凹状の溝を形成するためのスルーホール径は 0.5 mm 程度である。また、側面の電極のピッチは 0.7 mm 程度である。電極の幅は下端と上端の比を 1.2 以上 3.0 以下とすることで接合を強くでき、半田ブリッジを抑制することができる。

40

#### 【0030】

このパッケージを実施形態 1 と同様に回路基板の電極に半田で接合すると、パッケージの側面の下部では隣接する電極の間隔が広い。したがって、半田付け時の半田ブリッジの形成が抑制されると同時に、パッケージ 1 の上部の電極 3 の幅が広い部分へも半田が濡れ広がることによって、十分に強い半田接合が形成される。

50

【 0 0 3 1 】

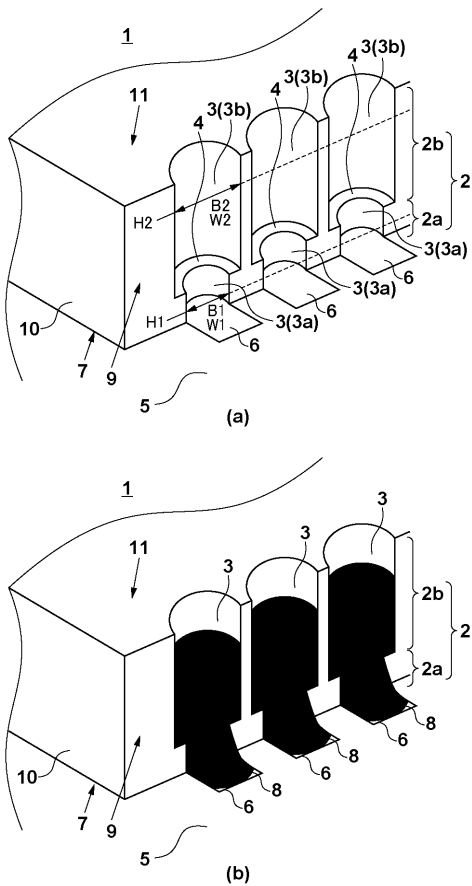
以上のように、本実施形態のパッケージによれば、パッケージの側面の電極と回路基板上の電極とを半田接合する際に、半田ブリッジの発生を抑制すると共に、強固な半田接合を達成できる。このために、温度サイクル等の熱ストレスによって半田接合部が破断することが抑制された信頼性の高いパッケージを提供することができる。本実施形態のパッケージに半導体素子を搭載して、実施形態 1 に記載のような半導体装置や半導体モジュールとして用いることができる。

【 符号の説明 】

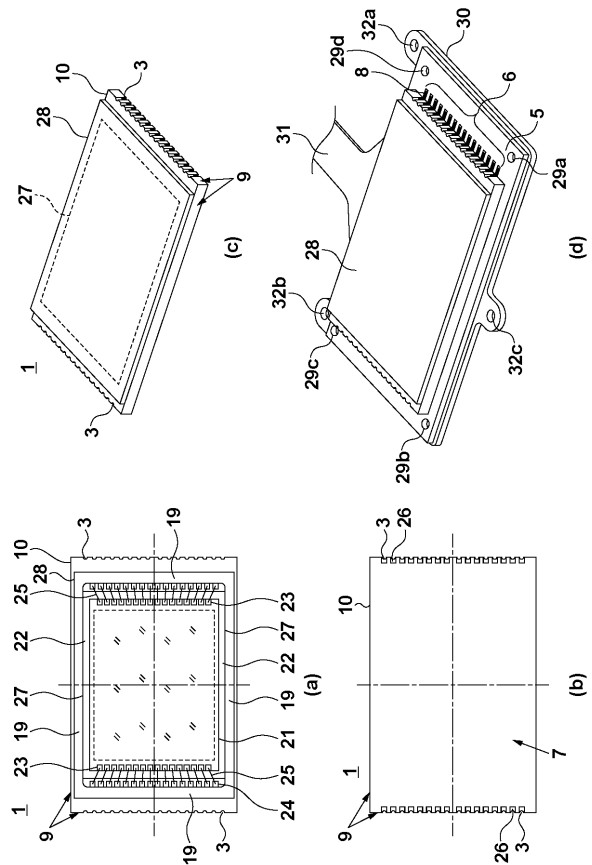
【 0 0 3 2 】

1 : パッケージ, 2 : 溝部, 3 : 電極, 4 : 段差, 5 : 回路基板, 6 : 電極, 7 : 下面, 8 : 半田, 9 : 側面, 10 : 基体, 11 : 上面

【 図 1 】

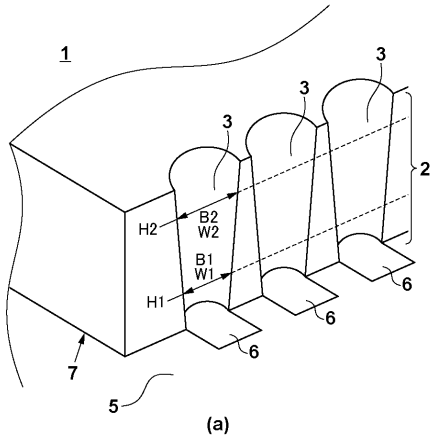


【 図 2 】



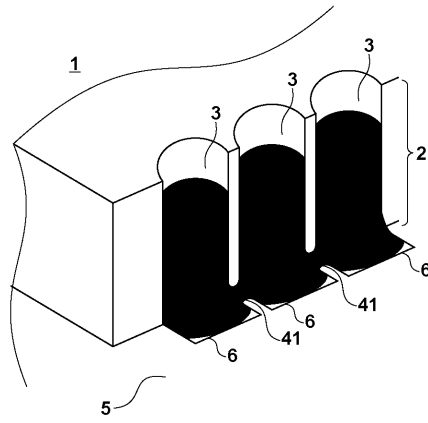


【 図 3 】

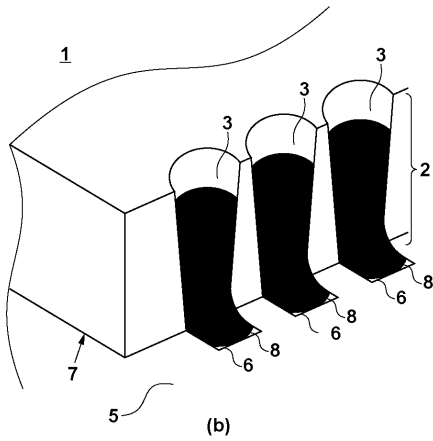


(a)

【 図 4 】



(a)



(b)



(b)

---

フロントページの続き

- (72)発明者 片岡 一郎  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 小坂 忠志  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 鈴木 隆典  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内