

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-118427

(P2010-118427A)

(43) 公開日 平成22年5月27日(2010.5.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90	B 5 F 0 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 21/82	F 5 F 0 3 8
HO 1 L 21/82 (2006.01)	HO 1 L 27/04	C 5 F 0 6 4
HO 1 L 21/822 (2006.01)		
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2008-289531 (P2008-289531)  
 (22) 出願日 平成20年11月12日(2008.11.12)

(71) 出願人 302062931  
 NECエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100110928  
 弁理士 速水 進治  
 (72) 発明者 押田 大介  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 (72) 発明者 園嶋 浩之  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 (72) 発明者 岡田 紀雄  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内

最終頁に続く

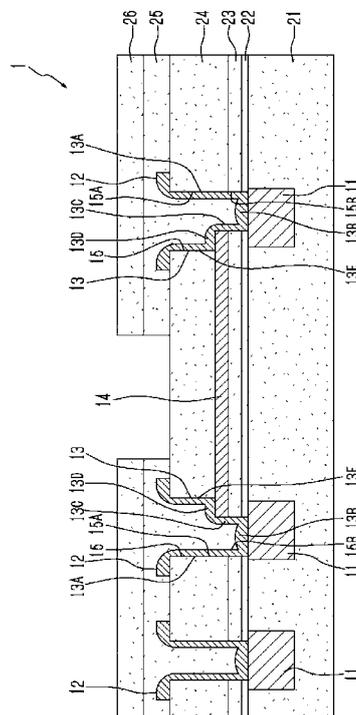
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 製造安定性に優れ、接触抵抗の低減を図ることができる半導体装置およびこの半導体装置の製造方法を提供する。

【解決手段】 半導体装置1は、上層配線12と、下層配線11と、上層配線12および下層配線11間に配置された絶縁層22~24と、絶縁層22~24中に形成されて上層配線12および下層配線11を接続する接続部13と、絶縁層24中に配置されて、接続部13に接続される導電層を有する素子14とを有する。接続部13は、下層配線11上および素子14の前記導電層の端部にわたって配置され、接続部13は、下層配線11上面、素子14の導電層の端部の上面および側面に接触している。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

上層配線と、  
 前記上層配線よりも下層に配置される下層配線と、  
 前記上層配線および前記下層配線間に配置された絶縁層と、  
 前記絶縁層中に形成されて前記上層配線および前記下層配線を接続する接続部と、  
 前記絶縁層中に配置されて、前記接続部に接続される導電層を有する素子とを備える半  
 導体装置であって、  
 前記接続部は、前記下層配線上および前記素子の前記導電層の端部上にわたって配置さ  
 れ、前記接続部は、前記下層配線上面、前記素子の前記導電層の端部の上面および側面に  
 接触している半導体装置。

10

## 【請求項 2】

請求項 1 に記載の半導体装置において、  
 前記絶縁層中には、前記下層配線の上面、前記素子の導電層の側面および上面が露出す  
 る孔が形成され、  
 前記接続部は、前記孔の内面に沿って形成され、前記下層配線の上面、前記素子の導電  
 層の側面および上面を被覆する導電膜であり、  
 前記導電膜のうち、前記素子の導電層の端部の側面を被覆する第一の部分と、前記孔の  
 内面のうち前記素子の導電層の端部の側面と対向する領域を被覆する第二の部分とが離間  
 して形成される半導体装置。

20

## 【請求項 3】

請求項 2 に記載の半導体装置において、  
 前記導電膜のうち、前記素子の導電層の側面を被覆する前記第一の部分の最大厚みは、  
 前記素子の導電層の端部の上面を被覆する第三の部分の最大厚みよりも薄い半導体装置。

## 【請求項 4】

請求項 2 または 3 に記載の半導体装置において、  
 前記接続部は、スパッタリングにより形成されたアルミニウム膜である半導体装置。

## 【請求項 5】

請求項 1 乃至 4 のいずれかに記載の半導体装置において、  
 前記下層配線は、前記絶縁層の下方に配置された他の絶縁層中に形成されている半導体  
 装置。

30

## 【請求項 6】

請求項 1 乃至 5 のいずれかに記載の半導体装置において、  
 前記素子は、ヒューズ素子である半導体装置。

## 【請求項 7】

請求項 1 乃至 5 のいずれかに記載の半導体装置において、  
 前記素子は、下部電極と、上部電極と、前記下部電極および前記上部電極に挟まれる誘  
 電膜とを有する M I M キャパシタであり、  
 前記導電層は、前記 M I M キャパシタの前記下部電極あるいは、前記上部電極である半  
 導体装置。

40

## 【請求項 8】

絶縁層中に下層配線を形成する工程と、  
 前記絶縁層上に、導電層を有する素子を配置する工程と、  
 前記素子上に第二の絶縁層を設ける工程と、  
 前記第二の絶縁層に、前記素子を構成する導電層の端部の上面および側面と、前記下層  
 配線上面が露出する孔を形成する工程と、  
 前記孔内に、前記下層配線上および前記素子の前記導電層の端部上にわたって配置され  
 、前記下層配線上面、前記素子の前記導電層の端部の上面および側面に接触する接続部を  
 形成するとともに、前記第二の絶縁層上に前記接続部に接続される上層配線を設ける工  
 程とを備える半導体装置の製造方法。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置および半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

従来、半導体装置の上層配線と、下層配線との間の絶縁層中には、様々な素子が配置される。

素子としては、ヒューズ素子やMIMキャパシタ等があげられる。

これらの素子は、絶縁層中のビアに接続され、このビアを介して、上層配線、下層配線に接続されている（たとえば、特許文献1，2参照）。

より詳細に説明すると、図4に示すように、素子（ここでは、ヒューズ素子）900中をビア901が貫通し、ビア901の側面に素子900が接触する構造となっている。そして、ビア901の上端部は上層配線902に接続され、ビア901の下端部は下層配線903に接続される。

なお、符号904～906は絶縁層である。

## 【0003】

【特許文献1】特開2003-273220号公報

【特許文献2】特開2004-128498号公報

【特許文献3】特開平7-78872号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

しかしながら、特許文献1，2に開示された半導体装置では以下のような課題がある。

特許文献1，2に開示された半導体装置では、ビア901が素子900中を貫通する構成となっており、ビア901と素子900との接触面積が小さいため、ビア901と素子900との接触抵抗を下げるのが難しい。

さらには、特許文献1，2に開示された半導体装置では、ビア901が素子900中を貫通する構成となっている。このような構成では、素子900を形成した後、素子900を貫通するビアホールを形成する必要がある。このビアホールはエッチングにより形成されるが、素子900を構成する材料と、絶縁層905を構成する材料とが全く異なるので、たとえば、図5に示すように、素子900のビアホールH内面に露出する部分900Aがエッチングによりえぐれてしまう場合がある。この場合、えぐれた部分900Aを、ビア901を構成する金属等で埋め込むことは難しく、ビア901と素子900の接触抵抗がばらついたり、接触抵抗が高くなってしまったりすることがある。

このように従来の半導体装置は製造安定性に劣る構造となっている。

## 【課題を解決するための手段】

## 【0005】

本発明によれば、上層配線と、前記上層配線よりも下層に配置される下層配線と、前記上層配線および前記下層配線間に配置された絶縁層と、前記絶縁層中に形成されて前記上層配線および前記下層配線を接続する接続部と、前記絶縁層中に配置されて、前記接続部に接続される導電層を有する素子とを備える半導体装置であって、前記接続部は、前記下層配線上および前記素子の前記導電層の端部上にわたって配置され、前記接続部は、前記下層配線上面、前記素子の前記導電層の端部の上面および側面に接触している半導体装置が提供される。

## 【0006】

この発明によれば、接続部は、下層配線上および素子の導電層の端部上にわたって形成され、下層配線上面、素子の導電層の端部の上面および素子の導電層の端部の側面に接触している。

本発明は、素子の導電層の端部に接続部が接触する構成であり、従来のように、ビアが

10

20

30

40

50

素子を貫通するような構成ではないため、従来のように素子の導電層を貫通するビアホールを形成しなくてよい。前述したように、素子を貫通するビアホールを形成する場合には、ビアと素子との接触抵抗がばらついたり、接触抵抗が大きくなってしまったりするが、本発明では、素子の導電層を貫通するビアホールを形成しなくてよいので、接触抵抗のばらつきや、接触抵抗の増大を抑制でき、製造安定性に優れたものとなる。

また、本発明では、接続部は、素子の導電層の端部の側面および上面に接しているため、素子の導電層と接続部との接触面積を確保することができる。このようにすることで、接続部と素子との接触抵抗を低減させることができる。

#### 【0007】

また、本発明によれば、絶縁層中に下層配線を形成する工程と、前記絶縁層上に、導電層を有する素子を配置する工程と、前記素子上に第二の絶縁層を設ける工程と、前記第二の絶縁層に、前記素子を構成する導電層の端部の上面および側面と、前記下層配線上面が露出する孔を形成する工程と、前記孔内に、前記下層配線上および前記素子の前記導電層の端部にわたって配置され、前記下層配線上面、前記素子の前記導電層の端部の上面および側面に接触する接続部を形成するとともに、前記第二の絶縁層上に前記接続部に接続される上層配線を設ける工程とを備える半導体装置の製造方法も提供できる。

この製造方法によれば、上述した半導体装置を製造できる。

#### 【発明の効果】

#### 【0008】

本発明によれば、製造安定性に優れ、接触抵抗の低減を図ることができる半導体装置およびこの半導体装置の製造方法が提供される。

#### 【発明を実施するための最良の形態】

#### 【0009】

以下、本発明の実施形態を図面に基づいて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

#### (第一実施形態)

図1を参照して、本発明の第一実施形態の概要について説明する。

本実施形態の半導体装置1は、上層配線12と、下層配線11と、上層配線12および下層配線11間に配置された絶縁層22~24と、絶縁層22~24中に形成されて上層配線12および下層配線11を接続する接続部13と、絶縁層24中に配置されて、接続部13に接続される導電層を有する素子14とを有する。

接続部13は、下層配線11上および素子14の前記導電層の端部にわたって配置され、接続部13は、下層配線11上面、素子14の導電層の端部の上面および素子14の導電層の端部の側面に接触している。

#### 【0010】

次に、図1を参照して、本実施形態の半導体装置1について詳細に説明する。

この半導体装置1は、図示しない基板(半導体基板)と、この基板上に積層された複数の絶縁層21~26と、下層配線11と、上層配線12と、接続部13と、ヒューズ素子14とを有する。

下層配線11は、たとえば、Cu配線であり、第一の絶縁層21中に形成されている。第一の絶縁層21は、たとえば、SiOC等の低誘電率膜により構成することができる。低誘電率膜としては、SiOCの他に、HSQ(ヒドロジェンシルセスキオキサン)、MSQ(メチルシルセスキオキサン)、またはMHSQ(メチル化ヒドロジェンシルセスキオキサン)等のポリヒドロジェンシロキサン、ポリアリールエーテル(PAE)、ジビニルシロキサン-ビス-ベンゾシクロブテン(BCB)、またはSilk(登録商標)等の芳香族含有有機材料、SOG、FOX(flowable oxide)、サイトップ、またはBCB(Bensocyclobutene)等を用いることもできる。また、低誘電率膜としては、これらのポーラス膜を用いることもできる。

#### 【0011】

第一の絶縁層21上には、第二の絶縁層22が積層されている。この第二の絶縁層22

10

20

30

40

50

は、たとえば、SiCN、SiN、SiC、SiOFまたはSiON等である。

さらに、第二の絶縁層22上には、第三の絶縁層23が積層され、この第三の絶縁層23上にヒューズ素子14が設置されている。

第三の絶縁層23は、たとえば、SiOC等の低誘電率膜により構成することができる。

さらに、第三の絶縁層23上には、第四の絶縁層24が形成され、この第四の絶縁層24によりヒューズ素子14が被覆される。第四の絶縁層24は、たとえば、SiOC等の低誘電率膜により構成することができる。

また、第四の絶縁層24上には、上層配線12が形成され、この上層配線12を覆うようにして、第五の絶縁層25が積層されている。第五の絶縁層25は、たとえば、SiCN、SiN、SiC、SiOFまたはSiON等である。

さらに、第五の絶縁層25上には、ポリイミド膜で構成される第六の絶縁層26が形成されている。

第五の絶縁層25、第六の絶縁層26には、基板面側からの平面視においてヒューズ素子14と重なる位置に開口が形成されている。

#### 【0012】

ここで、ヒューズ素子14は、導電層から構成され、たとえば、TiN層から構成される。このヒューズ素子14は、必要に応じて、レーザにより溶断される、レーザ溶断ヒューズである。

ヒューズ素子14は、基板面側からの平面視において、一对の下層配線11間に配置されている。そして、このヒューズ素子14は、下層配線11の延在方向(図1奥行き方向)と直交する方向に延在している。基板面側からの平面視において、ヒューズ素子14の一对の端部と、ヒューズ素子14を挟んで配置される一对の下層配線11とはそれぞれ重なるようにして配置されている。

#### 【0013】

接続部13は、下層配線11と上層配線12とを接続するものである。この接続部13は、第四の絶縁層24から第一の絶縁層21表面にまで達する孔15内に形成されたものである。

孔15の内面には、下層配線11の上面、ヒューズ素子14の端部の側面および上面が露出している。この孔15は、ヒューズ素子14を貫通せずに形成される。

孔15は、第四の絶縁層24からヒューズ素子14の端部の上面にまで達した、第一の部分15Aと、ヒューズ素子14の端部から、下層配線11の上面に達する第二の部分15Bとで構成される。第一の部分15Aの径(図1における横幅寸法)は、第二の部分15Bの径(図1における横幅寸法)よりも大きい。

#### 【0014】

接続部13は、孔15の内面に沿って孔15の内面を被覆するように形成されている。換言すると、接続部13は、孔15を完全に埋め込まないように膜状に形成されている。具体的には、接続部13は、スパッタリングにより形成された導電膜であり、たとえば、アルミニウム膜である。接続部13は、孔15の側壁を構成する絶縁層24、23を被覆する第一の膜(第二の部分)13Aと、下層配線11の上面を被覆する第二の膜13Bと、孔15の側壁を構成する絶縁層23およびヒューズ素子14の端部の側面を被覆する第三の膜(第一の部分)13Cと、ヒューズ素子14の端部の上面を被覆する第四の膜(第三の部分)13Dと、孔15の側壁となる絶縁層24を被覆する第五の膜13Eとを有する。

第一の膜13A~第五の膜13Eは、連続して形成されている。

#### 【0015】

ここで、第二の膜13Bの最大厚み(下層配線11の上面からの厚み)、第四の膜13Dの最大厚み(ヒューズ素子14の端部上面からの厚み)は、それぞれ1.6μm程度であるのに対し、第一の膜13Aの最大厚み(孔15の側壁(絶縁層23あるいは絶縁層24からの厚み))、第三の膜13Cの最大厚み(絶縁層23あるいは、ヒューズ素子14

10

20

30

40

50

の端部側面からの厚み)、第五の膜13Eの最大厚み(孔15の側壁(絶縁層24からの厚み))は、それぞれ100~600nm程度となっており、第二の膜13B、第四の膜13Dよりも薄い。

#### 【0016】

また、孔15を構成する内面のうち、ヒューズ素子14の端部の側面と、絶縁層24とは、対向しており、ヒューズ素子14の端部の側面を被覆する第三の膜13Cと、絶縁層24を被覆する第一の膜13Aとは、対向して配置される。この第一の膜13Aと、第三の膜13Cとは接触しないように離間して形成されており、第一の膜13Aと、第三の膜13Cとの間には隙間が形成される。この隙間には、第五の絶縁層25が埋め込まれている。

10

同様に、対向配置された第一の膜13Aと、第五の膜13Eとは接触しない程度の厚みであり、これらの膜13A, 13Eの間にも隙間が形成される。この隙間には、第五の絶縁層25が埋め込まれている。

#### 【0017】

上層配線12は接続部13とともにスパッタリングにより形成され、接続部13と一体的に構成されるものである。本実施形態では、上層配線12は、スパッタリングにより形成されたアルミニウム配線である。この上層配線12は第四の絶縁層24上に配置され、接続部13を介して下層配線11と接続される。

なお、上層配線12を被覆する第五の絶縁層25は、接続部13上も被覆するように形成され、孔15内部を埋め込むように形成されている。第五の絶縁層25により、接続部13の内側の領域は完全に埋め込まれていてもよく、また、接続部13の内側と第五の絶縁層25との間に隙間が形成されていてもよい。

20

なお、上層配線12は、半導体装置1における最上層の配線である。

#### 【0018】

次に、本実施形態の半導体装置1の製造方法について説明する。

半導体基板上に、第一の絶縁層21を成膜し、第一の絶縁層21に配線溝を形成する。次に、配線溝を導電体で埋め込み、下層配線11を形成する。

次に、第二の絶縁層22、第三の絶縁層23を積層し、第三の絶縁層23上にヒューズ素子14を構成する導電層を形成する。そして、導電層をヒューズ素子14のパターンにあわせて、選択的にエッチングする。

30

その後、第四の絶縁層24を積層する。

#### 【0019】

次に、第四の絶縁層24、第三の絶縁層23, 第二の絶縁層22を選択的にエッチングして、孔15を形成する。この孔15は、下層配線11の上面、ヒューズ素子14の端部の側面、上面が露出するように形成する。

その後、孔15内にAlスパッタリングにより接続部13を形成するとともに、上層配線12を形成する。

次に、第五の絶縁層25、第六の絶縁層26を形成する。

以上の工程により、半導体装置1が完成する。

#### 【0020】

40

次に、本実施形態の作用効果について説明する。

接続部13は、下層配線11上およびヒューズ素子14の導電層の端部上にわたって形成され、下層配線11上面、ヒューズ素子14の導電層の端部の上面および側面に接触している。

本実施形態では、接続部13を形成するための孔15を、ヒューズ素子14の導電層の端部の側面および上面が露出するように形成し、接続部13を、ヒューズ素子14の導電層の端部上面および側面に接するように形成すればよく、従来のように素子の導電層を貫通するビアホールを形成しなくてよい。素子を貫通するビアホールを形成する場合には、ビアと素子との接触抵抗がばらついたり、接触抵抗が大きくなってしまったりするが、本実施形態では、ヒューズ素子14を貫通するビアホールを形成しなくてよいので、接触抵

50

抗のばらつきや、接触抵抗の増大を抑制でき、製造安定性に優れたものとなる。

【0021】

また、接続部13は、ヒューズ素子14の導電層の端部の側面および上面に接しているため、素子14の導電層と接続部13との接触面積を確保することができる。このようにすることで、接続部13とヒューズ素子14との接触抵抗を低減させることができる。

【0022】

さらに、本実施形態では、接続部13は、スパッタリングにより形成されている。スパッタリングにより接続部13を形成する場合には、ヒューズ素子14の導電層の端部上面や、下層配線11の上面に比較的厚みが厚く形成され、ヒューズ素子14の導電層の端部側面上では、厚みが比較的薄くなる。たとえば、第三の膜13Cの導電層端部側面からの厚みは、第四の膜13Dの導電層端部上面からの厚みよりも薄くなっている。

そのため、ヒューズ素子14の導電層の端部上面に接続部13を形成することで、導電層と接続部13とを確実に接続させることができ、接触抵抗を低減させることが可能となる。

【0023】

また、本実施形態では、ヒューズ素子14が、上層配線12と下層配線11とを接続する接続部13に接続されている。そのため、ヒューズ素子14を他の配線に接続させる場合に、上層配線12あるいは下層配線11を選択して、他の配線に接続させることができる。

【0024】

さらに、本実施形態では、平面視において、ヒューズ素子14の導電層の端部と、下層配線11とが重なりあうように配置されている。これにより、接続部13を形成するための孔15の径を小さくすることができ、基板面側からみて、孔15の専有面積を小さくすることができる。

【0025】

(第二実施形態)

図2を参照して、本実施形態の半導体装置4について説明する。

前記実施形態では、素子はヒューズ素子14であった。これに対し、本実施形態では、素子は、MIM (metal-insulator-metal) キャパシタ3である。他の点については、前記実施形態と同様である。

MIMキャパシタ3は、第一の絶縁層21中に形成された下部電極31と、この下部電極31上に設けられた誘電膜32と、誘電膜32上に設けられた上部電極(導電層)33とを有する。

【0026】

下部電極31は、下層配線11と同様の材料で構成されるものであり、たとえば、銅で構成される。

なお、本実施形態では、下部電極31は、下層配線11と同様の材料で構成されるとしたが、異なった材料で構成されていてもよい。

たとえば、下部電極31を、Ti、TiN、Al、Ti、TiNが下からこの順で積層した金属膜としてもよい。

【0027】

誘電膜32は、キャパシタの容量膜として機能する。誘電膜32を構成する材料としては、SiO<sub>2</sub>、SiON、SiOC、SiN、Ta<sub>2</sub>O<sub>5</sub>等のほか、ZrO<sub>x</sub>、HfO<sub>x</sub>、ZrSiO<sub>x</sub>、HfSiO<sub>x</sub>、Al<sub>2</sub>O<sub>3</sub>等のいわゆるHigh-K材料や、PZT、PLZT等のペロブスカイト構造を有する材料等を用いることができる。

この誘電膜32は、絶縁層22中に形成されており、下部電極31を被覆する。

【0028】

上部電極33は、誘電膜32を被覆するとともに、端部が誘電膜32よりも側方に突出し、絶縁層22上に位置している。上部電極33としては、TaN、TiN、Ta、Wなどを用いることができる。

10

20

30

40

50

## 【0029】

接続部13は、下層配線11の上面を被覆するとともに、上部電極33の端部の上面および側面を被覆している。

接続部13は、前記実施形態とほぼ同様の構造であり、孔15の側壁を構成する絶縁層24, 23, 22被覆する第一の膜13Aと、下層配線11の上面を被覆する第二の膜13Bと、孔15の側壁を構成する絶縁層22および上部電極33の端部の側面を被覆する第三の膜13Cと、上部電極33の端部の上面を被覆する第四の膜13Dと、孔15の側壁となる絶縁層23, 24を被覆する第五の膜13Eとを有する。

第一の膜13A～第五の膜13Eは、連続して形成されている。

## 【0030】

各膜13A～15Eの厚みは、前記実施形態と同様である。

また、第一の膜13Aと、第三の膜13Cとは対向して配置されるが、この第一の膜13Aと、第三の膜13Cとは接触しないように離間して形成されており、第一の膜13Aと、第三の膜13Cとの間には隙間が形成される。この隙間には、第五の絶縁層25が埋め込まれている。

同様に、第一の膜13Aと、第五の膜13Eとは接触しない程度の厚みであり、これらの膜の間にも隙間が形成される。この隙間には、第五の絶縁層25が埋め込まれている。

## 【0031】

このような半導体装置4は、以下のようにして製造することができる。

第一の絶縁層21をエッチングして、配線溝および下部電極用の溝を形成する。

次に、配線溝および下部電極用の溝を埋め込むようにして、金属膜を形成する。その後、この金属膜を選択的に除去し、下層配線11および下部電極31を形成する。次に、CVD法などにより、誘電膜32を形成し、さらに、第二の絶縁層22を形成する。

## 【0032】

次に、誘電膜32上にスパッタリングにより上部電極33を形成する。

その後、上部電極33を埋め込むようにして、第三の絶縁層23を形成する。

次に、第四の絶縁層24を形成し、接続部13を設けるための孔15をエッチングにより形成する。この孔15は、第四の絶縁層24、第三の絶縁層23, 第二の絶縁層22を選択的にエッチングすることで形成される。孔15は、下層配線11の上面、上部電極33の端部の側面、上面が露出するように形成する。

## 【0033】

孔15の形状は、前記実施形態と同様であり、第四の絶縁層24から上部電極33の端部の上面にまで達した、第一の部分15Aと、上部電極33の端部から、下層配線11の上面に達する第二の部分15Bとで構成される。第一の部分15Aの径(図2における横幅寸法)は、第二の部分15Bの径(図2における横幅寸法)よりも大きい。

その後、前記実施形態と同様に、孔15内にAlスパッタリングにより接続部13を形成するとともに、上層配線12を形成する。その後、第五の絶縁層25、第六の絶縁層26を形成する。

## 【0034】

このような本実施形態によれば、第一実施形態と同様の効果を奏することができる。

## 【0035】

なお、本発明は前述の実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

たとえば、前記各実施形態では、上層配線12を最上層の配線であるとしたが、これに限られるものではない。

## 【0036】

また、前記各実施形態では、接続部13を、スパッタリングにより形成したものであり、孔15内面を被覆する膜で構成していたが、これに限られるものではない。

たとえば、図3に示すように、接続部13をダマシン法等で形成されるビアとしてもよい。

10

20

30

40

50

このような場合であっても、従来のように、素子の導電層を貫通させた孔を形成する必要がないので、製造安定性に優れた半導体装置とすることができる。また、導電層の端部の側面、上面を接続部 1 3 で被覆するため、素子 1 4 と接続部 1 3 との接続抵抗を低減することができる。

【 0 0 3 7 】

さらに、前記実施形態では、素子をヒューズ素子 1 4 あるいは、MIM素子 3 としたが、これに限られるものではない。

また、第二実施形態では、上部電極 3 3 の端部を、下層配線 1 1 上部まで延在させていたが、上部電極 3 3 の端部とともに、誘電膜 3 2 の端部も下層配線 1 1 上部まで延在させてもよい。

10

さらに、第二実施形態では、上部電極 3 3 の端部を、接続部 1 3 に接続していたが、これに限らず、下部電極の端部を、接続部に接続してもよい。接続部を下部電極の端部の上面と側面に接触させればよい。この場合には、下部電極を、下層配線よりも上層に形成すればよい。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 本発明の第一実施形態にかかる半導体装置を示す断面図である。

【 図 2 】 本発明の第二実施形態にかかる半導体装置を示す断面図である。

【 図 3 】 本発明の変形例にかかる半導体装置を示す断面図である。

【 図 4 】 従来半導体装置を示す図である。

20

【 図 5 】 従来半導体装置を示す図である。

【 符号の説明 】

【 0 0 3 9 】

- 1 半導体装置
- 3 MIMキャパシタ
- 4 半導体装置
- 1 1 下層配線
- 1 2 上層配線
- 1 3 接続部
- 1 3 A 第一の膜
- 1 3 B 第二の膜
- 1 3 C 第三の膜
- 1 3 D 第四の膜
- 1 3 E 第五の膜
- 1 4 ヒューズ素子（導電層）
- 1 5 孔
- 1 5 A 第一の部分
- 1 5 B 第二の部分
- 2 1 第一の絶縁層
- 2 2 第二の絶縁層
- 2 3 第三の絶縁層
- 2 4 第四の絶縁層
- 2 5 第五の絶縁層
- 2 6 第六の絶縁層
- 3 1 下部電極
- 3 2 誘電膜
- 3 3 上部電極（導電層）
- 9 0 0 素子
- 9 0 0 A 部分
- 9 0 1 ピア

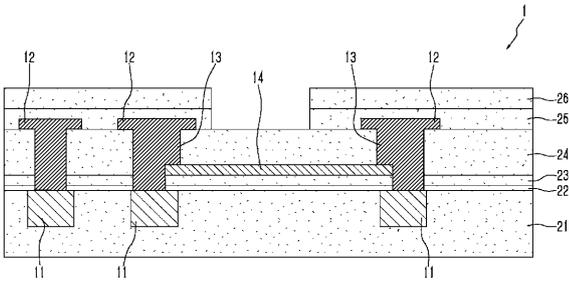
30

40

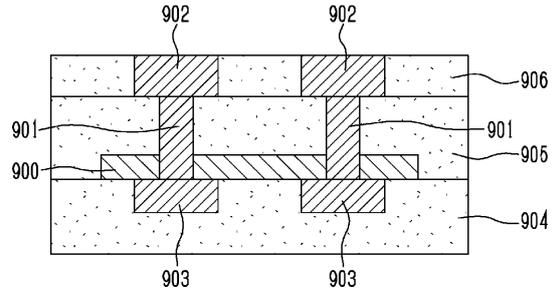
50



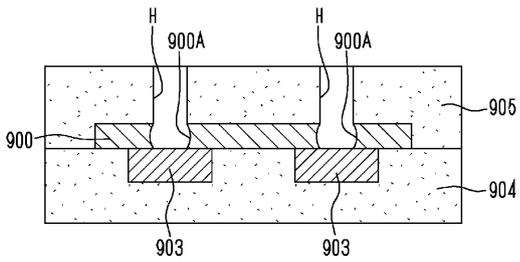
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

Fターム(参考) 5F033 HH08 HH33 JJ01 JJ08 KK11 MM01 NN12 NN30 NN39 PP15  
QQ09 QQ10 QQ37 RR01 RR06 RR08 RR09 RR11 RR21 RR22  
RR29 TT01 VV10 VV11 XX09  
5F038 AC05 AC15 AC18 EZ14 EZ15 EZ20  
5F064 EE27 EE32 EE33 FF27 FF32 FF42 GG03 GG05