

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/04

(45) 공고일자 2000년02월 15일
(11) 등록번호 10-0244826
(24) 등록일자 1999년11월24일

(21) 출원번호	10-1994-0027113	(65) 공개번호	특1995-0012693
(22) 출원일자	1994년10월24일	(43) 공개일자	1995년05월16일
(30) 우선권주장	93-266337 1993년10월25일 일본(JP)		

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이쵸
일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸 72반지
(72) 발명자 구스미에그미
일본국 가나가와켄 가와사끼시 사이와이구 고무가이도시바정 1번지 가부시끼
가이샤 도시바 다마가와 공장내
(74) 대리인 김윤배, 이범일

심사관 : 유기형

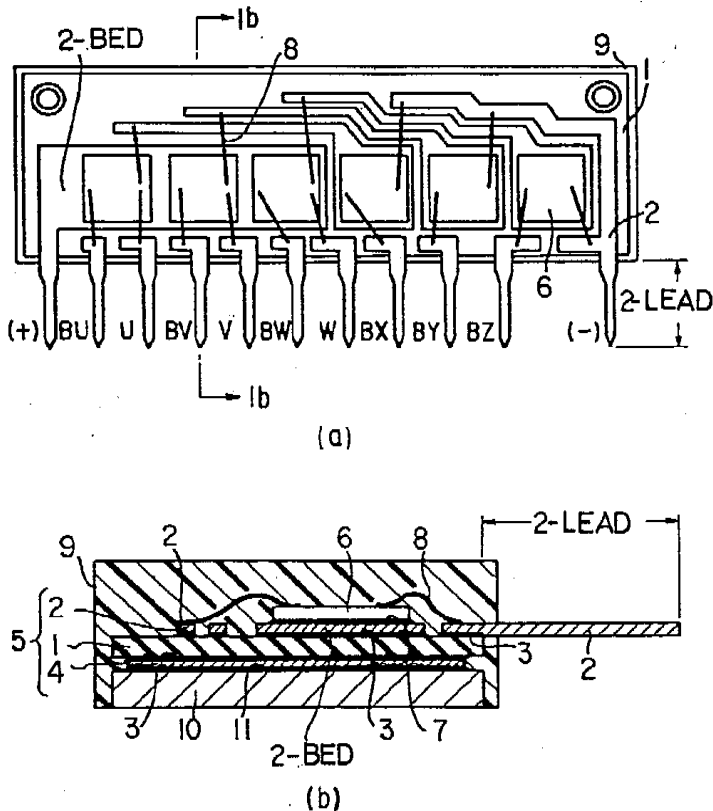
(54) 반도체장치 및 그 제조방법

요약

본 발명은 방열성이 우수하면서 염가인 반도체장치를 제공하기 위한 것이다.

본 발명은, 세라믹기판(1)의 일주면상에 설치된 동회로패턴체(2)와, 이 회로패턴체(2)상에 실장된 반도체 펠렛(6)을 구비한다. 그리고, 회로패턴체(2)를 부분적으로 세라믹기판(1) 보다 길게 나오게 하고, 이 길게 나온 회로패턴체(2-LEAD)를 펠렛(6)의 외부단자로서 기능시키는 것을 주요한 특징으로 하고 있다. 이러한 구성에 의하면, 펠렛(6)이 실질상 회로패턴체(2)를 매개하는 것 만으로 세라믹기판(1)에 접하기 때문에, 펠렛(6)의 방열성이 향상된다. 더욱이, 길게 나온 회로패턴체(2-LEAD)를 펠렛(6)의 외부전극단자로서 기능시킴으로써 부품점수의 증가를 억제할 수 있다. 이러한 점으로부터 방열성이 우수하면서 염가인 반도체장치가 얻어진다.

대표도



명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 따른 반도체장치를 나타낸 것으로, 제1도(a)는 평면도, 제1도(b)는 제1도(a)중의 1b-1b선에 따른 단면도,

제2도는 본 발명의 1실시예에 따른 반도체장치의 회로를 나타낸 회로도,

제3도는 본 발명의 1실시예에 따른 반도체장치가 갖춘 DBC기판을 나타낸 도면으로, 제3도(a)는 평면도, 제3도(b)는 제3도(a)중의 3b-3b선에 따른 단면도,

제4도는 종래예를 나타낸 도면으로, 제4도(a)는 평면도, 제4도(b)는 제4도(a)중의 4b-4b선에 따른 단면도,

제5도는 다른 종래예를 나타낸 도면으로, 제5도(a)는 평면도, 제5도(b)는 측면도, 제5도(c)는 제5도(a)중의 5c-5c선에 따른 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명

- | | |
|--------------|---------------|
| 1 : 세라믹기판 | 2 : 동(銅)회로패턴체 |
| 3 : 합금층 | 4 : 동패턴 |
| 5 : DBC기판 | 6 : 펠렛 |
| 7 : 도전성 페이스트 | 8 : 본딩와이어 |
| 9 : 몰딩수지체 | 10 : 금속제 방열판 |
| 11 : 고융점 납땜재 | 12 : 단락부분 |

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치에 관한 것으로, 특히 전력용 파워 트랜지스터 펠렛이나 파워 IC 등을 탑재한 반도체장치 및 그 제조방법에 관한 것이다.

[종래의 기술 및 그 문제점]

파워소자 펠렛등을 탑재한 수지밀봉형 반도체장치는 해당 장치를 실장해서 사용할 경우, 다른 펠렛이나 외부 방열판과의 전기적인 단락을 방지하기 위해 외부전극단자(리드) 이외의 외위기의 표면은 그 내부의 펠렛과 전기적으로 절연되어 있는 것이 바람직하다.

이와 같은 절연형태의 장치의 종래예를 제4도 및 제5도에 나타낸다.

제4도는 종래예를 나타낸 도면으로, 제4도(a)는 그 내부를 투시해서 나타낸 평면도, 제4도(b)는 제4도(b)는 제4도(a)중의 4b-4b선에 따른 단면도이다.

제4도(a),(b)에 나타낸 바와 같이 리드프레임을 이용해서 얻어진 도전성 전극단자체(41; 리드)가 있고, 그 전극단자체(41)의 일부는 그 크기가 부분적으로 확장되어 이루어진 베드(41-BED)를 갖추고 있다. 이 베드(41-BED)상에는 반도체펠렛(42)이 실장되고, 반도체펠렛(42)은 납땜재(43)에 의해 베드(41-BED)상에 고착됨과 더불어 전극단자체(41)에 전기적으로 접속되어 있다.

펠렛(42)의 표면중에는 도시되지 않은 패드전극이 설치되어 있고, 이 패드전극은 본딩와이어(44)에 의해 전극단자체(41)에 전기적으로 접속되어 있다.

전극단자체(41)의 주위에는 펠렛(42)을 피복하는 몰딩수지체(45)가 설치되어 있고, 몰딩수지체(45)는 펠렛(42)을 외계로부터 절연한다. 몰딩수지체(45)에는 열가소성수지가 이용되고 있는데, 본 예에서는 에폭시수지이다.

몰딩수지체(45)의 표면으로부터는 전극단자체(41)가 길게 나와 노출되어 있고, 이 노출된 부분은 외부전극단자(외부리드)로 되고 있다.

더욱이, 베드(42-BED)의 실장면에 대해 반대측의 면에는 상기 몰딩수지체(45)를 매개로 금속제의 방열판(46)이 설치되어 있고, 방열판(46)은 외계에 노출되어 있으며, 이 방열판(46)은 트랜스퍼 성형시에 부착된다.

제5도는 다른 종래예를 나타낸 도면으로, 제5도(a)는 평면도, 제5도(b)는 측면도, 제5도(c)는 제5도(a)중의 5c-5c선에 따른 단면도이다.

제5도에 도시된 장치의 설명에 대해서는 제4도에 도시된 장치와 공통의 부분에는 공통의 참조부호를 붙이고, 다른 부분에 대해서만 설명한다.

제5도(a) 내지 제5도(c)에 나타낸 바와 같이 세라믹기판(51)이 있고, 그 실장면상에 동으로 이루어진 회로패턴(52)이 설치된 DBC(Direct Bonding Copper)기판이 있다. 회로패턴(52)의 일부에는 그 크기가 부분적으로 확장되어 이루어진 베드(52-BED)가 설치되어 있고, 반도체펠렛(42)이 베드(52-BED)상에 실장된다.

세라믹기판(51)의 실장면과 반대측의 표면상에는 납땜재(53)를 매개로 금속제 방열판(46)이 설치되어 있다.

DBC기판측의 방열판(46)의 주연부상에는 수지케이스(54)가 접착체층(55)을 매개로 접착되어 있고, 그 케이스(54)층에는 겔제(56)가 충전되어 있으며, 반도체펠렛(42) 및 DBC기판은 각각 실리콘수지로 이루어진 겔제(56)에 의해 피복된다. 겔제(56) 표면에는 열가소성수지로 이루어진 캐스팅제(57)에 의해 덮여있다. 더욱이, 캐스팅제(57)상에는 단자홀더(58)가 설치되어 있고, 단자홀더(58)에는 핀상의 전극단자(59)가 부착되어 있으며, 전극단자(59)의 일단측은 캐스팅제(57) 및 겔제(56)를 관통하도록 하여 회로패턴(52)에 전기적으로 접속되어 있다. 한편, 그 타단은 단자홀더(58)로부터 돌출되어 외부전극단자(외부리드)로 되어 있다.

그런데, 파워소자 펠렛(42)등을 탑재한 수지밀봉형 반도체장치에서는 이 펠렛(42)으로부터 발생하는 열을 장치 외부의 대기중으로 빠르게 놓아주는 것이 중요하다. 즉, 방열성을 높이는 것에 의해 파워소자가 갖는 특성의 실력을 발휘하면서 장시간 사용후의 신뢰성도 확보할 수 있기 때문이다.

따라서, 장치의 외위기에서는 파워소자 펠렛(42)으로부터 외위기 표면까지의 열저항치를 작게 하여 방열성을 높이는 것이 대단히 중요한 것으로 되고 있다.

그러나, 제4도에 나타난 종래예에서는 그 열저항치가 비교적 큰 것으로 되어 있는데, 이는 절연용의 몰딩수지의 열전도도(K)가 대단히 작기 때문이다. 제5도에 나타난 종래예와 비교하면, 세라믹의 그것 보다도 훨씬 작다.

또한, 리드프레임(41; 전극단자)의 이면을 덮는 몰딩수지(45)의 두께 A{제4도(b)참조}를 제조기술의 제약으로부터 세라믹과 동등의 열전도도가 얻어지는 정도까지 얇게 할 수 없는 것도 원인이다.

예컨대, 현재 시판되고 있는 중에서 가장 열전도 특성이 양호한 밀봉수지($K=0.04W/cm^{\circ}C$)를 이용해서 다른 종래예에서 사용되는 것과 같은 두께 0.6mm의 알루미늄이나 세라믹($K=0.2W/cm^{\circ}C$)과 동일한 열전도특성을 얻기 위해서는 그 두께를 0.12mm 이하로 하지 않으면 안된다.

그러나, 상기한 바와 같이 두께 A의 제조상의 한계는 0.5mm이고, 0.12mm이하의 두께로 하는 것은 현재로서는 불가능하다. 더욱이, 밀봉에 사용하는 열가소성수지의 평균 입자직경은 0.3mm정도이다. 이 때문에, 두께 A를 0.5mm보다 좁게 하면, 어떻게 하여도 보이드(void)가 발생하게 되어 장치의 품질 및 신뢰성의 저하를 초래하는 것으로도 된다.

이와 같은 점으로부터 제4도에 나타난 종래예에서는 방열성의 면이 염려된다.

이에 대해 제5도에 나타난 다른 종래예에서는 제4도에 나타난 종래예 보다도 방열성의 면에서는 우수하지만, 부품점수 및 그 조립에 요하는 공정의 수가 모두 많아지게 된다. 그 결과, 제품이 고가로 된다.

예컨대, 2개의 종래예를 서로 비교하여 보면, 제4도에 나타난 종래예의 주요한 부품이 점수는 5개{리드프레임, 펠렛, 방열판, 와이어, 수지}인 것에 대해, 제5도에 나타낸 다른 종래예의 것은 9개{DBC기판, 펠렛, 방열판, 와이어, 케이스접착용 접착제, 수지케이스, 겔제, 캐스팅제, 단자홀더(단자전극을 포함)}이다.

또한, 제4도에 나타낸 종래예의 조립공정수는 4회{다이본딩, 와이어본딩, 트랜스퍼 성형, 외부리드 포밍}인 것에 대해, 제5도에 나타낸 다른 종래예의 것은 6회{다이본딩, 와이어본딩, 방열판취부, 단자홀더취부, 수지케이스취부, 수지충진}이다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 방열성이 우수하면서 염가인 반도체장치 및 그 제조방법을 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 절연성 기판체와, 이 기판체의 일주면상에 설치된 도전성 금속패턴체 및, 이 도전성 금속패턴체상에 실장된 반도체부품을 구비한다. 그리고, 도전성 금속패턴체를 부분적으로 기판체에서 길게 나오도록 하고, 이 길게 나오도록 한 도전성 금속패턴체를 반도체부품의 외부단자로서 기능시킨 것을 특징으로 하고 있다.

(작용)

상기와 같이 구성된 본 발명은, 절연성 기판체의 일주면상에 도전성 금속 패턴체를 설치하고, 이 도전성 금속패턴체에 반도체 부품을 실장하며, 이 도전성 금속패턴체를 부분적으로 기판체보다 길게 나오도록 한다. 이와 같이 함으로써 반도체부품이 실질상, 도전성 금속패턴체를 매개하는 것만으로 절연성의 기판체에 접하기 때문에 반도체부품의 방열성을 향상시킨다.

더욱이, 길게 나온 도전성 금속패턴체를 반도체부품의 외부단자로서 기능시키는 것에 의해 부품점수의 증가를 억제시킬 수 있다. 부품점수의 증가가 억제되면, 그 조립에 요하는 공정수도 적어질 수 있다.

[실시예]

이하, 예시도면을 참조해서 본 발명에 따른 1실시예를 상세히 설명한다.

제1도는 본 발명의 1실시예에 따른 반도체장치를 나타낸 것으로, 제1도(a)는 상면으로부터 내부를 투시해서 나타낸 평면도, 제1도(b)는 제1도(a) 중의 1b-1b선에 따른 단면도이다.

제1도(a), (b)에 나타난 바와 같이 절연성 세라믹기판(1)이 있고, 그 세라믹기판(1)의 실장면상에는 도전성의 동(銅)회로패턴체(2)가 설치되어 있다. 세라믹기판(1)은 알루미늄 및 산소를 주성분으로 한 세라믹으로 이루어지고, 회로패턴체(2)는 동 또는 동을 주성분으로 한 금속으로 이루어진다. 상기 세라믹의 예로서는 알루미늄(Al_2O_3)이고, 이들 세라믹기판(1)과 회로패턴체(2)사이에는 상기 세라믹과 동의 합금인 합금층(3)이 형성되어 있으며, 회로패턴체(2)는 이 합금층(3)에 의해 세라믹기판(1)에 고착되어 있다. 더욱이, 실장면에 대해서는 반대측의 표면(이하, 이면으로 칭함)상에는 마찬가지로 합금층(3)에 의해 세라믹

기판(1)에 고착된 동패턴(4)이 설치되어 있다. 이에 의해 DBC(Direct Bonding Copper)기판(5)이 구성되어 있다.

회로패턴체(2)의 일부에는 그 크기가 부분적으로 확장되어 이루어진 베드(2-BED)가 설치되어 있고, 이 베드(2-BED)상에는 파워트랜지스터 또는 파워IC를 내부에 포함한 파워소자 반도체 펠렛(6)이 실장되어 있다. 파워소자 반도체 펠렛(6)은 납땜재(7)에 의해 베드(2-BED)상에 고착되고, 회로패턴체(2)에 전기적으로 접속된다. 파워소자 반도체 펠렛(6)과 베드(2-BED)를 고착하는 납땜재(7)로서는 고용점 납땜재가 양호하게 이용되고, 본 실시예에서는 용점이 약 310°C의 고용점 납땜재가 이용되고 있다.

또한, 펠렛(6)의 표면중에서는 도시되지 않은 패드전극이 설치되어 있고, 이 패드전극은 금(Au) 또는 알루미늄(Al)등의 본딩와이어(8)에 의해 회로패턴체(2)에 전기적으로 접속되어 있다. DBC기판(5)의 주위에는 회로패턴체(2) 및 펠렛(6)을 피복하는 몰딩수지체(9)가 설치되어 있고, 몰딩수지체(9)는 펠렛(6)을 외계로부터 절연하며, 몰딩수지체(9)로는 열가소성 수지가 이용되고 있으며, 트랜스퍼 성형법에 의해 직방체 형상으로 성형되어 있다. 본 실시예에 이용되는 열가소성 수지로서는, 예컨대 에폭시수지이다.

회로패턴체(2)는 부분적으로 세라믹기판(1) 보다 길게 나온 부분을 갖추고 있는데, 이 길게 나온 부분은 참조부호 2-LEAD로 나타낸다. 길게 나온 부분은 더욱이 몰딩수지체(9)를 매개로 외계로 노출되고, 이 외계로 노출된 부분은 외부전극단자(외부리드)로서 기능되고 있다.

더욱이, 본 실시예에서는 세라믹기판(1)의 이면에 금속제의 방열판(10)이 설치되어 있고, 방열판(10)은 예컨대 고용점 납땜재(11)에 의해 세라믹기판(1)의 이면상에 설치된 동패턴(4)에 고착되어 있다. 방열판(10)은 외계로 노출되어 펠렛(6)이 발생시키는 열을 장치 외부의 대기중으로 달아나게 한다.

상기 실시예는 모터구동용의 인버터회로장치의 예를 고려하고 있고, 이 인버터회로장치에는 6개의 펠렛(6)이 조립되어 있으며, 이 회로도를 제2도에 나타낸다.

제2도에 나타난 바와 같이 1개의 펠렛(6)은 베이스단자, 콜렉터단자 및, 에미터단자를 갖추고 있고, 1개의 파워소자(본 예에서는 바이폴라형 트랜지스터)로서 기능한다. 그러나, 그 내부에는 다링톤 접속된 2개의 파워트랜지스터(바이폴라형의 것), 다이오드 및, 저항등이 조립되어 있고, 큰 전류를 구동시킬 수 있도록 집적회로화, 즉 일종의 파워IC화 되어 있다.

제2도에 나타난 모터구동용 인버터회로는 상기 파워소자 또는 파워IC가 내부에 포함된 펠렛(6)을 6개 이용하는 것에 의해 구성되어 있다. 그리고, 상기 6개의 파워IC 펠렛(6)을 1개의 외위기중에 탑재시키고, 1개의 수지밀봉형 반도체장치로 하고 있다. 이 때문에, 몰딩수지체(9)로부터 노출된 외부전극 단자는 정의 전원단자(+), 부의 전원단자(-), 6개의 입력단자(BU, BV, BW, BX, BY, BZ) 및 3개의 출력단자(U, V, W)의 계 11개가 존재하고 있다.

더욱이, 제1도(a)에는 제2도에 나타난 회로와 대응시켜 외부전극단자의 근방에 공통의 부호가 붙여져 있다.

다음에, 제1도에 도시된 장치가 갖고 있는 DBC기판(5)에 대해 더욱 상세히 설명한다.

제3도는 본 발명의 1실시예에 따른 반도체장치가 갖춘 DBC기판(5)을 나타낸 도면으로, 제3도(a)는 평면도, 제3도(b)는 제3도(a)중의 3b-3b선에 따른 단면도이다.

제3도에 나타난 바와 같이 DBC기판(5)은 그 회로패턴체(2)의 말단부 근방에 단락부분(12)이 설치되어 있고, 리드프레임의 형태를 이루고 있다. 이와같이 회로패턴체(2)를 리드프레임의 형태로 함으로써 연속적인 조립을 가능하게 하게 하고 있다.

다음에, 제1도에 도시된 장치의 조립방법에 대해 설명한다.

먼저, 제3도에 나타난 바와 같은 리드프레임 형상의 회로패턴체(2)가 설치된 DBC기판(5)을 준비한다.

이어서, 고용점 납땜재(7)를 이용해서 회로패턴체(2)에 설치되어 있는 베드(2-BED)상에 펠렛(6)을 고착한다(다이본딩).

이어서, 금(Au) 또는 알루미늄(Al)등의 본딩와이어(8)를 이용해서 펠렛(6)에 설치된 도시되지 않은 패드와 회로패턴체(2)를 전기적으로 접속한다(와이어 본딩).

다음에, 고용점 납땜재(11)를 이용해서 DBC기판(5) 이면상에 금속제 방열판(10)을 고착한다(방열판취부).

다음에, 도시되지 않은 금형을 이용해서 이에 몰딩수지를 유입하고, DBC기판(5)의 주위에 직방체상의 몰딩수지체(9)를 형성한다(트랜스퍼 성형).

마지막으로, 회로패턴체(2)의 말단 근방을 단락부분(12)을 제거하도록 하여 절단한다. 이 절단 후, 외부전극단자를 원하는 형상으로 성형한다(외부리드 포밍).

이상과 같이 하여 본 발명의 1실시예에 따른 반도체장치를 조립할 수 있게 된다.

상기 1실시예에 따른 반도체장치에 의하면, 회로패턴체(2)는 세라믹기판(1)에 거의 직접 접하고 있기 때문에 펠렛(6)은 실질상 회로패턴체(2)를 매개하는 것 만으로 세라믹기판(1)에 접속되도록 된다. 따라서, 펠렛을 탑재하기 위한 베드 아래에 수지가 충전되는 장치(제4도 참조) 보다도 펠렛(6)의 방열성을 높일 수 있게 된다.

상기 방열성에 관한 효과의 구체적인 예는 종래 장치의 외위기에 있어서 열저항치가 5mm²의 파워소자 펠렛 1개당 약 4°C/W이었던 것에 대해, 상기 1실시예에 따른 장치의 그것은 약 1.5°C/W로 반분 이하까지 절감할 수 있는 것이다.

더욱이, 상기 1실시예에 따른 장치에서는 회로패턴체(2)를 부분적으로 세라믹기판(1) 보다 길게 나오게 하고, 이 길게 나온 회로패턴체(2)를 펠렛(6)의 외부단자로서 기능시키고 있다. 이와 같이 회로패턴체(2)를 외부전극단자로서 이용하는 것으로 부품점수의 증가를 억제 할 수 있게 된다. 부품점수의 증가가

억제되면 부품비용이 억제된다.

더욱이, 부품점수의 증가를 억제하는 것으로, 조립공정수의 증가도 억제되므로 제조비용도 억제된다.

특히, 제5도에 나타난 장치, 즉 방열성을 높인 장치에서는 그 부품점수가 많아 고가의 것으로 되기 쉽다.

그러나, 상기 실시예에 따른 장치에서는 주요한 부품의 점수가 5개{DBC기판, 펠렛, 방열판, 와이어, 수지}로 되고, 제5도에 나타난 장치에 비해 부품점수를 4개 감소시킬 수 있게 된다.

또한, 그 조립에 요하는 공정수도 5회{다이본딩, 와이어본딩, 방열판취부, 트랜스퍼 성형, 외부리드 포밍}로 되며, 마찬가지로 1회 감소시킬 수 있게 된다. 이로부터 보다 염가인 것으로 할 수 있다.

더욱이, 상기 1실시예에 따른 장치에서는 회로패턴체(2)를 리드프레임의 형태를 이루는 것으로, 예컨대 금형을 이용한 트랜스퍼 성형등으로 수지밀봉을 연속적이면서 일괄해서 수행하는 등의 이점도 얻는다.

특히, 제5도에 나타난 장치에서는 제품 1개 마다 수지밀봉을 수행할 필요가 있어 양산성이나 작업성의 면에 있어서도 장애가 있다.

이 점, 상기 1실시예에 따른 장치에서는 장치의 조립을 연속적이면서 일괄해서 수행하기 때문에 양산성이나 작업성이 향상된다.

더욱이, 본 발명은 상기 1실시예에 한정되는 것은 아니다.

예컨대, 세라믹기판(1)의 재질을 알루미늄 세라믹으로부터 질화알루미늄 세라믹(AINx)으로 하고, 이 질화알루미늄 세라믹과 동회로패턴체(2)를 고착시키기 위해 이들간에 IV족 원소를 포함하는 재료층을 형성하도록 해도 된다. 이와 같은 재료층을 이요한 접합법은 일반적으로 활성금속접합으로 칭하는 접합법이다.

질화알루미늄 세라믹은 현재 알루미늄 세라믹에 비해 가격이 높고, 또는 DBC법과 같은 직접접합법을 이용하는 것이 곤란하다는 점은 있지만, 알루미늄 세라믹 보다도 열전도도가 우수하다는 특징을 갖추고 있다. 이 때문에 세라믹기판(1)의 재질을 질화알루미늄 세라믹으로 하는 것은 보다 방열성을 높일 수 있는 것으로 되어 유용하다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 방열성이 우수하면서 염가인 반도체장치를 제공한다.

(57) 청구의 범위

청구항 1

비교적 열전도성이 높은 전기절연재료로 이루어진 세라믹기판과,

이 세라믹기판으로부터 연장되어 나온 외부전극단자를 갖춘 회로패턴체,

이 회로패턴체와 상기 세라믹기판의 사이에 설치되고, 상기 회로패턴체를 구성하는 재료와 상기 세라믹기판을 구성하는 재료로 이루어진 재료로 구성된 합금층,

상기 회로패턴체상에 실장된 반도체 펠렛,

상기 세라믹기판의 다른쪽의 주면상에 설치된 동패턴,

이 동패턴과 상기 세라믹기판의 사이에 설치되고, 상기 동패턴을 구성하는 재료와 상기세라믹기판을 구성하는 재료로 이루어진 재료로 구성된 합금층,

상기 동패턴에 취부된 방열판 및,

상기 외부단자를 노출하도록 하여 상기 반도체 펠렛을 실장한 상기 세라믹기판 및 상기 방열판을 피복하는 몰딩수지체를 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 회로패턴체와 상기 반도체 펠렛이 납땜재에 의해 접합되어 있는 것을 특징으로 하는 반도체장치.

청구항 3

제2항에 있어서, 상기 납땜재가 땀납 및 주기율표 제IV족 원소를 포함하는 납땜재로 이루어진 군에서 선택된 것을 특징으로 하는 반도체장치.

청구항 4

합금층이 회로패턴체와 세라믹기판을 구성하는 재료로 구성되고, 상기 회로패턴체가 상기 세라믹기판의 상기 한쪽의 주면과 실질적으로 평행하게 상기세라믹기판으로부터 연장되어 나오는 외부전극단자를 갖추도록 구성되며, 상기 세라믹기판이 비교적 열전도성이 높은 전기절연재료로 구성되며, 회로패턴체와 세라믹기판 사이에 개재된 합금층에 의해 기판의 한쪽의 주면상에 설치된 회로패턴체상에서 반도체 펠렛을 탑재하는 단계와,

합금층이 동패턴과 세라믹기판을 구성하는 재료로 구성되고, 동패턴과 세라믹기판 사이에 개재된 합금층에 의해 상기 세라믹기판의 다른 주면상에 동패턴을 고착하는 단계,

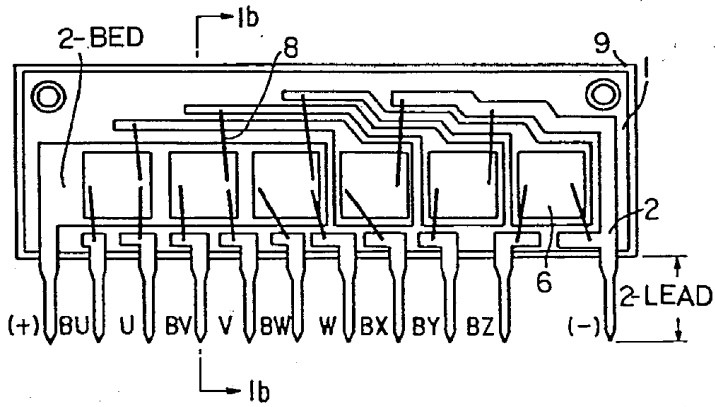
상기 동패턴에 방열판을 고착하는 단계 및,

외부전극단자를 노출시키기 위해 상기 반도체 펠렛이 탑재된 상기 세라믹기판과 상기 방열판을 절연재료

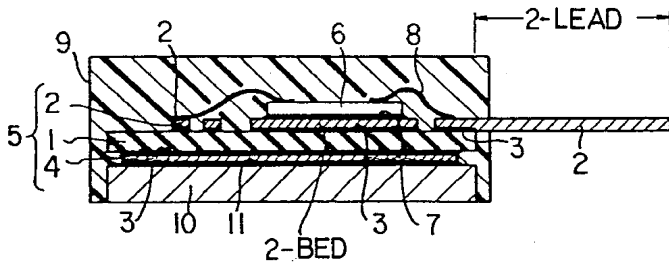
로 모두 덮는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

도면

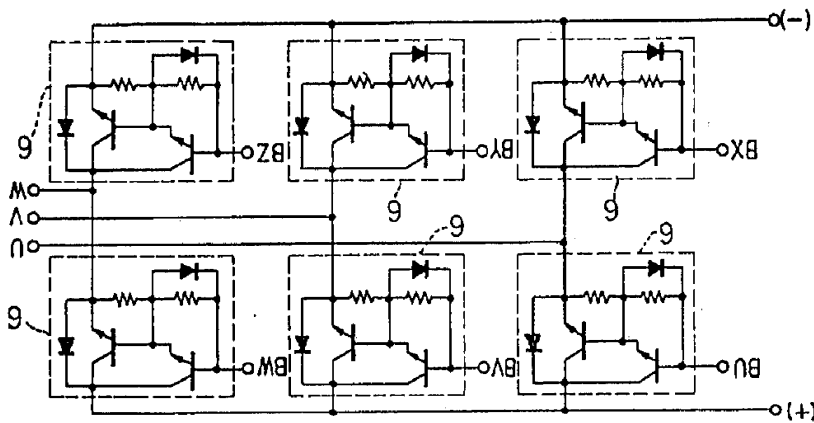
도면 1a



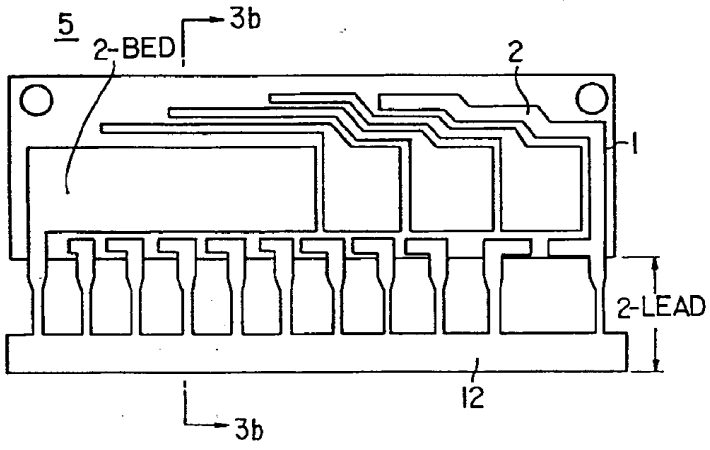
도면 1b



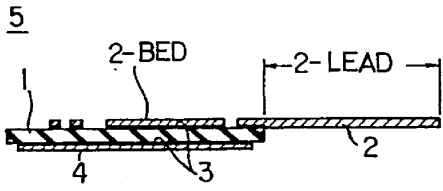
도면 2



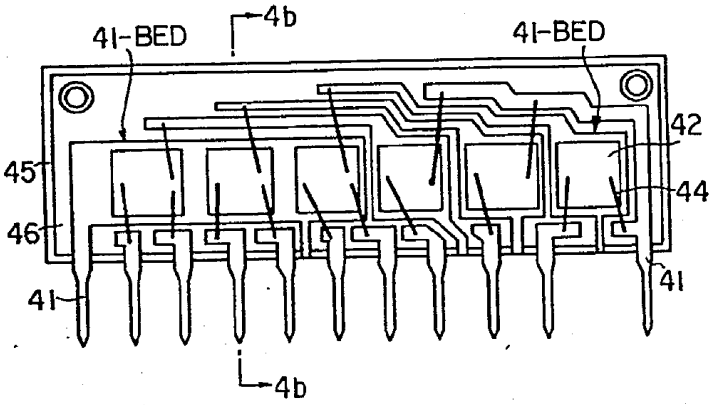
도면3a



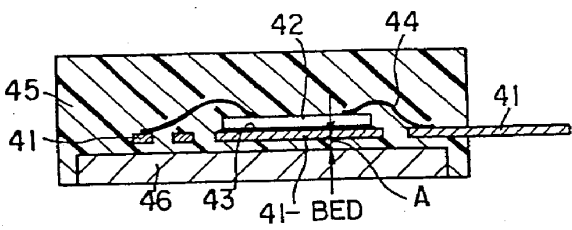
도면3b



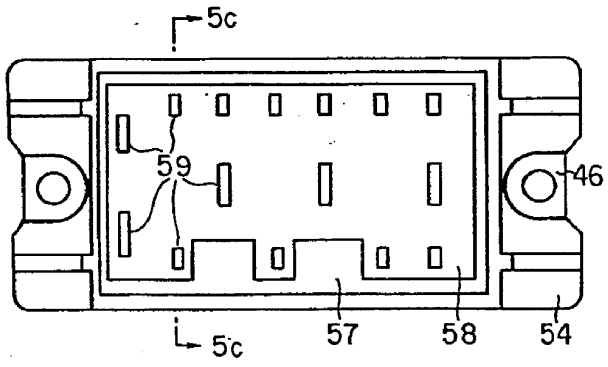
도면4a



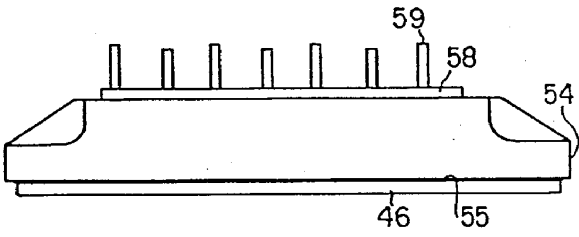
도면4b



도면5a



도면5b



도면5c

