



(12) 发明专利申请

(10) 申请公布号 CN 113486611 A

(43) 申请公布日 2021. 10. 08

(21) 申请号 202110738783.3

(22) 申请日 2021.06.30

(71) 申请人 海光信息技术股份有限公司
地址 300392 天津市华苑产业区海泰西路
18号北2-204工业孵化-3-8

(72) 发明人 范晟嘉 王毓千 晋大师

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 彭久云

(51) Int. Cl.

G06F 30/327 (2020.01)

G06F 30/3315 (2020.01)

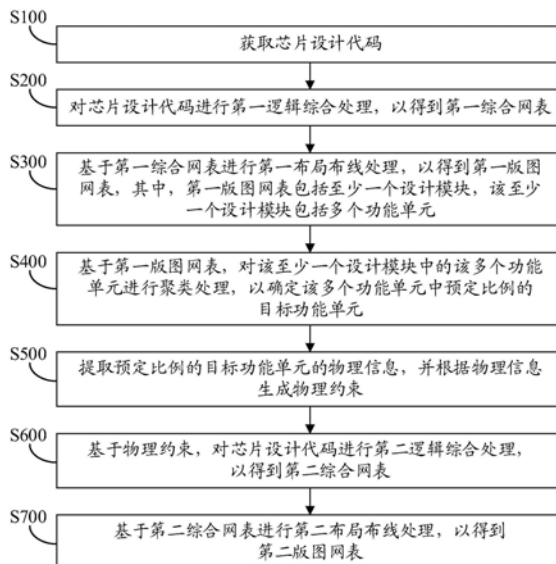
权利要求书3页 说明书17页 附图6页

(54) 发明名称

芯片设计方法、芯片设计装置及非暂时性存储介质

(57) 摘要

一种芯片设计方法、芯片设计装置及非暂时性存储介质。该芯片设计方法包括：获取芯片设计代码；对芯片设计代码进行第一逻辑综合处理，以得到第一综合网表；基于第一综合网表进行第一布局布线处理，以得到第一版图网表，其中，第一版图网表包括至少一个设计模块，该至少一个设计模块包括多个功能单元；基于第一版图网表，对该至少一个设计模块中的该多个功能单元进行聚类处理，以确定该多个功能单元中预定比例的目标功能单元；提取预定比例的目标功能单元的物理信息，并根据该物理信息生成物理约束；基于物理约束，对芯片设计代码进行第二逻辑综合处理，以得到第二综合网表；基于第二综合网表进行第二布局布线处理，以得到第二版图网表。



1. 一种芯片设计方法,包括:

获取芯片设计代码;

对所述芯片设计代码进行第一逻辑综合处理,以得到第一综合网表;

基于所述第一综合网表进行第一布局布线处理,以得到第一版图网表,其中,所述第一版图网表包括至少一个设计功能模块,所述至少一个设计功能模块包括多个功能单元;

基于所述第一版图网表,对所述至少一个设计功能模块中的所述多个功能单元进行聚类处理,以确定所述多个功能单元中预定比例的目标功能单元;

提取所述预定比例的目标功能单元的物理信息,并根据所述物理信息生成物理约束;以及

基于所述物理约束,对所述芯片设计代码进行第二逻辑综合处理,以得到第二综合网表。

2. 根据权利要求1所述的芯片设计方法,其中,所述预定比例的取值范围为[80%, 95%]。

3. 根据权利要求1或2所述的芯片设计方法,其中,基于所述第一版图网表,对所述多个功能单元进行所述聚类处理,以确定所述多个功能单元中所述预定比例的目标功能单元,包括:

获取所述多个功能单元的物理坐标,并计算所述多个功能单元的中心坐标作为第一中心坐标;

根据当前的第一中心坐标,确定所述多个功能单元中距离当前的第一中心坐标最近的所述预定比例的功能单元,并计算距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标作为第二中心坐标;

判断当前的第二中心坐标与当前的第一中心坐标是否相同,

若当前的第二中心坐标与当前的第一中心坐标不同,则将当前的第二中心坐标作为第一中心坐标,并重新计算第二中心坐标以及判断当前的第二中心坐标与当前的第一中心坐标是否相同,

若当前的第二中心坐标与当前的第一中心坐标相同,则将距离当前的第一中心坐标最近的所述预定比例的功能单元作为所述多个功能单元中所述预定比例的目标功能单元。

4. 根据权利要求3所述的芯片设计方法,其中,计算所述多个功能单元的中心坐标,包括:

根据以下公式计算所述多个功能单元的中心坐标:

$$X_{CC0} = \frac{1}{n} * \sum_{i=1}^n X_i, \quad Y_{CC0} = \frac{1}{n} * \sum_{i=1}^n Y_i,$$

其中, X_{CC0} 、 Y_{CC0} 分别表示所述多个功能单元的中心坐标的横坐标和纵坐标, X_i 、 Y_i 分别表示所述多个功能单元中的第*i*个功能单元的横坐标和纵坐标, n 表示所述多个功能单元中的功能单元的数量。

5. 根据权利要求3所述的芯片设计方法,其中,根据当前的第一中心坐标,确定所述多个功能单元中距离当前的第一中心坐标最近的所述预定比例的功能单元,包括:

根据当前的第一中心坐标和所述多个功能单元的物理坐标,计算所述多个功能单元中的每个功能单元到当前的第一中心坐标的距离;以及

根据所述多个功能单元中的每个功能单元到当前的第一中心坐标的距离,确定所述多个功能单元中距离当前的第一中心坐标最近的所述预定比例的功能单元。

6. 根据权利要求5所述的芯片设计方法,其中,计算所述多个功能单元中的每个功能单元到当前的第一中心坐标的距离,包括:

根据以下公式计算所述多个功能单元中的第j个功能单元到当前的第一中心坐标的距离:

$$S = \sqrt{(X_0 - X_j)^2 + (Y_0 - Y_j)^2},$$

其中,S表示所述第j个功能单元到当前的第一中心坐标的距离, X_0 、 Y_0 分别表示当前的第一中心坐标的横坐标和纵坐标, X_j 、 Y_j 分别表示所述第j个功能单元的横坐标和纵坐标, $j=1,2,\dots,n$,n表示所述多个功能单元中的功能单元的数量。

7. 根据权利要求3所述的芯片设计方法,其中,计算距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标,包括:

根据以下公式计算距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标:

$$X_N = \frac{1}{m} * \sum_{k=1}^m X_k, \quad Y_N = \frac{1}{m} * \sum_{k=1}^m Y_k,$$

其中, X_N 、 Y_N 分别表示距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标的横坐标和纵坐标, X_k 、 Y_k 分别表示距离当前的第一中心坐标最近的所述预定比例的功能单元中的第k个功能单元的横坐标和纵坐标,m表示距离当前的第一中心坐标最近的所述预定比例的功能单元中的功能单元的数量。

8. 根据权利要求7所述的芯片设计方法,其中,

$$m = \text{RCF}(p * n),$$

其中,p表示所述预定比例,n表示所述多个功能单元中的功能单元的数量,RCF()表示取整函数。

9. 根据权利要求1或2所述的芯片设计方法,其中,提取所述预定比例的目标功能单元的所述物理信息,并根据所述物理信息生成所述物理约束,包括:

获取所述预定比例的目标功能单元的物理坐标;

确定所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值;以及

根据所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值,确定所述物理约束。

10. 根据权利要求9所述的芯片设计方法,其中,根据所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值,确定所述物理约束,包括:

将具有两个对角顶点坐标 $(X_{\min} - u * (X_{\max} - X_{\min}), Y_{\min} - v * (Y_{\max} - Y_{\min}))$ 、 $(X_{\max} + u * (X_{\max} - X_{\min}), Y_{\max} + v * (Y_{\max} - Y_{\min}))$ 的矩形物理范围作为所述物理约束,

其中, X_{\min} 和 X_{\max} 分别表示所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值, Y_{\min} 和 Y_{\max} 分别表示所述预定比例的目标功能单元的物理坐标的纵坐标的最小值

和最大值,u的取值范围为[5%,15%],v的取值范围为[5%,15%]。

11. 根据权利要求1或2所述的芯片设计方法,其中,所述多个功能单元包括寄存器单元。

12. 根据权利要求1或2所述的芯片设计方法,还包括:

基于所述第二综合网表进行第二布局布线处理,以得到第二版图网表。

13. 一种芯片设计装置,包括:

获取单元,被配置为获取芯片设计代码;

第一逻辑综合单元,被配置为对所述芯片设计代码进行第一逻辑综合处理,以得到第一综合网表;

第一布局布线单元,被配置为基于所述第一综合网表进行第一布局布线处理,以得到第一版图网表,其中,所述第一版图网表包括至少一个设计功能模块,所述至少一个设计功能模块包括多个功能单元;

聚类单元,被配置为基于所述第一版图网表,对所述至少一个设计功能模块中的所述多个功能单元进行聚类处理,以确定所述多个功能单元中预定比例的目标功能单元;

物理约束生成单元,被配置为提取所述预定比例的目标功能单元的物理信息,并根据所述物理信息生成物理约束;以及

第二逻辑综合单元,被配置为基于所述物理约束,对所述芯片设计代码进行第二逻辑综合处理,以得到第二综合网表。

14. 根据权利要求13所述的芯片设计装置,还包括:

第二布局布线单元,被配置为基于所述第二综合网表进行第二布局布线处理,以得到第二版图网表。

15. 一种芯片设计装置,包括:

存储器,用于非暂时性存储计算机可读指令;以及

处理器,用于运行所述计算机可读指令,其中,所述计算机可读指令被所述处理器运行时执行根据权利要求1-12任一项所述的芯片设计方法。

16. 一种非暂时性存储介质,非暂时性地存储计算机可读指令,其中,当所述计算机可读指令由计算机执行时,执行根据权利要求1-12任一项所述的芯片设计方法。

芯片设计方法、芯片设计装置及非暂时性存储介质

技术领域

[0001] 本公开的实施例涉及一种芯片设计方法、芯片设计装置及非暂时性存储介质。

背景技术

[0002] 芯片设计流程通常包括：(1) 规格定义；进行芯片需求分析、完成产品规格定义，以确定设计的整体方向。(2) 系统设计；基于上述规格定义，明确芯片架构、业务模块、供电等系统级设计。(3) 前端设计；根据上述系统设计确定的方案，针对各模块开展具体的电路设计，使用专门的硬件描述语言（例如，Verilog或VHDL或HDL等），对具体的电路实现进行RTL（Register Transfer Level，寄存器传输级）级别的代码描述。代码生成后，需要严格按照已制定的规格标准，通过仿真验证来反复检验代码设计的正确性。之后，进行逻辑综合（简称“综合”）处理，即使用逻辑综合工具把用硬件描述语言写成的RTL级的代码转成门级网表（Gate-Level NetList），以确保电路在面积、时序等目标参数上达到标准。逻辑综合完成后需要进行静态时序分析，套用特定的时序模型，针对特定电路分析其是否违反设计者给定的时序限制。(4) 后端设计。基于上述门级网表，在给定大小的硅片面积内，对电路进行布局布线（Place&Route，简称“PR”）处理以得到物理版图（也称为“版图网表”或“布局布线网表”），再对得到的物理版图进行功能和时序上的各种验证，例如设计规则检查（Design Rule Check）、电路规则检查（Layout Versus Schematic）等，最终生成用于芯片生产的GDS（Geometry Data Standard）版图。

发明内容

[0003] 本公开至少一些实施例提供一种芯片设计方法，该芯片设计方法包括：获取芯片设计代码；对所述芯片设计代码进行第一逻辑综合处理，以得到第一综合网表；基于所述第一综合网表进行第一布局布线处理，以得到第一版图网表，其中，所述第一版图网表包括至少一个设计功能模块，所述至少一个设计功能模块包括多个功能单元；基于所述第一版图网表，对所述至少一个设计功能模块中的所述多个功能单元进行聚类处理，以确定所述多个功能单元中预定比例的目标功能单元；提取所述预定比例的目标功能单元的物理信息，并根据所述物理信息生成物理约束；以及基于所述物理约束，对所述芯片设计代码进行第二逻辑综合处理，以得到第二综合网表。

[0004] 例如，在本公开一些实施例提供的芯片设计方法中，所述预定比例的取值范围为[80%，95%]。

[0005] 例如，在本公开一些实施例提供的芯片设计方法中，基于所述第一版图网表，对所述多个功能单元进行所述聚类处理，以确定所述多个功能单元中所述预定比例的目标功能单元，包括：获取所述多个功能单元的物理坐标，并计算所述多个功能单元的中心坐标作为第一中心坐标；根据当前的第一中心坐标，确定所述多个功能单元中距离当前的第一中心坐标最近的所述预定比例的功能单元，并计算距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标作为第二中心坐标；判断当前的第二中心坐标与当前的第一中心

坐标是否相同,若当前的第二中心坐标与当前的第一中心坐标不同,则将当前的第二中心坐标作为第一中心坐标,并重新计算第二中心坐标以及判断当前的第二中心坐标与当前的第一中心坐标是否相同,若当前的第二中心坐标与当前的第一中心坐标相同,则将距离当前的第一中心坐标最近的所述预定比例的功能单元作为所述多个功能单元中所述预定比例的目标功能单元。

[0006] 例如,在本公开一些实施例提供的芯片设计方法中,计算所述多个功能单元的中心坐标,包括:根据以下公式计算所述多个功能单元的中心坐标:

$$[0007] \quad X_{CC0} = \frac{1}{n} * \sum_{i=1}^n X_i, \quad Y_{CC0} = \frac{1}{n} * \sum_{i=1}^n Y_i,$$

[0008] 其中, X_{CC0} 、 Y_{CC0} 分别表示所述多个功能单元的中心坐标的横坐标和纵坐标, X_i 、 Y_i 分别表示所述多个功能单元中的第*i*个功能单元的横坐标和纵坐标, n 表示所述多个功能单元中的功能单元的数量。

[0009] 例如,在本公开一些实施例提供的芯片设计方法中,根据当前的第一中心坐标,确定所述多个功能单元中距离当前的第一中心坐标最近的所述预定比例的功能单元,包括:根据当前的第一中心坐标和所述多个功能单元的物理坐标,计算所述多个功能单元中的每个功能单元到当前的第一中心坐标的距离;以及根据所述多个功能单元中的每个功能单元到当前的第一中心坐标的距离,确定所述多个功能单元中距离当前的第一中心坐标最近的所述预定比例的功能单元。

[0010] 例如,在本公开一些实施例提供的芯片设计方法中,计算所述多个功能单元中的每个功能单元到当前的第一中心坐标的距离,包括:根据以下公式计算所述多个功能单元中的第*j*个功能单元到当前的第一中心坐标的距离:

$$[0011] \quad S = \sqrt{(X_0 - X_j)^2 + (Y_0 - Y_j)^2},$$

[0012] 其中, S 表示所述第*j*个功能单元到当前的第一中心坐标的距离, X_0 、 Y_0 分别表示当前的第一中心坐标的横坐标和纵坐标, X_j 、 Y_j 分别表示所述第*j*个功能单元的横坐标和纵坐标, $j=1,2,\dots,n$, n 表示所述多个功能单元中的功能单元的数量。

[0013] 例如,在本公开一些实施例提供的芯片设计方法中,计算距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标,包括:根据以下公式计算距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标:

$$[0014] \quad X_N = \frac{1}{m} * \sum_{k=1}^m X_k, \quad Y_N = \frac{1}{m} * \sum_{k=1}^m Y_k,$$

[0015] 其中, X_N 、 Y_N 分别表示距离当前的第一中心坐标最近的所述预定比例的功能单元的中心坐标的横坐标和纵坐标, X_k 、 Y_k 分别表示距离当前的第一中心坐标最近的所述预定比例的功能单元中的第*k*个功能单元的横坐标和纵坐标, m 表示距离当前的第一中心坐标最近的所述预定比例的功能单元中的功能单元的数量。

[0016] 例如,在本公开一些实施例提供的芯片设计方法中, $m = \text{RCF}(p * n)$,其中, p 表示所述预定比例, n 表示所述多个功能单元中的功能单元的数量, $\text{RCF}()$ 表示取整函数。

[0017] 例如,在本公开一些实施例提供的芯片设计方法中,提取所述预定比例的目标功能单元的所述物理信息,并根据所述物理信息生成所述物理约束,包括:获取所述预定比例

的目标功能单元的物理坐标;确定所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值;以及根据所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值,确定所述物理约束。

[0018] 例如,在本公开一些实施例提供的芯片设计方法中,根据所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值,确定所述物理约束,包括:将具有两个对角顶点坐标 $(X_{\min}-u*(X_{\max}-X_{\min}), Y_{\min}-v*(Y_{\max}-Y_{\min}))$ 、 $(X_{\max}+u*(X_{\max}-X_{\min}), Y_{\max}+v*(Y_{\max}-Y_{\min}))$ 的矩形物理范围作为所述物理约束,其中, X_{\min} 和 X_{\max} 分别表示所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值, Y_{\min} 和 Y_{\max} 分别表示所述预定比例的目标功能单元的物理坐标的纵坐标的最小值和最大值,u的取值范围为[5%,15%],v的取值范围为[5%,15%]。

[0019] 例如,在本公开一些实施例提供的芯片设计方法中,u等于v,或u不等于v。

[0020] 例如,在本公开一些实施例提供的芯片设计方法中,所述多个功能单元包括寄存器单元。

[0021] 例如,本公开一些实施例提供的芯片设计方法还包括:基于所述第二综合网表进行第二布局布线处理,以得到第二版图网表。

[0022] 本公开至少一些实施例还提供一种芯片设计装置,该芯片设计装置包括:获取单元,被配置为获取芯片设计代码;第一逻辑综合单元,被配置为对所述芯片设计代码进行第一逻辑综合处理,以得到第一综合网表;第一布局布线单元,被配置为基于所述第一综合网表进行第一布局布线处理,以得到第一版图网表,其中,所述第一版图网表包括至少一个设计功能模块,所述至少一个设计功能模块包括多个功能单元;聚类单元,被配置为基于所述第一版图网表,对所述至少一个设计功能模块中的所述多个功能单元进行聚类处理,以确定所述多个功能单元中预定比例的目标功能单元;物理约束生成单元,被配置为提取所述预定比例的目标功能单元的物理信息,并根据所述物理信息生成物理约束;以及第二逻辑综合单元,被配置为基于所述物理约束,对所述芯片设计代码进行第二逻辑综合处理,以得到第二综合网表。

[0023] 例如,本公开一些实施例提供的芯片设计装置,还包括:第二布局布线单元,被配置为基于所述第二综合网表进行第二布局布线处理,以得到第二版图网表。

[0024] 本公开至少一些实施例还提供一种芯片设计装置,该芯片设计装置包括:存储器,用于非暂时性存储计算机可读指令;以及处理器,用于运行所述计算机可读指令,其中,所述计算机可读指令被所述处理器运行时执行本公开任一实施例提供的芯片设计方法。

[0025] 本公开至少一些实施例还提供一种非暂时性存储介质,非暂时性地存储计算机可读指令,其中,当所述计算机可读指令由计算机执行时,执行本公开任一实施例提供的芯片设计方法。

附图说明

[0026] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0027] 图1为本公开一些实施例提供的一种芯片设计方法的流程图;

[0028] 图2为本公开一些实施例提供的一种第一版图网表中的功能单元与设计功能模块

的示意图；

[0029] 图3为本公开一些实施例提供的一种设计功能模块的约束范围的示意图；

[0030] 图4为本公开一些实施例提供的一种对应于图1所示的步骤S400的示例性流程图；

[0031] 图5A为本公开一些实施例提供的一种计算设计功能模块中的全部功能单元的中心坐标的示意图；

[0032] 图5B为本公开一些实施例提供的一种计算设计功能模块中距离当前的中心坐标最近的预定比例的功能单元的中心坐标的示意图；

[0033] 图6为本公开一些实施例提供的一种芯片设计装置的示意性框图；

[0034] 图7为本公开一些实施例提供的另一种芯片设计装置的示意性框图；以及

[0035] 图8为本公开一些实施例提供的一种非暂时性存储介质的示意图。

具体实施方式

[0036] 为了使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0037] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0038] 下面通过几个具体的实施例对本公开进行说明。为了保持本公开实施例的以下说明清楚且简明，本公开省略了已知功能和已知部件的详细说明。当本公开实施例的任一部件在一个以上的附图中出现时，该部件在每个附图中由相同或类似的参考标号表示。

[0039] 在芯片设计中越来越追求更好的PPA (Power, Performance, and Area), 也就是说在性能 (Performance) 更好的情况下, 面积 (Area) 和功耗 (Power) 要尽可能的小。但是芯片设计是一个很复杂的过程, 需要很多步骤相互衔接配合, 例如, 从RTL代码到GDS版图的设计就需要先进行逻辑综合 (简称“综合”) 再进行布局布线 (PR)。在实际应用中, 综合和PR通常是使用不同的工具来实现的。早期由于机器资源和PPA的要求并没有现在这么高, 所以综合工具通常使用粗略的模型来计算时序, 这样就需要提前为这种粗略的模型加上一定时序的余量, 保证PR使用更准确的模型计算时序时仍能很好地收敛。

[0040] 但是, 更多的余量就意味着浪费掉更多的PPA, 因此, 当前的电子设计自动化 (Electronics Design Automation, 简称EDA) 工具在综合计算时序时所使用的模型也都在向PR靠拢, 以提高综合和后端时序的相关性。虽然相关性不断在提高, 但是由于工具引擎的不同, 所以还是会存在一定的差异, 而这种差异主要是物理信息的缺失或不准确造成的。

[0041] 当前,业界常用的提高综合和后端时序相关性的方法主要包括以下两种方法:一种方法是Synopsys物理导向流程(Synopsys physical guidance flow,简称spg flow或spg流程),这种方法会引入所有单元(cell,包括逻辑单元和寄存器等)的物理信息,但是可控性不强,资源消耗较大;另一种方法是添加一些物理约束,这些物理约束可以将指定的单元的物理位置约束在一定范围内,这种方法干预性强,但是物理位置不易获取,并且一般是针对个别模块或单元,不具有普适性。

[0042] 本公开至少一些实施例提供一种芯片设计方法,该芯片设计方法包括:获取芯片设计代码;对芯片设计代码进行第一逻辑综合处理,以得到第一综合网表;基于第一综合网表进行第一布局布线处理,以得到第一版图网表,其中,第一版图网表包括至少一个设计功能模块,该至少一个设计功能模块包括多个功能单元;基于第一版图网表,对该至少一个设计功能模块中的该多个功能单元进行聚类处理,以确定该多个功能单元中预定比例的目标功能单元;提取预定比例的目标功能单元的物理信息,并根据该物理信息生成物理约束;基于物理约束,对芯片设计代码进行第二逻辑综合处理,以得到第二综合网表。

[0043] 本公开的一些实施例还提供对应于上述芯片设计方法的芯片设计装置及非暂时性存储介质。

[0044] 本公开的实施例提供的芯片设计方法,可以提高综合阶段和布局布线阶段的相关性,从而节省时序余量、提高PPA,同时还可以辅助spg flow来约束指定单元或设计的物理范围。

[0045] 下面结合附图对本公开的一些实施例及其示例进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本公开,并不用于限制本公开。

[0046] 图1为本公开一些实施例提供的一种芯片设计方法的流程图。例如,该芯片设计方法可以应用于芯片设计设备,该芯片设计设备包括具有计算功能的任何电子设备,例如可以为笔记本电脑、平板电脑、台式计算机、服务器等,本公开的实施例对此不作限制。例如,该芯片设计设备具有中央处理单元(Central Processing Unit,CPU)或图形处理单元(Graphics Processing Unit,GPU),该芯片设计设备还包括存储器。该存储器例如为非易失性存储器(例如只读存储器(Read Only Memory,ROM)),其上存储有操作系统的代码。例如,存储器上还存储有代码或指令,通过运行这些代码或指令,可以实现本公开的实施例提供的芯片设计方法。

[0047] 例如,如图1所示,该芯片设计方法包括以下步骤S100至步骤S500。

[0048] 步骤S100:获取芯片设计代码。

[0049] 例如,芯片设计代码可以包括但不限于RTL代码等。例如,在一些实施例中,工程师可以根据明确的系统设计方案,对方案中的各设计功能模块开展具体的电路设计,使用专门的硬件描述语言(例如,Verilog或VHDL或HDL等),对具体的电路实现进行RTL(Register Transfer Level,寄存器传输级)级别的代码描述,以生成RTL代码。例如,在生成RTL代码后,还可以严格按照已制定的规格标准,通过仿真验证来反复检验RTL代码设计的正确性。也就是说,芯片设计代码可以是预先生成的,当然,本公开的实施例包括但不限于此。例如,芯片设计代码可以预先存储在芯片设计设备的存储器中,或者可以通过网络或外部设备载入芯片设计设备的存储器。

[0050] 步骤S200:对芯片设计代码进行第一逻辑综合处理,以得到第一综合网表。

[0051] 例如,可以使用逻辑综合工具(属于EDA工具)对芯片设计代码进行第一逻辑综合处理,以得到与芯片设计代码相对应的第一综合网表。例如,常见的逻辑综合工具包括但不限于Synopsys公司的Design Compiler工具、Candence公司的Genus工具等。例如,逻辑综合工具的功能是将RTL代码转化为门级网表。例如,第一综合网表可以包括但不限于门级网表等。以下,对逻辑综合处理(具体地,第一逻辑综合处理)的流程进行简要说明。

[0052] 例如,逻辑综合处理通常包括转译(Translation)、优化(Optimization)、映射(Mapping)三个过程。例如,在转译过程中,软件自动将源代码翻译成每条语句所对应的功能模块以及模块之间的拓扑结构,这一过程是在综合工具内部生成电路的布尔函数的表达,不做任何的逻辑重组和优化;在优化过程中,基于所施加的一定时序和面积的约束条件,综合工具按照一定的算法对转译结果作逻辑优化和重组;在映射过程中,根据所施加的一定的时序和面积的约束条件,综合工具从目标工艺库中搜索符合条件的单元来构成实际电路。

[0053] 例如,在得到第一综合网表后,可以进行静态时序分析(Static Timing Analysis),以解决第一逻辑综合处理中可能存在的各种问题(例如,时序违例等)。静态时序分析主要是在时序上对电路进行验证,检查电路是否存在建立时间(setup time)和保持时间(hold time)的违例(violation)。例如,通常可以套用特定的时序模型,针对特定电路分析其是否违反设计者给定的时序限制,本公开的实施例对此不作限制。例如,常用的静态时序分析工具包括但不限于Synopsys公司的Prime Time工具、Candence公司的Tempus工具等。

[0054] 例如,在得到第一综合网表后,还可以进行形式验证,以保证前后设计是相同的。此处的形式验证主要是从功能上对第一综合网表进行验证,以确定芯片设计代码和第一综合网表二者是否在功能上存在等价性。例如,常用的形式验证方法包括等价性检查方法等。例如,常用的形式验证工具包括但不限于Synopsys公司的Formality工具、Candence公司的Conformal工具等。

[0055] 例如,在得到第一综合网表后,可以对第一综合网表中的功能单元进行分析处理,以确定与第一综合网表相对应的多个设计功能,之后可以将第一综合网表按照设计功能划分为多个设计功能模块。例如,在本公开的实施例中,功能单元通常可以包括寄存器单元(属于基本单元);在一些具体示例中,功能单元还可以包括锁存器单元、触发器单元、逻辑单元(logic cell)等其余基本单元中的一种或多种。例如,每个设计功能模块通常包括多个功能单元。例如,每个设计功能模块可以对应一个或多个设计功能。需要说明的是,本公开的实施例包括但不限于此,例如,通常可以根据具体的设计需求和应用场景进行设计功能模块的划分。

[0056] 例如,在第一逻辑综合处理过程中,由于缺少各功能单元的物理信息,因此,得到的第一综合网表也往往是一个粗略布局(Coarse Placement)。

[0057] 步骤S300:基于第一综合网表进行第一布局布线处理,以得到第一版图网表,其中,第一版图网表包括至少一个设计功能模块,该至少一个设计功能模块包括多个功能单元。

[0058] 例如,可以使用常见的布局布线工具(属于EDA工具)基于第一综合网表进行第一布局布线处理,以得到与第一综合网表相对应的第一版图网表。例如,常见的布局布线工具

包括但不限于Synopsys公司的IC Compiler、Candence公司的Encounter工具等。例如，布局布线工具的功能是在给定大小的硅片面积内，基于综合网表对电路进行布局布线处理，以得到相应的版图网表。

[0059] 例如，在得到第一版图网表后，还可以进行形式验证，以保证前后设计是相同的。此处的形式验证主要是从功能上对第一版图网表进行验证，以确定第一综合网表和第一版图网表二者是否在功能上存在等价性。例如，常用的形式验证方法包括等价性检查方法等。例如，常用的形式验证工具包括但不限于Synopsys公司的Formality工具、Candence公司的Conformal工具等。

[0060] 例如，图2示出了一种第一版图网表中的功能单元21和设计功能模块design。如图2所示，第一版图网表包括多个功能单元21(如图2中的小矩形块所示)；按照设计功能对第一版图网表中的多个功能单元21进行划分，可以得到至少一个设计功能模块design(如图2中的加粗黑色实线圈所示)。示例性地，图2仅示出了一个设计功能模块，但不应视作对本公开的实施例的限制。

[0061] 例如，第一版图网表中的设计功能模块和功能单元可以对应于前述第一综合网表中的设计功能模块和功能单元。需要说明的是，本公开的实施例包括但不限于此。例如，在一些示例中，在得到第一版图网表后，再对第一综合网表中的功能单元进行分析处理，以确定与第一综合网表相对应的多个设计功能，进而将第一综合网表按照设计功能划分为多个设计功能模块，也即，可以省略第一综合网表中的设计功能模块的划分。例如，第一版图网表中的设计功能模块的划分细节可以参考前述第一综合网表中的设计功能模块的划分细节，在此不再重复赘述。

[0062] 例如，在第一布局布线处理过程中，通常基于默认的布局约束进行布局布线处理，本公开的实施例对此不作限制。例如，在完成第一布局布线处理后，可以基于第一版图网表，通过布局布线工具抓取各功能单元的物理信息(例如，功能单元的物理坐标和尺寸信息等)，构建物理约束；然后，将物理约束返回逻辑综合工具，再次进行逻辑综合，可以提高逻辑综合工具和布局布线工具的相关性，并达到节省余量、提高PPA的目的。

[0063] 例如，在一些示例中，如图2所示，每个功能单元21的形状可以视作矩形。例如，在一些示例中，通过布局布线工具可以抓取每个功能单元21的物理坐标和尺寸信息等。例如，在一些示例中，通过布局布线工具抓取的每个功能单元21的物理坐标cell(x,y)，通常为其对应的矩形的左下角坐标，本公开的实施例包括但不限于此。例如，在一些示例中，通过布局布线工具抓取的每个功能单元21的尺寸信息包括其对应的矩形的长cell_length(即图2中的水平方向即横轴方向的尺寸)和宽cell_height(即图2中的垂直方向即纵轴方向的尺寸)。

[0064] 例如，基于每个功能单元的物理信息，可以生成相应的物理约束。最常见的方法是通过例如create_bound的命令创建一个矩形物理范围(也称为“约束范围”)，并将相应的功能单元限定在其中。例如，create_bound-coordinate{100 100 200 200} INST-soft的命令就是生成一个如下所述的物理约束：将名字为INST的功能单元限制在左下角坐标为(100, 100)、右上角坐标为(200, 200)的矩形物理范围内；-soft表示当基于上述物理约束进行逻辑综合处理时，逻辑综合工具会尽可能地将该功能单元(即名字为INST的功能单元)摆放在在上述物理约束定义的矩形物理范围内，但并不是强制的。需要说明的是，本公开的实施例对

物理约束的生成方式不作限制,只要生成的物理约束能够被逻辑综合工具解析即可。

[0065] 例如,具体地,如图2所示,对于每个功能单元21,可以根据其物理坐标 $cell(x,y)$ 、长 $cell_length$ 和宽 $cell_height$ 并增加一定余量,确定代表其物理信息的矩形物理范围:

[0066] 矩形物理范围左下角坐标: $(x,y) = cell(x,y) - margin(x,y)$,

[0067] 矩形物理范围右上角坐标: $(x,y) = cell(x,y) + (cell_length, cell_height) + margin(x,y)$,

[0068] 其中, $margin(x,y)$ 表示一定的余量。例如, $margin(x,y) = (k1*cell_length, k2*cell_height)$,其中, $k1$ 、 $k2$ 均为比例系数;例如, $k1$ 大于或等于5%且小于或等于15%, $k2$ 大于或等于5%且小于或等于15%,本公开的实施例包括但不限于此。例如,在一些示例中, $k1$ 等于 $k2$;例如,在另一些示例中, $k1$ 不等于 $k2$ 。

[0069] 类似地,对于每个设计功能模块,可以基于其中的各个功能单元的物理信息,生成相应的物理约束,也即,确定一个最能代表该设计功能模块的矩形物理范围(即约束范围)。图2示意性地示出了对应于设计功能模块design的三种约束范围,即约束范围1、约束范围2、约束范围3。一方面,如图2所示,约束范围1涵盖了设计功能模块design中的全部功能单元,然而,由于设计功能模块design中的功能单元集合分布比较疏松,将约束范围1返回给逻辑综合工具,可能无法起到真正的约束效果,因此,约束范围1本身可能过大,这通常是不合理的。另一方面,如图2所示,约束范围2仅涵盖了设计功能模块design中的少数功能单元,其本身可能过小,这往往也是不合理的。

[0070] 本申请的发明人注意到:最能代表某一设计功能模块的约束范围并不需要涵盖该设计功能模块中的全部功能单元,而只需要涵盖该设计功能模块中的大多数功能单元(例如,预定比例的功能单元,例如,预定比例的取值范围为80%~95%)即可;也就是说,对于每个设计功能模块,可以将涵盖该设计功能模块中的大多数功能单元的约束范围作为最能代表该设计功能模块的约束范围。例如,在图2中,可以考虑将涵盖设计功能模块design中的大多数功能单元的约束范围3作为最能代表该设计功能模块design的约束范围。

[0071] 进一步地,本申请的发明人还注意到:涵盖某一设计功能模块中的预定比例的功能单元的约束范围可能不止一种情况,因此,还可以从多种情况中进一步确定出最能代表该设计功能模块的约束范围。例如,图3示意性地示出了一个设计功能模块的三种约束范围。如图3所示,约束范围1涵盖了该设计功能模块中的居左的预定比例的功能单元(图3中的小矩形框表示功能单元),约束范围2涵盖了该设计功能模块中的居中的预定比例的功能单元,约束范围3涵盖了该设计功能模块中的居右的预定比例的功能单元。

[0072] 本申请的发明人分析后认为:最能代表某一设计功能模块的约束范围应当涵盖该设计功能模块中的最聚拢的预定比例的功能单元;对于其余的功能单元,它们可能跟其他设计功能模块有所交互,所以在物理位置上被拉远了,因此,它们并不能反映该设计功能模块真实的物理信息。基于上述分析,可以将任一设计功能模块中的多个功能单元划分为两类,即最聚拢的预定比例的功能单元以及其余功能单元,其中,恰好涵盖最聚拢的预定比例的功能单元的约束范围最能代表该设计功能模块。例如,在本公开的实施例中,可以通过以下步骤S400确定最聚拢的预定比例的功能单元。

[0073] 步骤S400:基于第一版图网表,对该至少一个设计功能模块中的该多个功能单元进行聚类处理,以确定该多个功能单元中预定比例的目标功能单元。

[0074] 例如,可以基于第一版图网表,通过布局布线工具抓取该至少一个设计功能模块中的该多个功能单元的物理信息(例如,物理坐标等);然后,根据该多个功能单元的物理坐标,对该多个功能单元进行聚类处理,从而确定预定比例的目标功能单元。例如,预定比例的目标功能单元为该多个功能单元中最聚拢的预定比例的功能单元。

[0075] 图4为本公开一些实施例提供的一种对应于图1所示的步骤S400的示例性流程图。例如,如图4所示,基于第一版图网表,对该至少一个设计功能模块中的该多个功能单元进行聚类处理,以确定该多个功能单元中预定比例的目标功能单元,即步骤S400,包括以下步骤S410至步骤S450。

[0076] 步骤S410:获取该多个功能单元的物理坐标,并计算该多个功能单元的中心坐标作为第一中心坐标;

[0077] 步骤S420:根据当前的第一中心坐标,确定该多个功能单元中距离当前的第一中心坐标最近的预定比例的功能单元,并计算距离当前的第一中心坐标最近的预定比例的功能单元的中心坐标作为第二中心坐标;

[0078] 步骤S430:判断当前的第二中心坐标与当前的第一中心坐标是否相同,若当前的第二中心坐标与当前的第一中心坐标不同(如图4中的N所示),则执行下述步骤S440,若当前的第二中心坐标与当前的第一中心坐标相同(如图4中的Y所示),则执行下述步骤S450;

[0079] 步骤S440:将当前的第二中心坐标作为第一中心坐标,并跳回步骤S420、依次执行步骤S420及后续步骤(也即,重新计算第二中心坐标并判断当前的第二中心坐标与当前的第一中心坐标是否相同);

[0080] 步骤S450:将距离当前的第一中心坐标最近的预定比例的功能单元作为该多个功能单元中预定比例的目标功能单元。

[0081] 例如,在步骤S410中,可以基于第一版图网表,通过布局布线工具抓取设计功能模块中的每个功能单元的物理坐标。图5A为本公开一些实施例提供的一种计算设计功能模块中的全部功能单元的中心坐标的示意图。图5A中的每个小矩形块表示功能单元,图5A的虚线框中的全部小矩形块表示设计功能模块中的全部功能单元,圆圈CC0表示全部功能单元的中心坐标。例如,在一些实施例中,对于设计功能模块中的该多个功能单元的中心坐标CC0而言,可以根据以下公式计算其横坐标和纵坐标:

$$[0082] \quad X_{CC0} = \frac{1}{n} * \sum_{i=1}^n X_i, \quad Y_{CC0} = \frac{1}{n} * \sum_{i=1}^n Y_i,$$

[0083] 其中, X_{CC0} 、 Y_{CC0} 分别表示该多个功能单元的中心坐标CC0的横坐标和纵坐标, X_i 、 Y_i 分别表示该多个功能单元中的第i个功能单元的横坐标和纵坐标,n表示该多个功能单元中的功能单元的数量。例如,设计功能模块中的该多个功能单元的中心坐标CC0作为初始的第一中心坐标。

[0084] 例如,在步骤S420中,可以根据当前的第一中心坐标和该多个功能单元的物理坐标,计算该多个功能单元中的每个功能单元到当前的第一中心坐标的距离,从而,可以根据该多个功能单元中的每个功能单元到当前的第一中心坐标的距离,确定该多个功能单元中距离当前的第一中心坐标最近的预定比例的功能单元。例如,在一些实施例中,可以根据以下距离计算公式计算任一功能单元(例如,第j个功能单元)到当前的第一中心坐标的距离:

$$[0085] \quad S = \sqrt{(X_0 - X_j)^2 + (Y_0 - Y_j)^2},$$

[0086] 其中, S表示该多个功能单元中的任一功能单元(例如, 第j个功能单元)到当前的第一中心坐标的距离, X_0 、 Y_0 分别表示当前的第一中心坐标(例如, 前述第一中心坐标CC0或者后续介绍的第一中心坐标CC1、CC2、…、CCt等)的横坐标和纵坐标, X_j 、 Y_j 分别表示该多个功能单元中的第j个功能单元的横坐标和纵坐标, $j=1, 2, \dots, n$ 。

[0087] 例如, 在一些实施例中, 上述预定比例的取值范围可以为[80%, 95%]; 例如, 预定比例的取值可以为80%、85%、90%、95%等。需要说明的是, 本公开的实施例包括但不限于此。应当理解的是, 在实际应用中, 上述预定比例的取值范围及取值可以根据实际需要进行设置。

[0088] 例如, 在步骤S420中, 在确定该多个功能单元中距离当前的第一中心坐标最近的预定比例的功能单元后, 可以计算距离当前的第一中心坐标最近的预定比例的功能单元的中心坐标, 并将其作为第二中心坐标。图5B为本公开一些实施例提供的一种计算设计功能模块中距离当前的第一中心坐标最近的预定比例的功能单元的中心坐标(即第二中心坐标)的示意图。图5B中的每个小矩形块表示功能单元, 图5B的虚线框中的全部小矩形块表示距离当前的第一中心坐标CC0(如图中虚线圆圈所示)最近的预定比例的功能单元, 圆圈NC0表示距离当前的第一中心坐标CC0最近的预定比例的功能单元的中心坐标(也即, 第二中心坐标)。例如, 在一些实施例中, 对于当前的第二中心坐标(例如, 前述第二中心坐标NC0或者后续介绍的第二中心坐标NC1、NC2、…、NCt等)而言, 可以根据以下公式计算其横坐标和纵坐标:

$$[0089] \quad X_N = \frac{1}{m} * \sum_{k=1}^m X_k, \quad Y_N = \frac{1}{m} * \sum_{k=1}^m Y_k,$$

[0090] 其中, X_N 、 Y_N 分别表示当前的第二中心坐标的横坐标和纵坐标, X_k 、 Y_k 分别表示距离当前的第一中心坐标(例如, 前述第一中心坐标CC0或者后续介绍的第一中心坐标CC1、CC2、…、CCt等)最近的预定比例的功能单元中的第k个功能单元的横坐标和纵坐标, m表示距离当前的第一中心坐标最近的预定比例的功能单元中的功能单元的数量。

[0091] 例如, 在一些实施例中, $m = RCF(p * n)$, 其中, p表示前述预定比例, RCF()表示取整函数。例如, RCF()可以是四舍五入取整函数、向上取整函数和向下取整函数三者任一。

[0092] 参考图5A和图5B可知, 与旧的中心坐标CC0(即当前的第一中心坐标CC0)相比, 新的中心坐标NC0(即当前的第二中心坐标)向设计功能模块中聚拢的功能单元靠近。

[0093] 例如, 在步骤S430中, 若当前的第二中心坐标与当前的第一中心坐标不同, 则说明距离当前的第一中心坐标最近的预定比例的功能单元还不是设计功能模块中的最聚拢的预定比例的功能单元, 而距离当前的第二中心坐标最近的预定比例的功能单元的聚拢程度高于距离当前的第一中心坐标最近的预定比例的功能单元的聚拢程度; 因此, 可以将当前的第二中心坐标作为第一中心坐标(即新的第一中心坐标, 可以参考数学赋值的概念进行理解), 并重新计算第二中心坐标(即新的第二中心坐标)以及判断当前的第二中心坐标(即前述新的第二中心坐标)与当前的第一中心坐标(即前述新的第一中心坐标)是否相同。也即, 重复性地依次执行步骤S440、步骤S420和步骤S430, 直到当前的第二中心坐标与当前的第一中心坐标相同为止。此时, 可以执行步骤S450, 也即, 将距离当前的第一中心坐标最近

的预定比例的功能单元作为设计功能模块中最聚拢的预定比例的功能单元,也即,将距离当前的第一中心坐标最近的预定比例的功能单元作为设计功能模块中的该多个功能单元中预定比例的目标功能单元。

[0094] 例如,在一个具体示例中,步骤S400中的聚类处理的过程可以如下:基于步骤S410计算第一中心坐标CC0,基于步骤S420计算第二中心坐标NC0,基于步骤S430判断当前的第二中心坐标NC0与当前的第一中心坐标CC0是否相同,在二者不同的情况下,将当前的第二中心坐标NC0作为第一中心坐标CC1;基于步骤S420计算第二中心坐标NC1,基于步骤S430判断当前的第二中心坐标NC1与当前的第一中心坐标CC1是否相同,在二者不同的情况下,将当前的第二中心坐标NC1作为第一中心坐标CC2;基于步骤S420计算第二中心坐标NC2,基于步骤S430判断当前的第二中心坐标NC2与当前的第一中心坐标CC2是否相同,在二者不同的情况下,将当前的第二中心坐标NC2作为第一中心坐标CC3;……;以此类推,经过重复执行步骤S440、步骤S420和步骤S430例如t次(t为正整数)后,当前的第二中心坐标NCt与当前的第一中心坐标CCt相同,从而,可以停止上述聚类过程,并可以将距离当前的第一中心坐标CCt最近的预定比例的功能单元作为设计功能模块中最聚拢的预定比例的功能单元,也即作为设计功能模块中的该多个功能单元中预定比例的目标功能单元。

[0095] 步骤S500:提取预定比例的目标功能单元的物理信息,并根据物理信息生成物理约束。

[0096] 例如,在一些实施例中,可以基于第一版图网表,通过布局布线工具抓取该至少一个设计功能模块中的该多个功能单元的物理信息(例如,物理坐标等)。例如,在另一些实施例中,由于在步骤S400中抓取了设计功能模块中的各个功能单元的物理信息(例如,物理坐标等),从而可以直接从其中提取预定比例的目标功能单元的物理信息。需要说明的是,本公开的实施例对预定比例的目标功能单元的物理信息的提取方式不作限制。

[0097] 例如,在一些实施例中,根据预定比例的目标功能单元的物理信息生成物理约束,可以包括:确定预定比例的目标功能单元的物理坐标的横坐标的最小值 X_{\min} 和最大值 X_{\max} 以及纵坐标的最小值 Y_{\min} 和最大值 Y_{\max} ;以及,根据预定比例的目标功能单元的物理坐标的横坐标的最小值 X_{\min} 和最大值 X_{\max} 以及纵坐标的最小值 Y_{\min} 和最大值 Y_{\max} ,确定物理约束。例如,在一些示例中,可以将具有两个对角顶点坐标 $(X_{\min}-u*(X_{\max}-X_{\min}), Y_{\min}-v*(Y_{\max}-Y_{\min}))$ 、 $(X_{\max}+u*(X_{\max}-X_{\min}), Y_{\max}+v*(Y_{\max}-Y_{\min}))$ 的矩形物理范围作为设计功能模块对应的物理约束。应当理解的是,在忽略功能单元的尺寸大小的情况下,预定比例的目标功能单元占据的最小矩形物理范围为具有两个对角顶点坐标 (X_{\min}, Y_{\min}) 、 (X_{\max}, Y_{\max}) 的矩形物理范围;本公开的实施例确定的物理约束在上述最小矩形物理范围的基础上额外增加了一定的余量(margin),其中, $u*(X_{\max}-X_{\min})$ 表示横轴方向上的余量, $v*(Y_{\max}-Y_{\min})$ 表示纵轴方向上的余量。需要说明的是,在本公开的实施例中,由于物理约束包括了一定的余量,因此,忽略功能单元的尺寸大小是可行的。例如,u的取值范围可以为[5%, 15%],v的取值范围也可以为[5%, 15%],本公开的实施例包括但不限于此。例如,在一些示例中,u等于v;例如,在另一些示例中,u不等于v。

[0098] 需要说明的是,u、v的数值大小反映了物理约束的松紧程度;例如,u、v越大,则设计功能模块中的各功能单元在上述物理约束定义的矩形物理范围内的排布可以越疏松;例如,u、v越小,则设计功能模块中的各功能单元在上述物理约束定义的矩形物理范围内的排

布通常越紧密。例如,在一些实施例中,u、v均可以通过参数进行控制,本公开的实施例包括但不限于此。

[0099] 应当理解的是,芯片通常包括多个设计功能模块,多个设计功能模块对应于多个不同的物理约束,每个物理约束例如可以通过前述两个对角顶点坐标进行表征。

[0100] 步骤S600:基于物理约束,对芯片设计代码进行第二逻辑综合处理,以得到第二综合网表。

[0101] 例如,可以使用常见的逻辑综合工具(属于EDA工具)对芯片设计代码进行第二逻辑综合处理,以得到与芯片设计代码相对应的第二综合网表。例如,常见的逻辑综合工具包括但不限于Synopsys公司的Design Compiler工具、Candence公司的Genus工具等。

[0102] 例如,在得到第一综合网表后,可以进行静态时序分析和形式验证等处理,上述处理的作用及所使用的工具可以参考前述步骤S200中的相关描述,在此不再重复赘述。

[0103] 应当理解的是,基于物理约束进行第二逻辑综合处理时,逻辑综合工具会尽可能地将设计功能模块中的各个功能单元摆放在上述物理约束定义的矩形物理范围内,但并不是强制的。

[0104] 例如,在第二逻辑综合处理过程中,由于引入了设计功能模块的物理约束,因此,与步骤S200中得到的第一综合网表相比,步骤S600中得到的第二综合网表是一个较为精确的布局。

[0105] 需要说明的是,在spg flow资源消耗过大时,可以使用上述芯片设计方法(具体地,芯片设计方法中的步骤S400和步骤S500等)替代spg流程。例如,可以利用上述芯片设计方法遍历芯片内的所有一级设计功能模块和/或更高级设计功能模块,并生成相应的物理约束返回给逻辑综合工具,则逻辑综合时就可以得到大多数设计功能模块的物理信息,并通过物理约束将各设计功能模块和/或各功能单元尽量摆放在约束的范围内。例如,一级设计功能模块包括功能单元。例如,更高级设计功能模块包括二级设计功能模块、三级设计功能模块等;二级设计功能模块可以包括一级设计功能模块,还可以包括额外的功能单元;三级设计功能模块可以包括二级设计功能模块,还可以包括额外的一级设计功能模块和/或功能单元;也就是说,高级别的设计功能模块可以包括低级别的设计功能模块和/或功能单元。另外,上述芯片设计方法也可以用于辅助spg流程或是根据需要获取指定单元或设计的物理信息并返回逻辑综合工具从而提升逻辑综合质量。

[0106] 例如,在一些实施例中,如图1所示,本公开的实施例提供的芯片设计方法还可以包括步骤S700。

[0107] 步骤S700:基于第二综合网表进行第二布局布线处理,以得到第二版图网表。

[0108] 例如,可以使用常见的布局布线工具(属于EDA工具)基于第二综合网表进行第二布局布线处理,以得到与第二综合网表相对应的第二版图网表。例如,常见的布局布线工具包括但不限于Synopsys公司的IC Compiler、Candence公司的Encounter工具等。

[0109] 例如,在一些实施例中,还可以对第二版图网表进行功能和时序上的各种验证,例如设计规则检查(Design Rule Check)、电路规则检查(Layout Versus Schematic)等,最终生成用于芯片生产的GDS(Geometry Data Standard)版图。

[0110] 本公开的实施例提供的芯片设计方法,可以提高综合阶段和布局布线阶段的相关性,从而节省时序余量、提高PPA,同时还可以辅助spg flow来约束指定单元或设计的物理

范围。

[0111] 本公开至少一些实施例还提供一种芯片设计装置。图6为本公开一些实施例提供的一种芯片设计装置的示意性框图。例如,如图6所示,该芯片设计装置100包括获取单元110、第一逻辑综合单元120、第一布局布线单元130、聚类单元140、物理约束生成单元150和第二逻辑综合单元160。

[0112] 例如,获取模块110被配置为获取芯片设计代码;第一逻辑综合单元120被配置为对芯片设计代码进行第一逻辑综合处理,以得到第一综合网表;第一布局布线单元130被配置为基于第一综合网表进行第一布局布线处理,以得到第一版图网表,其中,第一版图网表包括至少一个设计功能模块,该至少一个设计功能模块包括多个功能单元;聚类单元140被配置为基于第一版图网表,对该至少一个设计功能模块中的该多个功能单元进行聚类处理,以确定该多个功能单元中预定比例的目标功能单元;物理约束生成单元150被配置为提取预定比例的目标功能单元的物理信息,并根据物理信息生成物理约束;第二逻辑综合单元160被配置为基于物理约束,对芯片设计代码进行第二逻辑综合处理,以得到第二综合网表。

[0113] 例如,上述预定比例的取值范围为[80%,95%]。

[0114] 例如,在执行“基于第一版图网表,对该至少一个设计功能模块中的该多个功能单元进行聚类处理,以确定该多个功能单元中预定比例的目标功能单元”的操作时,聚类单元140可以执行以下操作:获取该多个功能单元的物理坐标,并计算该多个功能单元的中心坐标作为第一中心坐标;根据当前的第一中心坐标,确定该多个功能单元中距离当前的第一中心坐标最近的预定比例的功能单元,并计算距离当前的第一中心坐标最近的预定比例的功能单元的中心坐标作为第二中心坐标;判断当前的第二中心坐标与当前的第一中心坐标是否相同,若当前的第二中心坐标与当前的第一中心坐标不同,则将当前的第二中心坐标作为第一中心坐标,并重新计算第二中心坐标以及判断当前的第二中心坐标与当前的第一中心坐标是否相同,若当前的第二中心坐标与当前的第一中心坐标相同,则将距离当前的第一中心坐标最近的预定比例的功能单元作为该多个功能单元中预定比例的目标功能单元。

[0115] 例如,在执行“计算该多个功能单元的中心坐标”的操作时,聚类单元140可以根据以下公式计算所述多个功能单元的中心坐标:

$$[0116] \quad X_{CC0} = \frac{1}{n} * \sum_{i=1}^n X_i, \quad Y_{CC0} = \frac{1}{n} * \sum_{i=1}^n Y_i,$$

[0117] 其中, X_{CC0} 、 Y_{CC0} 分别表示所述多个功能单元的中心坐标的横坐标和纵坐标, X_i 、 Y_i 分别表示所述多个功能单元中的第*i*个功能单元的横坐标和纵坐标, n 表示所述多个功能单元中的功能单元的数量

[0118] 例如,在执行“根据当前的第一中心坐标,确定该多个功能单元中距离当前的第一中心坐标最近的预定比例的功能单元”的操作时,聚类单元140可以执行以下操作:根据当前的第一中心坐标和该多个功能单元的物理坐标,计算该多个功能单元中的每个功能单元到当前的第一中心坐标的距离;以及,根据该多个功能单元中的每个功能单元到当前的第一中心坐标的距离,确定该多个功能单元中距离当前的第一中心坐标最近的所述预定比例的功能单元。

[0119] 例如,在执行“计算该多个功能单元中的每个功能单元到当前的第一中心坐标的距离”的操作时,聚类单元140可以执行以下操作:根据以下公式计算该多个功能单元中的第j个功能单元到当前的第一中心坐标的距离:

$$[0120] \quad S = \sqrt{(X_0 - X_j)^2 + (Y_0 - Y_j)^2},$$

[0121] 其中,S表示第j个功能单元到当前的第一中心坐标的距离, X_0 、 Y_0 分别表示当前的第一中心坐标的横坐标和纵坐标, X_j 、 Y_j 分别表示第j个功能单元的横坐标和纵坐标, $j=1, 2, \dots, n$,n表示该多个功能单元中的功能单元的数量。

[0122] 例如,在执行“计算距离当前的第一中心坐标最近的预定比例的功能单元的中心坐标”的操作时,聚类单元140可以根据以下公式计算距离当前的第一中心坐标最近的预定比例的功能单元的中心坐标:

$$[0123] \quad X_N = \frac{1}{m} * \sum_{k=1}^m X_k, \quad Y_N = \frac{1}{m} * \sum_{k=1}^m Y_k,$$

[0124] 其中, X_N 、 Y_N 分别表示距离当前的第一中心坐标最近的预定比例的功能单元的中心坐标的横坐标和纵坐标, X_k 、 Y_k 分别表示距离当前的第一中心坐标最近的预定比例的功能单元中的第k个功能单元的横坐标和纵坐标,m表示距离当前的第一中心坐标最近的预定比例的功能单元中的功能单元的数量。

[0125] 例如, $m = \text{RCF}(p*n)$,其中,p表示前述预定比例,n表示该多个功能单元中的功能单元的数量,RCF()表示取整函数。例如,RCF()可以是四舍五入取整函数、向上取整函数和向下取整函数三者任一。

[0126] 例如,在执行“提取预定比例的目标功能单元的物理信息,并根据物理信息生成物理约束”的操作时,物理约束生成单元150可以执行以下操作:获取预定比例的目标功能单元的物理坐标;确定预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值;以及,根据预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值,确定物理约束。

[0127] 例如,在执行“根据预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值以及纵坐标的最小值和最大值,确定物理约束”的操作时,物理约束生成单元150可以执行以下操作:将具有两个对角顶点坐标($X_{\min} - u*(X_{\max} - X_{\min}), Y_{\min} - v*(Y_{\max} - Y_{\min})$)、($X_{\max} + u*(X_{\max} - X_{\min}), Y_{\max} + v*(Y_{\max} - Y_{\min})$)的矩形物理范围作为所述物理约束,其中, X_{\min} 和 X_{\max} 分别表示所述预定比例的目标功能单元的物理坐标的横坐标的最小值和最大值, Y_{\min} 和 Y_{\max} 分别表示所述预定比例的目标功能单元的物理坐标的纵坐标的最小值和最大值,u的取值范围为[5%, 15%],v的取值范围为[5%, 15%]。

[0128] 例如,u等于v,或u不等于v。

[0129] 例如,该至少一个设计功能模块中的该多个功能单元包括寄存器单元。

[0130] 例如,如图6所示,该芯片设计装置100还可以包括第二布局布线单元170,第二布局布线单元170被配置为基于第二综合网表进行第二布局布线处理,以得到第二版图网表。

[0131] 例如,获取单元110、第一逻辑综合单元120、第一布局布线单元130、聚类单元140、物理约束生成单元150、第二逻辑综合单元160和第二布局布线单元170中的各个单元可以包括存储在存储器中的代码和程序;处理器可以执行该代码和程序以实现如上所述的各个

单元的部分或全部功能。例如,获取单元110、第一逻辑综合单元120、第一布局布线单元130、聚类单元140、物理约束生成单元150、第二逻辑综合单元160和第二布局布线单元170中的各个单元可以是专用硬件器件,用来实现如上所述的各个单元的部分或全部功能。例如,获取单元110、第一逻辑综合单元120、第一布局布线单元130、聚类单元140、物理约束生成单元150、第二逻辑综合单元160和第二布局布线单元170中的各个单元可以是一个电路板或多个电路板的组合,用于实现如上所述的功能。在本公开的实施例中,该一个电路板或多个电路板的组合可以包括:(1)一个或多个处理器;(2)与处理器相连接的一个或多个非暂时性存储器;以及(3)处理器可执行的存储在存储器中的固件。

[0132] 需要说明的是,芯片设计装置100可以用于实现前述芯片设计方法。例如,获取单元110可以用于实现前述芯片设计方法中的步骤S100,具体实现过程和细节可以参考前述步骤S100的相关描述,在此不再重复赘述。例如,第一逻辑综合单元120可以用于实现前述芯片设计方法中的步骤S200,具体实现过程和细节可以参考前述步骤S200的相关描述,在此不再重复赘述。例如,第一布局布线单元130可以用于实现前述芯片设计方法中的步骤S300,具体实现过程和细节可以参考前述步骤S300的相关描述,在此不再重复赘述。例如,聚类单元140可以用于实现前述芯片设计方法中的步骤S400,具体实现过程和细节可以参考前述步骤S400的相关描述,在此不再重复赘述。例如,物理约束生成单元150可以用于实现前述芯片设计方法中的步骤S500,具体实现过程和细节可以参考前述步骤S500的相关描述,在此不再重复赘述。例如,第二逻辑综合单元160可以用于实现前述芯片设计方法中的步骤S600,具体实现过程和细节可以参考前述步骤S600的相关描述,在此不再重复赘述。例如,第二布局布线单元170可以用于实现前述芯片设计方法中的步骤S700,具体实现过程和细节可以参考前述步骤S700的相关描述,在此不再重复赘述。

[0133] 应当理解的是,在实际应用中,芯片设计装置100中的一些单元的功能可以相互合并。例如,在一些示例中,第一逻辑综合单元120和第二逻辑综合单元160可以为同一个逻辑综合单元。例如,在一些示例中,第一布局布线单元130和第二布局布线单元170可以为同一个布局布线单元。当然,芯片设计装置100中的一些单元还可以进一步拆分为多个子单元。例如,在一些示例中,聚类单元140可以包括若干子单元,分别用于实现前述步骤S410至步骤S450。

[0134] 图7为本公开一些实施例提供的另一种芯片设计装置的示意性框图。例如,如图7所示,该芯片设计装置500包括存储器510和处理器520。例如,存储器510用于非暂时性存储计算机可读指令,处理器520用于运行该计算机可读指令,该计算机可读指令被处理器520运行时执行本公开任一实施例提供的芯片设计方法。

[0135] 例如,存储器510和处理器520之间可以直接或间接地互相通信。例如,在一些示例中,如图7所示,该芯片设计装置500还可以包括系统总线530,存储器510和处理器520之间可以通过系统总线530互相通信,例如,处理器520可以通过系统总线1006访问存储器510。例如,在另一些示例中,存储器510和处理器520等组件之间可以通过网络连接进行通信。网络可以包括无线网络、有线网络、和/或无线网络和有线网络的任意组合。网络可以包括局域网、互联网、电信网、基于互联网和/或电信网的物联网(Internet of Things)、和/或以上网络的任意组合等。有线网络例如可以采用双绞线、同轴电缆或光纤传输等方式进行通信,无线网络例如可以采用3G/4G/5G移动通信网络、蓝牙、Zigbee或者WiFi等通信方式。本

公开对网络的类型和功能在此不作限制。

[0136] 例如,处理器520可以控制芯片设计装置中的其它组件以执行期望的功能。处理器520可以是中央处理单元(CPU)、张量处理器(TPU)、网络处理器(NP)或者图形处理器GPU等具有数据处理能力和/或程序执行能力的器件,还可以是数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。中央处理器(CPU)可以为X86或ARM架构等。GPU可以单独地直接集成到主板上,或者内置于主板的北桥芯片中。GPU也可以内置于中央处理器(CPU)上。

[0137] 例如,存储器510可以包括一个或多个计算机程序产品的任意组合,计算机程序产品可以包括各种形式的计算机可读存储介质,例如易失性存储器和/或非易失性存储器。易失性存储器例如可以包括随机存取存储器(RAM)和/或高速缓冲存储器(cache)等。非易失性存储器例如可以包括只读存储器(ROM)、硬盘、可擦除可编程只读存储器(EPROM)、便携式紧致盘只读存储器(CD-ROM)、USB存储器、闪存等。

[0138] 例如,在存储器510上可以存储一个或多个计算机指令,处理器520可以运行所述计算机指令,以实现各种功能。在计算机可读存储介质中还可以存储各种应用程序和各种数据,例如芯片设计代码、第一综合网表、第一版图网表、物理约束、第二综合网表、第二版图网表以及应用程序使用和/或产生的各种数据等。

[0139] 例如,存储器510存储的一些计算机指令被处理器520执行时可以执行根据上文所述的芯片设计方法中的一个或多个步骤。

[0140] 例如,如图7所示,芯片设计装置500还可以包括允许外部设备与同义词挖掘装置500进行通信的输入接口540。例如,输入接口540可被用于从外部计算机设备、从用户等处接收指令。芯片设计挖掘装置500还可以包括使芯片设计装置500和一个或多个外部设备相互连接的输出接口550。例如,芯片设计装置500可以通过输出接口550显示图像等。通过输入接口1010和/或输出接口1012与芯片设计装置500通信的外部设备可被包括在提供任何类型的用户可与之交互的用户界面的环境中。用户界面类型的示例包括图形用户界面、自然用户界面等。例如,图形用户界面可接受来自用户采用诸如键盘、鼠标、遥控器等之类的输入设备的输入,以及在诸如显示器之类的输出设备上提供输出。此外,自然用户界面可使得用户能够以无需受到诸如键盘、鼠标、遥控器等之类的输入设备强加的约束的方式来与芯片设计装置500交互。相反,自然用户界面可依赖于语音识别、触摸和指示笔识别、屏幕上和屏幕附近的手势识别、空中手势、头部和眼睛跟踪、语音和语音、视觉、触摸、手势、以及机器智能等。

[0141] 另外,尽管芯片设计装置100和芯片设计装置500在图6和图7中均被示出为单个系统,但可以理解,芯片设计装置100和芯片设计装置500也可以是分布式系统,还可以布置为云设施(包括公有云或私有云)。因此,例如,若干设备可以通过网络连接进行通信并且可共同执行被描述为由芯片设计装置100或芯片设计装置500执行的任务。

[0142] 例如,关于芯片设计方法的处理过程的详细说明可以参考上述芯片设计方法的实施例中的相关描述,重复之处不再赘述。

[0143] 需要说明的是,本公开的实施例提供的芯片设计装置是示例性的,而非限制性的,根据实际应用需要,该芯片设计装置还可以包括其他常规部件或结构,例如,为实现芯片设计装置的必要功能,本领域技术人员可以根据具体应用场景设置其他的常规部件或结构,

本公开的实施例对此不作限制。

[0144] 本公开的实施例提供的芯片设计装置的技术效果可以参考上述实施例中关于芯片设计方法的相应描述,在此不再赘述。

[0145] 本公开至少一些实施例还提供一种非暂时性存储介质。图8为本公开一些实施例提供的一种非暂时性存储介质的示意图。例如,如图8所示,该存储介质600非暂时性地存储计算机可读指令601,当非暂时性计算机可读指令601由计算机(包括处理器)执行时可以执行本公开任一实施例提供的芯片设计方法。

[0146] 例如,在存储介质600上可以存储一个或多个计算机指令。存储介质600上存储的一些计算机指令可以是例如用于实现上述芯片设计方法中的一个或多个步骤的指令。

[0147] 例如,存储介质可以包括平板电脑的存储部件、个人计算机的硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可擦除可编程只读存储器(EPROM)、光盘只读存储器(CD-ROM)、闪存、或者上述存储介质的任意组合,也可以为其他适用的存储介质。例如,存储介质600可以包括前述芯片设计装置500中的存储器510。

[0148] 本公开的实施例提供的存储介质的技术效果可以参考上述实施例中关于芯片设计方法的相应描述,在此不再赘述。

[0149] 对于本公开,有以下几点需要说明:

[0150] (1) 本公开实施例附图中,只涉及到与本公开实施例涉及到的结构,其他结构可参考通常设计。

[0151] (2) 在不冲突的情况下,本公开同一实施例及不同实施例中的特征可以相互组合。

[0152] 以上,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以权利要求的保护范围为准。

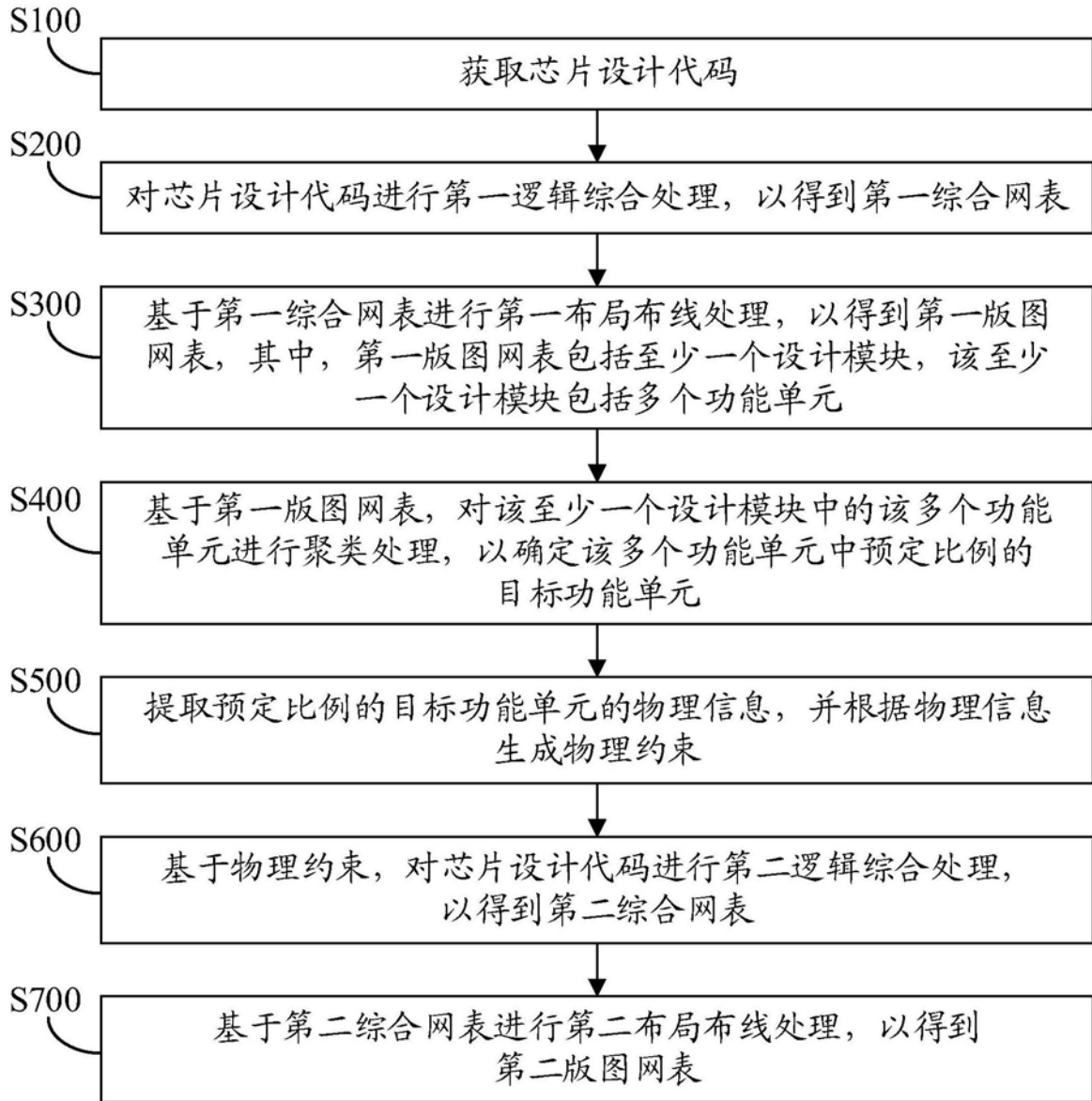


图1

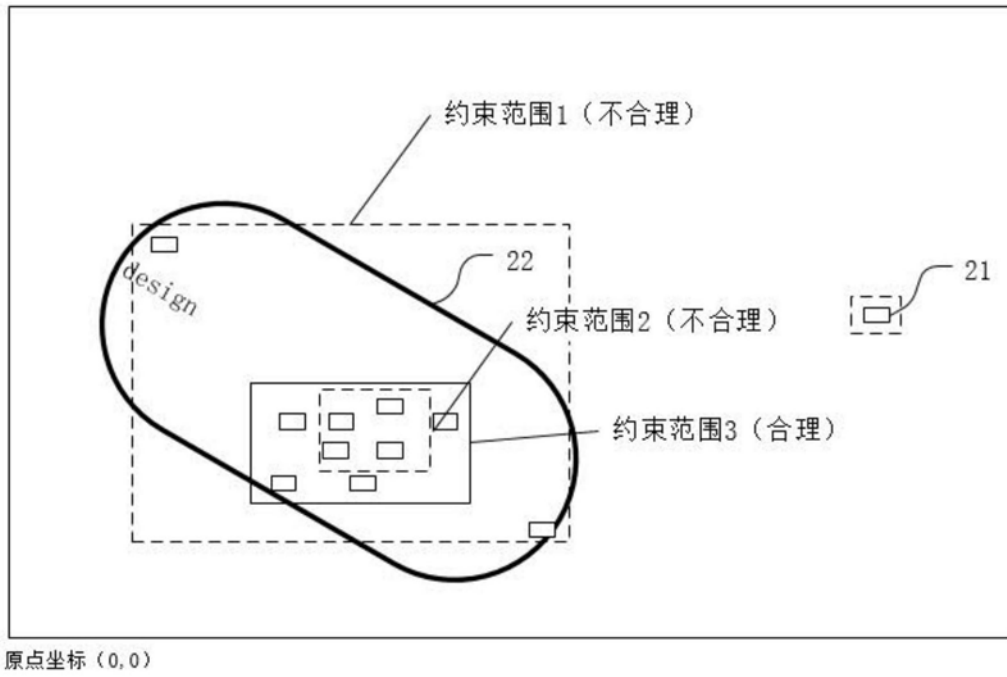


图2

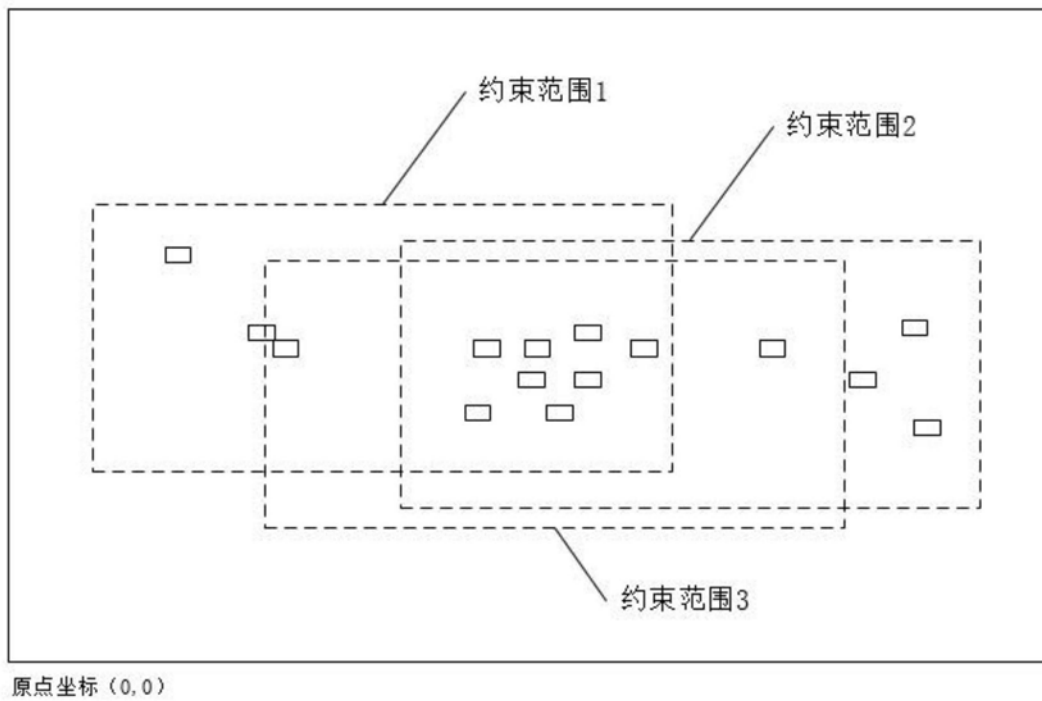


图3

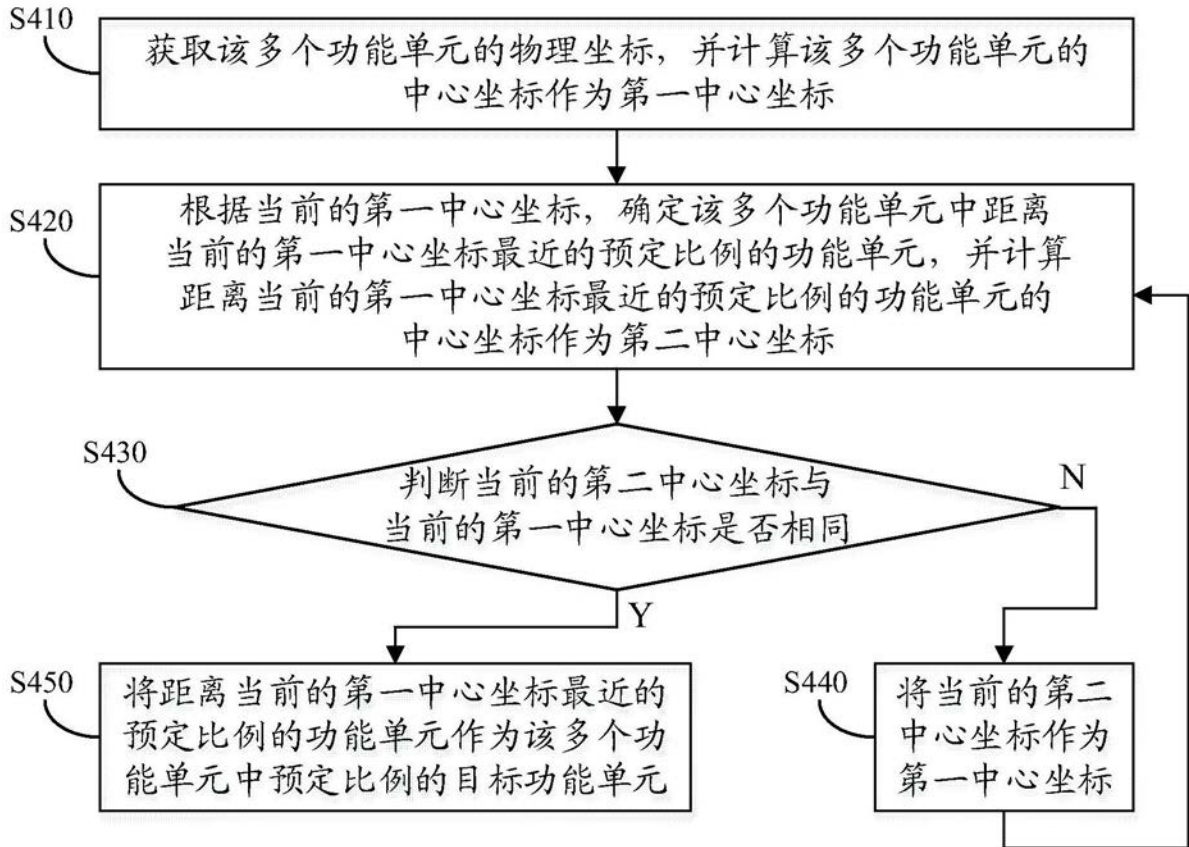


图4

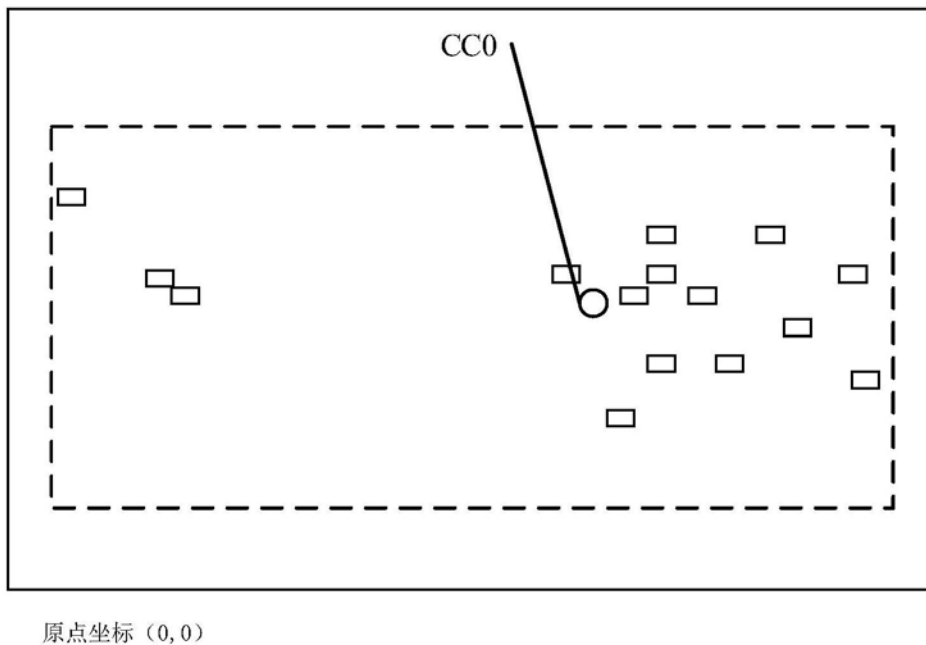
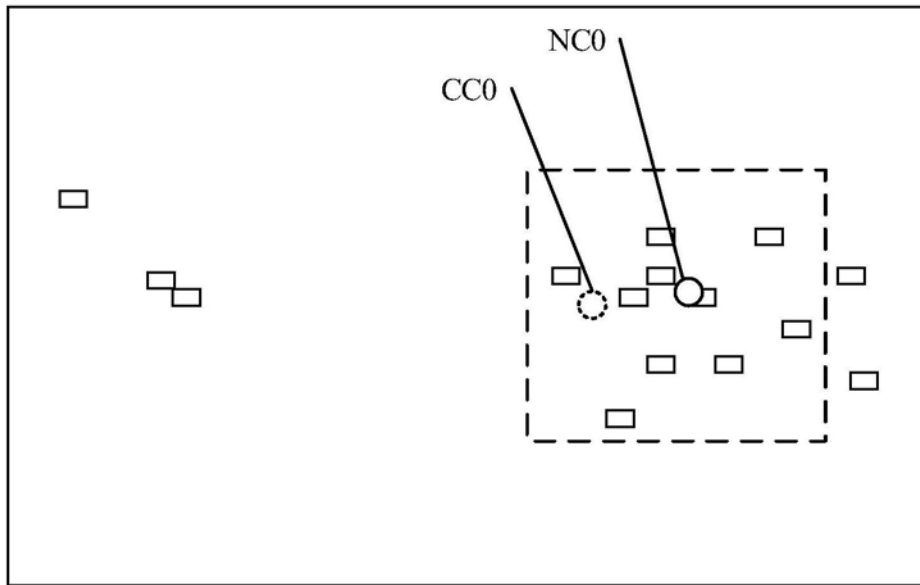


图5A



原点坐标 (0,0)

图5B

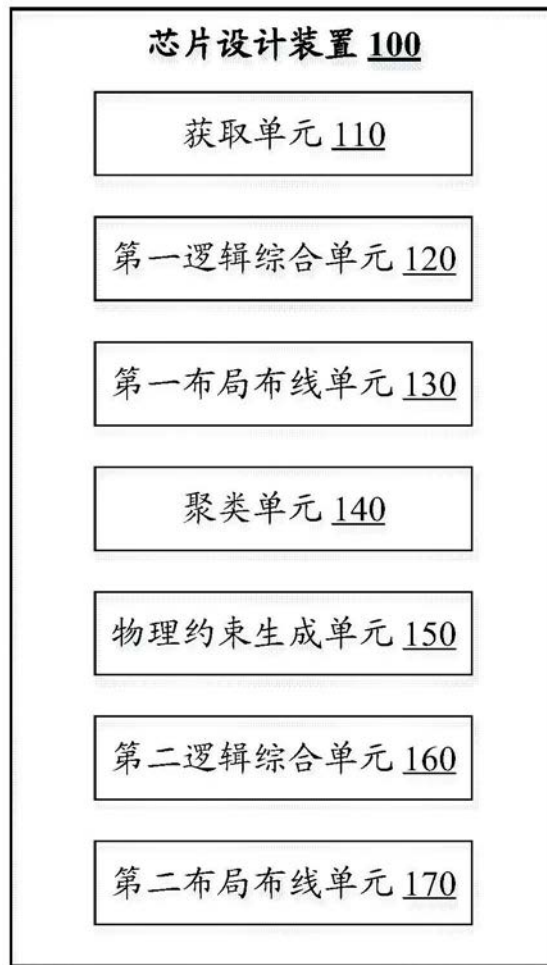


图6

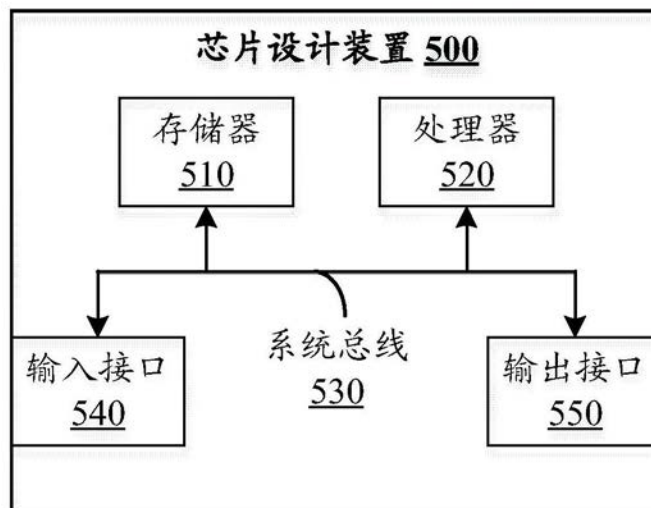


图7

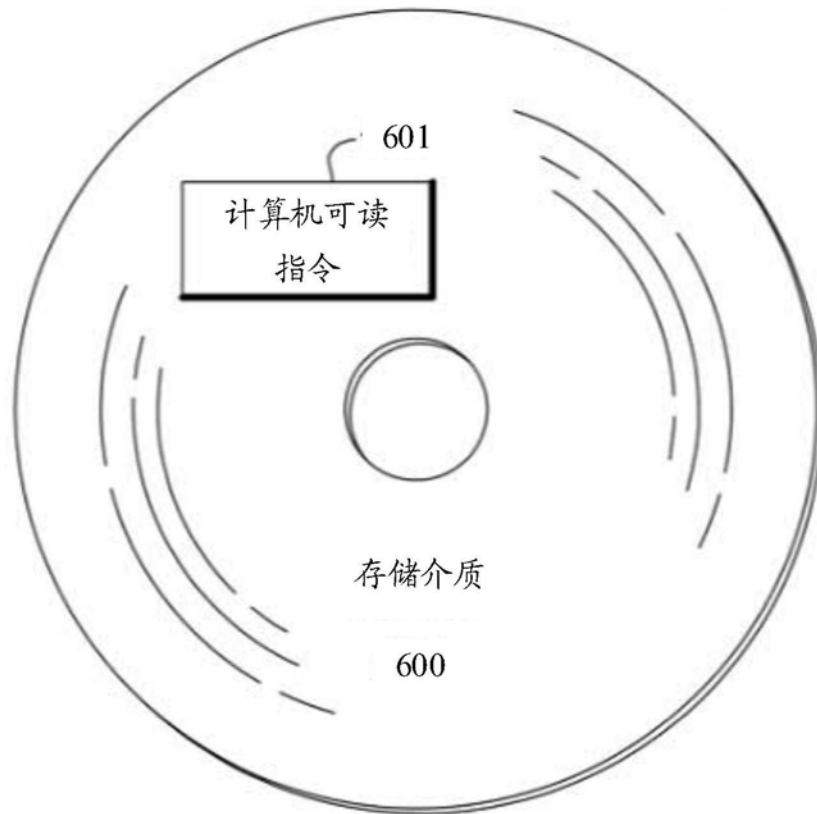


图8