



(12) 发明专利

(10) 授权公告号 CN 103001639 B

(45) 授权公告日 2015. 11. 18

(21) 申请号 201210469779. 2

US 5579006 A , 1996. 11. 26,

(22) 申请日 2010. 01. 25

审查员 郑舒玲

(30) 优先权数据

09250202. 0 2009. 01. 26 EP

(62) 分案原申请数据

201010105439. 2 2010. 01. 25

(73) 专利权人 株式会社索思未来

地址 日本神奈川县

(72) 发明人 伊恩·朱斯欧·代迪克

加文·朗伯斯·艾伦

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 李晓冬

(51) Int. Cl.

H03M 1/12(2006. 01)

(56) 对比文件

EP 1729420 A1 , 2006. 12. 06,

TW 200843357 A , 2008. 11. 01,

US 2003132870 A1 , 2003. 07. 17,

US 2005285770 A1 , 2005. 12. 29,

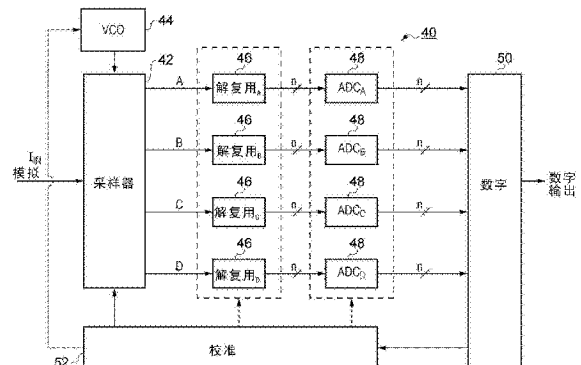
权利要求书7页 说明书38页 附图28页

(54) 发明名称

用于采样的电流模式电路和方法

(57) 摘要

本发明公开了采样。公开了被配置为由基本为正弦型的时钟信号驱动的电模式时间交织采样电路。这种电路可被结合在ADC电路中,例如被结合作为IC芯片上的集成电路。所公开的电路无需离线就能够校准自身。



1. 用于对电流信号进行采样的电流模式电路,该电路包括:  
第一节点,被配置为接收所述电流信号;  
X 个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;以及  
导引电路,被配置为控制所述第一节点和所述第二节点之间的连接,从而随着时间的流逝,沿着所述路径中的不同路径来导引构成所述电流信号的不同电荷包,  
其中:  
X 是大于或等于 3 的整数;并且  
所述导引电路包括:  
控制信号生成电路,被配置为生成 X 个时间交织正弦型控制信号;以及  
开关电路,沿着所述路径分布并被配置为基于 X 个正弦型控制信号来控制所述连接,  
其中,所述控制信号相对彼此是均匀时间交织的。
2. 如权利要求 1 所述的电流模式电路,  
其中,  $X = 4$ 。
3. 如权利要求 1 所述的电流模式电路,其中,X 个路径中的每一个被所述 X 个控制信号中不同的一个所控制,并且所述 X 个路径中的每一个在所述控制信号中的对应一个处于最大值或者在最大值附近时是导通的,而在所述控制信号中的对应的一个处于最小值或者在最小值附近时是不导通的。
4. 如权利要求 3 所述电流模式电路,  
其中,当所述控制信号中的两个具有相同的值时,它们的对应路径具有相同程度的导通。
5. 如权利要求 3 所述的电流模式电路,  
其中,所述开关电路包括与所述路径相对应的晶体管;并且  
对于所述路径中的每个,对应晶体管被连接为使得该对应晶体管的沟道形成该路径的一部分并且该对应晶体管被该路径的控制信号所控制。
6. 如权利要求 5 所述的电流模式电路,  
其中:所述晶体管是具有栅极端的 MOSFET;并且  
对于所述路径中的每个,对应晶体管的栅极端被连接来接收该路径的控制信号。
7. 如权利要求 1 所述的电流模式电路,包括:  
配置来接收输入电压信号的输入节点;以及  
连接在所述输入节点和所述第一节点之间的转换电路,该转换电路被配置为将输入电压信号转换成电流信号,该转换电路是无源电路,包括用于将所述输入电压信号转换成所述电流信号的电阻。
8. 如权利要求 7 所述的电流模式电路,  
其中,所述转换电路包括电阻器网络,该电阻器网络具有所述电阻并且被配置为使得所述输入节点随着频率变化具有恒定的输入阻抗。
9. 如权利要求 8 所述的电流模式电路,  
其中,所述第一节点具有电容性输入阻抗,并且所述电阻器网络包括针对所述第一节点处的电容性输入阻抗进行补偿的电感。
10. 如权利要求 8 所述的电流模式电路,

其中,所述电阻器网络被配置为使得所述第一节点处的电压波动对将所述输入电压信号转换成所述电流信号的转换的影响被按比例减小。

11. 如权利要求 10 所述的电流模式电路,

其中,所述电阻器网络包括配置为使得电压波动的影响被按比例减小的电势分配器电路。

12. 如权利要求 1 所述的电流模式电路,包括:

生成电路,被配置为对于通过所述第二节点的电荷包中的每个电荷包基于该电荷包的特性来生成样本值,每个样本值指示出与其电荷包相对应的电流信号的值;以及

校准电路,被配置为组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且基于所述一个或多个组合样本值来校准电路的操作,

其中,所述校准电路被配置为组合随着时间的流逝所述第二节点中的一个第二节点的样本值以为所述第二节点中的所述一个第二节点生成组合样本值,并且基于该组合样本值和一基准值之间进行的比较来校准电路的操作。

13. 如权利要求 1 所述的电流模式电路,包括:

生成电路,被配置为对于通过所述第二节点的电荷包中的每个电荷包基于该电荷包的特性来生成样本值,每个样本值指示出与其电荷包相对应的电流信号的值;以及

校准电路,被配置为组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且基于所述一个或多个组合样本值来校准电路的操作,

其中,所述校准电路被配置为组合随着时间的流逝所述第二节点中的第一候选的样本值以为所述第二节点中的第一候选生成第一组合样本值,并且组合随着时间的流逝所述第二节点中的第二候选的样本值以为所述第二节点中的第二候选生成第二组合样本值,

其中,所述校准电路被配置为基于所述第一组合样本值和所述第二组合样本值之间进行的比较来校准电路的操作。

14. 如权利要求 1 所述的电流模式电路,包括:

生成电路,被配置为对于通过所述第二节点的电荷包中的每个电荷包基于该电荷包的特性来生成样本值,每个样本值指示出与其电荷包相对应的电流信号的值;以及

校准电路,被配置为组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且基于所述一个或多个组合样本值来校准电路的操作,

其中,所述校准电路被配置为,对于所述第二节点中的每个,组合随着时间的流逝所述第二节点中的每个的样本值以为所述第二节点中的每个生成组合样本值,并且基于所述第二节点的组合样本值之间进行的比较来校准电路的操作。

15. 如权利要求 1 所述的电流模式电路,包括:

生成电路,被配置为对于通过所述第二节点的电荷包中的每个电荷包基于该电荷包的特性来生成样本值,每个样本值指示出与其电荷包相对应的电流信号的值;以及

校准电路,被配置为组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且基于所述一个或多个组合样本值来校准电路的操作,

其中,所述校准电路被配置为通过影响所述控制信号生成电路和所述开关电路中的至少一个的操作来校准电路的操作。

16. 如权利要求 15 所述的电流模式电路,

其中,校准电路被配置为通过对控制信号的相位和幅值中的至少一个进行控制来校准电路的操作。

17. 如权利要求 16 所述的电流模式电路,

其中,每个所述第二节点和所述第一节点之间的导通性连接由对应的控制信号控制,

所述校准电路被配置为组合随着时间的流逝所述第二节点中的第一候选的样本值以为所述第二节点中的第一候选生成第一组合样本值,并且组合随着时间的流逝所述第二节点中的第二候选的样本值以为所述第二节点中的第二候选生成第二组合样本值,

其中,所述校准电路被配置为控制所述第二节点中的所述第一候选和所述第二候选中的至少一个的控制信号的相位和幅度中的至少一个,使得所述第二节点的所述第一候选和所述第二候选的第一组合样本值和第二组合样本值之间的差异得到补偿。

18. 如权利要求 15 所述的电流模式电路,

其中,所述校准电路被配置为控制所述开关电路对所述控制信号的依赖性,以执行校准。

19. 如权利要求 18 所述的电流模式电路,其中:

所述开关电路包括所述路径中的每个的晶体管;

对于所述路径中的每个,晶体管被连接使得该晶体管的沟道形成对应路径的一部分并且使得该晶体管受该对应路径的第二节点的控制信号控制;

所述校准电路被配置为组合随着时间的流逝所述第二节点中的第一候选的样本值以为所述第二节点中的第一候选生成第一组合样本值,并且组合随着时间的流逝所述第二节点中的第二候选的样本值以为所述第二节点中的第二候选生成第二组合样本值;并且

所述校准电路被配置为控制沿所述第二节点的第一候选和第二候选之一或者两者的路径的晶体管的栅极电压和体电压,使得所述第二节点的第一候选和第二候选的第一组合样本值和第二组合样本值之间的差异得到补偿。

20. 如权利要求 1 所述的电流模式电路,

其中,该电路被配置为具有树形结构;

所述第一节点是树形结构的根节点;

所述第二节点是树形结构的第一层节点,所述第一层节点中的每一个能够直接地导通性地连接到所述根节点;

该电路对于所述第一层节点中的每一个还包括树形结构的多个后续层节点,所述后续层节点中的每一个能经由对应的第一层节点沿着相应的路径间接地导通性地连接到所述根节点;并且

所述导引电路被配置为控制所述根节点和所述后续层节点之间的连接,从而随着时间的流逝,沿着所述路径中的不同路径来导引构成所述电流信号的不同电荷包。

21. 如权利要求 20 所述的电流模式电路,其中:

所述导引电路被配置为使用正弦型控制信号来控制所述根节点和所述第一层节点之间的连接;

所述控制信号生成电路被配置为生成多个时间交织开关逻辑控制信号;并且

所述导引电路被配置为使用开关逻辑控制信号来控制所述第一层节点和所述后续层节点之间的连接。

22. 如权利要求 21 所述的电流模式电路,

其中,用于控制所述第一层节点和所述后续层节点之间的连接的控制信号的峰到峰电压比用于控制所述根节点和所述第一层节点之间的连接的控制信号的峰到峰电压大,或者用于控制所述第一层节点和所述后续层节点之间的连接的控制信号的导通时间比用于控制所述根节点和所述第一层节点之间的连接的控制信号的导通时间长。

23. 如权利要求 20 所述的电流模式电路,其中:

所述生成电路被配置为对于通过所述后续层节点的电荷包中的每个电荷包基于该电荷包的特性来生成样本值,每个样本值指示出与其电荷包相对应的电流信号的值。

24. 如权利要求 1 所述的电流模式电路,包括:

耦合到除所述第一节点外的节点的复位电路,该复位电路被配置为在除所述第一节点外的该节点的相继的电荷包之间的时段期间,使除所述第一节点外的该节点的电压电势等于第一值,

其中,所述复位电路被配置为使除所述第一节点外的该节点的电压电势在除所述第一节点外的该节点的相继的电荷包之间的时段期间返回到同一值。

25. 如权利要求 1 所述的电流模式电路,包括:

耦合到除所述第一节点外的节点的复位电路,该复位电路被配置为在除所述第一节点外的该节点的相继的电荷包之间的时段期间,使除所述第一节点外的该节点的电压电势等于第一值,

其中,该电路包括多个复位电路,所述复位电路中的每一个用于除所述第一节点外的节点中的不同的一个。

26. 如权利要求 1 所述的电流模式电路,

其中,该电路被配置为对所述电流信号中的互补的第一电流信号和第二电流信号进行采样;

该电路包括互补的第一电路和第二电路,第一电路被配置为对所述第一电流信号进行采样,第二电路被配置为对所述第二电流信号进行采样;

所述第一电路和所述第二电路中的每个包括所述第一节点、所述第二节点和所述导引电路;

该电路还包括复位电路,该复位电路耦合到所述第一电路的第二节点中的至少一个第二节点和所述第二电路的一互补节点,该互补节点与所述第二节点中的所述至少一个第二节点互补;并且

该复位电路被配置为在所述第二节点中的所述至少一个第二节点和所述互补节点这一对节点的相继的电荷包之间的时段期间,使该对节点之间的电压电势差等于第二值,

其中所述复位电路被耦合到该对节点两者。

27. 如权利要求 1 所述的电流模式电路,

其中,该电路被配置为对所述电流信号中的互补的第一电流信号和第二电流信号进行采样;

该电路包括互补的第一电路和第二电路,第一电路被配置为对所述第一电流信号进行采样,第二电路被配置为对所述第二电流信号进行采样;

所述第一电路和所述第二电路中的每个包括所述第一节点、所述第二节点和所述导引

电路；

该电路还包括复位电路，该复位电路耦合到所述第一电路的第二节点中的至少一个第二节点和所述第二电路的一互补节点，该互补节点与所述第二节点中的所述至少一个第二节点互补；并且

该复位电路被配置为在所述第二节点中的所述至少一个第二节点和所述互补节点这一对节点的相继的电荷包之间的时段期间，使该对节点之间的电压电势差等于第二值，

其中所述复位电路被配置为将该对节点中的至少一个节点连接到一基准电势，以使电势差等于第二值。

28. 如权利要求 1 所述的电流模式电路，

其中，该电路被配置为对所述电流信号中的互补的第一电流信号和第二电流信号进行采样；

该电路包括互补的第一电路和第二电路，第一电路被配置为对所述第一电流信号进行采样，第二电路被配置为对所述第二电流信号进行采样；

所述第一电路和所述第二电路中的每个包括所述第一节点、所述第二节点和所述导引电路；

该电路还包括复位电路，该复位电路耦合到所述第一电路的第二节点中的至少一个第二节点和所述第二电路的一互补节点，该互补节点与所述第二节点中的所述至少一个第二节点互补；并且

该复位电路被配置为在所述第二节点中的所述至少一个第二节点和所述互补节点这一对节点的相继的电荷包之间的时段期间，使该对节点之间的电压电势差等于第二值，

其中所述复位电路被配置为使该对节点处于彼此相同的电势。

29. 如权利要求 28 所述的电流模式电路，其中，所述复位电路被耦合在该对节点之间，并且被配置为将该对节点耦合到一起，来使该对节点处于彼此相同的电势。

30. 如权利要求 1 所述的电流模式电路，

其中，该电路被配置为对所述电流信号中的互补的第一电流信号和第二电流信号进行采样；

该电路包括互补的第一电路和第二电路，第一电路被配置为对所述第一电流信号进行采样，第二电路被配置为对所述第二电流信号进行采样；

所述第一电路和所述第二电路中的每个包括所述第一节点、所述第二节点和所述导引电路；

该电路还包括复位电路，该复位电路耦合到所述第一电路的第二节点中的至少一个第二节点和所述第二电路的一互补节点，该互补节点与所述第二节点中的所述至少一个第二节点互补；并且

该复位电路被配置为在所述第二节点中的所述至少一个第二节点和所述互补节点这一对节点的相继的电荷包之间的时段期间，使该对节点之间的电压电势差等于第二值，

其中所述复位电路被配置为使该对节点中的至少一个节点的电压电势在该对节点的相继的电荷包之间返回到同一值。

31. 如权利要求 1 所述的电流模式电路，

其中，该电路被配置为对所述电流信号中的互补的第一电流信号和第二电流信号进行

采样；

该电路包括互补的第一电路和第二电路，第一电路被配置为对所述第一电流信号进行采样，第二电路被配置为对所述第二电流信号进行采样；

所述第一电路和所述第二电路中的每个包括所述第一节点、所述第二节点和所述导引电路；

该电路还包括复位电路，该复位电路耦合到所述第一电路的第二节点中的至少一个第二节点和所述第二电路的一互补节点，该互补节点与所述第二节点中的所述至少一个第二节点互补；并且

该复位电路被配置为在所述第二节点中的所述至少一个第二节点和所述互补节点这一对节点的相继的电荷包之间的时段期间，使该对节点之间的电压电势差等于第二值，

其中，该电路包括多个复位电路，所述复位电路中的每一个用于不同的节点对。

32. 如权利要求 1 所述的电流模式电路，

其中，该电路被配置为对所述电流信号中的互补的第一电流信号和第二电流信号进行采样；

该电路包括互补的第一电路和第二电路，第一电路被配置为对所述第一电流信号进行采样，第二电路被配置为对所述第二电流信号进行采样；

所述第一电路和所述第二电路中的每个包括所述第一节点、所述第二节点和所述导引电路；

该电路还包括复位电路，该复位电路耦合到所述第一电路的第二节点中的至少一个第二节点和所述第二电路的一互补节点，该互补节点与所述第二节点中的所述至少一个第二节点互补；并且

该复位电路被配置为在所述第二节点中的所述至少一个第二节点和所述互补节点这一对节点的相继的电荷包之间的时段期间，使该对节点之间的电压电势差等于第二值，

其中所述第一电路和所述第二电路中的每个包括生成电路，该生成电路被配置为对于通过所述第一电路和所述第二电路中所关注的一个的第二节点的电荷包中的每个电荷包基于该电荷包的特性来生成样本值，每个样本值指示出与其电荷包相对应的电流信号的值。

33. 如权利要求 1 所述的电流模式电路，

其中，该电路被配置为对所述电流信号中的互补的第一电流信号和第二电流信号进行采样；

该电路包括互补的第一电路和第二电路，第一电路被配置为对所述第一电流信号进行采样，第二电路被配置为对所述第二电流信号进行采样；

所述第一电路和所述第二电路中的每个包括所述第一节点、所述第二节点和所述导引电路；

所述第一电路和所述第二电路中的每个具有树形结构；

对于所述第一电路和所述第二电路中的每个，所述第一节点是树形结构的根节点，并且所述第二节点是树形结构的第一层节点，所述第一层节点中的每一个能够直接地导通性地连接到所述根节点；

所述第一电路和所述第二电路中的每个对于所述第一层节点中的每一个还包括树形

结构的多个后续层节点,所述多个后续层节点中的每一个能经由对应的第一层节点沿着相应的路径间接地导通性地连接到所述第一电路和所述第二电路中对应的一个的根节点;

对于所述第一电路和所述第二电路中的每一个,所述导引电路被配置为控制所述根节点和所述后续层节点之间的连接,从而随着时间的流逝,沿着所述路径中的不同路径来导引构成所述电流信号的不同电荷包;

该电路还包括复位电路,该复位电路被耦合到所述第一电路的第一层节点和后续层节点中的至少一个和所述第二电路的一互补节点,该互补节点与所述第一层节点和后续层节点中的至少一个互补;并且

所述复位电路被配置为在所述第一层节点和后续层节点中的至少一个和所述互补节点这一对节点的相继的电荷包之间的时段期间,使该对节点之间的电势差等于第三值。

34. 如权利要求 33 所述的电流模式电路,

其中,所述复位电路被配置为将该对节点中的至少一个节点耦合到一基准电势,以使电势差等于第三值。

35. 如权利要求 33 所述的电流模式电路,

其中,所述复位电路被配置为使该对节点处于彼此相同的电势。

36. 如权利要求 35 所述的电流模式电路,

其中,所述复位电路被耦合在该对节点之间,并且被配置为将该对节点耦合在一起,以使该对节点处于彼此相同的电势。

37. 如权利要求 33 所述的电流模式电路,

其中,所述复位电路被配置为使该对节点中的至少一个节点的电压电势在该对节点中的该至少一个节点的相继的电荷包之间返回到同一值。

38. 如权利要求 33 所述的电流模式电路,包括多个复位电路,多个所述复位电路中的每一个用于不同的节点对。

39. 如权利要求 33 所述的电流模式电路,

其中,所述第一电路和所述第二电路中的每个包括生成电路,该生成电路被配置为对于通过所述第一电路和所述第二电路中所关注的一个的后续层节点的电荷包中的每个电荷包基于该电荷包的特性来生成样本值,每个样本值指示出与其电荷包相对应的电流信号的值。

40. 模拟数字转换电路,包括根据权利要求 1 的电流模式电路。

41. 集成电路,包括根据权利要求 1 的电流模式电路。

42. IC 芯片,包括根据权利要求 1 的电流模式电路。

43. 一种在电流模式电路中对电流信号进行采样的方法,该电路具有配置为接收所述电流信号第一节点和能够沿着相应的路径导通性地连接到所述第一节点的 X 个第二节点,该方法包括:

基于 X 个时间交织正弦型控制信号控制所述第一节点和所述第二节点之间的连接,从而随着时间的流逝,沿着所述路径中的不同路径来导引构成所述电流信号的不同电荷包,

其中, X 是大于或等于 3 的整数。



## 用于采样的电流模式电路和方法

[0001] 本申请是申请日为 2010 年 1 月 25 日,申请人为富士通半导体股份有限公司,题为“采样”的发明专利申请 No. 201010105439.2 的分案申请。

### 技术领域

[0002] 本发明涉及用于对输入信号进行采样的电路和方法,例如用于对输入模拟信号进行采样的电路和方法。尤其但非唯一地,本发明涉及模拟到数字电路和方法。

### 背景技术

[0003] 用于实现模拟到数字转换器(ADC)的体系结构一般属于三种类别中的一种,即低到中速(例如,积分和过采样 ADC)、中速(例如,算术 ADC)、以及高速(例如,时间交织(time-interleaved)ADC)。通常,随着 ADC 的速度提高,会发现其精度下降。

[0004] 时间交织 ADC 所基于的主要思想是通过并行操作许多子 ADC 来获得甚高速模拟到数字转换。已知的时间交织 ADC 的示例在 W. C. Black, Jr. 和 D. A. Hodges 所著的“Time-Interleaved Converter Arrays”, IEEE Journal of Solid-State Circuits, 第 15 卷, 第 1022 至 1029 页, 1980 年 12 月和 K. Poulton, J. J. Corcoran 和 T. Hornak 所著的“A 1-GHz 6-bit ADC System”, IEEE Journal of Solid-State Circuits, 第 22 卷, 第 962 至 970 页, 1987 年 12 月中公开。

[0005] 图 1 是大体上可被认为等同于以上引用的已知示例的时间交织 ADC 1 的示意图。ADC 1 包括第一采样和保持(S/H)电路 2、四个第二 S/H 电路 4、四个 N 位 ADC 6 和一数字复用器 8。

[0006] 第一 S/H 电路 2 受时钟  $\theta_0$  控制,第二 S/H 电路 4 受时钟  $\theta_1$  至  $\theta_4$  控制。时钟  $\theta_0$  是时钟  $\theta_1$  至  $\theta_4$  的 4 倍那么快,并且时钟  $\theta_1$  至  $\theta_4$  相对于彼此有延迟,延迟量为时钟  $\theta_0$  的周期。因此,ADC 6 依次接收以时钟  $\theta_0$  的速率采样的输入信号  $V_{IN}$  的样本,从而一个 ADC 6 接收的样本与另一个 ADC 6 接收的样本时间交织。此方法的益处在于,四个 ADC 6 可以按输入采样频率的速率的四分之一来操作。

[0007] ADC 6 的数字输出在数字复用器 8 中被复用在一起,并且被输出作为表示输入到第一 S/H 电路 2 中的原始模拟输入信号  $V_{IN}$  的数字信号。

[0008] 很明显,第一 S/H 电路 2 是关键的(因为其必须具有的操作频率),而在四个第二 S/H 电路 4 中有可能容忍相当大的抖动(相位噪声),因为此时已经取得样本了。结果,第一 S/H 电路 2 有时以离硅(off-silicon)的方式实现,以便获得更高的性能,例如使用 GaAs 技术来实现。

[0009] 在 Peter Schvan 等人所著的“A 24GS/s 6b ADC in 90nm CMOS”, ISSCC 2008, Session 30, Data-Converter Techniques, 30.3, 2008 IEEE International Solid-State Circuits Conference, 第 544, 545 和 634 页中公开了一种改进的时间交织 ADC。图 2 是大体上可被认为等同于该 ISSCC 论文中公开的 ADC 的时间交织 ADC 10 的示意图。

[0010] ADC 10 包括四个跟踪和保持(T/H)电路、四个 ADC 库(ADCbank)14、四个解复用器

16、以及一数字复用器 18。ADC 10 的整体体系结构与 ADC 1 的相当。这样，T/H 电路 12 以时间交织方式、按整体采样频率的四分之一操作。

[0011] ADC 库 14 被用于将接收到的样本转换成数字信号。ADC 库 14 可各自包括多个时间交织子 ADC 电路，以使得这些 ADC 电路能够以比 T/H 电路 12 更低的速率操作，从而把每个传入信号解复用为多个输出信号。解复用器 16 可进行进一步的解复用。解复用器 16 的数字输出最终在数字复用器 18 中被复用在一起，并且被输出作为表示被输入到 T/H 电路 12 中的原始模拟输入信号  $V_{IN}$  的数字信号。

[0012] 因此将会明了，现有的用于诸如图 2 的 ADC 10 之类的超高速 ADC 的体系结构是交织的 T/H 电路的阵列，用于取得初始样本，其后是解复用 / 采样和保持电路，这些电路驱动低速子 ADC 阵列。这种现有的 ADC 电路是电压模式电路。

[0013] 该体系结构的一个问题是它尤其难以（甚至不可能）获得不同的前端 T/H 通道之间的增益和偏离（采样时间）匹配、不同的解复用器 / 采样和保持通道之间的增益匹配、以及子 ADC 之间的增益 / 线性度 / 偏移量匹配。任何失配在频域中表现为尖刺和镜像，在时域中表现为固定式样噪声。即使能够提供某种修整采样延迟的手段，测量这些延迟误差仍然是困难的，因为这些误差太小了，以至于无法直接测量。

[0014] 另一个问题在于从前端 T/H 电路实现足够的速度和线性度，因为这些需要非常高的带宽和低失真。问题不仅在于静态线性度，还在于采样开关中的动态线性度，因为任何依赖于信号的开关延迟都会在高频输入信号上引入失真。

[0015] 另一个主要问题是，为了在采样门中获得高速度、低电容和更低功率，必须使用非常小的器件，这意味着随机失配非常大并且难以补偿。因此很难在高频下获得良好的输入匹配，并且存在相当大的依赖于信号的开关回扫，这会导致失真。

[0016] 为了帮助理解所涉及的设计困难，对于 20GHz 的输入信号，为了维持 6 位的 ENOB（有效位数），T/H 采样时间需要被交织到理想样本实例的 0.1ps 精度内。这是无法通过设计来实现的，因此需要校准。然而，无法例如通过测量时钟 - 延迟差异来以足够的精度直接测量时间，从而一般需要施加校准信号，以便能够通过最小化 FFT 尖刺来（以非常小的步长）调节定时。即使能够做到这一点，生成并分布多个高速采样时钟并且提供精细的延迟时间调整也是很困难的并且消耗大量功率。

[0017] 为了更好地理解，将更详细地考虑在诸如图 2 的 ADC 10 之类的现有的时间交织 ADC 中的以上问题。

[0018] 图 3 是可用于 ADC 10 的 T/H 电路 12 中的电路 20 的示意图。电路 20 包括电阻 21、晶体管 22、时钟缓冲器 24、信号缓冲器 26、以及电容器 28。通常，模拟输入电压  $V_{IN}$  通过在时钟信号 CLK 的控制下通过晶体管 22 而被采样，并且这个采样的电压被临时存储在电容器 28 中，然后经由缓冲器 26 被电路的其余部分使用。

[0019] 想要在高采样率下操作这种电路的愿望对其操作施加了相当大的压力。例如，为了在希望的 56GS/s 的采样率下操作，时钟脉冲的宽度需要大约为 17ps（如图 3 所示）。

[0020] 这种快速操作还使得小晶体管 22（例如，具有小于 1 平方微米的栅极面积）和小电容器 28（例如，具有大约几 fF 的电容 C）成为必要。在这样小的尺寸下，在 ADC 的不同采样电路 20 之间晶体管 22 中（例如，寄生电容和导通电阻  $R_{ON}$  中）和电容器 28 中的失配变得相当大。

[0021] 另外,电阻 21 一般被提供来给出希望的输入阻抗(例如,  $50\ \Omega$ ),并且为了维持良好的输入匹配,电容器 28 的阻抗在所关注频率下必须远高于电阻 21 的阻抗(例如是其 10 倍)。例如,在 20GHz 下,对于  $500\ \Omega$  的阻抗,电容器 28 可能需要具有 16fF 区域中的电容。在如此微小的尺寸下, T/H 电路的电容器 28 之间的失配可能是非常大的。

[0022] 另外,在这种高时钟速率下,回转率(slew rate)变得相当大。图 4 是一时钟信号在从其高电平  $V_{DD}$  (数字“1”)下降到其低电平  $V_{SS}$  (数字“0”)时的放大图。图 4 中还示出了在最大和最小信号值之间波动的示例性输入信号  $V_{IN}$ 。虽然图 4 中的信号没有按比例示出,但是应当明了,在信号  $V_{IN}$  的可能输入值的范围中(最大、中点和最小值由黑点指示),可能存在时钟信号 CLK 的下述值的相应范围(同样,相应的最大、中间和最小的这种值由黑点指示):晶体管 22 在这些值处将会开关。这是因为晶体管的开关点依赖于栅极-源极电压  $V_{GS}$ ,而  $V_{GS}$  依赖于  $V_{CLK\ VIN}$ 。时钟信号 CLK 值的这个范围导致了开关定时误差  $\Delta T$  的依赖于输入信号( $V_{IN}$ )的范围,如图 4 所示。

[0023] 图 5 是可用于进一步理解这种与回转率相关并且依赖于输入的定时误差的影响的示图。时钟信号 CLK 被示为理想正弦波,另外还有对其下降缘处的时钟偏离的示意性指示(下降缘被认为是关键的,从而为了简单,没有指示出上升缘上的偏离)。

[0024] 沿着图 5 的下半部分中示出的输入信号( $V_{IN}$ )波形,黑点表示与以上时钟波形中的时钟下降缘相对应的期望样本点。然而,通过与图 4 比较将会明了,假定电路被设计为当输入信号  $V_{IN}$  处于其范围的中点时正确地取得样本,则当  $V_{IN}$  处于其范围的正一半中时所取得的样本将会被提早取得,提早量为依赖于输入信号的量,而相反,当  $V_{IN}$  处于其范围的负一半中时所取得的样本将会被推迟取得,推迟量同样是依赖于输入信号的量。时钟偏离、相位噪声(抖动)、幅度噪声以及晶体管和电容器的失配使这些问题更复杂,从而导致了最终的 ADC 输出中的高失真,即低 ENOB。

[0025] 这种失配以及这种时钟回转、偏离和抖动的影响可以被总结为:导致延迟失配(主要由时钟生成和采样电路导致)、增益失配(主要由采样和解复用电路导致)、以及滚降(roll-off)或带宽失配(同样,主要由采样和解复用电路导致)。

[0026] 图 6 是指示出增益失配 G 和滚降失配 R 的影响的频率响应图。这种失配可能意味着 ADC 的整体频率响应不可预测。

[0027] 图 2 的 ADC 体系结构的另一个问题涉及校准的问题。在理论上是不可能向 ADC 施加已知的测试信号并考查 ADC 的输出以帮助校准的。例如可通过执行 FFT 并随后考查所得到的频率响应来考查输出信号。例如,注意到希望的 56GS/s ADC,图 7 在其上半部分中示出了在给定 56GHz 的整体 ADC 采样频率、因此给定 28GHz 的整体 ADC 奈奎斯特频率的情况下的示例性理想输出 FFT 踪迹。对于此示例,假定四路采样器交织,其中每个采样器在 14GHz 的采样频率(即,56GHz 的四分之一)下操作。

[0028] 假定在没有任何其他信号的情况下将 1GHz 的测试信号施加到 ADC 的输入。图 7 的上半部图中可以看到 1GHz 下的踪迹,及其关于 14、28、42 和 56GHz 频率的镜像,这是预期到的。

[0029] 从而,在理论上,可通过施加测试信号并且执行校准以实现希望的频率响应来执行校准。然而,FFT 处理就处理时间、功率消耗和复杂度而言是代价高昂的。另外,在操作期间,采样电路不接收具有如图 7 的上半部图中那样的简单频率响应的信号。取而代之,操

作期间的输入信号将具有如图 7 的下半部图中所示的频谱。在操作期间执行校准因而可能会极为复杂,从而迫使在 ADC 离线期间执行校准。不希望为执行校准需要使 ADC(例如正用于以太网连接中)离线。

[0030] L. Richard Carley 和 Tamal Muckherjee 所著的论文“High-Speed Low-Power Integrating CMOS Sample-and-Hold Amplifier Architecture”, IEEE 1995 Custom Integrated Circuits Conference, 第 543 至 546 页公开了一种用于采样和保持(S&H)放大器的“电流模式”采样体系结构,其使得由于采样时钟抖动和孔径时间导致的误差减小。这些减小的误差使得与具有相同采样率的传统“电压模式”S&H 相比,功率可以降低。该采样器使用开关逻辑电平时钟来驱动电路,以试图得到“方形的”理想采样脉冲。它还使用跨导级来执行 V-I 转换,这导致电路遭遇噪声和失真。跨导门的输入阻抗是电容性的,这意味着电路的输入匹配性能较差。

[0031] 希望解决上述问题中的一个或多个。希望提供能够实现失真性能改善、功率消耗降低、电路尺寸减小和采样率提高中的一个或多个的采样和模拟到数字转换电路、方法和

## 发明内容

[0032] 根据本发明第一方面的一实施例,提供了用于对电流信号进行采样的电流模式电路,该电路包括:第一节点,被配置为被施加以电流信号; $X$  个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;以及导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包,其中: $X$  是大于或等于 3 的整数;并且导引装置包括:控制信号生成装置,被配置为生成  $X$  个时间交织正弦型控制信号;以及开关装置,沿着所述路径分布并被配置为依据  $X$  个正弦型控制信号来执行这种控制。

[0033] 本发明的实施例基于电流亦即在电流量中执行采样。即,在本发明的实施例中,信号中存储的任何信息内容都是由这些信号的电流电平来表示的。在这种电路的操作中,电流是独立变量,而电压是依赖于电流的;电流是原因,而电压是效果。这种实施例可被结合到电压模式电路中或者与电压模式电路结合使用。

[0034] 当  $X$  个(其中  $X \geq 3$ ) 路径被利用相应的  $X$  个时间交织控制信号来加以控制时,可能会认为使用开关逻辑电平时钟信号来作为这些控制信号是适当的(注意到先前考虑的电路)。这种时钟信号例如可被认为是硬开关式时钟信号或者方波型时钟信号。在此情况下,可能必须使用各自具有  $100/X\%$  占空因数的时钟信号来实现所要求的  $100/X\%$  占空因数的脉冲,以控制  $X$  个路径。例如,当  $X=4$  时,可能必须使用各自具有  $25\%$  占空因数的时钟信号来实现所要求的  $25\%$  占空因数的脉冲,以控制这四个路径。对这种控制信号的使用可能意味着,在高频下(例如,在  $10\text{GHz}$  以上时)是很难甚至不可能使用电路的。

[0035] 与之不同,在本发明的本方面的实施例中, $X$  个时间交织控制信号是正弦型控制信号。结果,可以提供  $100/X\%$  占空因数的脉冲来控制  $X$  个路径,但是每个控制信号本身具有通常有  $50\%$  占空因数的形状(正弦型信号天生就是如此)。例如,当  $X=4$  时,可以使用各自具有  $50\%$  占空因数的 4 个时间交织正弦型控制信号来形成  $25\%$  占空因数的脉冲,以控制这四个路径。通过使用正弦型控制信号,控制信号生成的压力放松了,这在考虑高频操作时尤为

有利。在特定的操作频率(例如采样率,采样率可能是生成这种电荷包的速率)下,方波型开关逻辑电平时钟信号与本方面的正弦型控制信号相比要求高得多的频率成分。换句话说,在控制信号的特定基频下,正弦型信号(例如,升余弦信号)具有较低的回转率,并且是仅有的只具有基频处的内容的信号。

[0036] 以下是与本方面相关的可选特征,然而这些特征可与这里公开的其他电路方面的特征结合提供。

[0037] 控制信号可大体上是升余弦信号。例如,信号的形状可能只需要在信号的上部接近于理想升余弦信号的形状。控制信号可以被相对于彼此基本上均等地时间交织。

[0038] 在一种有利的实施例中,X可等于4。这样例如可使得能够很容易地与四相VCO(控制信号的一种便利的生成器)相兼容。

[0039] 导引装置可被配置为使得X个路径中的每一个被所述X个控制信号中不同的一个所控制。例如,导引装置可被配置为使得X个路径中的每一个在其控制信号处于其最大值或在其最大值附近时基本上是导通的,而在其控制信号处于其最小值或在其最小值附近时基本上是不导通的。导引装置可被配置为使得当所述控制信号中的两个具有相同的值时,其相应的路径具有基本上相同水平的导通。

[0040] 开关装置可包括每个路径的晶体管,并且对于每个路径,有关晶体管的连接方式可使得其沟道形成该路径的一部分并且其被该路径的控制信号所控制。这可以提供一种便利的控制路径的导通性的方式。晶体管可以是具有栅极端的MOSFET,并且对于每个路径,有关晶体管的栅极端可被连接来接收该路径的控制信号。

[0041] 电路还可包括能够操作来接收输入电压信号的输入节点,以及连接在输入节点和第一节点之间的转换装置,用于将输入电压信号转换成电流信号,该转换装置被配置为包括用于执行转换的电阻的无源电路。这可有利地使得电路能够被提供以电压信号(这是一种更便利的输入信号),尽管电路是在电流模式中操作的。

[0042] 当为了将所提供的输入电压信号转换成所要求的电流信号而执行V-I转换时,可能认为使用跨导级(即,有源的V-I转换电路)是适当的(注意到先前考虑的电路)。跨导级可用于提供真实的V-I转换,例如即使在要被施加以电流信号的节点处存在电压起伏的情况下也是如此。然而,这种跨导级的输入阻抗往往是电容性的(跨导门),因此在其操作中具有带宽限度。因此,对这种跨导的使用在高频下(例如,在10GHz以上时)可能是很有问题的。在高频下,这种跨导级可能成为一个重大的噪声和失真成因,并且它还可能变得非常难以实现令人满意的输入匹配。

[0043] 在本发明的本方面的实施例中,作为无源转换装置的一部分,在输入节点和第一节点之间设置了电阻,以将输入电压信号转换成电流信号。这与上述的认为使用有源跨导级适当的先前想法形成对照。这种无源转换装置可被配置为具有电阻性输入阻抗,并且因此本方面的无源V-I转换级可被用在非常高的频率下,而不会造成重大的噪声或失真,因为能够实现恒定的输入阻抗。在本方面的实际实施例中,已经发现,第一节点处的电压起伏足够地小,使得仍然允许实现充分高程度的线性。

[0044] 转换装置可包括电阻器网络,该电阻器网络具有所述电阻并且被配置为使得输入节点随着频率变化具有基本恒定的输入阻抗。第一节点可具有电容性输入阻抗(例如由该节点上的寄生电容引起),并且该网络可包括被配置为针对第一节点处的电容性输入阻抗

进行补偿的电感。

[0045] 该网络可被配置为使得所述第一节点处的电压波动对将输入电压信号转换成电流信号的转换的影响被按比例减小。例如,该网络可具有执行这种按比例减小的电势分配器配置。

[0046] 电路可包括生成装置,用于基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值。这种特性例如可以是包的峰值或者包的面积(即,构成包的电荷的量)。这种样本值例如可以是数字样本值,这些数字样本值可被输出到数字信号处理器(DSP)或其他计算设备。

[0047] 电路可包括校准装置,该校准装置能够操作来组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且依据所述(一个或多个)组合样本值来校准电路的操作。

[0048] 随着时间的流逝,从统计上而言,可以预期,通过所述第二节点中的一个的样本值的组合(例如,平均值)可能与通过所述第二节点中的另一个的样本值的这种组合相同。这假定了电流信号携带着信息信号,例如其值随着时间的流逝而(伪随机地)变化的典型数据信号。这还假定了电路正确地操作。

[0049] 因此,假定电流信号确实携带着这种信息信号,则如上所述的样本值的组合之间或者组合与基准值之间的任何差异都可能表征着电路操作的误差,并且这种差异可被有利地用来控制电路的操作,以减小或消除这种误差(即,校准电路的操作)。

[0050] 因为这种校准利用了“实际”样本值,即在电路处于使用中时根据所施加的信息信号生成的样本值,因此可以在电路处于实际使用中时执行校准,即无需为了执行校准而使其“下线”或“离线”。

[0051] 校准装置可能能够操作来组合随着时间的流逝一所述第二节点的样本值以为该节点创建组合样本值,并且依据在该组合样本值和一基准值之间进行的比较来校准电路的操作。这种组合例如可以是求和或取平均组合。

[0052] 校准装置可能能够操作来组合随着时间的流逝一个所述第二节点的样本值以为该节点创建组合样本值,并且组合随着时间的流逝另一所述第二节点的样本值以为该另一节点创建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。校准装置可能能够操作来对于每个所述第二节点,组合随着时间的流逝该第二节点的样本值以创建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。这种比较例如可包括寻找这些组合样本值之间的差异,并且对于所述第二节点的不同组合查看这些差异之间的关系。

[0053] 校准装置可能能够操作来影响控制信号生成装置和/或开关装置的操作,以执行这种校准。

[0054] 例如,校准装置可能能够操作来对控制信号的相位和/或幅值进行控制,以执行所述校准。在一个实施例中,导引装置被配置为使得每个所述第二节点到第一节点的导通性连接受它的所述控制信号的控制;校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且校准装置能够操作来控制这些候选节点之一或两者的控制信号的相位和/或幅值,以针对这些候选节点的组合样本值

之间的任何差异进行补偿。

[0055] 作为另一示例,校准装置可能能够操作来控制所述开关装置对所述控制信号的依赖性,以执行所述校准。在一个实施例中,开关装置包括每个路径的晶体管;对于每个路径,有关晶体管的连接方式使得其沟道形成该路径的一部分并且使得其受该路径的第二节点的控制信号的控制;校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且校准装置能够操作来控制这些候选节点之一或两者的路径上的晶体管的栅极和/或体电压,以针对这些候选节点的组合样本值之间的任何差异进行补偿。

[0056] 该电路可包括校准装置,该校准装置能够操作来分析样本值或样本值中的一些并且依据这种分析来校准电路的操作。

[0057] 在先前考虑的电路中,供开关装置使用的控制信号往往是具有快速时钟边缘的时钟信号,例如开关逻辑电平时钟信号,比如方波。这样,开关装置的开关操作对于开关装置的不同开关之间的失配和用于控制开关装置的不同控制信号之间的失配的影响不敏感或者免疫。

[0058] 与之不同,本发明的本方面的实施例使用了正弦型控制信号。正弦型信号的幅值随着时间的流逝从其最大值非常缓慢地变到其最小值。即,对于具有特定的基频的控制信号,正弦型信号具有较低的回转率并且是仅有的只具有基频处的内容的信号。这样,可以使开关装置的开关操作对开关装置的不同开关之间的失配和用于控制开关装置的不同控制信号之间的失配的敏感性达到最高限度。换句话说,通过使用正弦型信号,可以使从失配的变化到输出样本值的变化增益达到最高限度。这种敏感性可以有利地用于校准电路的操作,以针对失配进行补偿。即,可以分析样本值并基于该分析来校准操作。

[0059] 该电路可被配置为具有树形结构,其中:第一节点是树形结构的根节点;第二节点是树形结构的第一层节点,其中每一个能够直接地导通性地连接到根节点;该电路对于每个第一层节点还包括树形结构的多个后续层节点,其中每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点;并且导引装置能够操作来控制根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包。

[0060] 通过按树形结构(具有根节点、第一层节点和对于每个第一层节点的后续层节点,其中构成开关装置的开关沿着路径分布在节点之间)布置节点,可以允许所执行的开关的规格从一层到后续层相继变得更放松。例如,假定从根节点到第一层节点的路径被按次序或顺序循环经过(为了传送包),并且假定有 $X$ 个第一层节点,于是包通过第一层节点的速率是包通过根节点的速率的 $1/X$ 。另外,将此示例扩展到下一层节点(后续层节点的一部分或全部),然后假定对于每个第一层节点存在 $N$ 个第二层节点,那么包通过第二层节点的速率是包通过其第一层节点的速率的 $1/N$ ,并且是包通过根节点的速率的 $1/(X \cdot N)$ 。

[0061] 在一个实施例中,导引装置能够操作来使用所述正弦型控制信号来控制根节点和第一层节点之间的连接;控制信号生成装置能够操作来生成多个时间交织开关逻辑控制信号;并且导引装置能够操作来使用开关逻辑控制信号来控制第一层节点和后续层节点之间的连接。与用于控制根节点和第一层节点之间的连接的控制信号相比,用于控制第一层

节点和后续层节点之间的连接的控制信号具有更大的峰到峰电压和 / 或更长的导通时间。

[0062] 生成装置可能能够操作来基于通过所述后续层节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值。

[0063] 该电路可包括连接到除第一节点外的所述节点的复位装置,该复位装置能够操作来在该节点的包之间的时段期间尝试使该节点的电压电势等于预定的值。

[0064] 通过在一节点的包之间的时段期间使该节点处的电压电势等于预定的值,可以减小否则可能由于该节点处的寄生电容上存储的不同量的残余电荷(例如,来自先前的电荷包)而导致的误差。在一个实施例中,复位装置可能能够操作来使得该节点的电压电势在该节点的相继的包之间返回到相同值。

[0065] 该电路可包括多个所述复位装置,其中每一个用于一个不同的这种除第一节点之外的节点。对于每个除第一节点之外的这种节点,可以有一所述的复位装置。使每个这种节点的电压电势返回到的值对于每个节点可以是不同的,或者对于每个节点是基本相同的。

[0066] 该电路可被配置用于对互补的第一和第二所述电流信号进行采样。在一个实施例中,该电路包括互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样。每个这种部分可包括这样的第一节点、第二节点和导引装置,并且该电路还可包括复位装置,该复位装置连接到第一部分的所述第二节点中的至少一个和第二部分的互补节点,并且在对该对互补节点的包之间的时段期间,能够操作来尝试使这两个节点之间的电压电势差等于预定的值。

[0067] 通过使互补节点对之间的电压电势差等于预定值,在这些节点的包之间的时段期间,可以减小否则可能由于这些节点的寄生电容上存储的不同量的残余电荷(例如,来自先前的电荷包)而导致的误差。

[0068] 复位装置可连接到该对互补节点的两个节点。复位装置可能能够操作来将该对互补节点中的节点或两个节点(例如,经由一电容器)连接到一基准电势(例如,地电源(ground supply)),以尝试使电势差等于预定值。复位装置可能能够操作来使该对互补节点中的节点处于彼此相同的电势。复位装置可连接在该对互补节点之间,并且可能能够操作来将这些节点连接在一起,以使这些节点处于彼此相同的电势。复位装置可能能够操作来使得该对互补节点中的节点或两个(每个)节点的电压电势在相继的包之间返回到相同的值。可设置多个这种复位装置,其中每一个用于一个不同的这种互补节点对。

[0069] 每个部分可包括生成装置,用于基于通过该部分的第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。

[0070] 该电路可被配置用于对互补的第一和第二所述电流信号进行采样例如,该电路可包括互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样。在一个实施例中,每个所述部分包括这样的第一节点、第二节点和导引装置,每个所述部分被配置成树形结构,并且对于每个所述部分,第一节点是树形结构的根节点,第二节点是树形结构的第一层节点,其中每一个能够直接地导通性地连接到该部分的根节点,并且该部分对于每个第一层节点还包括其树形结构的多个后续层节点,其中每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点。在这样的实施例中,导引装置可能能够操作来控制根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包。在这



样的实施例中,该电路还可包括复位装置,该复位装置连接到第一部分的所述第一节点或后续层节点中的至少一个和第二部分的互补节点,并且在该对互补节点的包之间的时段期间,能够操作来尝试使这两个节点之间的电势差等于预定的值。

[0071] 复位装置可连接到该对互补节点中的两个节点。复位装置可能能够操作来将该对互补节点中的节点或两个节点(例如经由电容器)连接到一基准电势(例如,地电源),以尝试使电势差等于预定值。复位装置可能能够操作来使该对互补节点中的节点处于彼此相同的电势。复位装置可连接在该对互补节点之间,并且可能能够操作来将这些节点连接在一起,以使这些节点处于彼此相同的电势。复位装置可能能够操作来使得该对互补节点中的节点或两个(每个)节点的电压电势在相继的包之间返回到相同的值。可以设置多个这样的复位装置,其中每一个用于一个不同的这种互补节点对。

[0072] 该电路可包括生成装置,用于基于通过该部分的后续层节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。

[0073] 根据本发明的第二方面的实施例,提供了用于对电流信号进行采样的电流模式电路,该电路包括:第一节点,被配置为被施加以电流信号;多个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;生成装置,用于基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值;以及校准装置,能够操作来组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且依据所述(一个或多个)组合样本值来校准电路的操作。

[0074] 这种组合例如可以通过求和或取平均来进行。

[0075] 随着时间的流逝,从统计上而言,可以预期,通过第二节点中的一个的样本值的组合(例如,平均值)可能与通过第二节点中的另一个的样本值的这种组合相同。这假定了电流信号携带着信息信号,例如其值随着时间的流逝而(伪随机地)变化的典型数据信号。这还假定了电路正确地操作。

[0076] 因此,假定电流信号确实携带着这种信息信号,则如上所述的样本值的组合之间或者组合与基准值之间的任何差异都可能表征着电路操作的误差,并且这种差异可被有利地用来控制电路的操作,以减小或消除这种误差(即,校准电路的操作)。

[0077] 因为这种校准利用了“实际”样本值,即在电路处于使用中时根据所施加的信息信号生成的样本值,因此可以在电路处于实际使用中时执行校准,即无需为了执行校准而使其“下线”。

[0078] 以下是与本方面相关的可选特征,然而这些特征可与这里公开的其他电路方面的特征结合提供。

[0079] 校准装置可能能够操作来组合随着时间的流逝一所述第二节点的样本值以为该节点创建组合样本值,并且依据在该组合样本值和一基准值之间进行的比较来校准电路的操作。校准装置可能能够操作来组合随着时间的流逝一个所述第二节点的样本值以为该节点创建组合样本值,并且组合随着时间的流逝另一所述第二节点的样本值以为该另一节点创建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。校准装置可能能够操作来对于每个所述第二节点,组合随着时间的流逝该第二节点的样本值以创

建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。这种比较例如可包括寻找这些组合样本值之间的差异,并且对于所述第二节点的不同组合查看这些差异之间的关系。

[0080] 导引装置可包括:控制信号生成装置,该控制信号生成装置被配置为生成一组时间交织控制信号,其中对于每个所述第二节点有一个该控制信号;以及开关装置,该开关装置沿着所述路径分布并被配置为依据控制信号来执行对连接的这种控制。在此情况下,校准装置可能能够操作来影响控制信号生成装置和/或开关装置的操作,以执行这种校准。

[0081] 校准装置可能能够操作来对控制信号的相位和/或幅值进行控制,以执行所述校准。在一个实施例中,可能是:导引装置被配置为使得每个所述第二节点到第一节点的导通性连接受它的所述控制信号的控制;校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且校准装置能够操作来控制这些候选节点之一或两者的控制信号的相位和/或幅值,以针对这些候选节点的组合样本值之间的任何差异进行补偿。

[0082] 校准装置可能能够操作来控制所述开关装置对所述控制信号的依赖性,以执行所述校准。在一个实施例中,可能是:开关装置包括每个路径的晶体管;对于每个路径,有关晶体管的连接方式使得其沟道形成该路径的一部分并且使得其受该路径的第二节点的控制信号的控制;校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且校准装置能够操作来控制这些候选节点之一或两者的路径上的晶体管的栅极和/或体电压,以针对这些候选节点的组合样本值之间的任何差异进行补偿。

[0083] 根据本发明的第三方面的实施例,提供了用于对电流信号进行采样的电流模式电路,该电路包括:第一节点,被配置为被施加以电流信号;多个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;以及生成装置,用于基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值,其中:导引装置包括:被配置为生成基本上为正弦型的控制信号的控制信号生成装置,以及沿着所述路径分布并被配置为依据正弦型控制信号来执行这种控制的开关装置;并且该电路还包括校准装置,该校准装置能够操作来分析样本值或样本值中的一些并且依据这种分析来校准电路的操作。

[0084] 在先前考虑的电路中,供开关装置使用的控制信号往往是具有快速时钟边缘的时钟信号,例如开关逻辑电平时钟信号,比如方波。这样,开关装置的开关操作对于开关装置的不同开关之间的失配和用于控制开关装置的不同控制信号之间的失配的影响不敏感或者免疫。

[0085] 与之不同,本发明的本方面的实施例使用了正弦型控制信号。正弦型信号的幅值随着时间的流逝从其最大值非常缓慢地变到其最小值。即,对于具有特定的基频的控制信号,正弦型信号具有较低的回转率并且是仅有的只具有基频处的内容的信号。这样,可以使开关装置的开关操作对开关装置的不同开关之间的失配和用于控制开关装置的不同控制

信号之间的失配的敏感性达到最高限度。换句话说,通过使用正弦型信号,可以使从失配的变化到输出样本值的变化增益达到最高限度。这种敏感性可以有利地用于校准电路的操作,以针对失配进行补偿。即,可以分析样本值并基于该分析来校准操作。

[0086] 以下是与本方面相关的可选特征,然而这些特征可与这里公开的其他电路方面的特征结合提供。

[0087] 校准装置可能能够操作来影响控制信号生成装置和 / 或开关装置的操作,以执行这种校准,如上所述。

[0088] 根据本发明的第四方面的实施例,提供了用于对电流信号进行采样的电流模式电路,该电路包括:一根节点,被配置为被施加以电流信号;多个第一层节点,其中每一个能够直接地导通性地连接到根节点;对于每个第一层节点的多个后续层节点,其中每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点;以及导引装置,用于控制根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包。

[0089] 通过按树形结构(具有根节点、第一层节点和对于每个第一层节点的后续层节点,其中构成开关装置的开关沿着路径分布在节点之间)布置节点,可以允许所执行的开关的规格从一层到后续层相继变得更放松。例如,假定从根节点到第一层节点的路径被按次序或顺序循环经过(为了传送包),并且假定有 X 个第一层节点,于是包通过第一层节点的速率是包通过根节点的速率的  $1/X$ 。另外,将此示例扩展到下一层节点(后续层节点的一部分或全部),然后假定对于每个第一层节点存在 N 个第二层节点,那么包通过第二层节点的速率是包通过其第一层节点的速率的  $1/N$ ,并且是包通过根节点的速率的  $1/(X \cdot N)$ 。

[0090] 以下是与本方面相关的可选特征,然而这些特征可与这里公开的其他电路方面的特征结合提供。

[0091] 导引装置可能能够操作来使用所述正弦型控制信号来控制根节点和第一层节点之间的连接,并且使用开关逻辑控制信号来控制第一层节点和后续层节点之间的连接。与用于控制根节点和第一层节点之间的连接的控制信号相比,用于控制第一层节点和后续层节点之间的连接的控制信号具有更大的峰到峰电压和 / 或更长的导通时间。

[0092] 这种电路还可包括生成装置,该生成装置能够操作来基于通过所述后续层节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值。

[0093] 根据本发明的第五方面的实施例,提供了用于对电流信号进行采样的电流模式电路,该电路包括:第一节点,被配置为被施加以电流信号;多个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;以及连接到所述第二节点的复位装置,该复位装置能够操作来在该节点的包之间的时段期间尝试使该节点的电压电势等于预定的值。

[0094] 通过在这些节点的包之间的时段期间使节点处的电压电势等于预定的值,可以减小否则可能由于该节点处的寄生电容上存储的不同量的残余电荷(例如,来自先前的电荷包)而导致的误差。

[0095] 以下是与本方面相关的可选特征,然而这些特征可与这里公开的其他电路方面的

特征结合提供。

[0096] 复位装置可能能够操作来使得该第二节点的电压电势在该节点的相继的包之间返回到相同值。该电路可包括多个这种复位装置,其中每一个用于一个不同的这种第二节点。可以为每个第二节点提供一个这样的复位装置。

[0097] 根据本发明的第六方面的实施例,提供了用于对互补的第一和第二电流信号进行采样的电流模式电路,该电路包括:互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样,其中每个所述部分包括:一第一节点,被配置为被施加以用于该部分的电流信号;多个第二节点,能够沿着相应的路径导通性地连接到该部分的第一节点;以及导引装置,用于控制该部分的第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的电流信号的不同电荷包;以及复位装置,其连接到第一部分的所述第二节点中的至少一个和第二部分的互补节点,并且在对该对互补节点的包之间的时段期间,能够操作来尝试使这两个节点之间的电压电势差等于预定的值。

[0098] 通过使互补节点对之间的电压电势差等于预定值,在这些节点的包之间的时段期间,可以减小否则可能由于这些节点的寄生电容上存储的不同量的残余电荷(例如,来自先前的电荷包)而导致的误差。

[0099] 以下是与本方面相关的可选特征,然而这些特征可与这里公开的其他电路方面的特征结合提供。

[0100] 复位装置可连接到该对互补节点中的两个节点。复位装置可能能够操作来将该对互补节点中的节点或两个节点连接到一基准电势,以尝试使电势差等于预定值。复位装置可能能够操作来使该对互补节点中的节点处于彼此相同的电势。复位装置可连接在该对互补节点之间,并且可能能够操作来将这些节点连接在一起,以使这些节点处于彼此相同的电势。复位装置可能能够操作来使得该对互补节点中的节点或两个节点的电压电势在相继的包之间返回到相同的值。可以设置多个这样的复位装置,其中每一个用于一个不同的这种互补节点对。对于每对互补节点,可以设置一个这样的复位装置。

[0101] 在这种电路中,每个所述部分可包括生成装置,用于基于通过该部分的第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。

[0102] 根据本发明的第七方面的实施例,提供了用于对互补的第一和第二电流信号进行采样的电流模式电路,该电路包括:互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样,其中每个所述部分包括:一根节点,被配置为被施加以用于该部分的电流信号;多个第一层节点,其中每一个能够直接地导通性地连接到该部分的根节点;对于该部分的每个第一层节点的多个后续层节点,其中每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到该部分的根节点;以及导引装置,用于控制该部分的根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的所述电流信号的不同电荷包;以及复位装置,该复位装置连接到第一部分的所述第一节点或后续层节点中的至少一个和第二部分的互补节点,并且在对该对互补节点的包之间的时段期间,能够操作来尝试使这两个节点之间的电压电势差等于预定的值。

[0103] 通过使互补节点对之间的电压电势差等于预定值,在这些节点的包之间的时段期间,可以减小否则可能由于这些节点的寄生电容上存储的不同量的残余电荷(例如,来自先前的电荷包)而导致的误差。

[0104] 以下是与本方面相关的可选特征,然而这些特征可与这里公开的其他电路方面的特征结合提供。

[0105] 复位装置可连接到该对互补节点中的两个节点。复位装置可能能够操作来将该对互补节点中的节点或两个节点连接到一基准电势,以尝试使电势差等于预定值。复位装置可能能够操作来使该对互补节点中的节点处于彼此相同的电势。复位装置可连接在所述一对互补节点之间,并且可能能够操作来将这些节点连接在一起,以使这些节点处于彼此相同的电势。复位装置可能能够操作来使得该对互补节点中的节点或两个节点的电压电势在相继的包之间返回到相同的值。可以设置多个这样的复位装置,其中每一个用于一个不同的这种互补节点对。对于每对互补节点可设置一个这样的复位装置。

[0106] 在该电路中,每个所述部分可包括:生成装置,用于基于通过该部分的后续层节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。

[0107] 根据本发明的第八方面的实施例,提供了模拟到数字转换电路,其包括根据本发明的任何前述方面的电路。根据本发明的第九方面的实施例,提供了集成电路,其包括根据本发明的任何前述方面的电路。根据本发明的第十方面的实施例,提供了一种 IC 芯片,其包括根据本发明的任何前述方面的电路。

[0108] 根据本发明的第十一方面的实施例,提供了一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的X个第二节点,该方法包括:依据X个时间交织正弦型控制信号来控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包,其中:X是大于或等于3的整数。

[0109] 根据本发明的第十二方面的实施例,提供了一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的多个第二节点,该方法包括:控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值;组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值;以及依据所述(一个或多个)组合样本值来校准电路的操作。

[0110] 根据本发明的第十三方面的实施例,提供了一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的多个第二节点,该方法包括:生成基本上为正弦型的控制信号;依据正弦型控制信号来控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值;分析样本值或样本值中的一些;以及依据这种分析来校准电路的操作。

[0111] 根据本发明的第十四方面的实施例,提供了一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的根节点、其中每一个能够直接地导通性地连接到根节点的多个第一层节点,以及对于每个第一层节点的多个后续层节点,这多个后续层节点中的每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点,该方法包括:控制根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包。

[0112] 根据本发明的第十五方面的实施例,提供了一种在电流模式电路中对互补的第一和第二电流信号进行采样的方法,该电路具有互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样,其中每个所述部分包括被配置为被施加以用于该部分的电流信号的一第一节点和能够沿着相应的路径导通性地连接到该部分的第一节点的多个第二节点,该方法包括:对于每个所述部分,控制该部分的第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的电流信号的不同电荷包;以及对于第一部分的一所述第二节点和第二部分的互补节点中的至少一个,在该对互补节点的包之间的时段期间,尝试使这两个节点之间的电压电势差等于预定的值。

[0113] 根据本发明的第十六方面的实施例,提供了一种在电流模式电路中对互补的第一和第二电流信号进行采样的方法,该电路具有互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样,其中每个所述部分包括被配置为被施加以用于该部分的电流信号的一根节点、其中每一个能够直接地导通性地连接到该部分的根节点的多个第一层节点、以及对于该部分的每个第一层节点的多个后续层节点,这多个后续层节点中的每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到该部分的根节点,该方法包括:对于每个所述部分,控制该部分的根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的所述电流信号的不同电荷包;以及对于第一部分的一所述第一节点或后续层节点和第二部分的互补节点中的至少一个,在该对互补节点的包之间的时段期间,尝试使这两个节点之间的电压电势差等于预定的值。

[0114] 根据本发明的第十七方面的实施例,提供了一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的多个第二节点,该方法包括:控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;以及对于一所述第二节点,在该节点的包之间的时段期间尝试使该节点的电压电势等于预定的值。

[0115] 装置(电路)方面的特征同样适用于方法方面,反之亦然。一个电路方面的特征(例如那些被指定为可选特征的特征)可以结合其他电路方面的特征来提供。

[0116] 本发明延及如上所述的 IC 芯片、包括这种 IC 芯片的电路板、以及包括这种电路板的通信网络(例如,互联网光纤网络和无线网络)和这种网络的网络设备。

## 附图说明

[0117] 现在将以示例方式参考附图,附图中:

- [0118] 图 1 是已知的时间交织 ADC 的示意图；
- [0119] 图 2 是另一种已知的时间交织 ADC 的示意图；
- [0120] 图 3 是 T/H 电路的示意图；
- [0121] 图 4 是时钟信号的放大图,用于理解回转率的影响；
- [0122] 图 5 是可用于理解与回转率相关的且依赖于输入的定时误差的影响的示意图；
- [0123] 图 6 是指示出增益失配 G 和滚降失配 R 的影响的频率响应图；
- [0124] 图 7 的上半部分给出了理想 FFT 踪迹,下部部分给出了输入信号的示例性频谱；
- [0125] 图 8 是电流模式采样电路的示意图；
- [0126] 图 9 是体现本发明的模拟到数字电路的示意图；
- [0127] 图 10 是体现本发明的四相位电流模式采样器的示意电路图；
- [0128] 图 11 示出了时钟信号  $\theta_0$  至  $\theta_3$  和输出电流  $I_{OUT_A}$  至  $I_{OUT_D}$  的示意波形；
- [0129] 图 12 示出了时钟信号  $\theta_0$  至  $\theta_3$  的波形以及电流  $I_{OUT_A}$ 、 $I_{OUT_B}$  和  $I_{OUT_D}$  的部分波形；
- [0130] 图 13 示出了随着  $I_{TAIL}$  增大和减小,  $I_{OUT_A}$  至  $I_{OUT_D}$  的波形；
- [0131] 图 14 和 15 给出了仿真结果,以证明本发明实施例的操作；
- [0132] 图 16 是体现本发明的采样电路的示例性实现方式的示意图；
- [0133] 图 17 是图 9 的 ADC 电路的一些部分的示意图；
- [0134] 图 18 是可用于理解图 17 的解复用器的操作的示意图；
- [0135] 图 19 是可用于理解图 9 的 ADC 库的操作原理的示意图；
- [0136] 图 20 是可用于理解 SAR 电路在本发明实施例中的可能应用的示意图；
- [0137] 图 21 是可用于理解图 9 的 ADC 电路的可能布局的示意图；
- [0138] 图 22 是可用于理解本发明实施例中使用的校准技术的概念的示意图；
- [0139] 图 23 是图 12 中的波形的部分重复,另外还有表示 VCO 定时误差的信号；
- [0140] 图 24 是图 12 中的波形的部分重复,另外还有表示采样开关之一中的阈值电压误差的信号；
- [0141] 图 25 是采样器开关的示意图,用于示出修整电压如何可被施加到其体终端；
- [0142] 图 26 和 27 给出了图 9 的 ADC 电路的完整实现的仿真结果；并且
- [0143] 图 28 是图 9 的 ADC 电路的一些部分的示意图,可用于理解可能的改进。

## 具体实施方式

- [0144] 在描述本发明的详细实施例之前,将首先探索本发明实施例的一般概念。
- [0145] 先前考虑的 ADC 体系结构,例如以上参考图 1 至 7 描述的那些,大多基于电压亦即在电压域中执行采样和解复用。即,在这种体系结构中,信号中存储的任何信息内容都是由这些信号的电压电平来表示的。在这种电路的操作中,电压是独立变量,而电流是依赖于电压的。换句话说,电压是原因,而电流是效果。这种 ADC 电路因此被认为是电压模式电路。与之不同,本发明的实施例基于电流亦即在电流域中执行采样和解复用。即,在本发明的实施例中,信号中存储的任何信息内容都是由这些信号的电流电平来表示的。在这种电路的操作中,电流是独立变量,而电压是依赖于电流的；电流是原因,而电压是效果。体现本发明的 ADC 电路因此可被认为是电流模式电路,但它当然可被结合到电压模式电路中或者与

电压模式电路结合使用。体现本发明的电路可以作为集成电路的一部分或全部来提供,例如以 IC 芯片的形式提供。本发明还可扩展到包括这种 IC 芯片的电路板。

[0146] 一般而言,本发明的实施例以电流作为输入信号(即,电流幅值携带信息内容的信号),并且利用  $n$  相位正弦波时钟将该电流分割成  $n$  个时间交织的脉冲流,每个脉冲流处于总采样率的  $1/n$ 。由于本发明实施例中的信息内容是由脉冲或包的大小来表示的,并且脉冲的大小以电荷量的形式来衡量(因为  $Q = \int I dt$ ),因此这种电路可被认为是“电流模式”电路,并且“电流模式”一词应当被相应地解释。确实,电流模式采样本身是已知的,但是,将会变得清楚的是,由于这里公开的本发明实施例,得到了相当大的超过且优于这种已知采样技术的益处。

[0147] 图 8 是采样电路 30 的示意图。电路 30 具有一输入节点  $I_N$  和多个相关联的输出节点  $OUT_1$  至  $OUT_n$ 。

[0148] 输入节点适合于以电流 32 的形式接收输入信号,电流 32 的幅值表示输入信号所携带的信息。因此,虽然在图 8 中为了简单起见电流 32 的幅值是稳定的,但是应当理解,幅值可以波动,以例如携带数据信号。

[0149] 电路 30 包括路由(或导引)装置 33,用于随着时间的流逝将接收到的电流 32 路由到不同的所述输出节点( $OUT_1$  至  $OUT_n$ )。在此情况下,路由装置 33 可操作以用于以按步有序方式、与时钟信号(未示出)同步地将电流 32 路由到不同的输出节点  $OUT_1$  至  $OUT_n$ 。例如,路由装置 33 可操作以用于将输入节点  $I_N$  连接到输出节点  $OUT_1$ ,然后到输出节点  $OUT_2$ ,依此类推,直到输出节点  $OUT_n$ ,然后返回到输出节点  $OUT_1$ 。这样,路由装置 33 在输出节点中循环,以使得电流 32 实际上以按时间的方式被分配到分别在输出节点  $OUT_1$  至  $OUT_n$  处接收的样本(或部分)  $34_1$  至  $34_n$  中。

[0150] 路由装置 33 可以将其连接从一个输出节点改变到下一个,使得没有两个输入节点会同时连接到输入节点。或者,就像这里公开的本发明实施例中那样,路由装置 33 可以逐渐将其连接从一个输出节点改变到下一个,使得存在这样的时段,其中不止一个输出节点连接到输入节点。

[0151] 电路 30 还可包括生成装置(未示出),用于基于在输出节点  $OUT_1$  至  $OUT_n$  处接收到的样本或脉冲  $34_1$  至  $34_n$  来生成输出值,这些输出值指示出输入信号(电流 32)的与所述电流样本  $34_1$  至  $34_n$  相对应的部分的输入值。从而,例如,如果生成装置可操作以用于输出数字输出值,则电路 30 可被配置为执行模拟到数字转换。

[0152] 图 9 是体现本发明的模拟到数字电路 40 的示意图。电路 40 包括采样器 42、电压控制振荡器(VCO) 44、解复用器 46、ADC 库 48、数字单元 50、以及校准单元 52。

[0153] 采样器 42 被配置为执行四路或四相位时间交织,以便将输入电流  $I_{IN}$  分割成四个时间交织的样本流 A 至 D。为此,VCO 44 是四相 VCO,其可操作以用于例如以四个升余弦信号的形式输出四个相位相差  $90^\circ$  的时钟信号。VCO 44 例如可以是共享的 14GHz 四相 VCO,以使得电路 40 能够具有 56GS/s 的整体采样率。

[0154] 流 A 至 D 中的每一个包括如图 9 所示串联连接在一起的解复用器 46 和 ADC 库 48。采样器像先前实施例中那样在电流模式中操作,因此,流 A 至 D 实际上是源自(并且一起构成)输入电流  $I_{IN}$  的电流脉冲的四个时间交织的流,每个流具有为整体采样率的四分之一的采样率。继续 56GS/s 的示例性整体采样率,流 A 至 D 中的每一个可具有 14GS/s 的采样率。



[0155] 作为示例,关注流 A, 电流脉冲的流首先被 n 路解复用器 46 进行解复用。解复用器 46 是电流导引的解复用器, 并且其执行与采样器 42 类似的功能, 从而将流 A 分割成 n 个时间交织的流, 每个流具有等于整体采样率的  $1/4n$  的采样率。继续 56GS/s 的示例性整体采样率, 来自解复用器 46 的 n 个输出流可各自具有  $14/n$  GS/s 的采样率。如果 n 是例如 80 或 160, 则解复用器 46 的输出流可分别具有 175MS/s 或 87.5MS/s 的采样率。解复用器 46 可在单一一级中或者在一系列级中执行 1:n 解复用。例如, 在 n=80 的情况下, 解复用器 46 可利用第一 1:8 级以及其后的第二 1:10 级来执行 1:n 解复用。

[0156] 从解复用器 46 输出的 n 个流传递到 ADC 库 48 中, ADC 库 48 包含 n 个 ADC 子单元, 每个 ADC 子单元可操作以用于将其传入脉冲流转换成数字信号, 例如转换成 8 位数字值。因此, n 个数字流从 ADC 库 48 传递到数字单元 50。在 n=80 的情况下, ADC 子单元的转换速率将是整体采样率的  $1/320$  那么慢。

[0157] 流 B、C 和 D 的操作方式类似于流 A, 因此重复的描述被省略。在 n=80 的上述情况下, 可认为电路 40 包括分割在四个 ADC 库 48 中的 320 个 ADC 子单元。

[0158] 各含 n 个数字流的四组从而被输入到数字单元 50 中, 数字单元 50 复用这些流, 以产生表示模拟输入信号即电流  $I_{IN}$  的单个数字输出信号。就示意而言这种产生单个数字输出的想法可能是成立的, 但在实际实现中, 可能最好并行地从 ADC 库输出数字输出信号。

[0159] 校准单元 52 被连接以从数字单元 50 接收一个或多个信号, 并且基于该信号, 确定要被施加到采样器 42、VCO 44、解复用器 46 和 ADC 库 48 中的一个或多个的控制信号。正如从下文中将清楚的, 最好在采样器 42 上执行校准, 这正是从校准单元 52 到采样器 42 的输出在图 9 中被示为实线箭头而不是虚线箭头的原由。

[0160] 通过考虑图 10 至 27 将清楚关于电路 40 的操作和相关益处的更多细节。

[0161] 图 10 是体现本发明的四相位(即, 多相位)电流模式(电流导引)采样器 42 的示意电路图。虽然在图 9 中示出了单端输入信号, 即电流  $I_{IN}$ , 但应当明了, 例如, 为了利用共模干扰抑制, 也可使用差分输入信号。因此, 在电路 40 中实际上可复制采样器 42、解复用器 46 和 ADC 库 48, 以支持这种差分信号法, 然而, 为了简单起见在图 9 中省略了这种复制。返回图 10, 采样器 42 被配置为接收这种差分输入电流信号, 在这里它被建模为电流源  $I_{IN}$ , 其幅值随着输入信号而变化。

[0162] 由于差分信号技术, 采样器 42 实际上对于两个差分输入具有两个匹配的(或者对应的或互补的)部分 54 和 56。因此, 存在在部分 54 中的第一组输出流  $I_{OUT_A}$  至  $I_{OUT_D}$ , 以及第二组匹配输出流  $I_{OUT_B}$  至  $I_{OUT_D}$ , 其中  $I_{OUT_B}$  指的是  $\overline{I_{OUT_A}}$ , 并且其中  $I_{OUT_A}$  与  $I_{OUT_B}$  配对,  $I_{OUT_C}$  与  $I_{OUT_D}$  配对, 依此类推。

[0163] 作为示例, 关注第一部分 54(因为第二部分 56 的操作方式类似于第一部分 54), 设置了四个 n 沟道 MOSFET  $58_A$  至  $58_D$  (即, 每个流或路径一个), 其源极端在共尾节点(common tail node) 60 处连接在一起。

[0164] 上述电流源  $I_{IN}$  连接在共尾节点 60 与部分 56 的等同共尾节点 66 之间。另一个电流源  $I_{DC}$  62 连接在共尾节点 60 与地电源之间, 并且传送恒定 DC 电流  $I_{DC}$ 。四个晶体管  $58_A$  至  $58_D$  的栅极端分别由从 VCO 54 提供的四个时钟信号  $\theta_0$  至  $\theta_3$  驱动。

[0165] 如上所述, 部分 56 在结构上类似于部分 54, 因此包括晶体管  $64_A$  至  $64_D$ 、共尾节点 66 以及电流源  $I_{DC}$  68。

[0166] 现在将参考图 11 至 16 来说明采样器 42 的操作。

[0167] 图 11 在上半部图中示出了时钟信号  $\theta_0$  至  $\theta_3$  的示意波形, 并且在下半部图中示出了相应的输出电流  $I_{OUT_A}$  至  $I_{OUT_D}$  的示意波形。

[0168] 时钟信号  $\theta_0$  至  $\theta_3$  是以四个电压波形的形式从 VCO 44 提供的时间交织升余弦波形。此情况下使用四个时钟信号是由于 ADC 电路 40 的四路交织设计, 但是应当明了, 在另外的实施例中, 对于输入电流信号的三路或更多路分割, 可以使用三个或更多个时间交织时钟信号。

[0169] 时钟信号  $\theta_0$  至  $\theta_3$  的相位彼此相差  $90^\circ$ , 从而  $\theta_0$  处于  $0^\circ$  相位,  $\theta_1$  处于  $90^\circ$  相位,  $\theta_2$  处于  $180^\circ$  相位, 并且  $\theta_3$  处于  $270^\circ$  相位。

[0170] 在时钟信号  $\theta_0$  至  $\theta_3$  的控制下, 采样电路 42 的作用是, 输出电流  $I_{OUT_A}$  至  $I_{OUT_D}$  是电流脉冲的四个序列(流), 每个序列中的脉冲系列具有与时钟信号  $\theta_0$  至  $\theta_3$  之一相同的周期, 并且所有四个序列的脉冲一起被相互时间交织, 作为按时钟信号之一的周期的四分之一(或者时钟信号之一的采样频率的四倍)的有效整体脉冲序列。

[0171] 图 12 在上半部图中示出了时钟信号  $\theta_0$  至  $\theta_3$  的更多波形, 并且在下半部图中示出了电流  $I_{OUT_A}$ 、 $I_{OUT_B}$  和  $I_{OUT_D}$  的部分波形(电流  $I_{OUT_C}$  未被示出), 以用于更好地理解采样电路 42 的操作。

[0172] 如上所述, 时钟信号  $\theta_0$  至  $\theta_3$  是时间交织的升(基本上)余弦波形, 并且彼此相位相差  $90^\circ$ 。所示出的时钟信号是正弦型的, 但是不需要是严格理想的正弦型。正如将会清楚的, 在本实施例中, 与底部相比, 在最上部分中波形的形状更重要。为了帮助进一步说明, 在图 12 中以粗线突出显示了时钟信号  $\theta_0$ 。

[0173] 时钟信号  $\theta_0$  至  $\theta_3$  分别控制采样器 42 中的晶体管  $58_A$  至  $58_D$  的栅极。因此, 晶体管  $58_A$  至  $58_D$  被顺序地接通, 然后被关断, 使得当其中之一被关断时, 按顺序的下一个被接通, 并且当其中之一被完全接通时, 其他的基本上被关断。

[0174] 因为基本上所有经由晶体管  $58_A$  至  $58_D$  进入节点 60 的电流都必须以电流  $I_{TAIL}$  的形式离开该节点, 于是任何时刻电流  $I_{OUT_A}$  至  $I_{OUT_D}$  的总和必须基本上等于  $I_{TAIL} = I_{DC} - I_{IN}$ 。上述栅极控制的作用因此是电流  $I_{TAIL}$  被引导以顺序地经过晶体管  $58_A$  至  $58_D$ , 其中这些晶体管被接通和关断, 即, 使得其中之一被关断, 从而开始传送  $I_{TAIL}$  的较小部分, 按顺序的下一个被接通, 从而开始传送  $I_{TAIL}$  的更大部分, 并且当其中之一被完全接通时, 它基本上传送全部  $I_{TAIL}$ , 因为其他晶体管基本被关断了。

[0175] 这个作用在图 12 的下半部图中示出。为了简单起见只示出了输出电流  $I_{OUT_A}$ 、 $I_{OUT_B}$  和  $I_{OUT_D}$ , 然而所示出的波形式样以与图 11 所示类似的方式继续。为了与时钟信号的上半部图相比较, 输出电流  $I_{OUT_A}$  (对应于时钟信号  $\theta_0$ ) 的波形被以粗线突出显示。

[0176] 为了理解图 12 的下半部图, 在波形  $\theta_0$  上指示出三个点 70、72 和 74, 并且在波形  $I_{OUT_A}$  上指示出相应的三个点 80、82 和 84。

[0177] 在点 70 处, 波形  $\theta_0$  处于其峰值, 即处于  $V_{DD}$ , 而其他时钟信号  $\theta_1$  至  $\theta_3$  远低于其峰值。因此, 晶体管  $58_A$  被完全接通, 而晶体管  $58_B$  至  $58_D$  基本上被关断。因此, 在相应的点 80 处, 电流  $I_{OUT_A}$  等于  $I_{TAIL}$ , 而其他电流  $I_{OUT_B}$  和  $I_{OUT_D}$  (以及未示出的电流  $I_{OUT_C}$ ) 基本上等于 0。

[0178] 在先于点 70 的点 72 处, 波形  $\theta_0$  正朝着其峰值上升, 但尚未达到其峰值。另外,

在点 72 处, 波形  $\theta_3$  正从其峰值下降。重要的是, 在点 72 处, 时钟信号  $\theta_3$  和  $\theta_0$  具有相等的值。因此, 晶体管  $58_D$  和  $58_A$  的接通程度相同, 因为它们源极端是连接在一起的。在点 72 处, 时钟信号  $\theta_1$  和  $\theta_2$  也彼此相等并且足够地低, 以确保晶体管  $58_D$  和  $58_C$  关断。因此, 在这个时间点, 电流  $I_{TAIL}$  的一半流经晶体管  $58_D$ , 一半流经晶体管  $58_A$ , 如点 82 所示, 从而  $I_{OUT_D} = I_{OUT_A} = (I_{TAIL})/2$ 。

[0179] 点 74 等同于点 72, 只不过在这个点是晶体管  $58_A$  和  $58_B$  都接通。因此, 在相应的点 84,  $I_{OUT_A} = I_{OUT_B} = (I_{TAIL})/2$ 。

[0180] 因此, 应当明了, 每个电流波形的三个点 (例如, 电流波形  $I_{OUT_A}$  的点 80、82 和 84) 在时间上相对于时钟波形是固定的, 并且在幅值上相对于电流  $I_{TAIL}$  是固定的。即, 以  $I_{OUT_A}$  为例, 在点 80 处, 电流等于  $I_{TAIL}$ , 而在点 82 和 84 处, 电流等于半  $I_{TAIL}$ 。点 80、82 和 84 的位置相对于时钟信号  $\theta_0$  至  $\theta_3$  是固定的。这对于电流  $I_{OUT_B}$  至  $I_{OUT_D}$  也成立。关注点 70、72 和 74 表明, 对于本实施例而言, 时钟信号的上部是重要的, 而下部则不那么重要 (从而, 例如, 下部的确切形状并不至关紧要)。

[0181] 因此, 波形  $I_{OUT_A}$  至  $I_{OUT_D}$  的电流脉冲都具有相同的形状, 并且该形状是由时钟信号的升余弦形状限定的。当  $I_{TAIL}$  的值随输入电流  $I_{IN}$  而波动时, 脉冲也就是相应地按比例增大或减小。这一点可从图 13 看出, 该图示出了当  $I_{TAIL}$  增大并随后又减小时  $I_{OUT_A}$  至  $I_{OUT_D}$  的波形。脉冲的峰跟随  $I_{TAIL}$ , 并且两个相邻脉冲具有相等值的点 (即, 交叉点) 跟随半  $I_{TAIL}$ 。

[0182] 此操作具有相当大的益处。

[0183] 因为采样脉冲都具有由升余弦时钟波形限定的相同形状, 频率响应 / 滚降因此在数学上由余弦曲线限定, 结果, 从输入  $I_{IN}$  到输出  $I_{OUT}$  的模拟带宽非常高, 通常大于 100GHz。另外, 电路中的尾节点 (例如, 图 10 中的节点 60 和 66) 处的电压电平在操作期间不会有很大波动。作为说明, 在图 10 中, 开关是在饱和区中操作的 nMOS 开关, 其源极端连结在一起, 以形成有关尾节点。因此, 这些开关以具有低输入阻抗和高输出阻抗的共源共栅 (cascode) 的形式操作。因为尾节点处的电压电平不会随着输入信号而有很大移动, 所以这些节点可被认为是虚拟地, 并且对这些尾节点处的寄生电容的敏感性降低。在图 3 中, 晶体管 22 必须驱动电容器 28。因此存在高电阻和相对高的电容, 从而给出相对低的带宽, 并且由于电容器 28 中的相当大的失配, 带宽是不可预测的。与之不同, 在本实施例中, nMOS 开关不必驱动电容器 28; 它们具有较低的导通电阻, 并且尾节点具有微小的寄生电容 (尾节点对该寄生电容不敏感, 如上所述)。这样就给出了精确且可重复的高带宽。总之, 本实施例的电路是传送具有限定的形状的电脉冲的快速模拟电路。该电路因此具有已知、可重复、精确且恒定的高带宽。因此, 可以利用一滤波器 (如下所述) 来例如以数字方式针对该已知带宽进行补偿。正如从下文中将会清楚的, 解复用器 46 的操作方式类似于采样器 42, 从而产生了采样和解复用电路上的这种高带宽精确操作。

[0184] 另外, 采样电路 42 通过真实地经由不同的输出  $I_{OUT_A}$  至  $I_{OUT_D}$  导引幅值依赖于输入信号  $I_{IN}$  的电流  $I_{TAIL}$  来操作。输入电流  $I_{TAIL}$  并不会 (以电压模式 ADC 中电压被拷贝的方式) 被从一级拷贝到另一级 (解复用器 46 的结构和操作方法类似于采样电路 42, 从而形成了后续的这种级)。取而代之, 被导引或路由经过电路的是实际电流  $I_{TAIL}$ 。所有电流  $I_{TAIL}$  都通过并到达输出。注意, 虽然在此情况下传统电流的流动方向是从输出到输入, 但是对于从输入流动到输出的电流, 原理是相同的, 并且实际上, 电流  $I_{OUT_A}$  至  $I_{OUT_D}$  的图线被示为正值

(在例如图 10 中这些电流的方向被示为从输出到输入),以帮助从概念上理解电路的操作。总之,如果所有的“输出”电流被加在一起,则结果将与  $I_{TAIL}$  相同。

[0185] 采样器 42 的此操作的另一优点在于该操作不会遭受很大的依赖于输入信号的采样延迟。正如从下文中将清楚并且上文已简要论述的,共尾节点 60 和 66 处的电压可被配置为在操作期间非常稳定,使其只容许大约 50-70mV 的起伏。采样定时如上所述完全由时钟信号  $\theta_0$  至  $\theta_3$  控制,(因为开关晶体管的源极端都被连结在一起)。因此,与早前参考图 3 至 5 说明的依赖于信号的延迟形成对照, $I_{IN}$  的变化不会导致任何依赖于信号的延迟。因此,也消除了相关的失真。

[0186] 假定时钟信号  $\theta_0$  至  $\theta_3$  是理想的,即没有幅度噪声和相位噪声(抖动),则任何误差都主要(即,忽略不重要的依赖于信号的误差)由开关晶体管之间的失配引起(而稍后将应对这种失配)。

[0187] 另一个优点在于,即使存在某些例如由于时钟偏离和 / 或失配引起的采样误差,输入电流  $I_{TAIL}$  (其依赖于输入  $I_{IN}$ ) 也仍必须在输出电流  $I_{OUT_A}$  至  $I_{OUT_D}$  之间分配。即,电流没有丢失;一般来说,所有进入的电流都必须出来。这个原则被证明对 ADC 电路 40 的校准操作尤其有用,下文中将详细描述这一点。

[0188] 因为在本实施例中使用了四个时间交织的正弦型时钟信号(在此情况下是升余弦),所以形成了驱动相应的四个开关(例如,图 10 中的开关  $58_A$  至  $58_D$ ) 所需的 25% 占空因数的脉冲,即使时钟信号本身(是正弦型的)天然地具有 50% 的占空因数。即,对于输入电流信号的 X 路分割(在上文中  $X=4$ ),可以使用 50% 占空因数的正弦型时钟信号来产生  $100/X\%$  占空因数的脉冲。与之不同,如果使用开关逻辑电平(硬开关式)时钟信号,则必须使用本身具有  $100/X\%$  (在  $X=4$  的情况下为 25%) 占空因数的时钟信号来产生  $100/X\%$  (在  $X=4$  的情况下为 25%) 占空因数的脉冲。因此,本实施例是有利的,尤其在考虑高频操作时更是如此,这是因为可以使用 50% 占空因数的时钟信号(即使当  $X=3$  或更大时)。

[0189] 采样电路 42 的另一个优点在于,晶体管的栅极可被直接驱动,而不需要中间缓冲器,例如图 3 中的缓冲器 24。这是因为,VC0 输出往往是正弦型的,并且本电路被配置为接受正弦型时钟信号。这种直接驱动可包括中间的 AC 耦合,例如经由电容器。利用这种直接驱动,采样电路 42 的晶体管的栅极电容可作为 VC0 内的必要电容的一部分被包括在 VC0 44 的设计中。因此,栅极电容实际上被吸收在 VC0 内,从而采样电路 42 就好像栅极电容为零那样操作。因此,有效地去除了栅极电容引起的开关延迟。另外,由于能够不使用诸如缓冲器 24 之类的缓冲器来生成方波(即,脉冲波或开关逻辑波),因此可以避免相关联的噪声和延迟失配。例如,如果需要四相方波,则将会需要四个具有相关联的失配的缓冲器。

[0190] 图 14 示出了采样电路 42 的仿真结果。为了仿真,电路 42 被配置为在 56GS/s 下操作,并且被提供以具有 1GHz 正弦波的形式输入电流信号  $I_{IN}$ 。

[0191] 四个图中最上方那一个示出了四个时钟信号  $\theta_0$  至  $\theta_3$ ,其中每一个是 14GHz 升余弦信号,从而能够实现所希望的整体 56GS/s 的采样率。四个图中从顶部起的第二个示出了部分 54 的四个输出信号  $I_{OUT_A}$  至  $I_{OUT_D}$ ,并且四个图中第三个示出了部分 56 的输出信号  $I_{OUTB_A}$  至  $I_{OUTB_D}$  的等同踪迹。最下方的图示出了差分输出信号的两个成分之间的差异,即,概括来说是  $I_{OUT}-I_{OUTB}$ 。在这种差分电路中,希望的输出是“差异”信号。

[0192] 图 15 示出了图 14 的仿真结果的放大部分,其中更清楚地示出了脉冲形状和时钟

信号。

[0193] 可以清楚看到所得到的固定脉冲形状。中间两个图中的脉冲的峰跟随  $I_{TAIL}$ ，从而在由 DC 电流源 62 和 68 限定的 DC 电平周围波动。用于仿真的电路成分值类似于图 16 的电路(在下文中描述)中使用的那些，只不过阻抗减半，电流源加倍，并且在输入 VINP 和 VINM 处串联设置了  $25\ \Omega$  电阻器。这使得输入阻抗保持按指标，电压摆动保持相同，并且电流信号加倍。整体输入 1GHz 信号可被看作下方图的包络。输入信号由相继的脉冲的峰值以及相继的脉冲下的面积两者来表示；因为脉冲的限定形状，当面积加倍时峰值也加倍，反之亦然。

[0194] 如前所述，ADC 电路 40 在电流域中操作，即，实际上作为电流模式 ADC 来操作。结果，所需要的输入信号是电流信号。然而，需要使用 ADC 或采样器的典型信号是电压域信号，其中所考查的变量是电压而不是电流。图 16 是采样电路 42 的示例性实现方式 102 的示意电路图，可以向该采样电路 42 施加输入差分电压信号。

[0195] 实现方式 102 类似于电路 42，包括用于差分信号的所谓的“正”和“负”成分的两个部分 54 和 56。与之前一样，部分 54 包括连接到共尾节点 60 的开关晶体管  $58_A$  至  $58_D$ ，并且部分 56 包括连接到共尾节点 66 的开关晶体管  $64_A$  至  $64_D$ 。

[0196] 实现方式 102 基本上通过以下方式来工作：接收输入电压信号并通过使用电阻来将接收到的输入电压信号无源地转换成等效的输入电流信号。实现方式 102 因此包括输入端 104 (VINP) 和 106 (VINM)，用于分别接收输入电压信号的“正”和“负”成分。

[0197] 输入端 104 和 106 各自经由电阻器 110 和电感器 112 连接到共享的端子 108。输入端 104 和输入端 106 还各自经由电阻器 114 连接到其相应的共尾节点 60 和 66。共享端子 108 经由共享的 DC 电流源 116 连接到基准电势，该基准电势的电压电平低于 VINP 和 VINM 的电压电平，并且可能实际上是负的。

[0198] 一组示例性的电阻值在图 16 中示出。这些值是在假定下述示例性设计目标的情况下选择的：朝着开关晶体管(采样器开关)看入共尾节点 60 和 66 中每一个的输入阻抗是  $50\ \Omega$ ，并且看入输入端 104 和 106 中每一个的输入阻抗也是  $50\ \Omega$ ，如图 16 所示。另一个示例性目标是：当以 65nm 硅技术实现时，使电路具有从 VIN 到 IOUT 的大于 100GHz 的模拟带宽。

[0199] 通过将电阻器 110 设定为  $100\ \Omega$  并将电阻器 114 设定为  $50\ \Omega$ ，可以获得在 DC 下为  $100\ \Omega$  并且在高频下(例如，在 100GHz 下)为  $50\ \Omega$  的朝着各个共尾节点 60 和 66 看入输入端 104 和 106 的阻抗  $Z_1$ ，在 DC 下为  $100\ \Omega$  并且在高频下为无穷大的朝着共享端 108 看入输入端 104 和 106 的阻抗  $Z_2$ ，因此在整个带宽上在每个输入端 104、106 处获得  $50\ \Omega$  的输入阻抗  $Z_{IN}$ 。这是因为，采样器开关在大约 100GHz 下看起来是电容性的，并且被尾部中的串联电感器 112 (大约 100pH) 所补偿。高频下无穷大的阻抗  $Z_2$  的一个优点在于，共享节点 108 实际上充当 AC 地，从而使得共享电流源 116 中的电容被屏蔽在电路的操作之外。简单地说，电感 112 隔离了电流源 116 中的任何电容，因为它们彼此补偿。换句话说，因为电路是差分且平衡的，所以节点 108 处的电压不会有太大移动，因此在节点 108 处没有信号，并且该节点对电容不敏感。

[0200] 对于此设计，发现电路在 DC 至 100GHz 以上有希望的  $50\ \Omega$  输入电阻，并且即使电阻具有  $\pm 10\%$  的容差(未修整)，这也是可能的(即，输入电阻随着频率变化是稳定的)。即，

电阻上的容差可能导致在将近频率响应的中部之处出现轻微的起伏,但是在实际实施例中这被认为是可接受的。还发现,通过例如以 600mV<sub>pp</sub> 信号的形式在两个输入端 104 和 106 之间施加电压输入,这在共尾节点 60 和 66 处给出了大约  $\pm 75\text{mV}$  的起伏并且在  $I_{\text{DC}}=6.5\text{mA}$  的情况下在采样开关中给出了大约  $\pm 50\%$  的电流调制。

[0201] 此电路设计的优点因此包括  $Z_{\text{IN}}=50\Omega$ , 电流源 116 中的电容基本没有作用,并且带宽非常宽(大于 100GHz)。另外,通过使用串联电阻器 110 和 114,电路具有天生的 ESD (静电放电)免疫,并且可以减少或者甚至去除电路输入管脚处的 ESD 二极管。另外, $V_{\text{IN}}$ 共模大约为 0,并且电流源 116 低于 GND (如上所述),并且只需要低电流负电源,例如  $-1\text{V}$ 。

[0202] 为了更好地明了由图 16 的 V-I 电路带来的优点,可以与在不知道本发明的情况下在 ADC 电路中可能看来更合适的 V-I 转换电路进行比较。具体而言,跨导级(即,有源 V-I 转换电路)是可考虑用于 ADC 电路中的一类 V-I 转换电路。跨导级例如可用于提供真实的 V-I 转换,即使在要被施加以电流信号的节点(例如,图 16 中的节点 60)处存在预期的电压起伏的情况下也是如此。然而,这种有源跨导级的输入阻抗具有相对较低的带宽限度(例如,10GHz),从而使得在给定上述示例性目标(即,大于 100GHz 的希望带宽)的情况下它是不合适的。在高频下(例如,高于 10GHz),这种跨导级可能成为一个重大的噪声和失真成因,并且还可能使得输入匹配不良。与之不同,本示例性实现方式 102 提供了随着频率变化具有基本上恒定的(即,电阻性的)输入阻抗的被动转换装置(在上述示例中,在 DC 至 100GHz 以上提供了  $50\Omega$  的输入阻抗)。示例性的实现方式 102 使能实现良好的输入匹配,并且可用在高频下,而不会成为重大的噪声或失真成因。在本发明的实际实施例中,已经发现,尾节点(例如,图 16 中的节点 60 和 66)处的起伏是可以容忍的,因为仍然可以实现程度足够的线性(例如,等于 8 的 ENOB)。

[0203] 图 17 是 ADC 电路 40 的一些部分的示意电路图,可用于理解解复用器 46 的结构和操作。

[0204] 为了简单,只示出了采样电路 42 的一部分,其中使用了图 16 的实现方式 102。即,只示出了“正”部分 54,并且省略了该“正”部分 54 的元件以避免使图 17 过于复杂。

[0205] 关于解复用器 46,只示出了用于输出  $I_{\text{OUT}_A}$  的解复用电路 46。对于其他七个输出  $I_{\text{OUT}_B}$  至  $I_{\text{OUT}_D}$  以及  $I_{\text{OUTB}_A}$  至  $I_{\text{OUTB}_D}$ ,也可提供类似的电路。

[0206] 如图 17 所示,本实施例中的解复用器 46 由两级形成,即级 46A 和 46B。第一级 46A 执行 1:N 解复用,第二级 46B 执行 1:M 解复用。

[0207] 级 46A 和 46B 一般具有与采样电路 42 的采样开关 110 的阵列相同的结构。即,每个级包括多个晶体管(在此情况下是 n 沟道 MOSFET),其源极端在共尾节点处连接在一起。

[0208] 根据以上对采样电路 42 的描述,并且作为示例只考虑“正”部分 54,将会明了,电路将输入电流  $I_{\text{IN}}$  分割成 X 个时间交织的脉冲序列,其中在本实施例中  $X=4$ 。在本实施例中,这些脉冲序列是在输出  $I_{\text{OUT}_A}$  至  $I_{\text{OUT}_D}$  处提供的。采样电路 42 从而可被认为是执行 1:X 解复用功能。同样,采样器 42 的每个输出可被级 46A 进一步进行 1:N 解复用,并且级 46A 的每个输出可被级 46B 进一步进行 1:M 解复用。

[0209] 在图 17 中只示出了一个完整的被解复用的路径。即,输入电流  $I_{\text{IN}}$  被解复用以提供 X 个(在此情况下  $X=4$ )输出  $I_{\text{OUT}_A}$  至  $I_{\text{OUT}_D}$ 。这些输出中的每一个随后被级 46A 进行 1:N 解复用,然而这在图 17 中只针对最左侧输出  $I_{\text{OUT}_A}$  示出。结果,所示出的那个级 46A 的输

出是输出  $IOUT_{A10}$  至  $IOUT_{A1(N-1)}$ 。(所有的级 46A 的) 这些输出中的每一个随后被级 46B 进行 1:M 解复用, 然而同样地, 这在图 17 中只针对最左侧输出  $IOUT_{A10}$  示出。结果, 所示出的那个级 46B 的输出是输出  $IOUT_{A1020}$  至  $IOUT_{A102(M-1)}$ 。其他级 46B 产生相应的输出。

[0210] 采样电路 42 和解复用器 46 一起执行 1:Z 解复用功能, 其中  $Z=X \times N \times M$ 。在本实施例中,  $X=4, N=8$  并且  $M=10$ 。因此, 本实施例执行 1:320 解复用, 这在“正”侧 54 产生了 320 个输出, 并且在“负”侧 56 产生了相应的 320 个输出。

[0211] 图 18 是可用于进一步理解解复用器 46 的操作的示意图。最上方踪迹示出了采样电路 42 的输出  $IOUT_A$  处的脉冲序列, 并且下面的踪迹示出了级 46A 的输出  $IOUT_{A10}$  至  $IOUT_{A1(N-1)}$  (只示出了  $IOUT_{A10}$  至  $IOUT_{A13}$ ) 的相应脉冲序列。从图 18 可以明了, 脉冲序列  $IOUT_A$  实际上被分割成 N 个脉冲序列, 其中每一个处于脉冲序列  $IOUT_A$  的采样率的  $1/N$ 。

[0212] 返回图 17, 将会明了, 虽然提供给采样电路 42 的时钟信号  $\theta_0$  和  $\theta_3$  在此实施例中是低电压 (例如, 具有 0V 至 0.8V 的时钟电平) 的升余弦波形 (这带来了先前论述的相关优点), 但是施加到复用器 46 的级 46A 和 46B 的时钟信号的规格相比之下可以有所放松。这是因为, 在到该级时, 样本已经被取得了, 并且在后继的级处, 采样率降低了很多。后继级处的时钟性能因此变得不那么重要。结果, 例如, 施加到级 46A 和 46B 的时钟信号可以是数字时钟信号 (即, 方波、脉冲式或者开关逻辑信号) 而不是正弦波, 并且可以是更高电压的信号, 例如具有 0V 至 1.2V 的时钟电平。然而, 要注意, 对于这里给出其结果的仿真而言, 始终施加正弦波时钟信号。要注意的重要一点是, 解复用器 46 不是重大误差来源; 它们传递电流脉冲, 而不改变其各自的面积, 即使带宽有所降低。

[0213] 因此, 正如从图 16 和 17 清楚可见, 本实施例的采样和解复用电路形成了以树形结构连接在一起的一系列节点。对于电路的两个互补部分, 这都是成立的, 例如参见图 16。在图 16 中, 节点 60 可被认为是其树形结构的根节点, 其中下一层节点具有输出  $IOUT_A$  至  $IOUT_D$ , 并且 (转到图 17) 下一层节点具有输出  $IOUT_{A1020}$  至  $IOUT_{A102(M-1)}$  (以及其它没有示出的)。如上所述, 从一层到后续层的采样率降低使得从一层到后续层能够放松时钟规格。虽然有从一层到另一层的这种放松, 但因为样本是在 (根和第一层节点之间的) 采样器电路中取得的, 所以样本可以很大程度上不受影响地通过后续层。

[0214] 返回参看图 9, 解复用器 46 的输出信号传递到 ADC 库 48 中。ADC 库 48 用于产生与输入其中的各个电流脉冲的面积相对应的数字值。当然, 并不必要输出数字值; 取而代之, 可以输出模拟值。数字输出值只是一种为了与诸如处理器 (例如, 数字信号处理器, DSP) 和其他计算设备之类的外部数字系统兼容而有用的输出格式。

[0215] 图 19 是可用于理解 ADC 库 48 的操作原理的示意图。为了简单起见, 只示出了解复用器 46 的一个输出, 即  $IOUT_{A1020}$ , 因此所示出的 ADC 库 48 只表示该特定输出所需的 ADC 电路。对于解复用器 46 的所有输出可以设置类似的 ADC 电路 48。

[0216] ADC 电路 48 一般采取电容 150 的形式。如图 19 所示, 电容 150 的值可以是可变的, 使得其值可在校准期间或者在初始设定阶段期间被修整。一般来说, 电容 150 被用来将电流脉冲从输出  $IOUT_{A1020}$  转换成电压值  $V_{OUT}$ 。即, 每个脉冲将电容 150 充电到与有关脉冲的面积成比例的电压。这是因为每个电流脉冲中的电荷量由其面积限定 ( $Q = \int I dt$ ), 并且电容 150 两端的电压由该电荷量 Q 和电容值 C 限定 ( $V=Q/C$ )。

[0217] 在电容 150 两端保持特定脉冲的电压  $V_{OUT}$ , 直到电路 48 被复位开关 152 复位为止。

在保持特定脉冲的电压  $V_{OUT}$  的同时,可以利用一使用逐次近似寄存器(SAR)的ADC电路来将该模拟输出值转换为数字输出值。在像本实施例中那样的差分电路的情况下,每个  $V_{OUT}$  将具有其互补  $V_{OUT}$ ,并且该对可被一起施加到差分比较器,以便输出该对的单个数字输出。

[0218] 这种操作模式的一个优点在于,即使在解复用器 46 内经历了延迟,每个脉冲中的电荷仍然能够到达相关输出,只不过是经略长的时段到达。在此情况下,从脉冲产生的电压  $V_{OUT}$  仍不受影响。为了说明这一点,同一电流脉冲的两个示例 154 和 156 在图 19 中示出。第一脉冲 154 表示经历最低限度延迟的情况。第二脉冲 156 表示例如由于电路中的跟踪电容而经历某种延迟的情况。结果,脉冲 156 与脉冲 154 相比在时间上有所延长。重要的是,两个脉冲 154 和 156 的面积基本是相同的,因此输出电压  $V_{OUT}$  对于两者来说是相同的。

[0219] (例如由于容差限度引起的)ADC 库 48 中的 ADC 电路两端的电容 150 的值的误差(即,失配)可能导致 ADC 电路 40 的输出的误差。因此,获得尽可能最低的电容失配是有利的。当然,在实际实施例中,一定程度的电容值失配是不可避免的。然而,本发明的实施例在这个方面与先前考虑的图 3 的电压模式电路相比有天生的优点,如下。

[0220] 首先,电容 150 的失配的影响比电容 28 的失配的影响小。这是因为,由电容 28 的失配引起的误差是在电路 20 的初始采样级(其中这种电容 28 的数目较小)导致的,然而由本实施例中的电容 150 的失配引起的误差是在最终 ADC 级(其中这种电容 150 的数目较大)导致的。对于采样电路 42 的 X 个输出中的每一个(在本实施例中  $X=4$ ),专注于其“正”一半和“负”一半之一,则存在  $N \times M$  个输出(在本实施例中  $N=8$  并且  $M=10$ ),其中每一个具有电容 150。因此,关于本发明的实施例中的电容 150 的失配,存在平均作用,而这在电路 20 中是不存在的。可以预期,由于此原因,本实施例中由电容失配引起的误差相对于图 3 中的有按某个倍数的减小,该倍数是针对图 3 中的每个电容器的电容器数目的平方根,即,该倍数为  $\sqrt{N \times M}$ (在此情况下为  $\sqrt{80}$ )。

[0221] 第二,图 3 电路中的电容器 28 需要较小,以实现希望的输入阻抗,而在这样小的大小下,失配可能较大。以上给出的电容器 28 的示例性大小是 16fF。在本实施例中,电容 150 可以相对较大,因为它们并未附接在输入处。电容 150 例如可以是电容器 28 的十倍(10X)那么大。举以上的示例,电容 150 可具有 160fF 的电容。已经发现,失配的减小与硅中所占面积的增大倍数的平方根近似成比例(假定是用硅实现的),即,与电容值大小的增大倍数的平方根近似成比例。在本实施例中,可以预期,由于此原因,由电容失配引起的误差将有  $\sqrt{10}$  倍的减小。

[0222] 综合上述两个优点,在本实施例中,可以预期,对于每个采样器通道(在本示例中,存在四个这样的通道),由电容失配引起的误差有  $\sqrt{800}(\sqrt{80} \times \sqrt{10})$  即  $\sqrt{N \times M \times I}$  倍的减小(其中 I 是电容大小的增大倍数)。

[0223] 图 20 是可用于理解 SAR-ADC(逐次近似寄存器-模拟到数字转换)电路在图 19 的电路 48 中的可能应用的示意图。这种电路可具有以下形式的阶段周期:复位(R);采样(S); 1; 2; 3; 4; 5; 6; 7 和 8,如图 20 所示。在每个“采样”阶段中,有关的电流脉冲可被转换成输出电压  $V_{OUT}$ ,并且随后该电压  $V_{OUT}$  可在接下来的 8 个 SAR 阶段中被转变成 8 位数字值。接下来的“复位”阶段则使电路为下一电流脉冲作好准备。

[0224] 图 21 是可用于理解 ADC 电路 40 的可能布局的示意图。为了简单起见,只示出了电路 40 的一些部分。从图 21 可见,假定  $X=4$ ,  $N=8$  并且  $M=10$ ,则采样器 42 具有四个输出到



四个解复用器第一级 46A。每个解复用器级 46A 具有 8 个输出(仅针对最上方的解复用器第一级 46A 示出这一点)到 8 个解复用器第二级 46B(仅针对最上方的解复用器第一级 46A 的最下方输出示出了 8 个解复用器第二级 46B 之一)。每个解复用器第二级 46B 具有 10 个输出,其中每一个去到其自己的 ADC。以图 21 所示的方式,可以分布解复用器第二级 46B 的开关,以使得它们接近 ADC 库 48 中其各自的子 ADC 电路,从而使最终开关与电容 150 之间的跟踪长度达到最低限度。

[0225] 如上所述,参考图 9,在 ADC 电路 40 中设置了校准单元 52 以校准其操作。具体而言,校准单元 52 能够对使用中的 ADC 电路 40 执行这种校准,即,无需使其“离线”。

[0226] 校准单元 52 的操作依赖于以下原理,即采样电路 42 将输入电流分配到电流脉冲的流中,即,被采样的电流全部出现在输出处的脉冲中。大体想法是, VCO/ 采样器时钟或开关中的定时误差会影响电流脉冲的面积,因而影响 ADC 输出值。更具体而言,如图 22 所示,因为所有的电流被分配到脉冲中,因此如果一个脉冲的面积由于这种误差而(相对于其在无误差环境中的预期面积)增大,则另一个脉冲或一组脉冲必然经历相应的面积减小,因为输入电流被分配到输出电流中(没有添加或去除电流)。类似地,如果一个脉冲的面积由于误差而减小,则另一个脉冲或一组脉冲则必然经历相应的面积增大。

[0227] 要注意的一点是,因为时钟信号是正弦型的(其就上升和下降时间而言是慢信号,与快速的传统数字开关逻辑或方波信号相比),所以电流脉冲的面积对时钟信号的相位或幅值误差和 / 或采样开关之间的失配的敏感性达到了最高限度。换句话说,以开关失配为例,对正弦型时钟信号的使用使得从  $\Delta V_{th}$  (采样开关的阈值电压的变化,其表示失配)到  $\Delta \int I$  (由阈值电压的变化而导致的由此得到的电流脉冲的面积变化)的增益达到最高限度。这种敏感性使得,与时钟信号是例如开关逻辑电平信号的情况相比,可以更容易地检测到这些类型的误差。与之相对照,如果时钟信号是开关逻辑电平时钟信号,则输出脉冲面积对失配的敏感性将在很大程度上丢失。

[0228] 从统计上来说,随着时间的过去,可以预期,四个 ADC 库 48 的平均数字输出彼此相同。通过比较这些 ADC 库的平均数字输出,可以检测到不同类型的误差(如上文所简述的),并且作为结果,可以执行校准来校正这些误差或针对这些误差进行补偿。现在将联系图 23 和 24 来说明此原理。

[0229] 图 23 是图 12 所示的波形的部分重复。在上半部图中,示出了时钟  $\theta_3$ 、 $\theta_0$  和  $\theta_1$  的部分波形。专注于时钟  $\theta_0$ ,因此在虚线形式示出时钟  $\theta_3$  和  $\theta_1$ 。下半部图示出了三个脉冲形状,标记为  $P_3$ 、 $P_0$  和  $P_1$ ,它们意图示意性地表示分别与由时钟  $\theta_3$ 、 $\theta_0$  和  $\theta_1$  生成的采样电路 42 的输出相对应的平均数字输出功率。图 23 中的波形  $\theta_3$ 、 $\theta_0$  和  $\theta_1$  表示采样器电路 42 的有效栅极驱动,这些栅极驱动将会产生相等大小的平均数字输出功率  $P_3$ 、 $P_0$  和  $P_1$ 。

[0230] 图 23 还示出了有效栅极驱动  $\theta_{0p}$ ,其例如可能源自于 VCO 44 中的定时误差。有效栅极驱动  $\theta_{0p}$  意图为源自于这种定时误差的有效栅极驱动  $\theta_0$  的相移版本。在此情形下,可以预期,功率  $P_3$  将增大例如 10%,功率  $P_0$  将保持不变,并且功率  $P_1$  将会按照  $P_3$  的增大而减小,同样例如减小 10%。检测平均数字输出功率  $P_3$ 、 $P_0$  和  $P_1$  的这种式样的变化因此将表明关于时钟  $\theta_0$  的 VCO 44 中的定时误差的存在。

[0231] 与图 23 中一样,图 24 是图 12 所示的波形的部分重复。因此,图 24 中的波形  $\theta_3$ 、

$\theta_0$ 、 $\theta_1$ 、 $P_3$ 、 $P_0$ 和 $P_1$ 与图 23 中的相同。

[0232] 图 24 中还示出了有效栅极驱动  $\theta_{0M}$ ，其例如可能源自于采样电路 42 中的采样开关  $58_A$  至  $58_D$  (或者  $64_A$  至  $64_D$ ) 之一中的阈值电压 ( $V_{TH}$ ) 误差 (失配)。有效栅极驱动  $\theta_{0M}$  因此意图为源自于这种  $V_{TH}$  误差的有效栅极驱动  $\theta_0$  的幅值减小后的版本。在此情形下，可以预期，功率  $P_0$  将减小例如 20%，并且相邻的功率  $P_3$  和  $P_1$  将会按照该减小而同等地增大，例如各自增大 10%。检测平均数字输出功率  $P_3$ 、 $P_0$  和  $P_1$  的这种式样的变化因此将表明这种  $V_{TH}$  误差的存在。

[0233] 作为示例，现在将考虑用于应对图 24 中的那类误差的可能方法。对于此示例，将认为，采样开关  $S_0$  产生输出功率  $P_0$ ，并且采样开关  $S_1$  产生输出功率  $P_1$ 。在此示例中，开关  $S_0$  和  $S_1$  是差分对的相应开关。

[0234] 以下式子可用来找出采样开关  $S_0$  中的阈值电压误差  $\Delta V_{TH0}$  和采样开关  $S_1$  中的阈值电压误差  $\Delta V_{TH1}$  的量度。

[0235] 偏移量误差  $= P_0 - P_1 \rightarrow k(V_{TH0} - V_{TH1})$

[0236] 增益误差  $= P_0 + P_1 \rightarrow k(V_{TH0} + V_{TH1})$

[0237] 其中  $k$  是常数。

[0238]

$$\Delta V_{TH0} = \frac{\text{增益误差} + \text{偏移量误差}}{2}$$

[0239]

$$\Delta V_{TH1} = \frac{\text{增益误差} - \text{偏移量误差}}{2}$$

[0240] 然后可在考虑到此方法的结果的情况下执行校准。例如，正如下文中将进一步论述的，施加到采样开关  $S_0$  和  $S_1$  之一的体电压和 / 或栅极电压可被控制以减小或消除失配。

[0241] 根据以上关于图 23 和 24 的说明，可以明了，不同类型的误差 (失配) 可能导致平均数字输出功率的不同式样的变化，因此这样的不同类型的误差可被相互独立地检测或者至少被加以补偿或校准掉。这种不同类型的误差可同时存在，然而即在此情况下，通过相互比较功率，也可检测各种误差并针对其进行补偿。

[0242] 解复用器 46 的结构与如上所述的采样电路 42 类似，因此它们同样易遭受  $V_{TH}$  失配。以与检测特定采样器开关 (例如，开关  $58_A$ ) 中的  $V_{TH}$  误差的方式相同的方式，通过选择适当的数字输出来取平均并相互比较，可以检测到特定的解复用器开关 (例如，图 17 中输出信号  $IOUT_{A10}$  的开关) 中的误差。例如，通过组合来源于所调查的特定开关的所有输出，可以针对该开关获得平均数字输出功率，并且可针对同一层中的另一开关类似地获得相应的输出功率，并且可以如上所述地比较这些功率 (以及其他类似的功率)，从而校准所调查的开关。

[0243] 在检测这种误差 (失配) 之后，校准单元 52 可被用于调整 ADC 电路 40 的操作以针对这些误差进行补偿。因为是通过实际输出信号取平均来检测误差的，所以可以“在线”执行校准。

[0244] 为了实现校准，一个可能的技术是直接控制如图 9 所示的 VCO 44 的操作，以例如调整时钟信号  $\theta_0$  至  $\theta_3$  之间的相位偏移量，直到消除如图 23 中那样的相位误差影响为止。

另一个技术是直接控制开关的操作,主要关注采样电路 42 中的采样开关(因为它们负责取得样本),其次的措施是关注解复用器 46 中的开关。

[0245] 直接控制开关的操作(即,晶体管的操作)的一种方式控制被施加到这些开关的体电压(bulk voltage)。另一个方式是调整被施加到这些开关的栅极电压。例如,从 VCO 44 输出的时钟信号可以(例如,经由串联电容器)AC 耦合到采样器开关,从而 DC 偏置可被调整。可以组合使用这两种方法。

[0246] 图 25 是这种开关的示意图,其中修整电压  $V_{TRIM}$  被施加到体端子。已经认识到,开关延迟的失配可能是由于晶体管的阈值电压  $V_{TH}$  的随机变动而导致的。改变特定开关(晶体管)的体电压的作用是改变晶体管在该处改变状态的栅极-源极电压。通过向被识别为导致误差的开关的体端子施加适当的修整电压  $V_{TRIM}$ ,其体电压可被改变,以针对其开关点上的随机阈值电压变动的的影响进行补偿。这个技术也可用于针对其他失配进行补偿,即,通过改变晶体管的操作,直到这些其他失配的影响被消除为止。体电压变动的技术在 EP07113379.7 (其全部内容、尤其是与其图 13 有关的内容通过引用被结合在此)中公开,并且该技术可被类推地应用于本发明的实施例中。

[0247] 因此,可以“在线”执行校准,直到所选择的平均数字输出功率彼此相等为止。在此状态中,脉冲平均起来具有相同的面积,在此情况下它们具有相同的宽度并因而具有相同的间距。这样,采样偏离被去除到一阶近似的程度。

[0248] 图 26 和 27 给出了 ADC 电路 40 的完整实现方式的仿真结果,该实现方式被配置为采样电路 42 执行 1:4 解复用,并且解复用器 46 是单级 1:4 解复用器,从而整个电路执行 1:16 解复用。

[0249] 在仿真中,输出电流脉冲被积分到 ADC 输入电容器上,并且解复用器 46 的输出被重组以产生等同的单个 ADC 输出信号。该单个输出信号随后经历 FFT 处理,以产生图 26 中的频域结果。在图 26 的上半部图中,最上方踪迹表示快速硅工艺,中间踪迹表示典型硅工艺,下方踪迹表示慢速硅工艺。在其他两个图中也表示了这三种工艺。图 27 中的结果是来自仿真的实际时域信号踪迹。

[0250] 可以明了,带宽滚降的主要原因是如上所述的样本脉冲形状。随着 PVT(工艺、电压、温度)容差的变化存在小的变动,例如在 20GHz 下为  $\pm 1$ dB,如图 26 中的顶部图中所示。这种滚降可以利用包括 FIR 均衡器在内的、产生近似线性的相位的简单固定三抽头 FIR(有限冲击响应)滤波器来加以校正,如前所述。

[0251] 还可以看出,对于最高达 20GHz 的输入信号频率,输出具有多于 8 比特的 ENOB(有效位数)。这是在全尺寸正弦波的情况下测量的。采样器失真将随着信号电平而下降。

[0252] 图 28 是包含了一些改进的根据本发明一个实施例的 ADC 电路 40 的一些部分的示意图。为了简单起见,图 28 中的电路被示意性地以与图 17 中类似的格式呈现,只不过电阻被省略并且开关被表示为十字状。同样,为了简单起见,与图 17 中一样,只示出采样器电路 42 和解复用电路 46 的一些部分。然而,“正”和“负”互补部分 54 和 56 都被示出。

[0253] 部分 54 的解复用电路 46 中的尾节点被标记以数字 200,并且部分 56 中的相应尾节点被标记以数字 202。如前所述,这种节点(与采样器电路 42 中的根尾节点 60 和 66 一样)一般具有寄生电容,因此当在使用期间电荷包或脉冲通过这些节点时,在这些寄生电容上可能存储微小量的电荷(但仍然是存在的)。

[0254] 由于图 28 中的电路是差分电路,因此具体而言重要的不是各个电荷包的大小,而是通过电荷 54 的电荷包的大小与其通过部分 56 的相应互补电荷包的大小之间的差异。当电荷包/脉冲通过时,某一量的电荷可能会被留在例如节点 200 的寄生电容上,并且某一不同量的电荷可能会被类似地留在节点 202 处。因此,这些量的残余电荷可能影响下一对通过的脉冲的大小,从而成为误差的原因。

[0255] 为了致力于解决此问题,图 28 的电路包括复位电路 210。复位电路 210 利用了节点对 200 和 202 在电荷包之间所拥有的所谓的“停歇时间”(down time)。在该停歇时间期间,均衡电路操作,以使节点 200 和 202 中的每一个达到其在传送先前包之前所处的那个电势。这样,这些节点中的每一个在每次有一包通过之前被返回到相同的起始电压,从而对于每个包,任何残余电荷的作用是相同的。这是致力于使一对的两个节点之间的电势差在周期与周期之间保持相同的一种方式。

[0256] 在本实施例中,复位电路 210 例如可被实现为一对开关(未示出),经由大电容将其各自的节点 200 和 202 连接到地。这些开关可以利用现有的时钟信号,该时钟信号在节点 200 和 202 意图停用时对于另外的节点而言是能用的。这样,节点 200 和 202 在停歇时间期间可以都一起连接到地,以使其中每一个上的残余电荷返回到起始值。通过使两个互补节点 200 和 202 上的残余电荷返回到起始值(该起始值对于每个节点可能是不同的),可以基本上防止否则就可能影响下一组脉冲的任何误差。

[0257] 复位电路 210 可以通过许多其他方式来实现,例如它甚至可用于每次将节点 200 和 202 连接在一起,以均衡这些节点上的电荷。

[0258] 当然,对于部分 54 和 56 的树形结构中的任何或所有互补节点对,都可以设置复位电路 210,以在其“停歇时间”期间复位其上的残余电荷。这包括经解复用器电路 46A 一直到子 ADC 电路 46B&48 的树形结构中的所有节点(参见图 21),在每种情况下使用适当的现有的(或者可能是专用的)时钟信号来在有关节点对的停歇时间期间激活有关开关。此技术在节点 60 和 66 之间是不可行的,因为它们不像其他节点那样具有“停歇时间”(通过比较图 13 和图 18 可以明了这一点)。

[0259] 在所附权利要求的范围内,本发明可以以许多其他不同形式来实现。

[0260] 本发明被认为延及以下陈述:

[0261] A.

[0262] 1. 用于对电流信号进行采样的电流模式电路,该电路包括:

[0263] 第一节点,被配置为被施加以电流信号;

[0264] X 个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;以及

[0265] 导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包,

[0266] 其中:

[0267] X 是大于或等于 3 的整数;并且

[0268] 导引装置包括:

[0269] 控制信号生成装置,被配置为生成 X 个时间交织正弦型控制信号;以及

[0270] 开关装置,沿着所述路径分布并被配置为依据 X 个正弦型控制信号来执行这种控制。

- [0271] 2. 根据陈述 1 的电路,其中,所述控制信号大体上是升余弦信号。
- [0272] 3. 根据陈述 1 或 2 的电路,其中,所述控制信号被相对于彼此基本上均等地时间交织。
- [0273] 4. 根据前述陈述中任何一个的电路,其中, $X=4$ 。
- [0274] 5. 根据前述陈述中任何一个的电路,其中,所述导引装置被配置为使得  $X$  个路径中的每一个被所述  $X$  个控制信号中不同的一个所控制。
- [0275] 6. 根据陈述 5 的电路,其中,所述导引装置被配置为使得  $X$  个路径中的每一个在其控制信号处于其最大值或在其最大值附近时基本上是导通的,而在其控制信号处于其最小值或在其最小值附近时基本上是不导通的。
- [0276] 7. 根据陈述 5 或 6 的电路,其中,所述导引装置被配置为使得当所述控制信号中的两个具有相同的值时,其相应的路径具有基本上相同水平的导通。
- [0277] 8. 根据陈述 5 至 7 中任何一个的电路,其中:
- [0278] 所述开关装置包括每个路径的晶体管;并且
- [0279] 对于每个路径,有关晶体管的连接方式使得其沟道形成该路径的一部分并且其被该路径的控制信号所控制。
- [0280] 9. 根据陈述 8 的电路,其中:
- [0281] 所述晶体管是具有栅极端的 MOSFET;并且
- [0282] 对于每个路径,有关晶体管的栅极端被连接来接收该路径的控制信号。
- [0283] 10. 根据前述陈述中任何一个的电路,还包括:
- [0284] 能够操作来接收输入电压信号的输入节点;以及
- [0285] 连接在输入节点和第一节点之间的转换装置,用于将输入电压信号转换成电流信号,该转换装置被配置为包括用于执行转换的电阻的无源电路。
- [0286] 11. 根据陈述 10 的电路,其中,转换装置包括电阻器网络,该电阻器网络具有所述电阻并且被配置为使得输入节点随着频率变化具有基本恒定的输入阻抗。
- [0287] 12. 根据陈述 11 的电路,其中,所述第一节点具有电容性输入阻抗,并且所述网络包括被配置为针对所述第一节点处的电容性输入阻抗进行补偿的电感。
- [0288] 13. 根据陈述 11 或 12 的电路,其中,所述网络被配置为使得所述第一节点处的电压波动对将输入电压信号转换成电流信号的转换的影响被按比例减小。
- [0289] 14. 根据陈述 13 的电路,其中,该网络具有执行这种按比例减小的电势分配器配置。
- [0290] 15. 根据前述陈述中任何一个的电路,还包括:
- [0291] 生成装置,用于基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值。
- [0292] 16. 根据陈述 15 的电路,还包括:
- [0293] 校准装置,能够操作来组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且依据所述(一个或多个)组合样本值来校准电路的操作。
- [0294] 17. 根据陈述 16 的电路,其中,校准装置能够操作来组合随着时间的流逝一个所述第二节点的样本值以为该节点创建组合样本值,并且依据在该组合样本值和一基准值之间进行的比较来校准电路的操作。

[0295] 18. 根据陈述 16 或 17 的电路,其中,校准装置能够操作来组合随着时间的流逝一个所述第二节点的样本值以为该节点创建组合样本值,并且组合随着时间的流逝另一所述第二节点的样本值以为该另一节点创建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。

[0296] 19. 根据陈述 16 至 18 中任何一个的电路,其中,校准装置能够操作来对于每个所述第二节点,组合随着时间的流逝该第二节点的样本值以创建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。

[0297] 20. 根据陈述 16 至 19 中任何一个的电路,其中:

[0298] 校准装置能够操作来影响控制信号生成装置和 / 或开关装置的操作,以执行这种校准。

[0299] 21. 根据陈述 20 的电路,其中,校准装置能够操作来对控制信号的相位和 / 或幅值进行控制,以执行所述校准。

[0300] 22. 根据陈述 21 的电路,其中:

[0301] 导引装置被配置为使得每个所述第二节点到第一节点的导通性连接受它的所述控制信号的控制;

[0302] 校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且

[0303] 校准装置能够操作来控制这些候选节点之一或两者的控制信号的相位和 / 或幅值,以针对这些候选节点的组合样本值之间的任何差异进行补偿。

[0304] 23. 根据陈述 20 至 22 中任何一个的电路,其中,校准装置能够操作来控制所述开关装置对所述控制信号的依赖性,以执行所述校准。

[0305] 24. 根据陈述 23 的电路,其中:

[0306] 开关装置包括每个路径的晶体管;

[0307] 对于每个路径,有关晶体管的连接方式使得其沟道形成该路径的一部分并且使得其受该路径的第二节点的控制信号的控制;

[0308] 校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且

[0309] 校准装置能够操作来控制这些候选节点之一或两者的路径上的晶体管的栅极和 / 或体电压,以针对这些候选节点的组合样本值之间的任何差异进行补偿。

[0310] 25. 根据陈述 15 至 24 中任何一个的电路,包括:

[0311] 校准装置,能够操作来分析样本值或样本值中的一些并且依据这种分析来校准电路的操作。

[0312] 26. 根据前述陈述中任何一个的电路,被配置为具有树形结构,其中:

[0313] 第一节点是树形结构的根节点;

[0314] 第二节点是树形结构的第一层节点,其中每一个能够直接地导通性地连接到根节点;

[0315] 电路对于每个第一层节点还包括树形结构的多个后续层节点,其中每一个能够经

由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点；并且

[0316] 导引装置能够操作来控制根节点和后续层节点之间的这种连接，从而随着时间的流逝，沿着不同的所述路径来导引构成所述电流信号的不同电荷包。

[0317] 27. 根据陈述 26 的电路，其中：

[0318] 导引装置能够操作来使用所述正弦型控制信号来控制根节点和第一层节点之间的连接；

[0319] 控制信号生成装置能够操作来生成多个时间交织开关逻辑控制信号；并且

[0320] 导引装置能够操作来使用开关逻辑控制信号来控制第一层节点和后续层节点之间的连接。

[0321] 28. 根据陈述 27 的电路，其中，与用于控制根节点和第一层节点之间的连接的控制信号相比，用于控制第一层节点和后续层节点之间的连接的控制信号具有更大的峰到峰电压和 / 或更长的导通时间。

[0322] 29. 根据陈述 26 至 28 中任何一个的电路，其中：

[0323] 生成装置能够操作来基于通过所述后续层节点的各个这种电荷包的特性来生成样本值，这些样本值指示出与有关电荷包相对应的所述电流信号的值。

[0324] 30. 根据前述陈述中任何一个的电路，包括：

[0325] 连接到除第一节点外的所述节点的复位装置，该复位装置能够操作来在该节点的包之间的时段期间尝试使该节点的电压电势等于预定的值。

[0326] 31. 根据前述陈述中任何一个的电路，其中，复位装置能够操作来使得该节点的电压电势在该节点的相继的包之间返回到相同值。

[0327] 32. 根据陈述 30 或 31 的电路，包括多个所述复位装置，其中每一个用于一个不同的这种除第一节点之外的节点。

[0328] 33. 根据陈述 1 至 29 中任何一个的电路，被配置用于对互补的第一和第二所述电流信号进行采样，其中：

[0329] 电路包括互补的第一和第二电路部分，第一部分用于对第一电流信号进行采样，第二部分用于对第二电流信号进行采样；

[0330] 每个所述部分包括这样的第一节点、第二节点和导引装置；

[0331] 电路还包括复位装置，该复位装置连接到第一部分的所述第二节点中的至少一个和第二部分的互补节点，并且在该对互补节点的包之间的时段期间，能够操作来尝试使这两个节点之间的电压电势差等于预定的值。

[0332] 34. 根据陈述 33 的电路，其中，所述复位装置连接到该对互补节点的两个节点。

[0333] 35. 根据陈述 33 或 34 的电路，其中，所述复位装置能够操作来将该对互补节点中的节点或两个节点连接到一基准电势，以尝试使电势差等于预定值。

[0334] 36. 根据陈述 33 至 35 中任何一个的电路，其中，所述复位装置能够操作来使该对互补节点中的节点处于彼此相同的电势。

[0335] 37. 根据陈述 36 的电路，其中，复位装置连接在所述一对互补节点之间，并且能够操作来将这些节点连接在一起，以使这些节点处于彼此相同的电势。

[0336] 38. 根据陈述 33 至 37 中任何一个的电路，其中，复位装置能够操作来使得该对互补节点中的节点或两个节点的电压电势在相继的包之间返回到相同的值。

[0337] 39. 根据陈述 33 至 38 中任何一个的电路,包括多个所述复位装置,其中每一个用于一个不同的这种互补节点对。

[0338] 40. 根据陈述 33 至 39 中任何一个的电路,其中,每个所述部分还包括:

[0339] 生成装置,用于基于通过该部分的第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。

[0340] 41. 根据陈述 1 至 29 中任何一个的电路,被配置用于对互补的第一和第二所述电流信号进行采样,其中:

[0341] 电路包括互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样;

[0342] 每个所述部分包括这样的第一节点、第二节点和导引装置;

[0343] 每个所述部分被配置成树形结构;

[0344] 对于每个所述部分,第一节点是树形结构的根节点,第二节点是树形结构的第一层节点,其中每一个能够直接地导通性地连接到该部分的根节点,并且该部分对于每个第一层节点还包括其树形结构的多个后续层节点,其中每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点;并且

[0345] 对于每个所述部分,导引装置能够操作来控制根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;

[0346] 电路还包括复位装置,该复位装置连接到第一部分的所述第一节点或后续层节点中的至少一个和第二部分的互补节点,并且在对该对互补节点的包之间的时段期间,能够操作来尝试使这两个节点之间的电势差等于预定的值。

[0347] 42. 根据陈述 41 的电路,其中,所述复位装置连接到该对互补节点中的两个节点。

[0348] 43. 根据陈述 41 或 42 的电路,其中,所述复位装置能够操作来将该对互补节点中的节点或两个节点连接到一基准电势,以尝试使电势差等于预定值。

[0349] 44. 根据陈述 41 至 43 中任何一个的电路,其中,所述复位装置能够操作来使该对互补节点中的节点处于彼此相同的电势。

[0350] 45. 根据陈述 44 的电路,其中,复位装置连接在所述一对互补节点之间,并且能够操作来将这些节点连接在一起,以使这些节点处于彼此相同的电势。

[0351] 46. 根据陈述 41 至 45 中任何一个的电路,其中,复位装置能够操作来使得该对互补节点中的节点或两个节点的电压电势在相继的包之间返回到相同的值。

[0352] 47. 根据陈述 41 至 46 中任何一个的电路,包括多个所述复位装置,其中每一个用于一个不同的这种互补节点对。

[0353] 48. 根据陈述 41 至 47 中任何一个的电路,其中,每个所述部分还包括:

[0354] 生成装置,用于基于通过该部分的后续层节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。

[0355] B.

[0356] 49. 用于对电流信号进行采样的电流模式电路,该电路包括:

[0357] 第一节点,被配置为被施加以电流信号;

[0358] 多个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;

[0359] 导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,



沿着不同的所述路径来导引构成所述电流信号的不同电荷包；

[0360] 生成装置,用于基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值;以及

[0361] 校准装置,能够操作来组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值,并且依据所述(一个或多个)组合样本值来校准电路的操作。

[0362] 50. 根据陈述 49 的电路,其中,校准装置能够操作来组合随着时间的流逝一所述第二节点的样本值以为该节点创建组合样本值,并且依据在该组合样本值和一基准值之间进行的比较来校准电路的操作。

[0363] 51. 根据陈述 49 或 50 的电路,其中,校准装置能够操作来组合随着时间的流逝一个所述第二节点的样本值以为该节点创建组合样本值,并且组合随着时间的流逝另一所述第二节点的样本值以为该另一节点创建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。

[0364] 52. 根据陈述 49 至 51 中任何一个的电路,其中,校准装置能够操作来对于每个所述第二节点,组合随着时间的流逝该第二节点的样本值以创建组合样本值,并且依据在这些组合样本值之间进行的比较来校准电路的操作。

[0365] 53. 根据陈述 49 至 52 中任何一个的电路,其中:

[0366] 导引装置包括控制信号生成装置,该控制信号生成装置被配置为生成一组时间交织控制信号,其中对于每个所述第二节点有一个该控制信号;

[0367] 导引装置包括开关装置,该开关装置沿着所述路径分布并被配置为依据控制信号来执行对连接的这种控制;并且

[0368] 校准装置能够操作来影响控制信号生成装置和/或开关装置的操作,以执行这种校准。

[0369] 54. 根据陈述 53 的电路,其中,校准装置能够操作来对控制信号的相位和/或幅值进行控制,以执行所述校准。

[0370] 55. 根据陈述 54 的电路,其中:

[0371] 导引装置被配置为使得每个所述第二节点到第一节点的导通性连接受它的所述控制信号的控制;

[0372] 校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且

[0373] 校准装置能够操作来控制这些候选节点之一或两者的控制信号的相位和/或幅值,以针对这些候选节点的组合样本值之间的任何差异进行补偿。

[0374] 56. 根据陈述 53 至 55 中任何一个的电路,其中,校准装置能够操作来控制所述开关装置对所述控制信号的依赖性,以执行所述校准。

[0375] 57. 根据陈述 56 的电路,其中:

[0376] 开关装置包括每个路径的晶体管;

[0377] 对于每个路径,有关晶体管的连接方式使得其沟道形成该路径的一部分并且使得其受该路径的第二节点的控制信号的控制;

[0378] 校准装置能够操作来组合随着时间的流逝一个候选的所述第二节点的样本值以

为该节点提供组合样本值,并且组合随着时间的流逝另一候选的所述第二节点的样本值以为该另一节点提供组合样本值;并且

[0379] 校准装置能够操作来控制这些候选节点之一或两者的路径上的晶体管的栅极和/或电电压,以针对这些候选节点的组合样本值之间的任何差异进行补偿。

[0380] C.

[0381] 58. 用于对电流信号进行采样的电流模式电路,该电路包括:

[0382] 第一节点,被配置为被施加以电流信号;

[0383] 多个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;

[0384] 导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;以及

[0385] 生成装置,用于基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值,

[0386] 其中:

[0387] 导引装置包括:被配置为生成基本上为正弦型的控制信号的控制信号生成装置,以及沿着所述路径分布并被配置为依据正弦型控制信号来执行这种控制的开关装置;并且

[0388] 电路还包括校准装置,该校准装置能够操作来分析样本值或样本值中的一些并且依据这种分析来校准电路的操作。

[0389] 59. 根据陈述 58 的电路,其中:

[0390] 校准装置能够操作来影响控制信号生成装置和/或开关装置的操作,以执行这种校准。

[0391] D.

[0392] 60. 用于对电流信号进行采样的电流模式电路,该电路包括:

[0393] 一根节点,被配置为被施加以电流信号;

[0394] 多个第一层节点,其中每一个能够直接地导通性地连接到根节点;

[0395] 对于每个第一层节点的多个后续层节点,其中每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点;以及

[0396] 导引装置,用于控制根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包。

[0397] 61. 根据陈述 60 的电路,其中:

[0398] 导引装置能够操作来使用所述正弦型控制信号来控制根节点和第一层节点之间的连接,并且使用开关逻辑控制信号来控制第一层节点和后续层节点之间的连接。

[0399] 62. 根据陈述 61 的电路,其中,与用于控制根节点和第一层节点之间的连接的控制信号相比,用于控制第一层节点和后续层节点之间的连接的控制信号具有更大的峰到峰电压和/或更长的导通时间。

[0400] 63. 根据陈述 60 至 62 中任何一个的电路,还包括:

[0401] 生成装置,能够操作来基于通过所述后续层节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值。

[0402] E.

[0403] 64. 用于对电流信号进行采样的电流模式电路,该电路包括:

[0404] 第一节点,被配置为被施加以电流信号;

[0405] 多个第二节点,能够沿着相应的路径导通性地连接到所述第一节点;

[0406] 导引装置,用于控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;以及

[0407] 连接到一所述第二节点的复位装置,该复位装置能够操作来在该节点的包之间的时段期间尝试使该节点的电压电势等于预定的值。

[0408] 65. 根据陈述 64 的电路,其中,复位装置能够操作来使得该第二节点的电压电势在该节点的相继的包之间返回到相同值。

[0409] 66. 根据陈述 64 或 65 的电路,包括多个所述复位装置,其中每一个用于一个不同的这种第二节点。

[0410] F.

[0411] 67. 用于对互补的第一和第二电流信号进行采样的电流模式电路,该电路包括:

[0412] 互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样,其中每个所述部分包括:

[0413] 一第一节点,被配置为被施加以用于该部分的电流信号;

[0414] 多个第二节点,能够沿着相应的路径导通性地连接到该部分的第一节点;以及

[0415] 导引装置,用于控制该部分的第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的电流信号的不同电荷包;以及

[0416] 复位装置,连接到第一部分的所述第二节点中的至少一个和第二部分的互补节点,并且在对该互补节点的包之间的时段期间,能够操作来尝试使这两个节点之间的电压电势差等于预定的值。

[0417] 68. 根据陈述 67 的电路,其中,所述复位装置连接到该对互补节点中的两个节点。

[0418] 69. 根据陈述 67 或 68 的电路,其中,所述复位装置能够操作来将该对互补节点中的节点或两个节点连接到一基准电势,以尝试使电势差等于预定值。

[0419] 70. 根据陈述 67 至 69 中任何一个的电路,其中,所述复位装置能够操作来使该对互补节点中的节点处于彼此相同的电势。

[0420] 71. 根据陈述 70 的电路,其中,复位装置连接在所述一对互补节点之间,并且能够操作来将这些节点连接在一起,以使这些节点处于彼此相同的电势。

[0421] 72. 根据陈述 67 至 71 中任何一个的电路,其中,复位装置能够操作来使得该对互补节点中的节点或两个节点的电压电势在相继的包之间返回到相同的值。

[0422] 73. 根据陈述 67 至 72 中任何一个的电路,包括多个所述复位装置,其中每一个用于一个不同的这种互补节点对。

[0423] 74. 根据陈述 67 至 73 中任何一个的电路,其中,每个所述部分还包括:

[0424] 生成装置,用于基于通过该部分的第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。G.

[0425] 75. 用于对互补的第一和第二电流信号进行采样的电流模式电路,该电路包括:

[0426] 互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分

用于对第二电流信号进行采样,其中每个所述部分包括:

[0427] 一根节点,被配置为被施加以用于该部分的电流信号;

[0428] 多个第一层节点,其中每一个能够直接地导通性地连接到该部分的根节点;

[0429] 对于该部分的每个第一层节点的多个后续层节点,其中每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到该部分的根节点;以及

[0430] 导引装置,用于控制该部分的根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的所述电流信号的不同电荷包;以及

[0431] 复位装置,连接到第一部分的所述第一节点或后续层节点中的至少一个和第二部分的互补节点,并且在该对互补节点的包之间的时段期间,能够操作来尝试使这两个节点之间的电压电势差等于预定的值。

[0432] 76. 根据陈述 75 的电路,其中,所述复位装置连接到该对互补节点中的两个节点。

[0433] 77. 根据陈述 75 或 76 的电路,其中,所述复位装置能够操作来将该对互补节点中的节点或两个节点连接到一基准电势,以尝试使电势差等于预定值。

[0434] 78. 根据陈述 75 至 77 中任何一个的电路,其中,所述复位装置能够操作来使该对互补节点中的节点处于彼此相同的电势。

[0435] 79. 根据陈述 78 的电路,其中,复位装置连接在所述一对互补节点之间,并且能够操作来将这些节点连接在一起,以使这些节点处于彼此相同的电势。

[0436] 80. 根据陈述 75 至 79 中任何一个的电路,其中,复位装置能够操作来使得该对互补节点中的节点或两个节点的电压电势在相继的包之间返回到相同的值。

[0437] 81. 根据陈述 75 至 80 中任何一个的电路,包括多个所述复位装置,其中每一个用于一个不同的这种互补节点对。

[0438] 82. 根据陈述 75 至 81 中任何一个的电路,其中,每个所述部分还包括:

[0439] 生成装置,用于基于通过该部分的后续层节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的、该部分的电流信号的值。

[0440] H.

[0441] 83. 模拟到数字转换电路,包括根据任何前述陈述的电路。

[0442] 84. 集成电路,包括根据任何前述陈述的电路。

[0443] 85. 一种 IC 芯片,包括根据任何前述陈述的电路。

[0444] I.

[0445] 86. 一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的 X 个第二节点,该方法包括:

[0446] 依据 X 个时间交织正弦型控制信号来控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包,

[0447] 其中:

[0448] X 是大于或等于 3 的整数。

[0449] 87. 一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的多

个第二节点,该方法包括:

[0450] 控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;

[0451] 基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值;

[0452] 组合来自所述第二节点中的一个或多个的样本值以提供一个或多个组合样本值;以及

[0453] 依据所述(一个或多个)组合样本值来校准电路的操作。

[0454] 88. 一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的多个第二节点,该方法包括:

[0455] 生成基本上为正弦型的控制信号;

[0456] 依据正弦型控制信号来控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;

[0457] 基于通过所述第二节点的各个这种电荷包的特性来生成样本值,这些样本值指示出与有关电荷包相对应的所述电流信号的值;

[0458] 分析样本值或样本值中的一些;以及

[0459] 依据这种分析来校准电路的操作。

[0460] 89. 一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的根节点、其中每一个能够直接地导通性地连接到根节点的多个第一层节点,以及对于每个第一层节点的多个后续层节点,这多个后续层节点中的每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到根节点,该方法包括:

[0461] 控制根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包。

[0462] 90. 一种在电流模式电路中对电流信号进行采样的方法,该电路具有被配置为被施加以电流信号的一第一节点和能够沿着相应的路径导通性地连接到所述第一节点的多个第二节点,该方法包括:

[0463] 控制第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着不同的所述路径来导引构成所述电流信号的不同电荷包;以及

[0464] 对于一所述第二节点,在该节点的包之间的时段期间尝试使该节点的电压电势等于预定的值。

[0465] 91. 一种在电流模式电路中对互补的第一和第二电流信号进行采样的方法,该电路具有互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样,其中每个所述部分包括被配置为被施加以用于该部分的电流信号的一第一节点和能够沿着相应的路径导通性地连接到该部分的第一节点的多个第二节点,该方法包括:

[0466] 对于每个所述部分,控制该部分的第一节点和第二节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的电流信号的不同电荷包;以及

[0467] 对于第一部分的一所述第二节点和第二部分的互补节点中的至少一个,在该对互补节点的包之间的时段期间,尝试使这两个节点之间的电压电势差等于预定的值。

[0468] 92. 一种在电流模式电路中对互补的第一和第二电流信号进行采样的方法,该电路具有互补的第一和第二电路部分,第一部分用于对第一电流信号进行采样,第二部分用于对第二电流信号进行采样,其中每个所述部分包括被配置为被施加以用于该部分的电流信号的一根节点、其中每一个能够直接地导通性地连接到该部分的根节点的多个第一层节点、以及对于该部分的每个第一层节点的多个后续层节点,这多个后续层节点中的每一个能够经由它的所述第一层节点沿着相应的路径间接地导通性地连接到该部分的根节点,该方法包括:

[0469] 对于每个所述部分,控制该部分的根节点和后续层节点之间的这种连接,从而随着时间的流逝,沿着该部分的不同的所述路径来导引构成该部分的所述电流信号的不同电荷包;以及

[0470] 对于第一部分的一所述第一节点或后续层节点和第二部分的互补节点中的至少一个,在该对互补节点的包之间的时段期间,尝试使这两个节点之间的电压电势差等于预定的值。

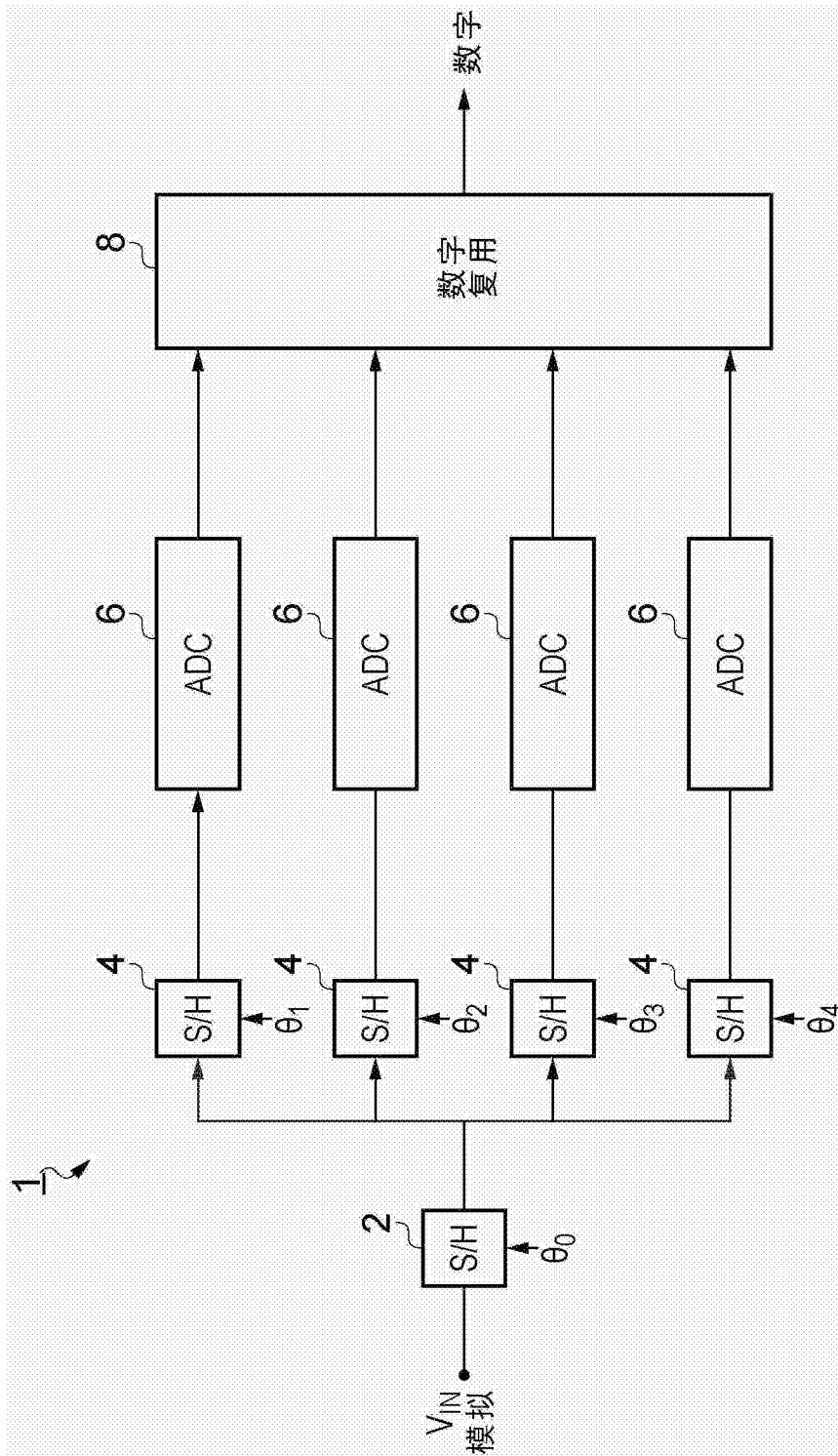


图 1

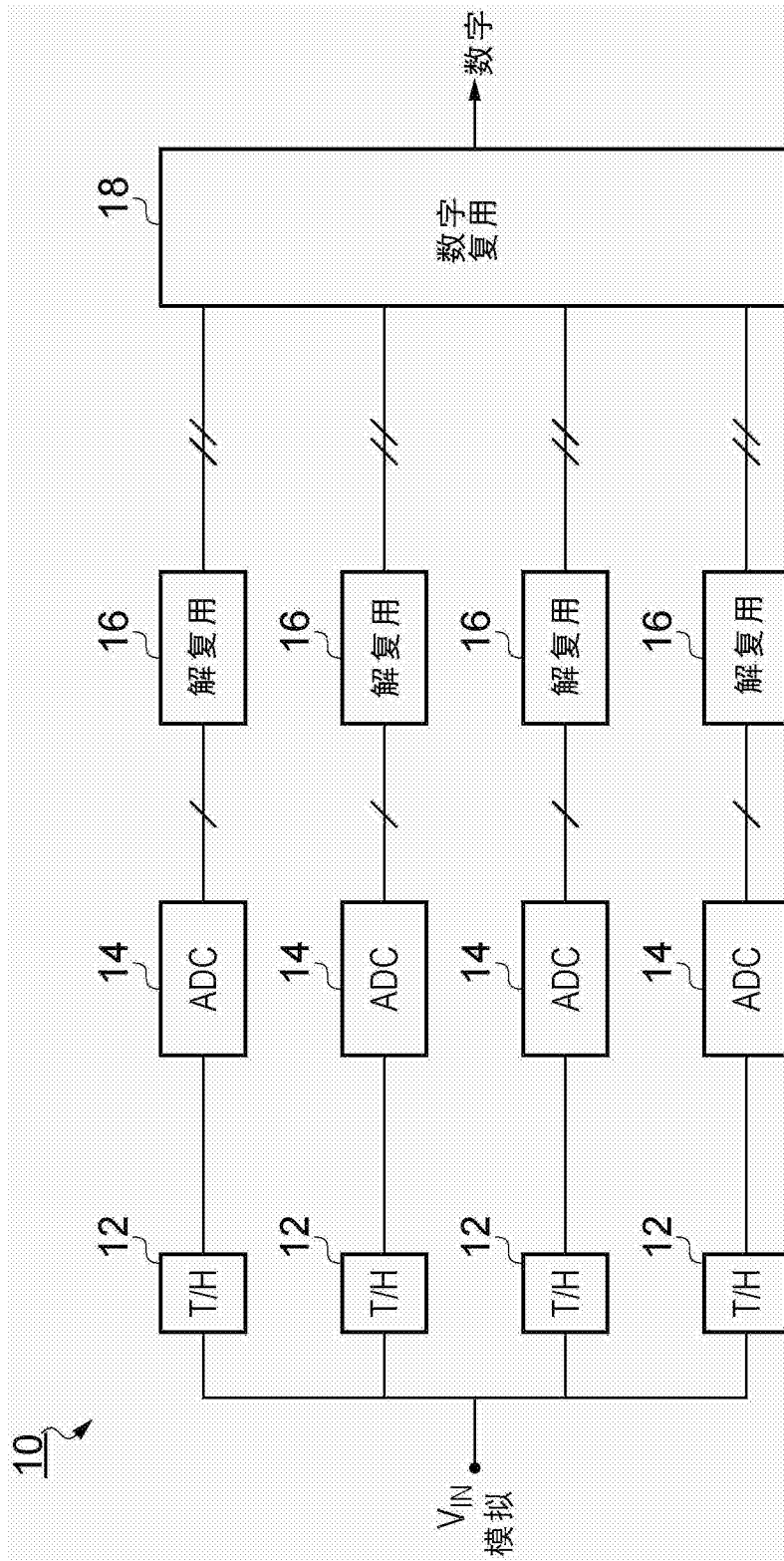


图 2



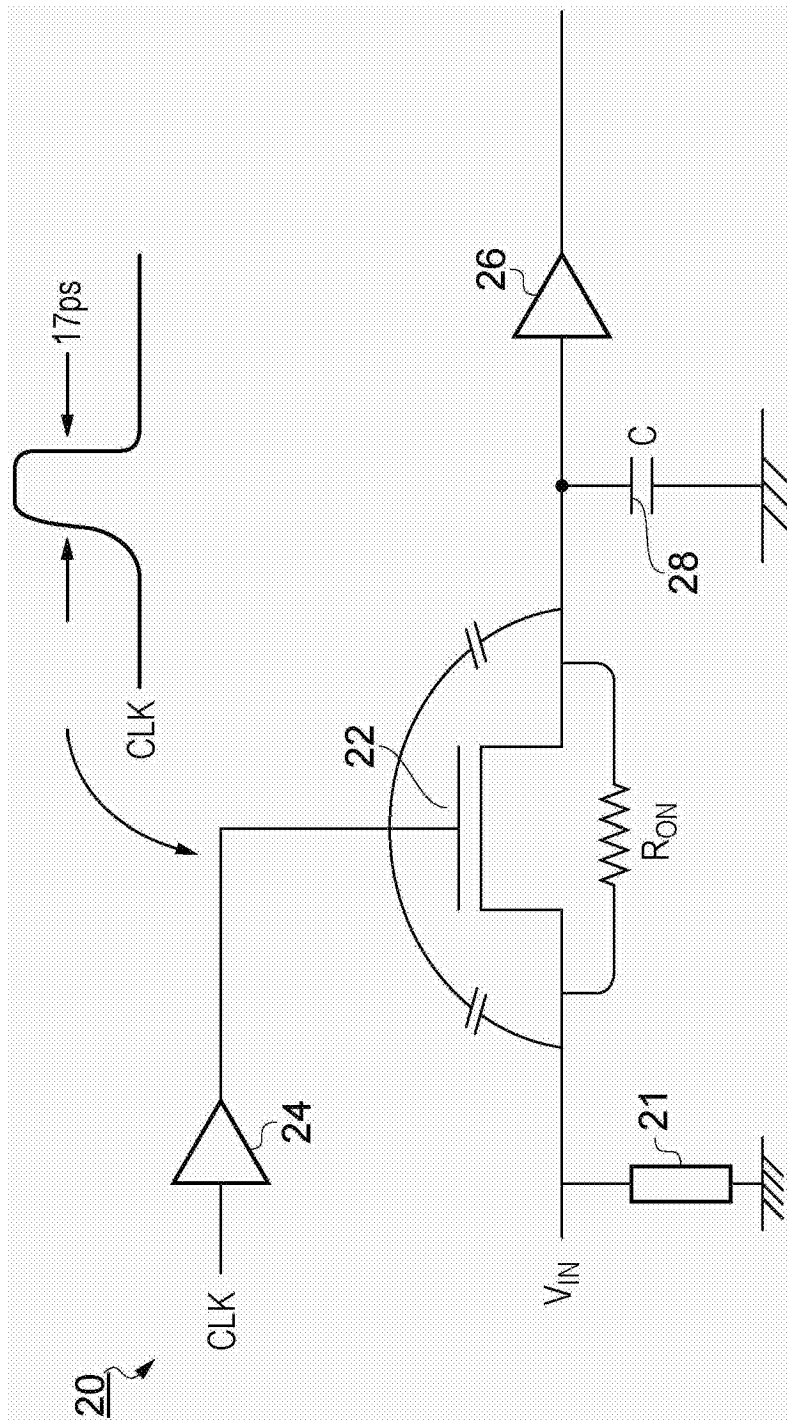


图 3

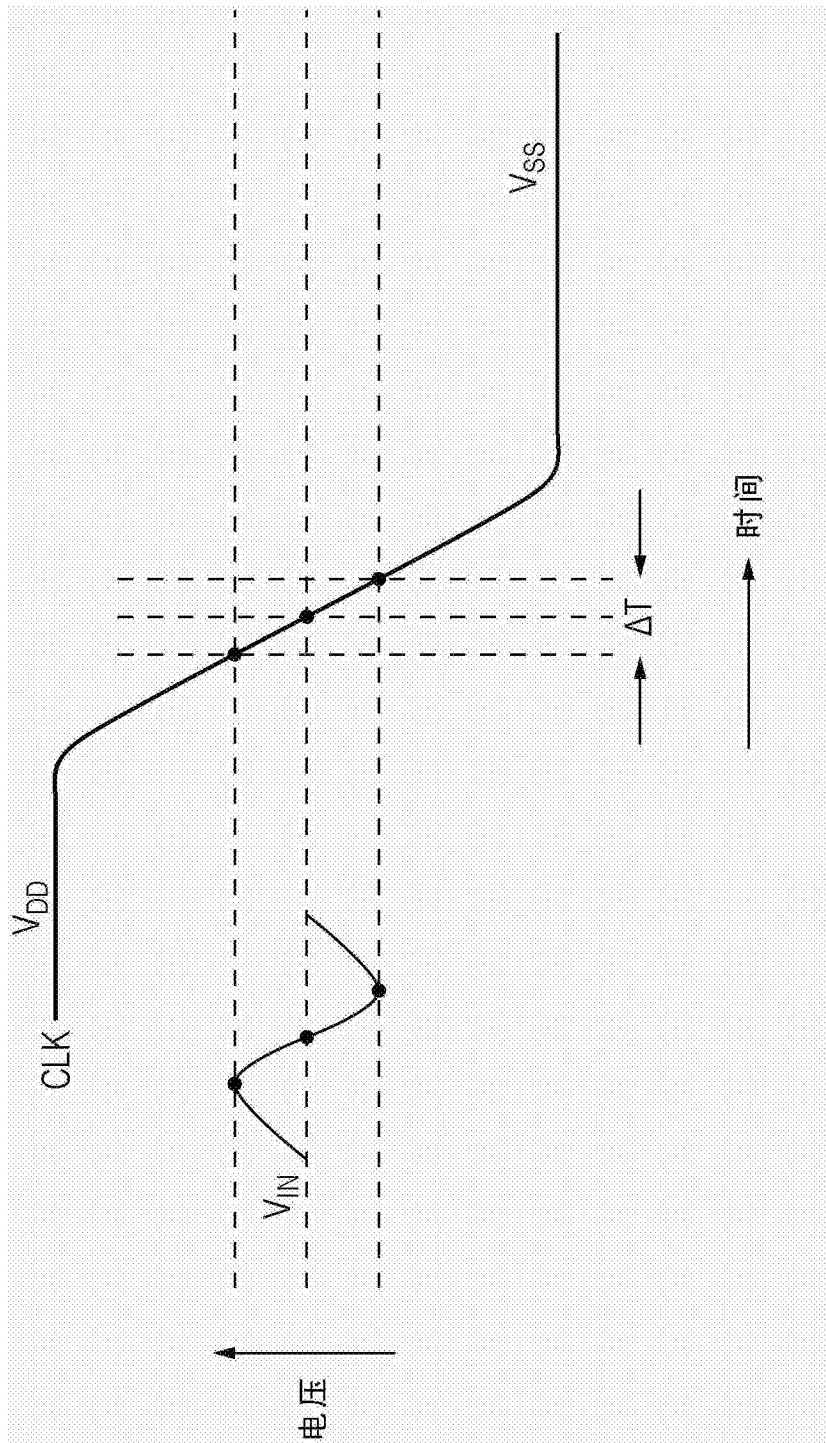


图 4

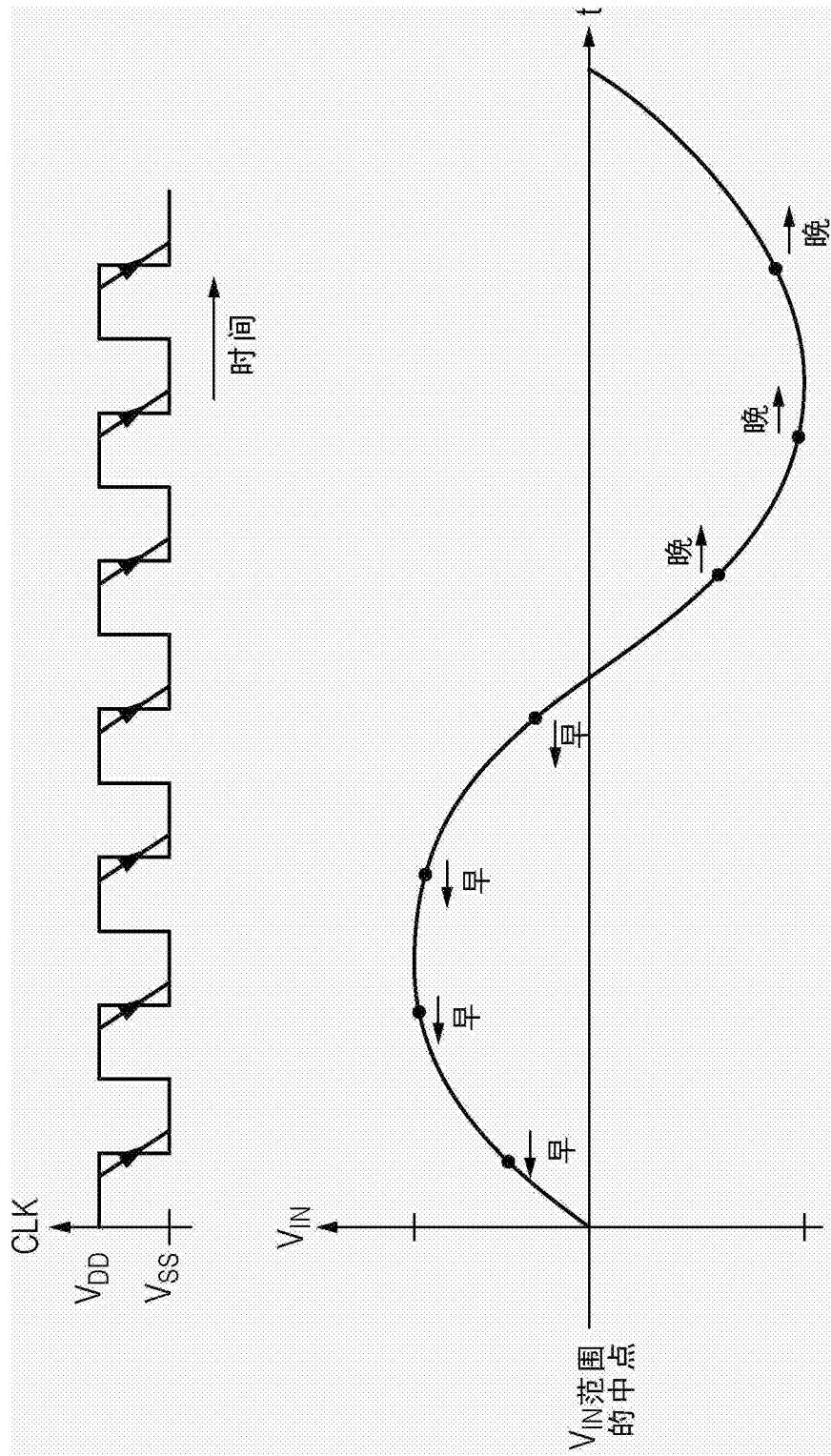


图 5

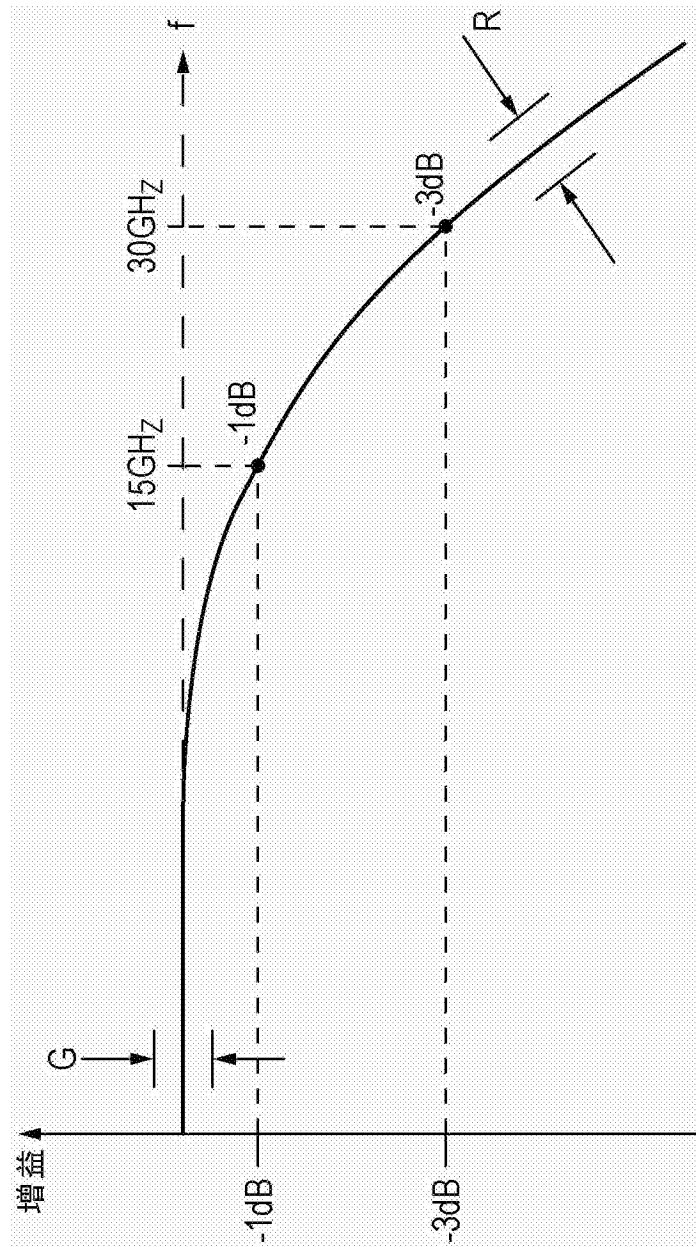


图 6

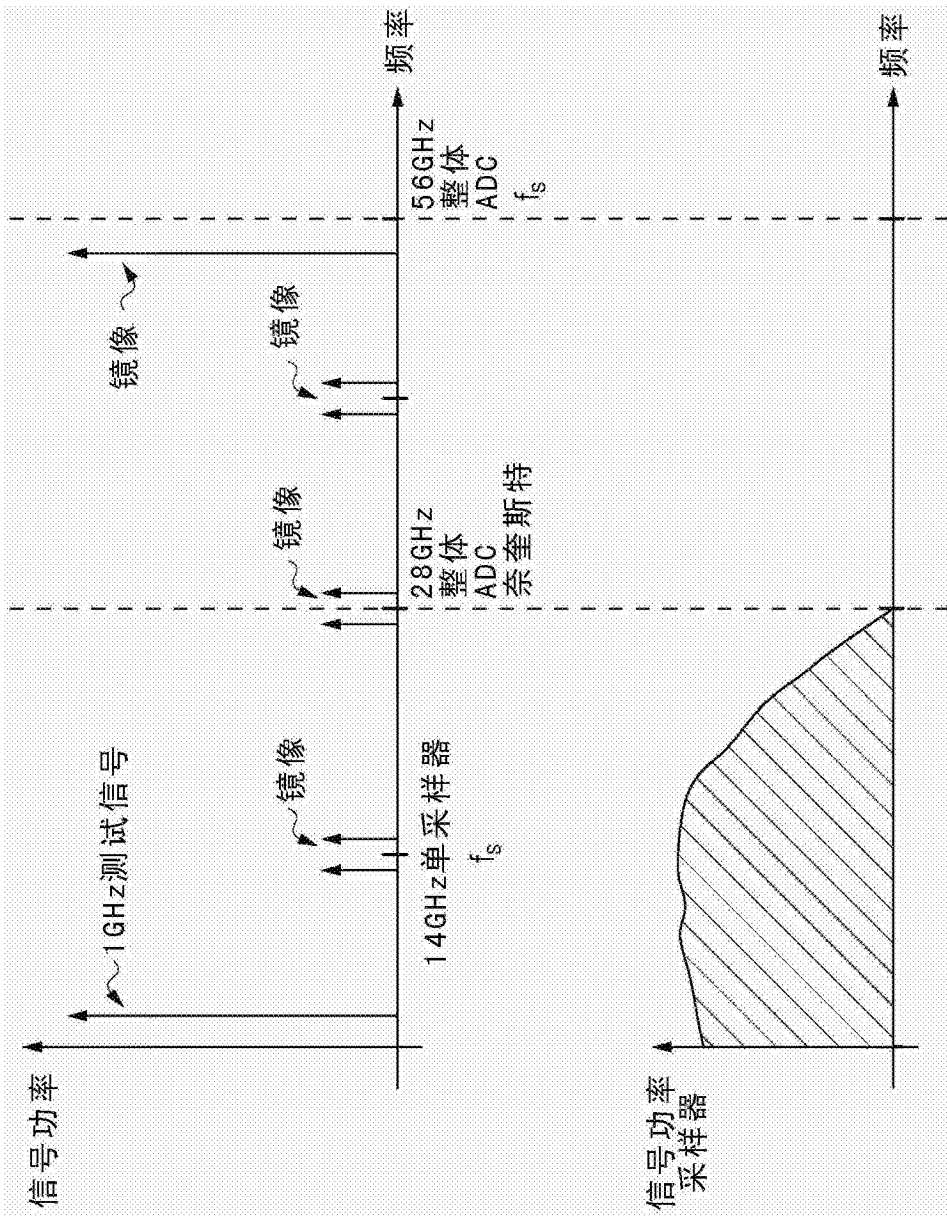


图 7

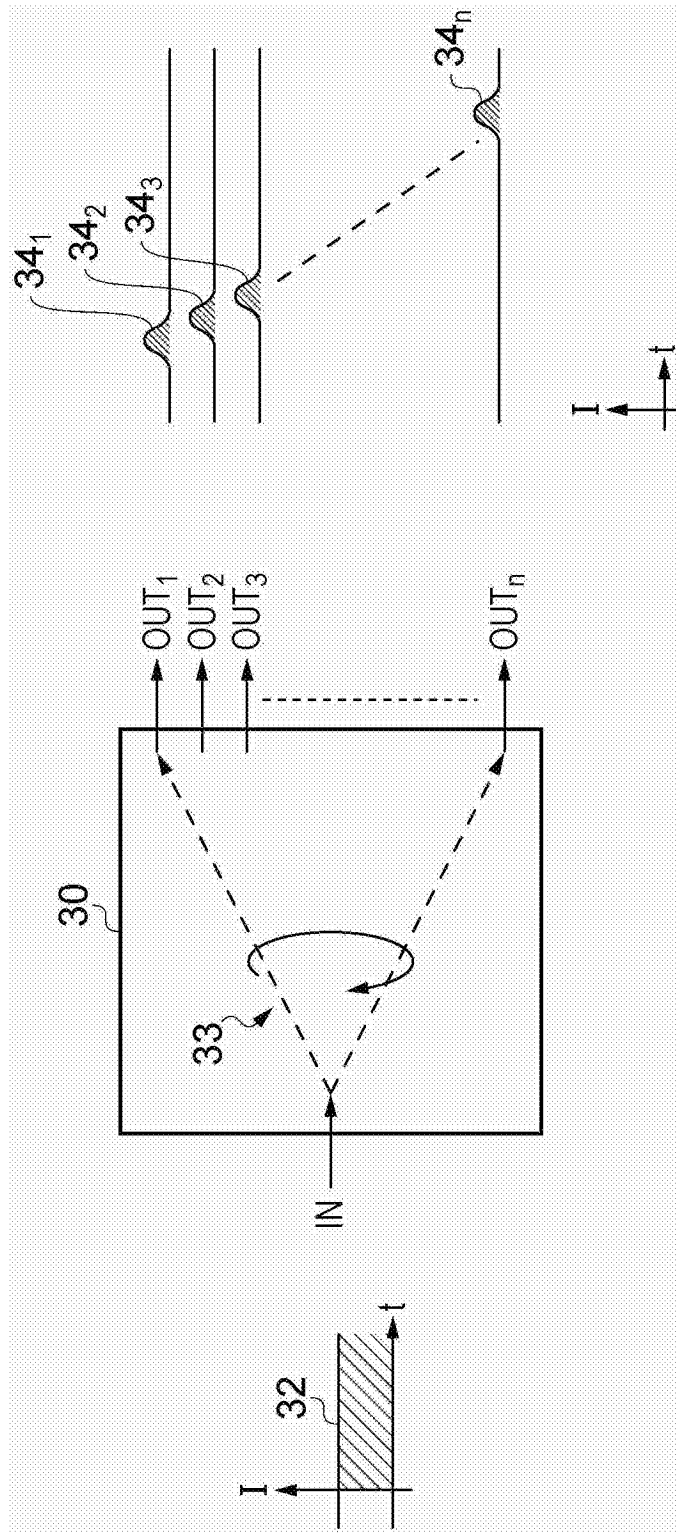


图 8

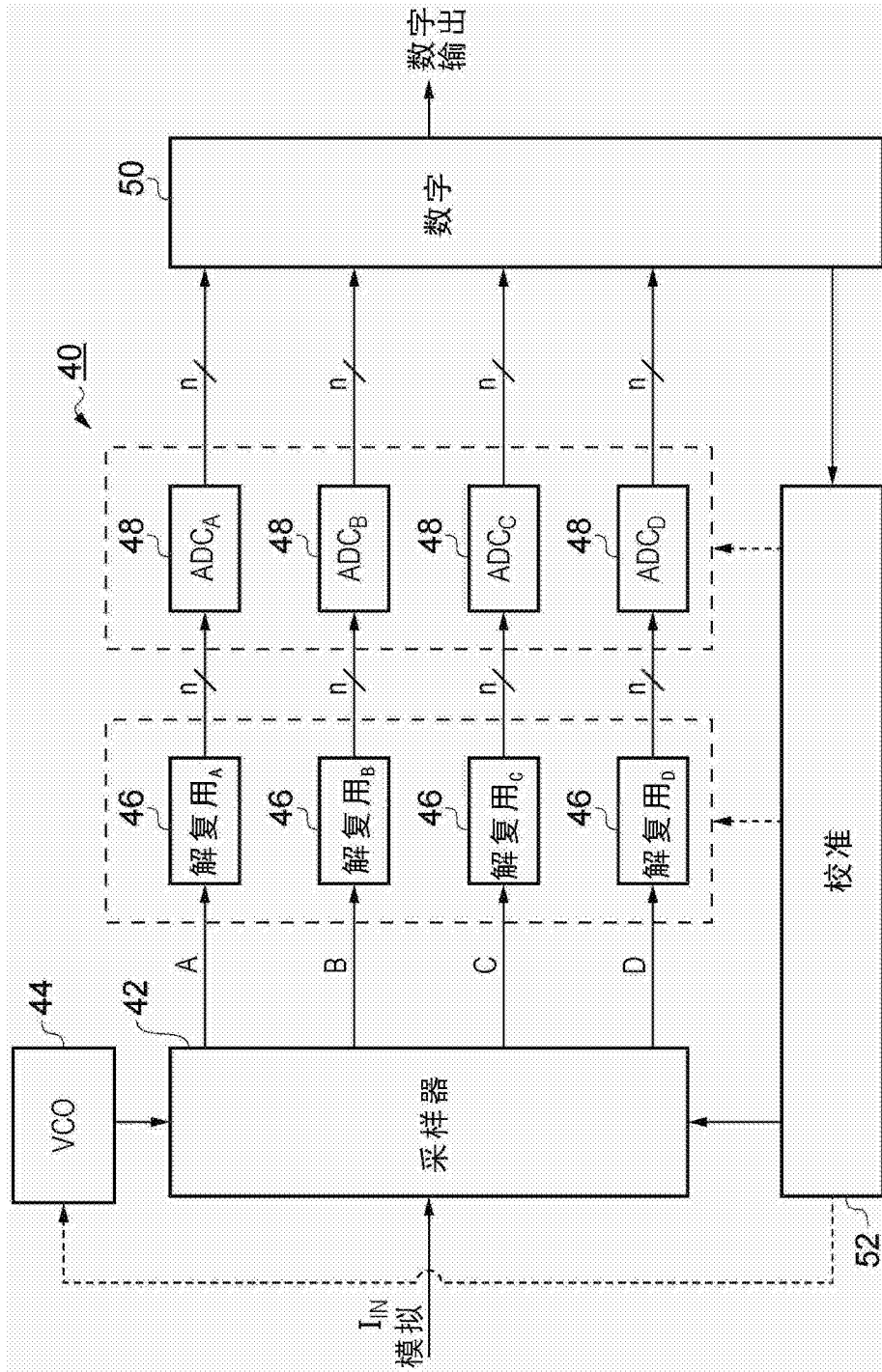


图 9

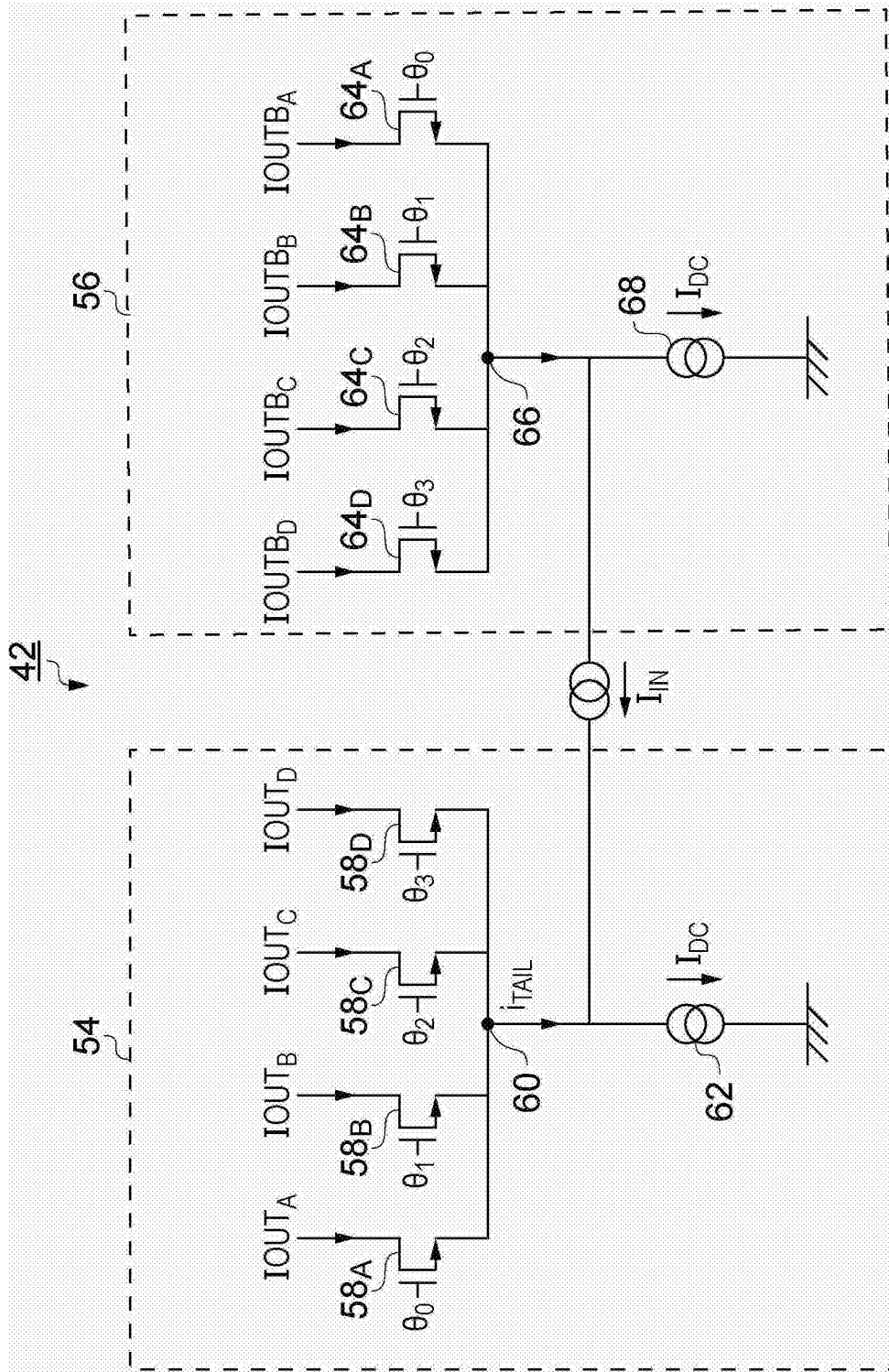


图 10



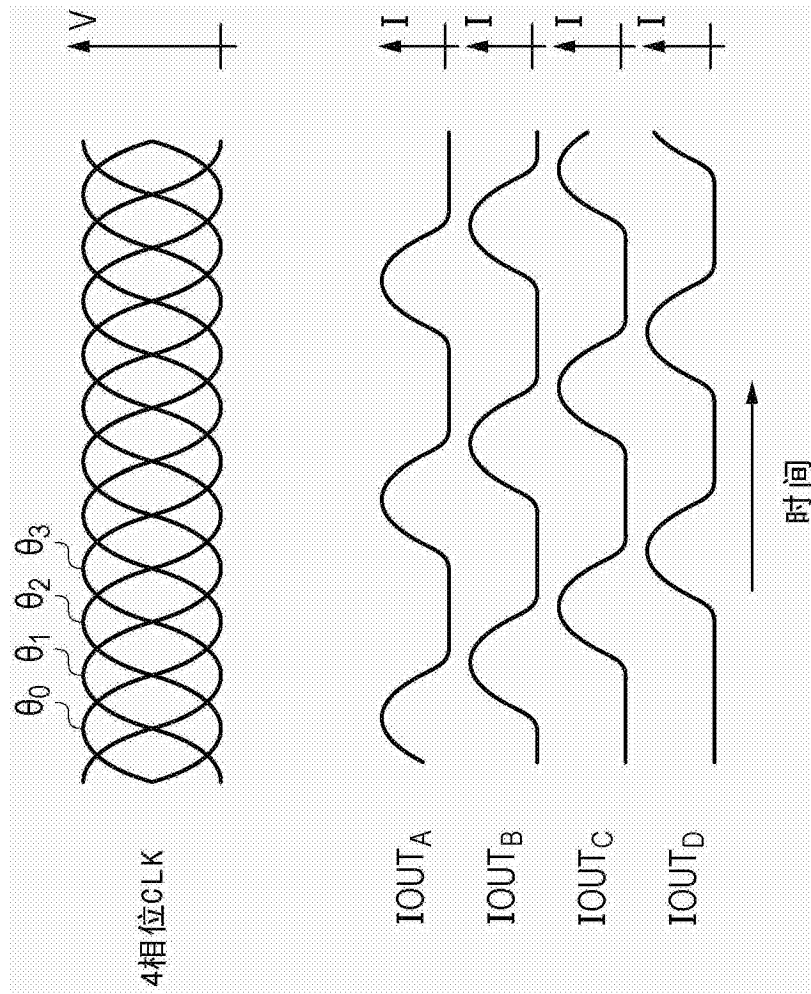


图 11

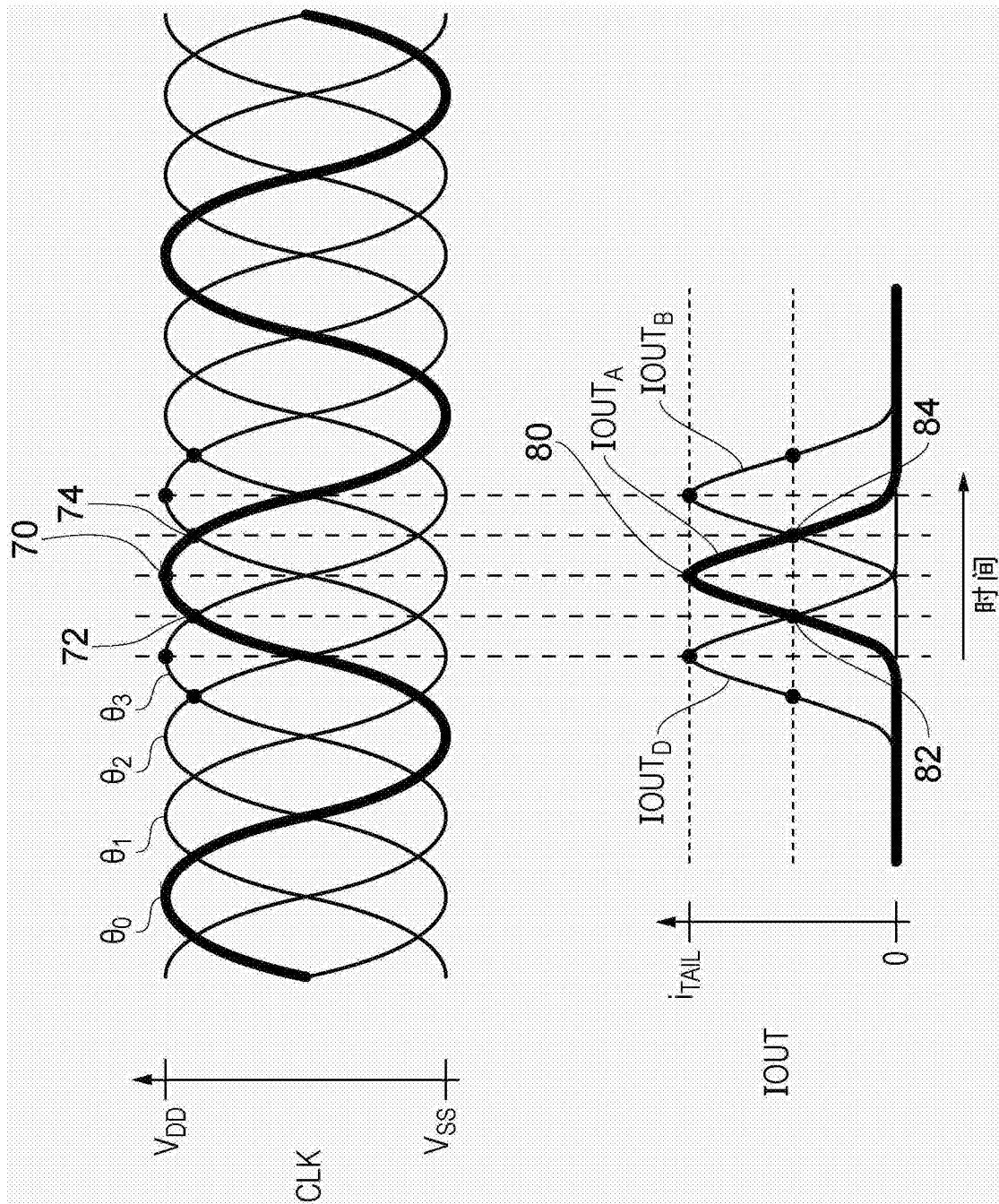


图 12

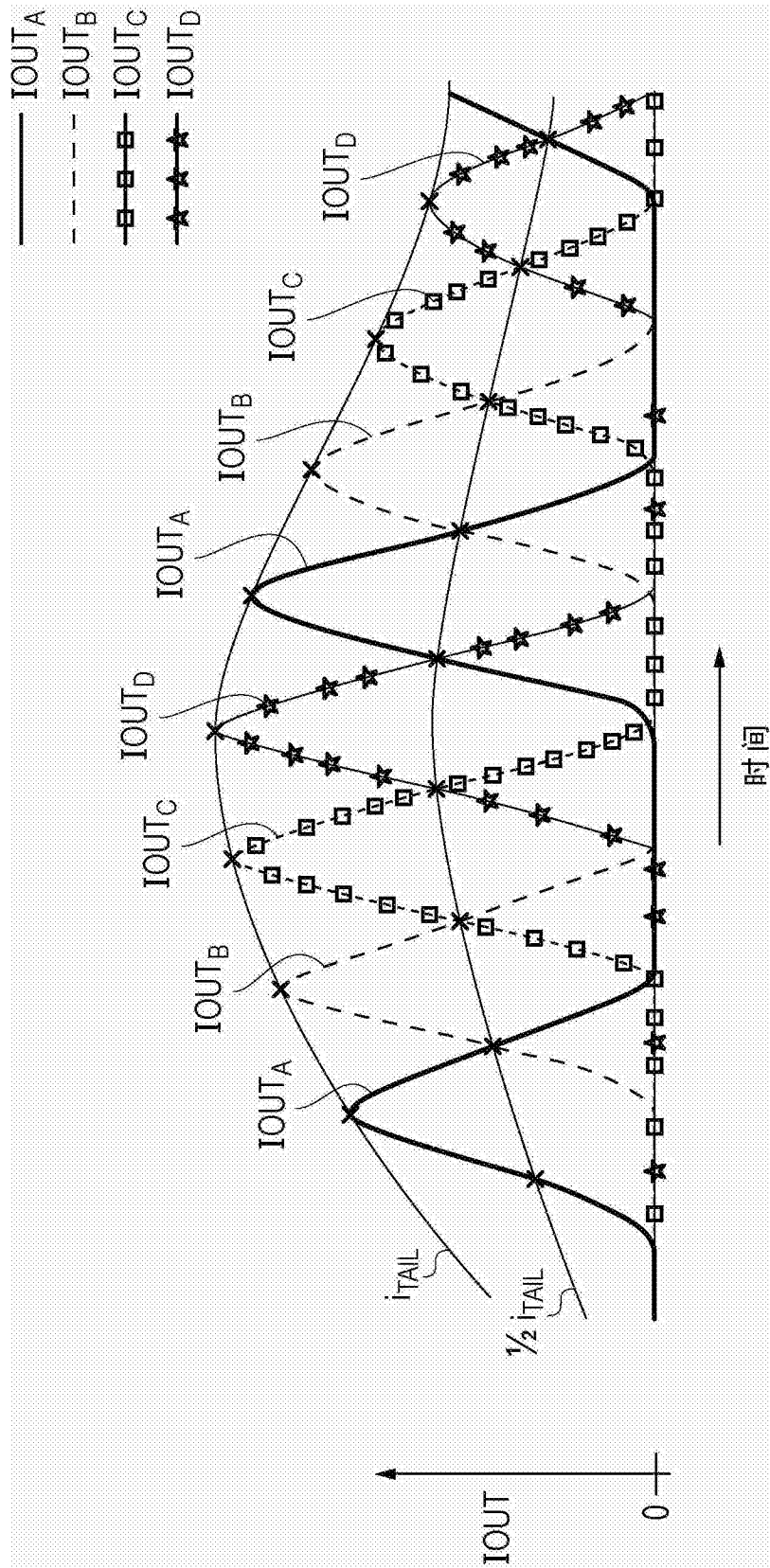


图 13

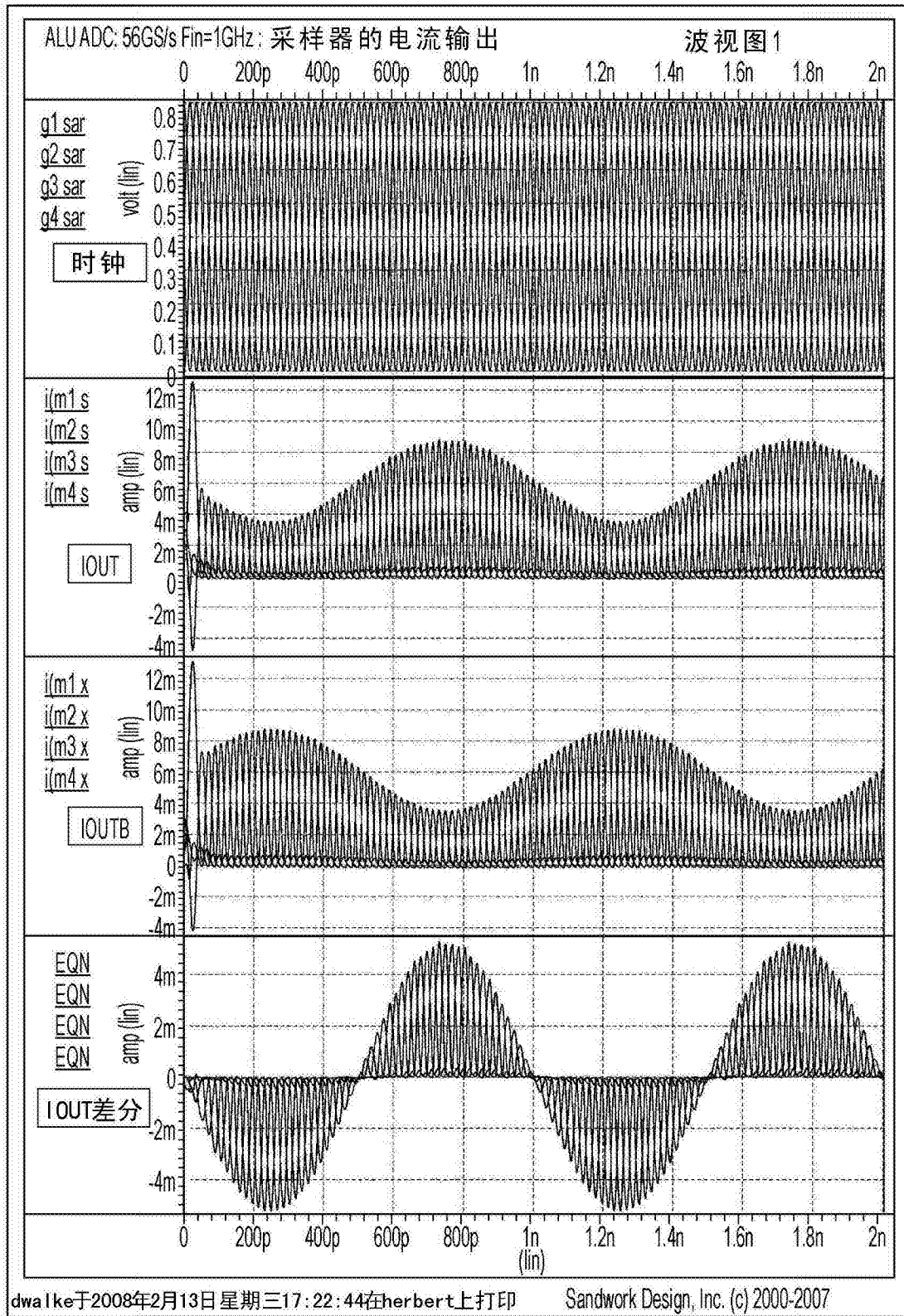


图 14

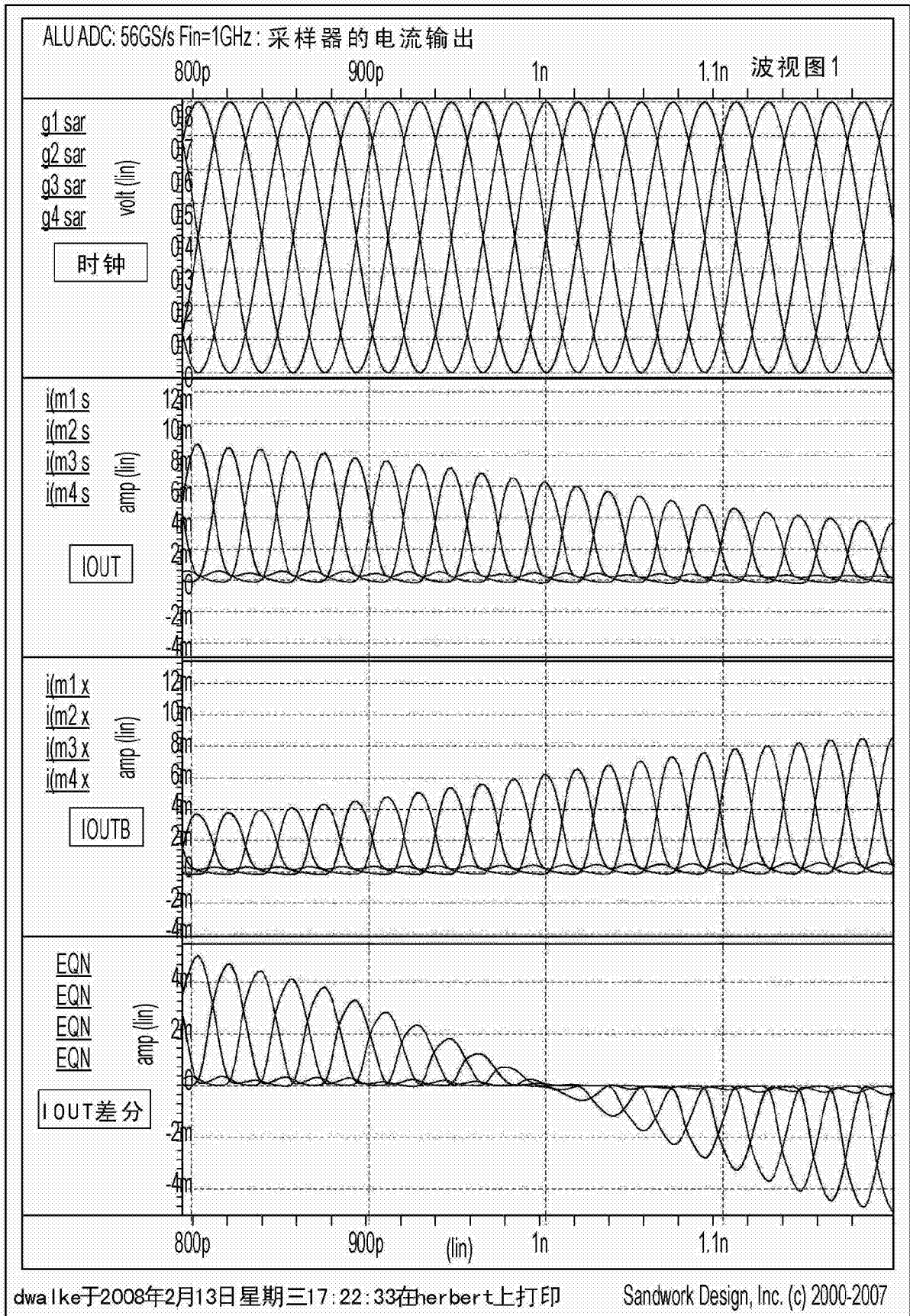


图 15

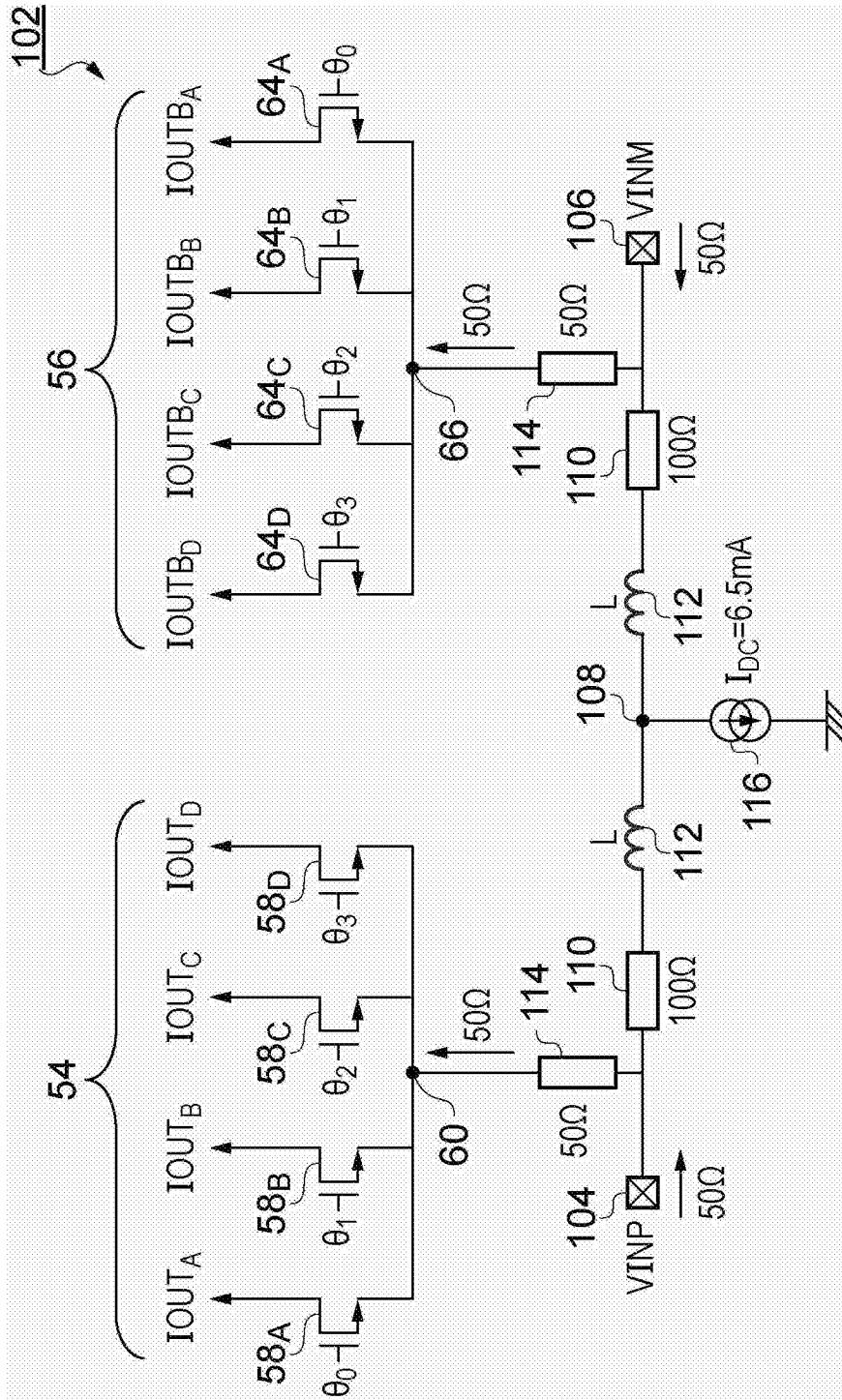


图 16

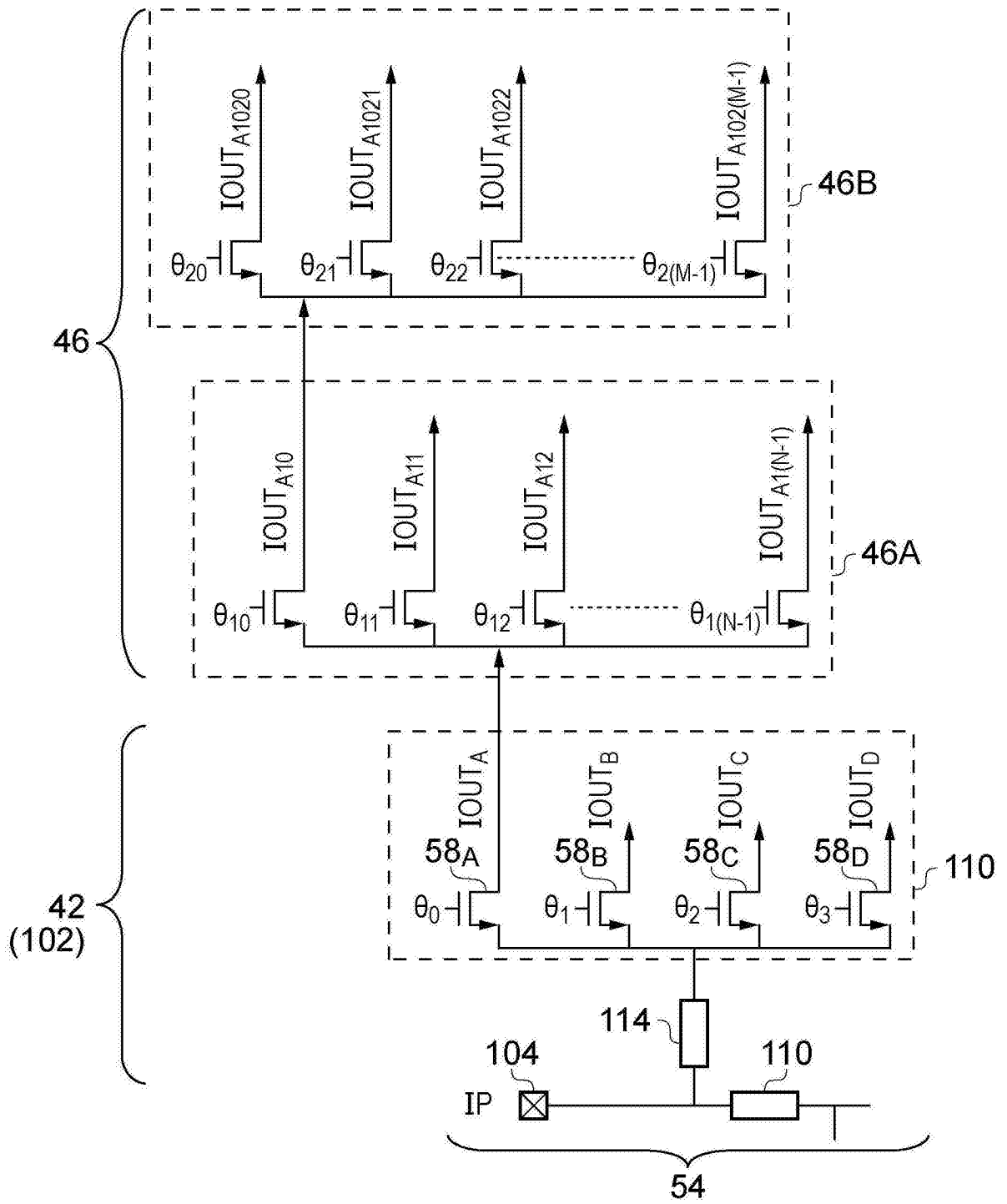


图 17

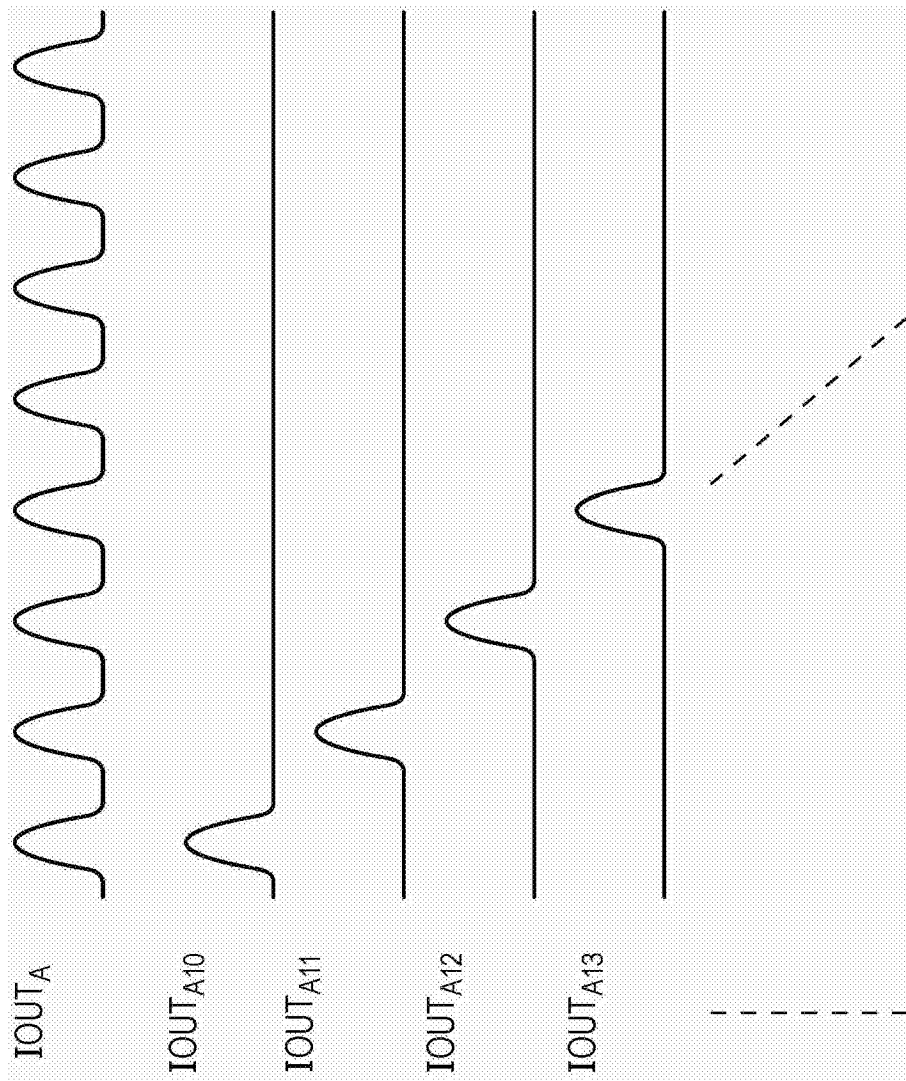


图 18



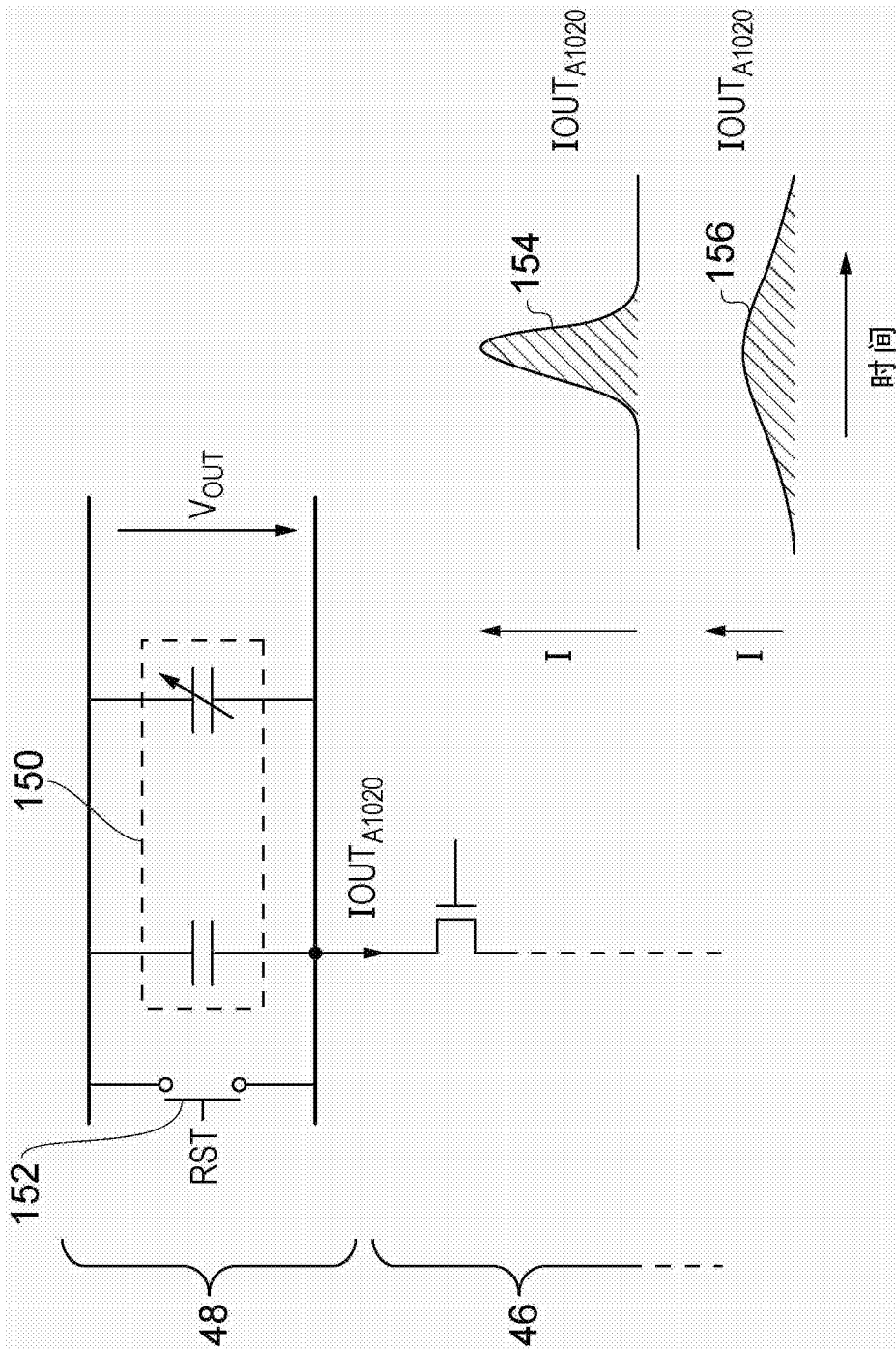


图 19

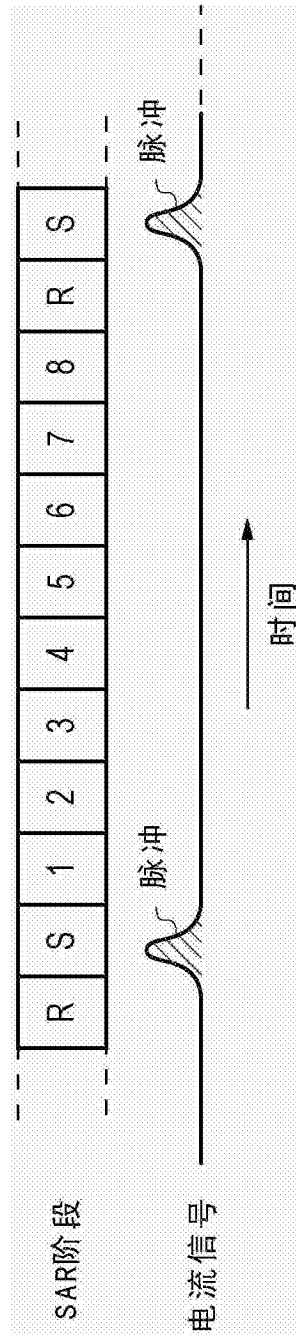


图 20

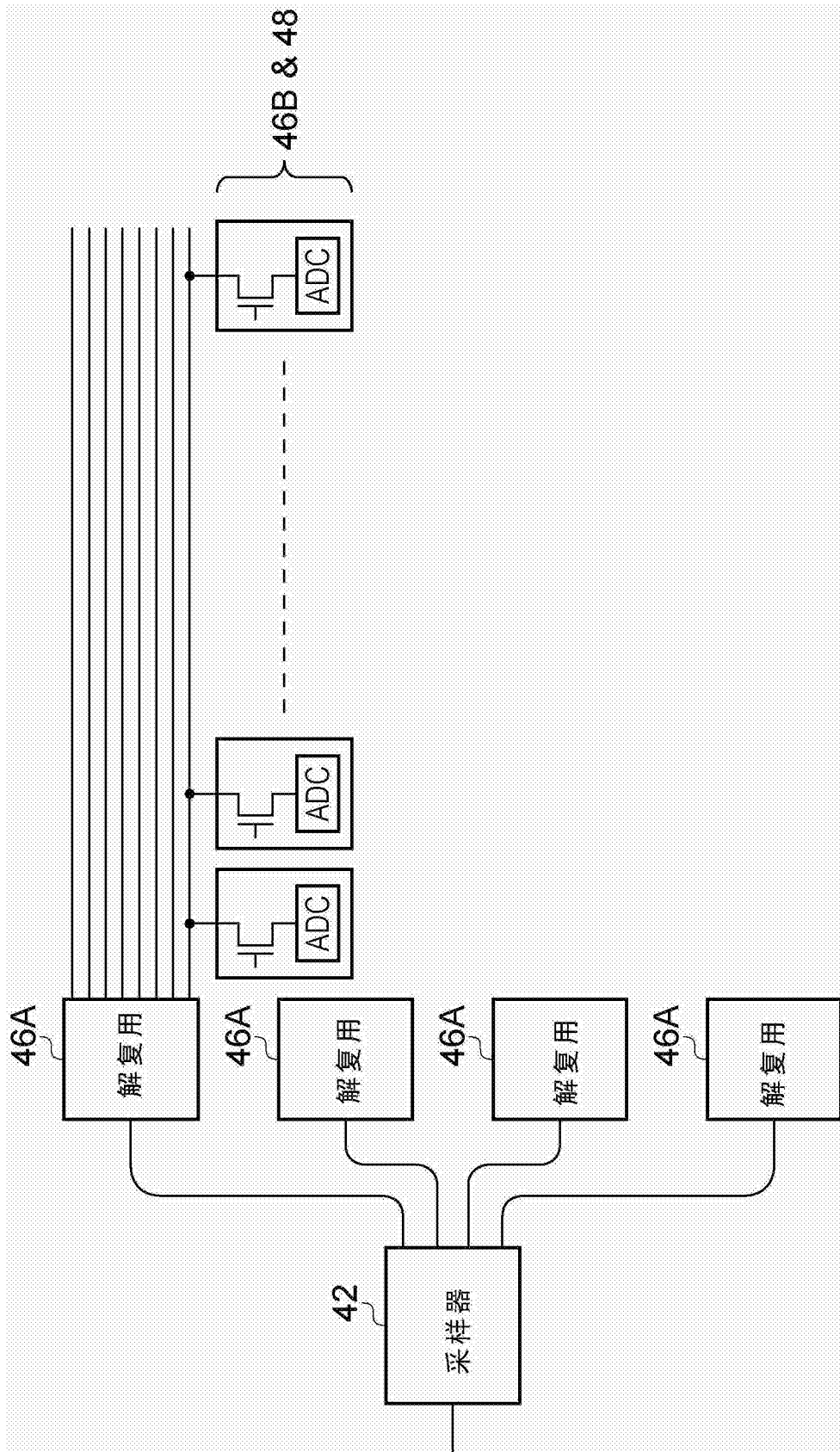


图 21

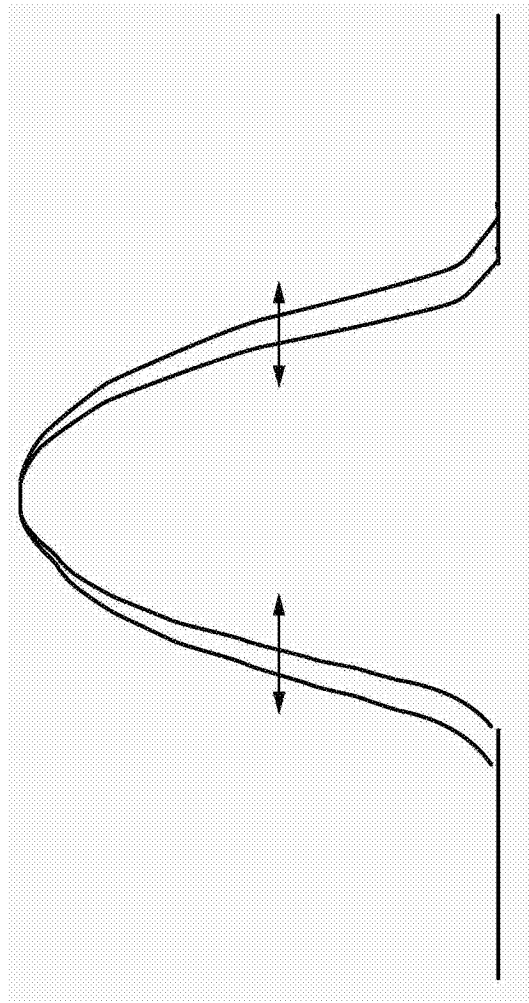


图 22

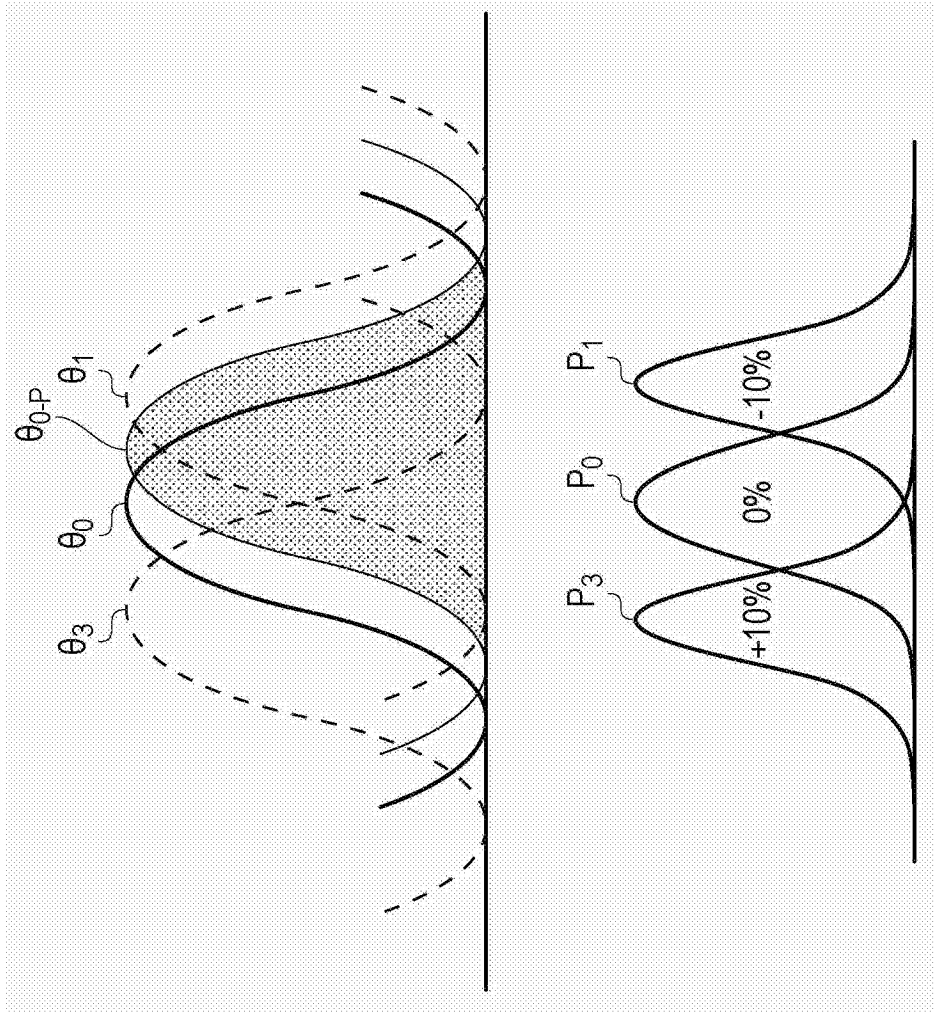


图 23

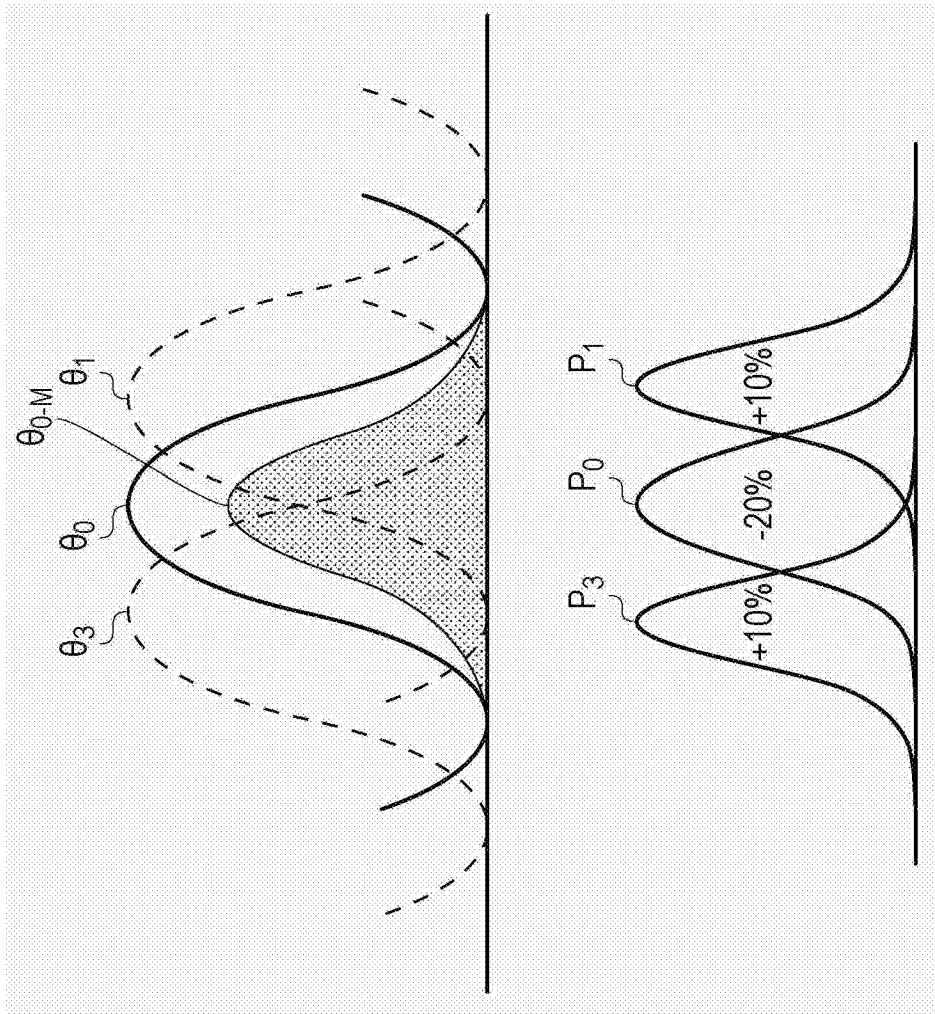


图 24

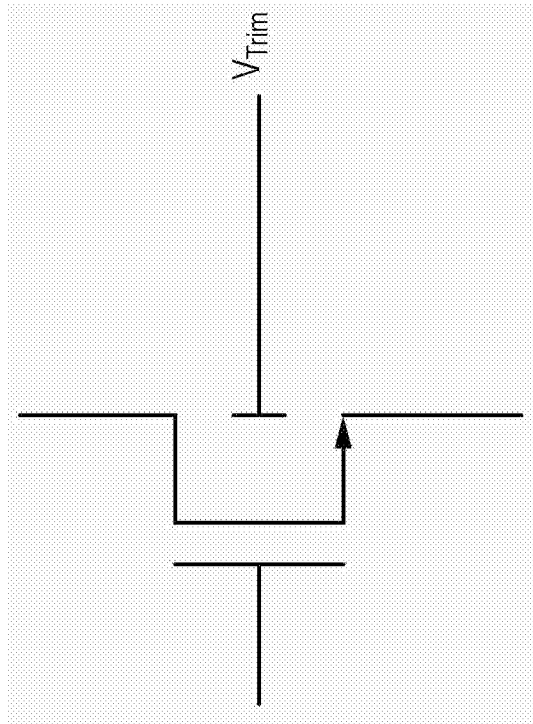


图 25

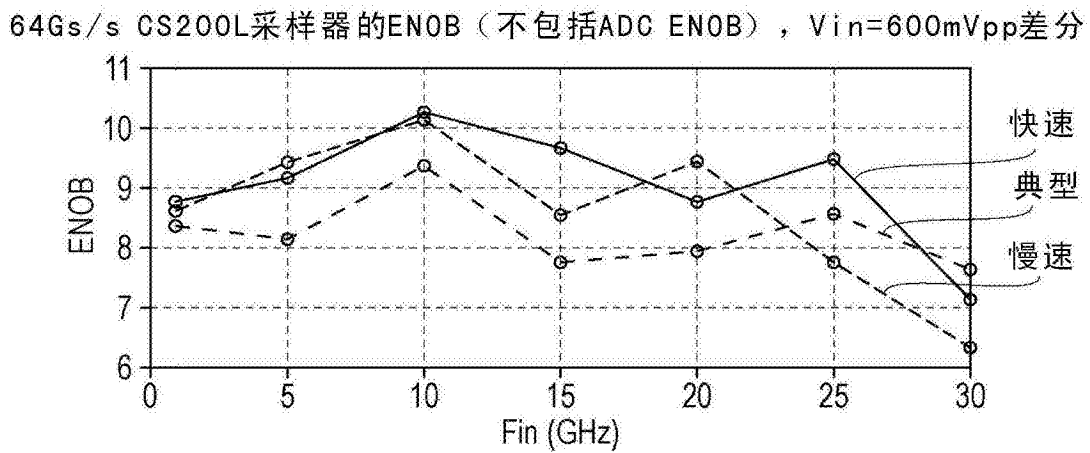
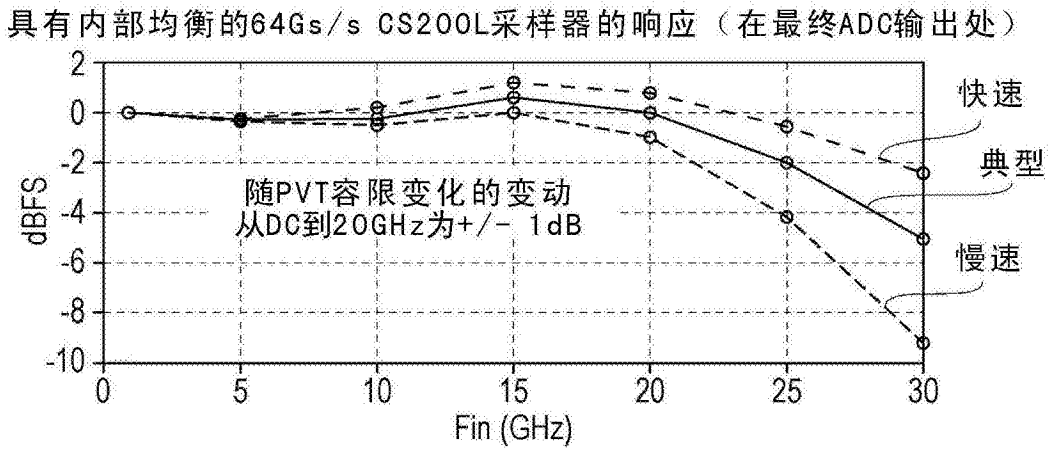
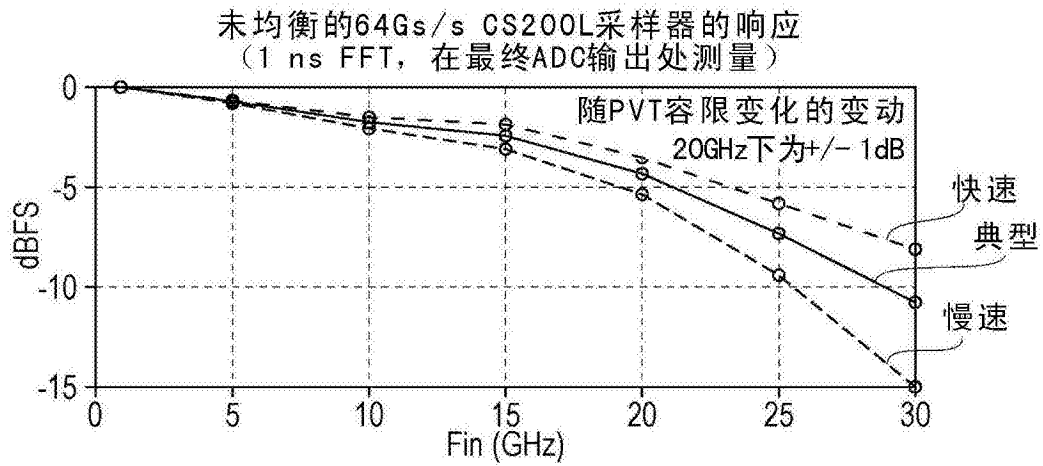


图 26



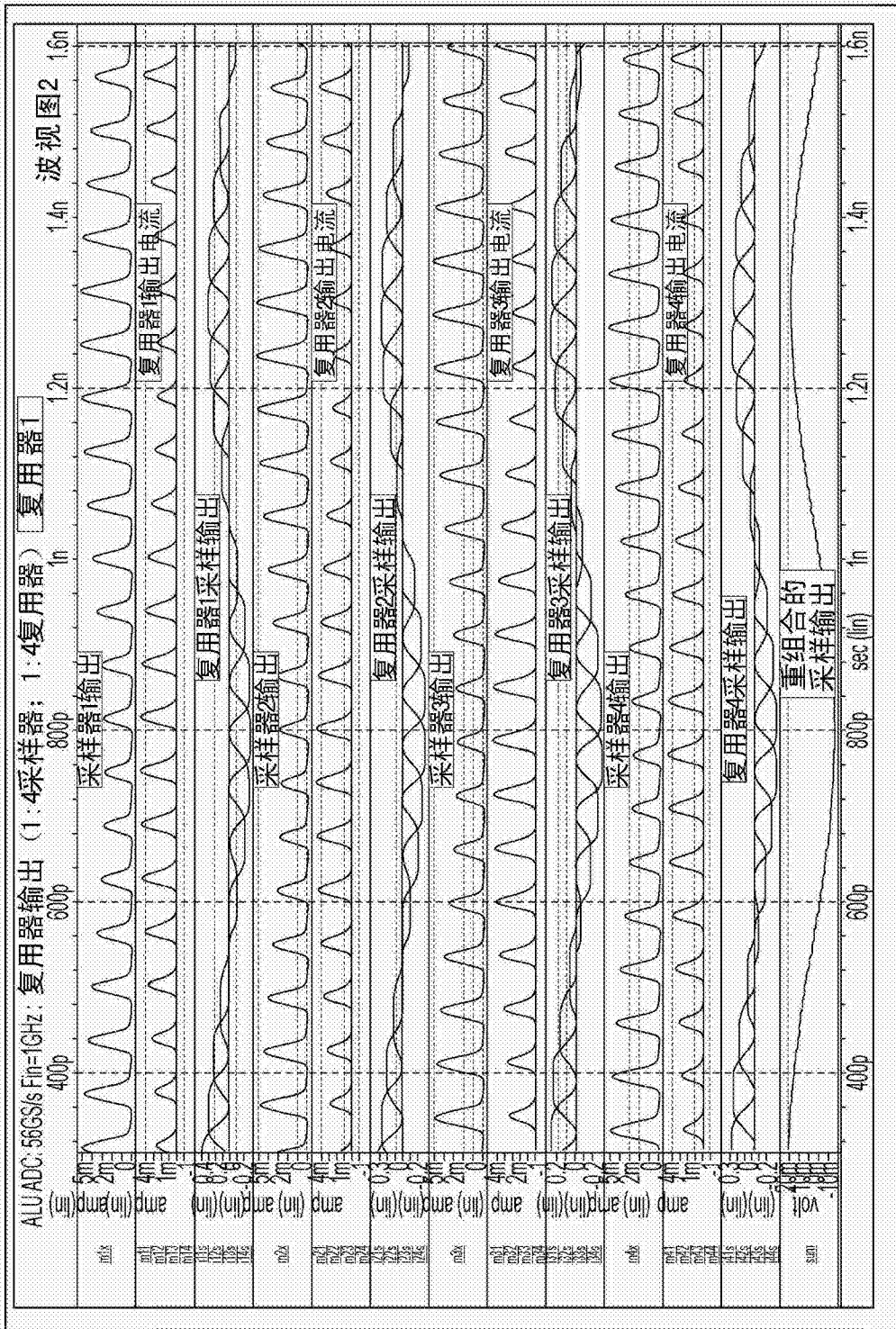


图 27

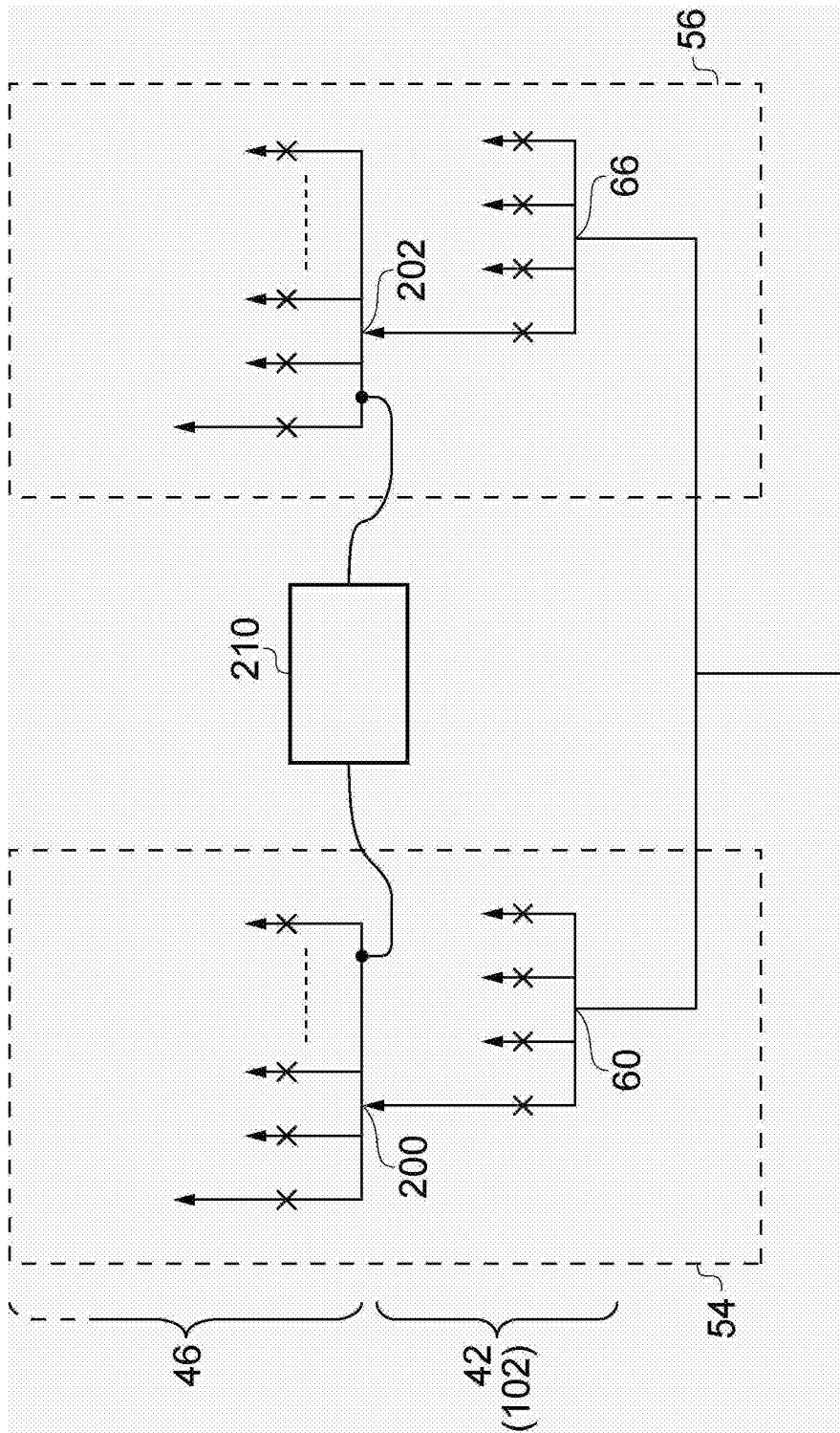


图 28