



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0114011
(43) 공개일자 2021년09월17일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.) H01L 25/18 (2006.01) H01L 25/00 (2014.01) H01L 25/065 (2006.01) H01L 27/108 (2006.01) H01L 27/11 (2006.01) H01L 27/11573 (2017.01)</p> <p>(52) CPC특허분류 H01L 25/18 (2013.01) H01L 25/0657 (2013.01)</p> <p>(21) 출원번호 10-2021-7024680</p> <p>(22) 출원일자(국제) 2019년09월11일 심사청구일자 2021년08월04일</p> <p>(85) 번역문제출일자 2021년08월04일</p> <p>(86) 국제출원번호 PCT/CN2019/105290</p> <p>(87) 국제공개번호 WO 2020/211271 국제공개일자 2020년10월22일</p> <p>(30) 우선권주장 PCT/CN2019/082607 2019년04월15일 중국(CN)</p> | <p>(71) 출원인 양쯔 메모리 테크놀로지스 씨오., 엘티디. 중국, 후베이, 우한, 이스트 레이크 하이-테크 디벨롭먼트 존, 웨이라이 씨드 로드, 넘버 88</p> <p>(72) 발명자 리우 준 중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018</p> <p>청 웨이화 중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018</p> <p>(74) 대리인 유미특허법인</p> |
|---|--|

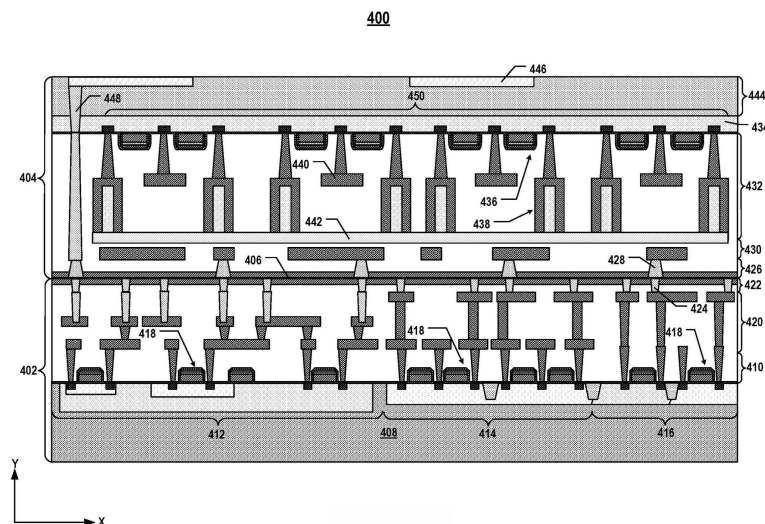
전체 청구항 수 : 총 40 항

(54) 발명의 명칭 프로세서 및 동적 랜덤 액세스 메모리를 갖는 본딩 반도체 장치 및 이를 형성하는 방법

(57) 요약

반도체 디바이스 및 그 제조 방법의 실시예가 개시된다. 일례에서, 반도체 디바이스는 프로세서, 정적 랜덤 액세스 메모리(SRAM) 셀의 어레이, 및 복수의 제1 본딩 콘택트를 포함하는 제1 본딩 레이어를 포함하는 제1 반도체 구조체를 포함한다. 반도체 디바이스는 또한 동적 랜덤 액세스 메모리(DRAM) 셀의 어레이 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함하는 제2 반도체 구조체를 포함한다. 반도체 디바이스는 제1 본딩 레이어와 제2 본딩 레이어 사이의 본딩 인터페이스를 더 포함한다. 제1 본딩 콘택트는 본딩 인터페이스에서 제2 본딩 콘택트와 접촉한다.

대표도



(52) CPC특허분류

H01L 25/50 (2013.01)

H01L 27/10897 (2013.01)

H01L 27/1116 (2013.01)

H01L 27/11573 (2013.01)

H01L 2224/0345 (2013.01)

H01L 2224/03452 (2013.01)

H01L 2224/03462 (2013.01)

H01L 2224/03464 (2013.01)

H01L 2224/05567 (2013.01)

명세서

청구범위

청구항 1

반도체 디바이스로서,

프로세서, 정적 랜덤 액세스 메모리(static random-access memory, SRAM) 셀의 어레이, 및 제1 본딩 레이어를 포함하는 제1 반도체 구조체 - 상기 제1 본딩 레이어는 복수의 제1 본딩 콘택트를 포함함 -;

동적 랜덤 액세스 메모리(dynamic random-access memory, DRAM) 셀의 어레이 및 제2 본딩 레이어를 포함하는 제2 반도체 구조체 - 상기 제2 본딩 레이어는 복수의 제2 본딩 콘택트를 포함함 -; 및

상기 제1 본딩 레이어와 상기 제2 본딩 레이어 사이의 본딩 인터페이스 - 상기 제1 본딩 콘택트는 상기 본딩 인터페이스에서 제2 본딩 콘택트와 접촉함 -

를 포함하는 반도체 디바이스.

청구항 2

제1항에 있어서,

상기 제1 반도체 구조체는:

기판;

상기 기판 상의 상기 프로세서;

상기 기판 위에 있고, 상기 프로세서의 외부에 있는 SRAM 셀의 어레이; 및

상기 프로세서 및 상기 SRAM 셀의 어레이 위의 상기 제1 본딩 레이어

를 포함하는, 반도체 디바이스.

청구항 3

제2항에 있어서,

상기 제2 반도체 구조체는:

상기 제1 본딩 레이어 위의 상기 제2 본딩 레이어;

상기 제2 본딩 레이어 위의 상기 DRAM 셀의 어레이; 및

상기 DRAM 셀의 어레이 위에 있고 상기 DRAM 셀의 어레이와 접촉하는 반도체 층

을 포함하는, 반도체 디바이스.

청구항 4

제3항에 있어서,

상기 반도체 층 위에 패드-아웃 상호접속 층을 더 포함하는 반도체 디바이스.

청구항 5

제3항 또는 제4항에 있어서,

상기 반도체 층은 단결정 실리콘을 포함하는, 반도체 디바이스.

청구항 6

제1항에 있어서,

상기 제2 반도체 구조체는:

기판;

상기 기판 상의 상기 DRAM 셀의 어레이; 및

상기 DRAM 셀의 어레이 위의 상기 제2 본딩 레이어
를 포함하는, 반도체 디바이스.

청구항 7

제6항에 있어서,

상기 제1 반도체 구조체는:

상기 제2 본딩 레이어 위의 상기 제1 본딩 레이어;

상기 제1 본딩 레이어 위의 상기 프로세서;

상기 제1 본딩 레이어에 있고, 상기 프로세서 외부에 있는 SRAM 셀의 어레이; 및

상기 프로세서 및 상기 SRAM 셀의 어레이 위에 있고 상기 프로세서 및 상기 SRAM 셀의 어레이와 접촉하는 반도체 층

을 포함하는, 반도체 디바이스.

청구항 8

제7항에 있어서,

상기 반도체 층 위에 패드-아웃 상호접속 층을 더 포함하는 반도체 디바이스.

청구항 9

제7항 또는 제8항에 있어서,

상기 반도체 층은 단결정 실리콘을 포함하는, 반도체 디바이스.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 제1 반도체 구조체는 상기 DRAM 셀의 어레이의 주변 회로를 더 포함하는, 반도체 디바이스.

청구항 11

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 제2 반도체 구조체는 상기 DRAM 셀의 어레이의 주변 회로를 더 포함하는, 반도체 디바이스.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 반도체 구조체는 상기 제1 본딩 레이어와 상기 프로세서 사이에 수직으로 제1 상호접속 층을 포함하고, 상기 제2 반도체 구조체는 상기 제2 본딩 레이어와 상기 DRAM 셀의 어레이 사이에 수직으로 제2 상호접속 층을 포함하는, 반도체 디바이스.

청구항 13

제12항에 있어서,

상기 프로세서는 상기 제1 및 제2 상호접속 층과 상기 제1 및 제2 본딩 콘택트를 통해 상기 DRAM 셀의 어레이에 전기적으로 연결되는, 반도체 디바이스.

청구항 14

제12항 또는 제13항에 있어서,

상기 SRAM 셀의 어레이는 상기 제1 및 제2 상호접속 층과 상기 제1 및 제2 본딩 콘택트를 통해 상기 DRAM 셀의 어레이에 전기적으로 연결되는, 반도체 디바이스.

청구항 15

제1항 내지 제14항 중 어느 한 항에 있어서,

상기 SRAM 셀의 어레이는 상기 제1 반도체 구조체에서 복수의 개별 영역에 분포되는, 반도체 디바이스.

청구항 16

제1항 내지 제15항 중 어느 한 항에 있어서,

각 DRAM 셀은 트랜지스터와 커패시터를 포함하는, 반도체 디바이스.

청구항 17

반도체 디바이스 형성 방법으로서,

제1 웨이퍼 상에 복수의 제1 반도체 구조체를 형성하는 단계 - 상기 제1 반도체 구조체 중 적어도 하나는 프로세서, 정적 랜덤 액세스 메모리(SRAM) 셀의 어레이, 및 제1 본딩 레이어를 포함하고, 상기 제1 본딩 레이어는 복수의 제1 본딩 콘택트를 포함함 - ;

제2 웨이퍼 상에 복수의 제2 반도체 구조체를 형성하는 단계 - 상기 제2 반도체 구조체 중 적어도 하나는 동적 랜덤 액세스 메모리(DRAM) 셀의 어레이 및 제2 본딩 레이어를 포함하고, 상기 제2 본딩 레이어는 복수의 제2 본딩 콘택트를 포함함 - ;

상기 제1 반도체 구조체 중 적어도 하나가 상기 제2 반도체 구조체 중 적어도 하나에 본딩되도록 상기 제1 웨이퍼 및 상기 제2 웨이퍼를 대면 방식(face-to-face manner)으로 본딩하는 단계 - 상기 제1 반도체 구조체의 제1 본딩 콘택트는 본딩 인터페이스에서 상기 제2 반도체 구조체의 제2 본딩 콘택트와 접촉함 - ; 및

상기 본딩된 제1 및 제2 웨이퍼를 복수의 다이로 다이싱하는 단계 - 상기 다이 중 적어도 하나는 상기 본딩된 제1 및 제2 반도체 구조체를 포함함 -

를 포함하는 반도체 디바이스 형성 방법.

청구항 18

제17항에 있어서,

상기 복수의 제1 반도체 구조체를 형성하는 단계는:

상기 제1 웨이퍼 상에 상기 프로세서 및 상기 SRAM 셀의 어레이를 형성하는 단계;

상기 프로세서 및 상기 SRAM 셀의 어레이 위에 제1 상호접속 층을 형성하는 단계; 및

상기 제1 상호접속 층 위에 상기 제1 본딩 레이어를 형성하는 단계

를 포함하는, 반도체 디바이스 형성 방법.

청구항 19

제18항에 있어서,

상기 프로세서 및 SRAM 셀의 어레이를 형성하는 단계는:

상기 제1 웨이퍼 상에 복수의 트랜지스터를 형성하는 단계

를 포함하는, 반도체 디바이스 형성 방법.

청구항 20

제18항 또는 제19항에 있어서,

상기 복수의 제1 반도체 구조체를 형성하는 단계는:

상기 제1 웨이퍼 상에 상기 DRAM 셀의 어레이의 주변 회로를 형성하는 단계

를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 21

제17항 내지 제20항 중 어느 한 항에 있어서,

상기 복수의 제2 반도체 구조체를 형성하는 단계는:

상기 제2 웨이퍼 상에 상기 DRAM 셀의 어레이를 형성하는 단계;

상기 DRAM 셀의 어레이 위에 제2 상호접속 층을 형성하는 단계; 및

상기 제2 상호접속 층 위에 상기 제2 본딩 레이어를 형성하는 단계

를 포함하는, 반도체 디바이스 형성 방법.

청구항 22

제21항에 있어서,

상기 DRAM 셀의 어레이를 형성하는 단계는:

상기 제2 웨이퍼 상에 복수의 트랜지스터를 형성하는 단계; 및

상기 트랜지스터 중 적어도 일부 위에 있고 상기 트랜지스터 중 적어도 일부와 접촉하는 복수의 커패시터를 형성하는 단계

를 포함하는, 반도체 디바이스 형성 방법.

청구항 23

제21항 또는 제22항에 있어서,

상기 복수의 제2 반도체 구조체를 형성하는 단계는:

상기 제2 웨이퍼 상에 상기 DRAM 셀의 어레이의 주변 회로를 형성하는 단계

를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 24

제17항 내지 제23항 중 어느 한 항에 있어서,

상기 제2 반도체 구조체는 본딩 후에 상기 제1 반도체 구조체 위에 있는, 반도체 디바이스 형성 방법.

청구항 25

제24항에 있어서,

상기 반도체 디바이스 형성 방법은, 본딩 후 및 다이싱 전에:

반도체 층을 형성하기 위해 상기 제2 웨이퍼를 박형화하는 단계; 및

상기 반도체 층 위에 패드-아웃 상호접속 층을 형성하는 단계

를 더 포함하는 반도체 디바이스 형성 방법.

청구항 26

제17항 내지 제23항 중 어느 한 항에 있어서,

상기 제1 반도체 구조체는 본딩 후 상기 제2 반도체 구조체 위에 있는, 반도체 디바이스 형성 방법.

청구항 27

제26항에 있어서,
 상기 반도체 디바이스 형성 방법은, 본딩 후 및 다이싱 전에:
 반도체 층을 형성하기 위해 상기 제1 웨이퍼를 박형화하는 단계; 및
 상기 반도체 층 위에 패드-아웃 상호접속 층을 형성하는 단계
 를 더 포함하는 반도체 디바이스 형성 방법.

청구항 28

제17항 내지 제27항 중 어느 한 항에 있어서,
 상기 본딩은 하이브리드 본딩을 포함하는, 반도체 디바이스 형성 방법.

청구항 29

반도체 디바이스 형성 방법으로서,
 제1 웨이퍼 상에 복수의 제1 반도체 구조체를 형성하는 단계 - 상기 제1 반도체 구조체 중 적어도 하나는 프로세서, 정적 랜덤 액세스 메모리(SRAM) 셀의 어레이, 및 제1 본딩 레이어를 포함하고, 상기 제1 본딩 레이어는 복수의 제1 본딩 콘택트를 포함함 - ;
 상기 제1 반도체 구조체 중 적어도 하나를 복수의 제1 다이 중 적어도 하나가 포함하도록 상기 제1 웨이퍼를 상기 복수의 제1 다이로 다이싱하는 단계;
 제2 웨이퍼 상에 복수의 제2 반도체 구조체를 형성하는 단계 - 상기 제2 반도체 구조체 중 적어도 하나는 동적 랜덤 액세스 메모리(DRAM) 셀의 어레이 및 제2 본딩 레이어를 포함하고, 상기 제2 본딩 레이어는 복수의 제2 본딩 콘택트를 포함함 - ;
 상기 제2 반도체 구조체 중 적어도 하나를 복수의 제2 다이 중 적어도 하나가 포함하도록 상기 제2 웨이퍼를 상기 복수의 제2 다이로 다이싱하는 단계; 및
 상기 제1 반도체 구조체가 상기 제2 반도체 구조체에 본딩되도록 제1 다이 및 제2 다이를 대면 방식으로 본딩하는 단계 - 상기 제1 반도체 구조체의 제1 본딩 콘택트가 본딩 인터페이스에서 상기 제2 반도체 구조체의 상기 제2 본딩 콘택트와 접촉함 -
 를 포함하는 반도체 디바이스 형성 방법.

청구항 30

제29항에 있어서,
 상기 복수의 제1 반도체 구조체를 형성하는 단계는:
 상기 제1 웨이퍼 상에 상기 프로세서 및 상기 SRAM 셀의 어레이를 형성하는 단계;
 상기 프로세서 및 상기 SRAM 셀의 어레이 위에 제1 상호접속 층을 형성하는 단계; 및
 상기 제1 상호접속 층 위에 상기 제1 본딩 레이어를 형성하는 단계
 를 포함하는, 반도체 디바이스 형성 방법.

청구항 31

제30항에 있어서,
 상기 프로세서 및 상기 SRAM 셀의 어레이를 형성하는 단계는:
 상기 제1 웨이퍼 상에 복수의 트랜지스터를 형성하는 단계
 를 포함하는, 반도체 디바이스 형성 방법.

청구항 32

제30항 또는 제31항에 있어서,
상기 복수의 제1 반도체 구조체를 형성하는 단계는:
상기 제1 웨이퍼 상에 상기 DRAM 셀의 어레이의 주변 회로를 형성하는 단계
를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 33

제29항 내지 제32항 중 어느 한 항에 있어서,
상기 복수의 제2 반도체 구조체를 형성하는 단계는:
상기 제2 웨이퍼 상에 DRAM 셀의 어레이를 형성하는 단계;
상기 DRAM 셀의 어레이 위에 제2 상호접속 층을 형성하는 단계; 및
상기 제2 상호접속 층 위에 상기 제2 본딩 레이어를 형성하는 단계
를 포함하는, 반도체 디바이스 형성 방법.

청구항 34

제33항에 있어서,
상기 DRAM 셀의 어레이를 형성하는 단계는:
상기 제2 웨이퍼 상에 복수의 트랜지스터를 형성하는 단계; 및
상기 트랜지스터 중 적어도 일부 위에 있고 상기 트랜지스터 중 적어도 일부와 접촉하는 복수의 커패시터를 형
성하는 단계
를 포함하는, 반도체 디바이스 형성 방법.

청구항 35

제33항 또는 제34항에 있어서,
상기 복수의 제2 반도체 구조체를 형성하는 단계는:
상기 제2 웨이퍼 상에 상기 DRAM 셀의 어레이의 주변 회로를 형성하는 단계
를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 36

제29항 내지 제35항 중 어느 한 항에 있어서,
상기 제2 반도체 구조체는 본딩 후에 제1 반도체 구조체 위에 있는, 반도체 디바이스 형성 방법.

청구항 37

제36항에 있어서,
본딩 후에 반도체 층을 형성하기 위해 상기 제2 웨이퍼를 박형화하는 단계; 및
상기 반도체 층 위에 패드-아웃 상호접속 층을 형성하는 단계
를 더 포함하는 반도체 디바이스 형성 방법.

청구항 38

제29항 내지 제35항 중 어느 한 항에 있어서,

상기 제1 반도체 구조체는 본딩 후 제2 반도체 구조체 위에 있는, 반도체 디바이스 형성 방법.

청구항 39

제38항에 있어서,

본딩 후에 반도체 층을 형성하기 위해 상기 제1 웨이퍼를 박형화하는 단계; 및

상기 반도체 층 위에 패드-아웃 상호접속 층을 형성하는 단계

를 더 포함하는 반도체 디바이스 형성 방법.

청구항 40

제29항 내지 제39항 중 어느 한 항에 있어서,

상기 본딩은 하이브리드 본딩을 포함하는, 반도체 디바이스 형성 방법.

발명의 설명

기술 분야

[0001] 본 출원은 "다중 기능 칩이 있는 3차원 NAND 메모리 장치의 통합"이라는 제목으로 2019년 4월 15일에 출원된 국제 출원 번호 PCT/CN2019/082607에 대한 우선권의 이익을 주장하며, 상기 문헌은 여기에 그 전문이 참조로 포함된다.

[0002] 본 발명의 실시예는 반도체 디바이스 및 그 제조 방법에 관한 것이다.

배경 기술

[0003] 최신 모바일 장치(예를 들어, 스마트폰, 태블릿 등)에서 다중 복잡한 시스템 온 칩(SOC)이 다양한 기능을 가능하게 하기 위해 사용되며, 예를 들면 애플리케이션 프로세서, 동적 랜덤 액세스 메모리(DRAM), 플래시 메모리, 블루투스(Bluetooth), Wi-Fi, 글로벌 포지셔닝 시스템(Global Positioning System, GPS), FM(Frequency Modulation) 라디오, 디스플레이 등을 위한 다양한 컨트롤러 및 베이스밴드 프로세서가 사용되며, 이것들은 개별 칩으로 구성된다. 예를 들어, 응용 프로세서는 일반적으로 중앙 프로세싱 유닛(CPU), 그래픽 프로세싱 유닛(GPU), 온칩 메모리, 가속 기능 하드웨어 및 기타 아날로그 구성 요소를 포함하여 크기가 크다.

발명의 내용

[0004] 반도체 디바이스 및 그 제조 방법의 실시예가 여기에 개시된다. 일례에서, 반도체 디바이스는 프로세서, 정적 랜덤 액세스 메모리(SRAM) 셀의 어레이, 및 복수의 제1 본딩 콘택트를 포함하는 제1 본딩 레이어를 포함하는 제1 반도체 구조체를 포함한다. 반도체 디바이스는 또한 DRAM 셀의 어레이를 포함하는 제2 반도체 구조체 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함한다. 반도체 디바이스는 제1 본딩 레이어와 제2 본딩 레이어 사이의 본딩 인터페이스를 더 포함한다. 제1 본딩 콘택트는 본딩 인터페이스에서 제2 본딩 콘택트와 접촉한다.

[0005] 다른 예에서, 반도체 디바이스를 형성하는 방법이 개시된다. 복수의 제1 반도체 구조체가 제1 웨이퍼 상에 형성된다. 제1 반도체 구조체 중 적어도 하나는 프로세서, SRAM 셀의 어레이, 및 복수의 제1 본딩 콘택트들을 포함하는 제1 본딩 레이어를 포함한다. 복수의 제2 반도체 구조체가 제2 웨이퍼 상에 형성된다. 제2 반도체 구조체 중 적어도 하나는 DRAM 셀의 어레이 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함한다. 제1 웨이퍼 및 제2 웨이퍼는 제1 반도체 구조체 중 적어도 하나가 제2 반도체 구조체 중 적어도 하나에 결합되도록 대면 방식으로 결합된다. 제1 반도체 구조체의 제1 본딩 콘택트는 본딩 인터페이스에서 제2 반도체 구조체의 제2 본딩 콘택트와 접촉한다. 본딩된 제1 및 제2 웨이퍼는 복수의 다이로 다이싱된다. 다이 중 적어도 하나는 본딩된 제1 및 제2 반도체 구조체를 포함한다.

[0006] 또 다른 예에서, 반도체 디바이스를 형성하는 방법이 개시된다. 복수의 제1 반도체 구조체가 제1 웨이퍼 상에 형성된다. 제1 반도체 구조체 중 적어도 하나는 프로세서, SRAM 셀의 어레이, 및 복수의 제1 본딩 콘택트들을 포함하는 제1 본딩 레이어를 포함한다. 제1 웨이퍼는 제1 다이 중 적어도 하나가 제1 반도체 구조체 중 적어도 하나를 포함하도록 복수의 제1 다이로 다이싱된다. 복수의 제2 반도체 구조체가 제2 웨이퍼 상에 형성된다. 제2

반도체 구조체 중 적어도 하나는 DRAM 셀의 어레이 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함한다. 제2 웨이퍼는 제2 다이 중 적어도 하나가 제2 반도체 구조체 중 적어도 하나를 포함하도록 복수의 제2 다이로 다이싱된다. 제1 다이 및 제2 다이는 대면 방식으로 본딩되어, 제1 반도체 구조체가 제2 반도체 구조체에 본딩된다. 제1 반도체 구조체의 제1 본딩 콘택트는 본딩 인터페이스에서 제2 반도체 구조체의 제2 본딩 콘택트와 접촉한다.

도면의 간단한 설명

[0007] 본 명세서에 포함되고 명세서의 일부를 형성하는 첨부 도면은 본 개시내용의 실시예를 예시하고, 설명과 함께 본 개시내용의 원리를 설명하고 당업자가 본 개시내용을 만들고 사용하게 한다.

- 도 1a는 일부 실시예에 따른 예시적인 반도체 디바이스의 단면의 개략도를 예시한다.
 - 도 1b는 일부 실시예에 따른 다른 예시적인 반도체 디바이스의 단면의 개략도를 예시한다.
 - 도 2a는 일부 실시예에 따른 프로세서 및 SRAM을 갖는 예시적인 반도체 구조체의 개략적인 평면도를 예시한다.
 - 도 2b는 일부 실시예에 따른 DRAM 및 주변 회로를 갖는 예시적인 반도체 구조체의 개략적인 평면도를 예시한다.
 - 도 3a는 일부 실시예에 따른 프로세서, SRAM, 및 주변 회로를 갖는 예시적인 반도체 구조체의 개략적인 평면도를 예시한다.
 - 도 3b는 일부 실시예에 따른 DRAM을 갖는 예시적인 반도체 구조체의 개략적인 평면도를 예시한다.
 - 도 4a는 일부 실시예에 따른 예시적인 반도체 디바이스의 단면을 도시한다.
 - 도 4b는 일부 실시예에 따른 다른 예시적인 반도체 디바이스의 단면을 도시한다.
 - 도 5a는 일부 실시예에 따른 또 다른 예시적인 반도체 디바이스의 단면을 도시한다.
 - 도 5b는 일부 실시예에 따른 또 다른 예시적인 반도체 디바이스의 단면을 도시한다.
 - 도 6a 및 도 6b는 일부 실시예에 따른 프로세서, SRAM, 및 주변 회로를 갖는 예시적인 반도체 구조체를 형성하기 위한 제조 프로세스를 도시한다.
 - 도 7a 내지 도 7c는 일부 실시예에 따른 DRAM 및 주변 회로를 갖는 예시적인 반도체 구조체를 형성하기 위한 제조 프로세스를 도시한다.
 - 도 8a 및 도 8b는 일부 실시예에 따른 예시적인 반도체 디바이스를 형성하기 위한 제조 공정을 도시한다.
 - 도 9a 내지 도 9c는 일부 실시예에 따른 예시적인 반도체 구조체를 본딩 및 다이싱하기 위한 제조 프로세스를 도시한다.
 - 도 10a 내지 도 10c는 일부 실시예에 따른 예시적인 반도체 구조체를 다이싱 및 본딩하기 위한 제조 프로세스를 도시한다.
 - 도 11은 일부 실시예에 따른 반도체 디바이스를 형성하기 위한 예시적인 방법의 흐름도이다.
 - 도 12는 일부 실시예에 따른 반도체 디바이스를 형성하기 위한 다른 예시적인 방법의 흐름도이다.
- 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

발명을 실시하기 위한 구체적인 내용

[0008] 특정 구성 및 배열이 논의되지만, 이는 단지 예시의 목적으로 행해진 것임을 이해해야 한다. 관련 기술분야의 통상의 기술자는 본 개시내용의 사상 및 범위를 벗어나지 않고 다른 구성 및 배열이 사용될 수 있음을 인식할 것이다. 본 개시내용은 또한 다양한 다른 응용에서 사용될 수 있다는 것이 관련 기술분야의 숙련자에게 명백할 것이다.

[0009] 명세서에서 "일 실시예", "실시예", "예시적인 실시예", "일부 실시예" 등에 대한 참조는 설명된 실시예가 특정 특징, 구조 또는 그러나 모든 실시예가 특정 특징, 구조 또는 특성을 반드시 포함하는 것은 아니다. 또한, 이러한 문구는 반드시 동일한 실시예를 지칭하는 것은 아니다. 또한, 특정 특징, 구조 또는 특성이 실시예와 관련하여 설명될 때, 명시적으로 설명되었는지 여부에 관계없이 다른 실시예와 관련하여 이러한 특징, 구조 또는 특성

에 효과를 미치는 것은 관련 기술 분야의 숙련자의 지식 범위 내에 있을 것이다.

- [0010] 일반적으로, 용어는 문맥에서의 사용으로부터 적어도 부분적으로 이해될 수 있다. 예를 들어, 본 명세서에서 사용된 용어 "하나 이상"은 문맥에 따라 적어도 부분적으로는 단수 의미로 임의의 특징, 구조 또는 특성을 설명하는 데 사용될 수 있거나 특징, 구조 또는 특징의 조합을 여러 의미로 설명하는 데 사용될 수 있다. 유사하게, "a", "an" 또는 "the"와 같은 용어는 문맥에 따라 적어도 부분적으로 단수 용법을 전달하거나 복수 용법을 전달하는 것으로 이해될 수 있다. 또한, "에 기초한"이라는 용어는 배타적 요인 세트를 전달하도록 반드시 의도된 것은 아닌 것으로 이해될 수 있으며, 대신에 적어도 부분적으로 문맥에 따라 반드시 명시적으로 설명되지 않은 추가 요인의 존재를 허용할 수 있다.
- [0011] 본 개시내용에서 "위", "보다 위에" 및 "위에"의 의미는 "위"가 무언가 위에 "직접적으로"를 의미할 뿐만 아니라 그 사이에 중간 피처 또는 층이 있는 무언가 "위"의 의미를 포함하며, "보다 위에" 및 "위에"는 무엇보다 "보다 위에" 및 "위에"의 의미뿐만 아니라 그 사이에 중간 피처 또는 층이 없는 "보다 위에" 및 "위에"의 의미를 포함한다는 것을 손쉽게 이해해야 한다.
- [0012] 또한, "아래", "보다 아래", "더 아래", "위", "상" 등과 같은 공간적으로 상대적인 용어는 도면에 표시된 것처럼 다른 요소(들) 또는 기능(들)에 대해 하나의 요소 또는 피처의 관계를 설명하기 위한 설명의 용이함을 위해 여기에서 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 방향에 추가하여 사용 또는 작동 중인 장치의 다른 방향을 포함하도록 의도된다. 장치는 그렇지 않으면 (90도 회전되거나 다른 배향으로) 배향될 수 있고 여기에 사용된 공간적으로 상대적인 설명자도 그에 따라 해석될 수 있다.
- [0013] 본 명세서에 사용된 바와 같이, 용어 "기판"은 후속 재료 층이 그 위에 추가되는 재료를 지칭한다. 기판 자체는 패턴화될 수 있다. 기판 위에 추가된 재료는 패턴화되거나 패턴화되지 않은 상태로 남을 수 있다. 또한, 기판은 실리콘, 게르마늄, 갈륨 비소, 인듐 인화물 등과 같은 광범위한 반도체 재료를 포함할 수 있다. 대안으로, 기판은 유리, 플라스틱, 또는 사파이어 웨이퍼와 같은 전기적 비전도성 재료로 제조될 수 있다.
- [0014] 본 명세서에 사용된 바와 같이, 용어 "층(layer)"은 두께를 갖는 영역을 포함하는 물질 부분을 지칭한다. 층은 아래에 있는 또는 위에 있는 구조 전체에 걸쳐 확장될 수 있거나 아래에 있는 또는 위에 있는 구조의 범위보다 작은 범위를 가질 수 있다. 또한, 층은 연속 구조의 두께보다 얇은 두께를 갖는 균질 또는 비균질 연속 구조의 영역일 수 있다. 예를 들어, 층은 연속 구조의 상단 표면과 하단 표면 사이 또는 그 사이에 있는 임의의 한 쌍의 수평면 사이에 위치할 수 있다. 레이어는 수평, 수직 및/또는 테이퍼 표면을 따라 확장될 수 있다. 기판은 층일 수 있고, 그 안에 하나 이상의 층을 포함할 수 있고 및/또는 그 위, 위에 있고/또는 아래에 하나 이상의 층을 가질 수 있다. 층은 여러 층을 포함할 수 있다. 예를 들어, 상호접속 층은 (상호접속 라인 및/또는 비아 접촉이 형성되는) 하나 이상의 전도체 및 접촉 층 및 하나 이상의 유전체 층을 포함할 수 있다.
- [0015] 본 명세서에 사용된 바와 같이, 용어 "약"은 대상 반도체 디바이스와 관련된 특정 기술 노드에 기초하여 변할 수 있는 주어진 양의 값을 나타낸다. 특정 기술 노드에 따라 "약"이라는 용어는 예를 들어 값의 10-30% (예를 들어, 값의 $\pm 10\%$, $\pm 20\%$, 또는 $\pm 30\%$) 내에서 변하는 주어진 양의 값을 나타낼 수 있다.
- [0016] 본 명세서에서 사용되는 바와 같이, "웨이퍼"는 반도체 디바이스가 그 안에 및/또는 그 위에 구축하기 위한 반도체 재료의 조각이며 다이로 분리되기 전에 다양한 제조 공정을 거칠 수 있다.
- [0017] 현대의 프로세서("마이크로프로세서"라고 알려짐)가 보다 발전된 세대로 발전함에 따라 캐시 크기는 프로세서 성능 향상을 위해 점점 더 중요한 역할을 하고 있다. 어떤 경우에는 캐시가 마이크로프로세서 칩에서 절반 이상의 칩 공간을 차지하였다. 또한 캐시에서 프로세서 코어 로직까지의 RC(Resistive-Capacitive) 지연으로 인해 성능이 저하될 수 있다. 또한 프로세서와 외부의 메인 메모리를 전기적으로 연결하기 위해서는 버스 인터페이스 장치가 필요하다. 그러나 버스 인터페이스 장치 자체는 추가 칩 영역을 차지하며 메인 메모리에 대한 전기적 연결에는 금속 라우팅을 위한 추가 영역이 필요하고 추가 RC 지연이 발생한다.
- [0018] 본 개시에 따른 다양한 실시예는 더 나은 캐시 성능(더 빠른 데이터 전송과 더 높은 효율), 더 넓은 데이터 대역폭, 더 적은 버스 인터페이스 유닛 및 더 빠른 메모리 인터페이스 속도를 달성하기 위해 결합된 칩에 통합된 프로세서 코어, 캐시 및 메인 메모리를 갖는 반도체 디바이스를 제공한다. 본 명세서에 개시된 반도체 디바이스는 프로세서 코어 및 SRAM(예를 들어, 캐시로서)을 갖는 제1 반도체 구조체 및 다수의 단락으로 제1 반도체 구조체에 본딩된 DRAM(예를 들어, 메인 메모리로서)을 갖는 제2 반도체 구조체를 포함할 수 있다. 주변에 분산된 장거리 금속 라우팅 또는 기존의 TSV(실리콘 비아) 대신 거리를 두고 수직 금속 상호 연결을 사용한다. 일부 실시예에서, 캐시 모듈은 더 작은 캐시 영역으로 분할될 수 있고, 본딩 콘택트 설계에 따라 무작위로 분배될 수

있다.

- [0019] 그 결과, 프로세서 웨이퍼 및 DRAM 웨이퍼의 제조 공정으로부터의 상호작용이 덜한 영향뿐만 아니라 공지된 양호한 하이브리드 본딩 수율로 인해 더 높은 수율로 더 짧은 제조 사이클 시간이 달성될 수 있다. 밀리미터 또는 센티미터 수준에서 마이크로미터 수준과 같이 프로세서와 DRAM 간의 더 짧은 연결 거리는 더 빠른 데이터 전송 속도로 프로세서 성능을 개선하고 더 넓은 대역폭으로 프로세서 코어 논리 효율성을 개선하며 시스템 속도를 개선할 수 있다.
- [0020] 도 1a는 일부 실시예에 따른 예시적인 반도체 디바이스(100)의 단면의 개략도를 예시한다. 반도체 디바이스(100)는 본딩된 칩의 일례를 나타낸다. 반도체 디바이스(100)의 구성 요소(예를 들어, 프로세서/SRAM 및 DRAM)는 서로 다른 기판 상에 별도로 형성될 수 있고 그런 다음 본딩된 칩을 형성하도록 접합될 수 있다. 반도체 디바이스(100)는 프로세서 및 SRAM 셀의 어레이를 포함하는 제1 반도체 구조체(102)를 포함할 수 있다. 일부 실시예에서, 제1 반도체 구조체(102)의 프로세서 및 SRAM 셀의 어레이는 상보형 금속-산화물-반도체(complementary metal-oxide-semiconductor, CMOS) 기술을 사용한다. 프로세서와 SRAM 셀의 어레이는 모두 고급 논리 프로세스(예를 들어, 90nm, 65nm, 45nm, 32nm, 28nm, 20nm, 16nm, 14nm, 10nm, 7nm, 5 nm, 3 nm 등의 기술 노드)로 구현되어 고속을 달성한다.
- [0021] 프로세서는 CPU, GPU, 디지털 신호 프로세서(DSP), 텐서 프로세싱 유닛(TPU), 비전 프로세싱 유닛(VPU), 신경 프로세싱 유닛(NPU), 시너지 프로세싱 유닛(SPU), 물리 프로세싱 유닛(PPU) 및 이미지 신호 프로세서(ISP)를 포함하지만 이에 제한되지 않는 특수 프로세서를 포함할 수 있다. 프로세서에는 애플리케이션 프로세서, 베이스밴드 프로세서 등과 같은 여러 특수 프로세서를 결합하는 SoC도 포함될 수 있다. 반도체 디바이스(100)가 모바일 디바이스(예를 들어, 스마트폰, 태블릿, 안경, 손목 시계, 가상 현실/증강 현실 헤드셋, 랩톱 컴퓨터 등)에 사용되는 일부 실시예에서, 애플리케이션 프로세서는 운영 체제 환경에서 실행되는 애플리케이션을 처리하고, 베이스밴드 프로세서는 2세대(2G), 3세대(3G), 4세대(4G), 5세대(5G), 6세대(6G) 셀룰러 통신 등과 같은 셀룰러 통신을 처리한다.
- [0022] 프로세서 이외의 다른 프로세싱 유닛("논리 회로"로도 알려짐)은 또한 제1 반도체 구조체(102)에 형성될 수 있는데, 예를 들어 하나 이상의 컨트롤러 및/또는 제2 반도체 구조체(104)의 RAM의 주변 회로의 전체 또는 일부와 같은 것이다. 컨트롤러는 임베디드 시스템에서 특정 동작을 처리할 수 있다. 반도체 디바이스(100)가 모바일 디바이스에 사용되는 일부 실시예에서, 각각의 컨트롤러는 모바일 디바이스의 특정 동작, 예를 들어, 셀룰러 통신 이외의 통신(예를 들어, 블루투스 통신, Wi-Fi 통신, FM 라디오 등), 전원 관리, 디스플레이 드라이브, 위치 지정 및 탐색, 터치 스크린, 카메라 등을 처리할 수 있다. 따라서 반도체 디바이스(100)의 제1 반도체 구조체(102)는 블루투스 컨트롤러, Wi-Fi 컨트롤러, FM 라디오 컨트롤러, 전원 컨트롤러, 디스플레이 컨트롤러, GPS 컨트롤러, 터치 스크린 컨트롤러, 카메라 컨트롤러 등을 포함하며, 이들 각각은 모바일 장치에서 해당 구성 요소의 동작을 제어하도록 구성된다.
- [0023] 일부 실시예에서, 반도체 디바이스(100)의 제1 반도체 구조체(102)는 제2 반도체 구조체(104)의 DRAM의 주변 회로 전체 또는 일부를 더 포함한다. 주변 회로(제어 및 감지 회로로도 알려짐)는 DRAM 작동을 용이하게 하는 데 사용되는 임의의 적절한 디지털, 아날로그 및/또는 혼합 신호 회로를 포함할 수 있다. 예를 들어, 주변 회로는 입력/출력 버퍼, 디코더(예를 들어, 행 디코더 및 열 디코더), 감지 증폭기, 또는 회로의 능동 소자 또는 수동 소자(예를 들어, 트랜지스터, 다이오드, 저항기 또는 커패시터) 중 하나 이상을 포함할 수 있다.
- [0024] SRAM은 논리 회로(예를 들어, 프로세서 및 주변 회로)의 동일한 기판에 집적되어 "온-다이 SRAM"으로도 알려진 더 넓은 버스 및 더 높은 동작 속도를 허용한다. SRAM의 메모리 컨트롤러는 주변 회로의 일부로 내장될 수 있다. 일부 실시예에서, 각각의 SRAM 셀은 데이터 비트를 양전하 또는 음전하로서 저장하기 위한 복수의 트랜지스터뿐만 아니라 이에 대한 액세스를 제어하는 하나 이상의 트랜지스터를 포함한다. 일례에서, 각 SRAM 셀은 6개의 트랜지스터(예를 들어, 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)), 예를 들어 데이터 비트를 저장하기 위한 4개의 트랜지스터 및 데이터에 대한 액세스를 제어하기 위한 2개의 트랜지스터를 갖는다. SRAM 셀은 논리 회로(예를 들어, 프로세서 및 주변 회로)가 차지하지 않는 영역에 위치할 수 있으므로 추가 공간을 형성할 필요가 없다. 온-다이 SRAM은 하나 이상의 캐시(예를 들어, 명령 캐시 또는 데이터 캐시) 및/또는 데이터 버퍼로서 사용되는 반도체 디바이스(100)의 고속 동작을 가능하게 할 수 있다.
- [0025] 반도체 디바이스(100)는 또한 DRAM 셀의 어레이를 포함하는 제2 반도체 구조체(104)를 포함할 수 있다. 즉, 제2 반도체 구조체(104)는 DRAM 메모리 디바이스일 수 있다. DRAM은 메모리 셀을 주기적으로 새로 고칠 필요가 있다. DRAM을 리프레시하기 위한 메모리 컨트롤러는 상술한 컨트롤러 및 주변 회로의 다른 예로서 내장될 수 있다.

다. 일부 실시예에서, 각각의 DRAM 셀은 데이터 비트를 양전하 또는 음전하로 저장하기 위한 캐패시터와 이에 대한 액세스를 제어하는 하나 이상의 트랜지스터를 포함한다. 일례로, 각 DRAM 셀은 1-트랜지스터, 1-캐패시터(one-transistor, one-capacitor, 1T1C) 셀이다.

[0026] 도 1a에 도시된 바와 같이, 반도체 디바이스(100)는 제1 반도체 구조체(102)와 제2 반도체 구조체(104) 사이에 수직으로 본딩 인터페이스(106)를 더 포함한다. 자세하게 후술되는 바와 같이, 제1 및 제2 반도체 구조체(102, 104) 중 하나를 제조하는 열 예산이 제1 및 제2 반도체 구조체(102, 104) 중 다른 하나를 제조하는 프로세스를 제한하지 않도록 제1 및 제2 반도체 구조체(102, 104)가 개별적으로 (그리고 일부 실시예에서는 병렬로) 제조될 수 있다. 또한, PCB와 같은 회로 기관에서 장거리(예를 들어, 밀리미터 또는 센티미터 수준) 칩 대 칩 데이터 버스(chip-to-chip data bus)와는 반대로, 제1 반도체 구조체(102) 및 제2 반도체 구조체(104) 사이에 직접적인 근거리(예를 들어, 마이크론 레벨) 전기적 연결을 만들기 위해 본딩 인터페이스(106)를 통해 대량의 상호접속(예를 들어, 본딩 콘택트)을 형성할 수 있으며, 이에 의해 칩 인터페이스 지연을 제거하고 감소된 소비 전력으로 고속 I/O 처리량을 달성한다. 제2 반도체 구조체(104)의 DRAM과 제1 반도체 구조체(102)의 프로세서 사이뿐만 아니라 제2 반도체 구조체(104)의 DRAM과 제1 반도체 구조체(102)의 SRAM 사이의 데이터 전송은 본딩 인터페이스(106)를 거치는 상호접속(예를 들어, 본딩 콘택트)을 통해 수행된다. 제1 및 제2 반도체 구조체(102, 104)를 수직으로 통합함으로써, 칩 크기가 감소될 수 있고, 메모리 셀 밀도가 증가될 수 있다. 또한 "통합" 칩으로서 여러 개별 칩(예를 들어, 다양한 프로세서, 컨트롤러 및 메모리)을 단일 결합 칩(예를 들어, 반도체 디바이스(100))에 통합함으로써 더 빠른 시스템 속도와 더 작은 PCB 크기도 달성할 수 있다.

[0027] 적층된 제1 및 제2 반도체 구조체(102, 104)의 상대적인 위치는 제한되지 않는다는 것이 이해된다. 도 1b는 일부 실시예에 따른 다른 예시적인 반도체 디바이스(101)의 단면의 개략도를 예시한다. DRAM 셀의 어레이를 포함하는 제2 반도체 구조체(104)가 프로세서 및 SRAM 셀의 어레이를 포함하는 제1 반도체 구조체(102) 위에 있는 도 1a에서의 반도체 디바이스(100)와는 달리, 도 1b의 반도체 디바이스(101)에서, 프로세서 및 SRAM 셀의 어레이를 포함하는 제1 반도체 구조체(102)는 DRAM 셀의 어레이를 포함하는 제2 반도체 구조체(104) 위에 있다. 그럼에도 불구하고, 본딩 인터페이스(106)는 반도체 디바이스(101)에서 제1 및 제2 반도체 구조체(102, 104) 사이에 수직으로 형성되고, 제1 및 제2 반도체 구조체(102, 104)는 일부 실시예에 따라 본딩(예를 들어, 하이브리드 본딩)을 통해 수직으로 본딩된다. 제2 반도체 구조체(104)의 DRAM과 제1 반도체 구조체(102)의 프로세서 사이의 데이터 전송은 물론, 제2 반도체 구조체(104)의 DRAM과 제1 반도체 구조체(102)의 SRAM 사이의 데이터 전송은 본딩 인터페이스(106)를 가로질러 상호접속(예를 들어, 본딩 콘택트)을 통해 수행될 수 있다.

[0028] 도 2a는 일부 실시예에 따른 프로세서 및 SRAM을 갖는 예시적인 반도체 구조체(200)의 개략적인 평면도를 예시한다. 반도체 구조체(200)는 제1 반도체 구조체(102)의 일례일 수 있다. 반도체 구조체(200)는 SRAM(204)과 동일한 기관 상에 프로세서(202)를 포함할 수 있고 SRAM(204)과 동일한 논리 프로세스를 사용하여 제조될 수 있다. 프로세서(202)는 몇 가지를 들자면 CPU, GPU, DSP, 애플리케이션 프로세서, 베이스밴드 프로세서 중 하나 이상을 포함할 수 있다. SRAM(204)은 프로세서(202)의 외부에 배치될 수 있다. 도 2a는 SRAM 셀의 어레이가 프로세서(202) 외부에 있는 반도체 구조체(200)의 복수의 개별 영역에 분포되어 있는 SRAM(204)의 예시적인 레이아웃을 도시한다. 즉, SRAM(204)에 의해 형성된 캐시 모듈은 반도체 구조체(200)의 프로세서(202) 외부에 분포하는 더 작은 캐시 영역으로 분할될 수 있다. 일례에서, 캐시 영역의 분포는 본딩 콘택트의 설계, 예를 들어 본딩 콘택트가 없는 영역을 점유하는 것에 기초할 수 있다. 다른 예에서, 캐시 영역의 분포는 랜덤할 수 있다. 그 결과, 추가적인 칩 영역을 점유하지 않고 프로세서(202)를 둘러싸는 더 많은 내부 캐시(예를 들어, 온-다이 SRAM을 사용함)가 배열될 수 있다.

[0029] 도 2b는 일부 실시예에 따른 DRAM 및 주변 회로를 갖는 예시적인 반도체 구조체(201)의 개략적인 평면도를 예시한다. 반도체 구조체(201)는 제2 반도체 구조체(104)의 일례일 수 있다. 반도체 구조체(201)는 DRAM(206)의 주변 회로와 동일한 기관 상에 DRAM(206)을 포함할 수 있다. 반도체 구조체(201)는 DRAM(206)을 제어하고 감지하기 위한 모든 주변 회로, 예를 들어, 행 디코더(208), 열 디코더(210), 및 임의의 다른 적절한 장치를 포함하는 주변 회로를 포함할 수 있다. 도 2b는 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210)) 및 DRAM(206)이 동일한 평면의 상이한 영역에 형성되는 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210)) 및 DRAM(206)의 예시적인 레이아웃을 도시한다. 예를 들어, 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210))는 DRAM(206)의 외부에 형성될 수 있다.

[0030] 반도체 구조체(200, 201)의 레이아웃은 도 2a 및 도 2b의 예시적인 레이아웃으로 제한되지 않는다는 것이 이해된다. 일부 실시예에서, DRAM(206)의 주변 회로의 일부(예를 들어, 행 디코더(208), 열 디코더(210), 및 임의의 다른 적절한 디바이스 중 하나 이상)는 프로세서(202) 및 SRAM(204)을 갖는 반도체 구조체(201)에 있을 수

있다. 일부 다른 실시예에 따르면, DRAM(206)의 주변 회로는 반도체 구조체(200, 201) 모두에 분산될 수 있다. 일부 실시예에서, 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210)) 및 DRAM(206)(예를 들어, DRAM 셀의 어레이) 중 적어도 일부는 서로 다른 평면에서, 즉 서로 적층된다. 예를 들어, DRAM(206)(예를 들어, DRAM 셀의 어레이)은 칩 크기를 더 감소시키기 위해 주변 회로 위 또는 아래에 형성될 수 있다. 유사하게, 일부 실시예에서, SRAM(204)(예를 들어, SRAM 셀의 어레이) 및 프로세서(202)의 적어도 일부는 서로 다른 평면에서, 즉 서로 적층된다. 예를 들어, SRAM(204)(예를 들어, SRAM 셀의 어레이)은 칩 크기를 더 감소시키기 위해 프로세서(202) 위 또는 아래에 형성될 수 있다.

[0031] 도 3a는 일부 실시예에 따른 프로세서, SRAM, 및 주변 회로를 갖는 예시적인 반도체 구조체(300)의 개략적인 평면도를 예시한다. 반도체 구조체(300)는 제1 반도체 구조체(102)의 일례일 수 있다. 반도체 구조체(300)는 SRAM(204) 및 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210))와 동일한 기판 상의 프로세서(202)를 포함할 수 있고, SRAM(204) 및 주변 회로와 동일한 로직 프로세스를 사용해서 제조될 수 있다. 프로세서(202)는 몇 가지 예를 들면 CPU, GPU, DSP, 애플리케이션 프로세서, 기저대역 프로세서 중 하나 이상을 포함할 수 있다. SRAM(204) 및 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210))는 모두 프로세서(202)의 외부에 배치될 수 있다. 예를 들어, 도 3a는 SRAM 셀의 어레이가 프로세서(202) 외부에 있는 반도체 구조체(300)의 복수의 개별 영역에 분포되어 있는 SRAM(204)의 예시적인 레이아웃을 도시한다. 반도체 구조체(300)는 DRAM(206)을 제어하고 감지하기 위한 모든 주변 회로를 포함할 수 있으며, 예를 들어, 행 디코더(208), 열 디코더(210), 및 임의의 다른 적절한 장치를 포함한다. 도 3a는 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210)) 및 SRAM(204)이 외부의 동일한 평면 상의 상이한 영역에 형성되는 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210))의 예시적인 레이아웃을 도시한다. 일부 실시예에서, 주변 회로(예를 들어, 행 디코더(208), 열 디코더(210)), SRAM(204)(예를 들어, SRAM 셀의 어레이) 및 프로세서(202) 중 적어도 일부가 서로 다른 평면에서, 즉 서로 적층된다. 예를 들어, SRAM(204)(예를 들어, SRAM 셀의 어레이)은 칩 크기를 더 감소시키기 위해 주변 회로 위 또는 아래에 형성될 수 있다.

[0032] 도 3b는 일부 실시예에 따른 DRAM을 갖는 예시적인 반도체 구조체(301)의 개략적인 평면도를 예시한다. 반도체 구조체(301)는 제2 반도체 구조체(104)의 일례일 수 있다. 예를 들어, 반도체 구조체(301) 내의 DRAM 셀의 수가 증가될 수 있다.

[0033] 도 4a는 일부 실시예에 따른 예시적인 반도체 디바이스(400)의 단면을 도시한다. 도 1a와 관련하여 위에서 설명된 반도체 디바이스(100)의 일례로서, 반도체 디바이스(400)는 제1 반도체 구조체(402) 및 제1 반도체 구조체(402) 위에 적층된 제2 반도체 구조체(404)를 포함하는 본딩된 칩이다. 일부 실시예에 따르면, 제1 및 제2 반도체 구조체(402, 404)는 그 사이의 본딩 인터페이스(406)에서 본딩된다. 도 4a에 도시된 바와 같이, 제1 반도체 구조체(402)는 실리콘(예를 들어, 단결정 실리콘, c-Si), 실리콘 게르마늄(SiGe), 갈륨 비소(GaAs), 게르마늄(Ge), 절연체 상의 실리콘(SOI) 또는 기타 적절한 재료를 포함할 수 있는 기판(408)을 포함할 수 있다.

[0034] 반도체 디바이스(400)의 제1 반도체 구조체(402)는 기판(408) 위의 디바이스 층(410)을 포함할 수 있다. 기판(408)은 x-방향(측방향 또는 폭 방향)으로 측방향으로 연장되는 2개의 측방향 표면(예를 들어, 상부 표면 및 하부 표면)을 포함한다. 본 명세서에 사용된 바와 같이, 하나의 구성 요소(예를 들어, 층 또는 장치)가 반도체 장치의(예를 들어, 반도체 장치(700)) 다른 구성 요소(예를 들어, 층 또는 장치)의 "상", "위" 또는 "아래"에 있는지는 기판이 y-방향에서 반도체 디바이스의 가장 낮은 평면에 위치될 때 y-방향(수직 방향 또는 두께 방향)에서 반도체 디바이스(예를 들어, 기판(408))의 기판에 대해 결정된다. 공간적 관계를 기술하기 위한 동일한 개념이 본 개시물 전체에 걸쳐 적용된다.

[0035] 일부 실시예에서, 디바이스 층(410)은 기판(408) 상의 프로세서(412) 및 기판(408) 상의 및 프로세서(412) 외부에 있는 SRAM 셀(414)의 어레이를 포함한다. 일부 실시예에서, 디바이스 층(410)은 기판(408) 위에 있고, 프로세서(412) 외부에 있는 주변 회로(416)를 더 포함한다. 예를 들어, 주변 회로(416)는 후술하는 바와 같이 반도체 디바이스(400)의 DRAM을 제어 및 감지하기 위한 주변 회로의 일부 또는 전체일 수 있다. 일부 실시예에서, 프로세서(412)는 위에서 상세히 설명된 바와 같이 임의의 적합한 특수 프로세서 및/또는 SoC를 형성하는 복수의 트랜지스터(418)를 포함한다. 일부 실시예에서, 트랜지스터(418)는 또한 예를 들어 반도체 디바이스(400)의 캐시 및/또는 데이터 버퍼로서 사용되는 SRAM 셀(414)의 어레이를 형성한다. 예를 들어, SRAM 셀(414)의 어레이는 내부 명령 캐시 및/또는 데이터 캐시로서 기능할 수 있다. SRAM 셀(414)의 어레이는 제1 반도체 구조체(402)의 복수의 개별 영역에 분포될 수 있다. 일부 실시예에서, 트랜지스터(418)는 주변 회로(416)를 포함하는데, 즉 입력/출력 버퍼, 디코더(예를 들어, 행 디코더 및 열 디코더), 및 감지 증폭기를 포함하지만 이에 제한되지 않는 DRAM의 동작을 용이하게 하기 위해 사용되는 임의의 적절한 디지털, 아날로그 및/또는 혼합 신호 제어 및 감지

회로를 추가로 형성한다.

[0036] 트랜지스터(418)는 기판(408) "위에" 형성될 수 있으며, 여기서 트랜지스터(418)의 전체 또는 일부는 기판(408) 내에(예를 들어, 기판(408)의 상부 표면 아래) 및/또는 기판(408) 바로 위에 형성된다. 예를 들어, 얇은 트랜지 분리(STI)) 및 도핑된 영역(예를 들어, 트랜지스터(418)의 소스 영역 및 드레인 영역)이 기판(408)에도 형성될 수 있다. 일부 실시예에 따르면, 트랜지스터(418)는 고급 논리 프로세스(예를 들어, 90nm, 65nm, 45nm, 32nm, 28nm, 20nm, 16nm, 14nm, 10nm, 7nm, 5nm, 3nm 등의 기술 노드)로 고속이다.

[0037] 일부 실시예에서, 반도체 디바이스(400)의 제1 반도체 구조체(402)는 프로세서(412) 및 SRAM 셀(414)의 어레이 (및 만약 있다면 주변 회로(416))로/로부터 전기 신호를 전달하기 위해 디바이스 층(410) 위에 상호접속 층 (420)을 더 포함한다. 상호접속 층(420)은 측방향 상호접속 라인 및 수직 상호접속 액세스(비아) 콘택트를 포함 하는 복수의 상호접속(본 명세서에서 "콘택트")이라고도 할 수 있다. 본 명세서에서 사용되는 바와 같이, 용어 "상호접속"은 MEOL(middle-end-of-line) 상호접속 및 BEOL(back-end-of-line) 상호접속과 같은 임의의 적합한 유형의 상호접속을 광범위하게 포함할 수 있다. 상호접속 층(420)은 상호접속 라인 및 비아 콘택트가 형성될 수 있는 하나 이상의 층간 유전체(ILD) 층("금속간 유전체(IMD) 층"으로도 알려짐)을 더 포함할 수 있다. 즉, 상호 접속 층(420)은 상호접속 라인 및 다중 ILD 층의 비아 콘택트를 포함할 수 있다. 상호접속 층(420)의 상호접속 라인 및 비아 콘택트는 텅스텐(W), 코발트(Co), 구리(Cu), 알루미늄(Al), 실리사이드, 또는 이들의 임의의 조합 을 포함하지만 이에 제한되지 않는 전도성 재료를 포함할 수 있다. 상호접속 층(420)의 ILD 층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 저 유전 상수(low-k) 유전체, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전 물질을 포함할 수 있다. 일부 실시예에서, 디바이스 층(410)의 디바이스는 상호접속 층(420)의 상호접속을 통해 서로 전기적으로 연결된다. 예를 들어, SRAM 셀(414)의 어레이는 상호접속 층(420) 을 통해 프로세서(412)에 전기적으로 접속될 수 있다.

[0038] 도 4a에 도시된 바와 같이, 반도체 디바이스(400)의 제1 반도체 구조체(402)는 본딩 인터페이스(406) 및 상호접 속 층(420) 및 디바이스 층(410)(프로세서(412) 및 SRAM 셀(414)의 어레이 포함) 위의 본딩 레이어(422)를 더 포함할 수 있다. 본딩 레이어(422)는 복수의 본딩 콘택트(424) 및 본딩 콘택트(424)를 전기적으로 격리하는 유 전체를 포함할 수 있다. 본딩 콘택트(424)는 W, Co, Cu, Al, 실리사이드, 또는 이들의 임의의 조합을 포함하지 만 이에 제한되지 않는 전도성 재료를 포함할 수 있다. 본딩 레이어(422)의 나머지 영역은 실리콘 산화물, 실리 콘 질화물, 실리콘 산질화물, 로우-k 유전체, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전 체로 형성될 수 있다. 본딩 콘택트(424) 및 본딩 레이어(422)의 주변 유전체는 하이브리드 본딩에 사용될 수 있 다.

[0039] 유사하게, 도 4a에 도시된 바와 같이, 반도체 디바이스(400)의 제2 반도체 구조체(404)는 또한 본딩 인터페이스 (406) 및 제1 반도체 구조체(402)의 본딩 레이어(422) 위의 본딩 레이어(426)를 포함할 수 있다. 본딩 레이어 (426)는 복수의 본딩 콘택트(428) 및 유전체를 포함할 수 있다. 본딩 콘택트(428)는 W, Co, Cu, Al, 실리사이드, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료를 포함할 수 있다. 본딩 레이어(426)의 나머지 영역은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체, 또는 이들의 임 의의 조합을 포함하지만 이에 제한되지 않는 유전체로 형성될 수 있다. 본딩 콘택트(428) 및 본딩 레이어(426) 의 주변 유전체는 하이브리드 본딩에 사용될 수 있다. 일부 실시예에 따르면, 본딩 콘택트(428)은 ??본딩 인터 페이스(406)에서 본딩 콘택트(424)와 접촉한다.

[0040] 전술한 바와 같이, 제2 반도체 구조체(404)는 본딩 인터페이스(406)에서 대면 방식으로 제1 반도체 구조체(40 2)의 상부에 본딩될 수 있다. 일부 실시예에서, 본딩 인터페이스(406)는 직접 결합 기술(예를 들어, 솔더 또는 접착제와 같은 중간 층을 사용하지 않고 표면 사이에 결합 형성)인 하이브리드 결합("금속/유전체 하이브리드 결합"이라고도 함)의 결과로 금속-금속 결합 및 유전체-유전체 결합을 동시에 수행한다. 일부 실시예에서, 본딩 인터페이스(406)는 본딩 레이어(422, 426)가 만나 본딩되는 장소이다. 실제로, 본딩 인터페이스(406)는 제1 반 도체 구조체(402)의 본딩 레이어(422)의 상부 표면 및 제2 반도체 구조체(404)의 본딩 레이어(426)의 하부 표면 을 포함하는 특정 두께를 갖는 층일 수 있다.

[0041] 일부 실시예에서, 반도체 디바이스(400)의 제2 반도체 구조체(404)는 전기 신호를 전달하기 위해 본딩 레이어 (426) 위에 상호접속 층(430)을 더 포함한다. 상호접속 층(430)은 MEOL 상호접속 및 BEOL 상호접속과 같은 복수 의 상호접속을 포함할 수 있다. 일부 실시예에서, 상호접속 층(430)의 상호접속은 또한 비트 라인 콘택트 및 위 드 라인 콘택트와 같은 로컬 상호접속을 포함한다. 상호접속 층(430)은 상호접속 라인 및 비아 콘택트가 형성될 수 있는 하나 이상의 ILD 층을 더 포함할 수 있다. 상호접속 층(430)의 상호접속 라인 및 비아 콘택트는 W, Co,

Cu, Al, 실리사이드, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 도전성 재료를 포함할 수 있다. 상호접속 층(430)의 ILD 층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전 물질을 포함할 수 있다.

[0042] 반도체 디바이스(400)의 제2 반도체 구조체(404)는 상호접속 층(430) 및 본딩 레이어(426) 위의 디바이스 층(432)을 더 포함할 수 있다. 일부 실시예에서, 디바이스 층(432)은 상호접속 층(430) 및 본딩 레이어(426) 위의 DRAM 셀(450)의 어레이를 포함한다. 일부 실시예에서, 각각의 DRAM 셀(450)은 DRAM 선택 트랜지스터(436) 및 커패시터(438)를 포함한다. DRAM 셀(450)은 하나의 트랜지스터와 하나의 커패시터로 구성된 1T1C 셀일 수 있다. DRAM 셀(450)은 2T1C 셀, 3T1C 셀 등과 같은 임의의 적절한 구성일 수 있음이 이해된다. 일부 실시예에서, DRAM 선택 트랜지스터(436)는 DRAM의 전체 또는 일부가 반도체 층(434) "위에" 형성된다. 선택 트랜지스터(436)는 반도체 층(434)(예를 들어, 반도체 층(434)의 상부 표면 아래) 및/또는 반도체 층(434) 바로 위에 형성된다. 선택 트랜지스터(436)는 반도체 층(434)에도 형성될 수 있다. 일부 실시예에서, 커패시터(438)는 DRAM 선택 트랜지스터(436) 아래에 배치된다. 각 커패시터(438)는 2개의 전극을 포함하고, 그 중 하나는 일부 실시예에 따라 각각의 DRAM 선택 트랜지스터(436)의 하나의 노드에 전기적으로 연결된다. 일부 실시예에 따르면, 각 DRAM 선택 트랜지스터(436)의 다른 노드는 DRAM의 비트 라인(440)에 전기적으로 연결된다. 각각의 커패시터(438)의 다른 전극은 공통 플레이트(442), 예를 들어 공통 접지에 전기적으로 연결될 수 있다. DRAM 셀(450)의 구조 및 구성은 도 4a의 예에 제한되지 않으며, 임의의 적절한 구조 및 구성을 포함할 수 있다는 것을 이해해야 한다. 예를 들어, 커패시터(438)는 평면 커패시터(planar capacitor), 스택 커패시터(stack capacitor), 다중 핀 커패시터(multi-fins capacitor), 실린더 커패시터(cylinder capacitor), 트렌치 커패시터(trench capacitor), 또는 기판-판 커패시터(substrate-plate capacitor)일 수 있다.

[0043] 일부 실시예에서, 제2 반도체 구조체(404)는 소자 층(432) 위에 배치된 반도체 층(434)을 더 포함한다. 반도체 층(434)은 DRAM 셀(450)의 어레이 위에 있고 이와 접촉할 수 있다. 반도체 층(434)은 DRAM 선택이 이루어지는 얇은 기판일 수 있다. 트랜지스터(436)가 형성된다. 일부 실시예에서, 반도체 층(434)은 단결정 실리콘을 포함한다. 일부 실시예에서, 반도체 층(434)은 폴리실리콘, 비정질 실리콘, SiGe, GaAs, Ge, 또는 임의의 다른 적절한 재료를 포함할 수 있다. 반도체 층(434)은 또한 (예를 들어, DRAM 선택 트랜지스터(436)의 소스 및 드레인으로서) 분리 영역 및 도핑 영역을 포함할 수 있다.

[0044] 도 4a에 도시된 바와 같이, 반도체 디바이스(400)의 제2 반도체 구조체(404)는 반도체 층(434) 위에 패드-아웃 상호접속 층(444)을 더 포함할 수 있다. 패드-아웃 상호접속 층(444)은 하나 이상의 ILD 층에 상호접속부, 예를 들어 콘택트 패드(446)를 포함할 수 있다. 패드-아웃 상호접속 층(444) 및 상호접속 층(430)은 반도체 층(434)의 대향 측면에 형성될 수 있다. 일부 실시예에서, 패드-아웃 상호접속 층(444)의 상호접속은 반도체 디바이스(400)와 외부 회로 사이에서, 예를 들어 패드-아웃 목적을 위해 전기 신호를 전달할 수 있다.

[0045] 일부 실시예에서, 제2 반도체 구조체(404)는 패드-아웃 상호접속 층(444)과 상호접속 층(430, 420)을 전기적으로 연결하기 위해 반도체 층(434)을 통해 연장되는 하나 이상의 콘택트(448)를 더 포함한다. 그 결과, 프로세서(412) 및 SRAM 셀(414)의 어레이(및 존재하는 경우 주변 회로(416))는 상호접속 층(430 및 420)뿐만 아니라 본딩 콘택트(428 및 424)을 통해 DRAM 셀(450)의 어레이에 전기적으로 연결될 수 있다. 또한, 프로세서(412), SRAM 셀(414)의 어레이, 및 DRAM 셀의 어레이 450은 콘택트(448) 및 패드-아웃 상호접속 층(444)을 통해 외부 회로에 전기적으로 연결될 수 있다.

[0046] 도 4b는 일부 실시예에 따른 다른 예시적인 반도체 디바이스(401)의 단면을 도시한다. 도 1b와 관련하여 위에서 설명된 반도체 디바이스(101)의 일례로서, 반도체 디바이스(401)는 제2 반도체 구조체(403) 및 제2 반도체 구조체(403) 위에 적층된 제1 반도체 구조체(405)를 포함하는 본딩된 칩이다. 도 4a에서 전술한 반도체 디바이스(400)와 유사하게, 반도체 디바이스(401)는 프로세서 및 SRAM을 포함하는 제1 반도체 구조체(405) 및 DRAM을 포함하는 제2 반도체 구조체(403)가 별도로 형성되고 본딩 인터페이스(407)에서 대면 방식으로 본딩된 본딩된 칩(bonded chip)의 예를 나타낸다. 프로세서 및 SRAM을 포함하는 제1 반도체 구조체(402)가 DRAM을 포함하는 제2 반도체 구조체(404) 아래에 있는 도 4a에서 전술한 반도체 디바이스(400)와는 달리, 도 4b에서 반도체 디바이스(401)는 프로세서를 포함하는 제1 반도체 구조체(405) 및 DRAM을 포함하는 제2 반도체 구조체(403) 위에 배치된 SRAM을 포함한다. 두 반도체 디바이스(400, 401) 모두에서 유사한 구조(예를 들어, 재료, 제조 프로세스, 기능 등)의 자세한 내용은 아래에서 반복되지 않을 수 있음이 이해된다.

[0047] 반도체 디바이스(401)의 제2 반도체 구조체(403)는 기판(409) 및 기판(409) 위의 디바이스 층(411)을 포함할 수 있다. 디바이스 층(411)은 기판(409) 상의 DRAM 셀(449)의 어레이를 포함할 수 있다. 일부 실시예에서, 각각의

DRAM 셀(449)은 DRAM 선택 트랜지스터(413) 및 커패시터(415)를 포함한다. DRAM 셀(449)은 하나의 트랜지스터와 하나의 커패시터로 구성된 1T1C 셀일 수 있다. DRAM 셀(449)은 2T1C 셀, 3T1C 셀 등과 같은 임의의 적절한 구성일 수 있음이 이해된다. 일부 실시예에서, DRAM 선택 트랜지스터(413)는 기판(409) 위에 형성되며, 여기서 DRAM 선택 트랜지스터의 전체 또는 일부가 기판(409) "위에" 형성되거나 그리고/또는 기판(409) 바로 위에 형성된다. 일부 실시예에서, 커패시터(415)는 DRAM 선택 트랜지스터(413) 위에 배치된다. 일부 실시예에 따르면, 각 DRAM 선택 트랜지스터(413)의 다른 노드는 DRAM의 비트 라인(417)에 전기적으로 연결된다. 각 커패시터(415)의 다른 전극은 공통 플레이트(419), 예를 들어 공통 접지에 전기적으로 연결될 수 있다. DRAM 셀(449)의 구조 및 구성은 도 4b의 예에 제한되지 않으며 임의의 적절한 구조 및 구성을 포함할 수 있다는 것을 이해해야 한다.

[0048] 일부 실시예에서, 반도체 디바이스(401)의 제2 반도체 구조체(403)는 또한 DRAM 셀(449)의 어레이로 및 그로부터 전기 신호를 전달하기 위해 디바이스 층(411) 위에 상호접속 층(421)을 포함한다. 상호접속 층(421)은 라인 및 비아 콘택트를 포함하는 복수의 상호접속을 포함할 수 있다. 일부 실시예에서, 상호접속 층(421)의 상호접속은 또한 비트 라인 콘택트 및 워드 라인 콘택트와 같은 로컬 상호접속을 포함한다. 일부 실시예에서, 반도체 디바이스(401)의 제2 반도체 구조체(403)는 본딩 인터페이스(407)에서 그리고 상호접속 층(421) 및 디바이스 층(411) 위에 본딩 레이어(423)를 더 포함한다. 본딩 레이어(423)는 복수의 본딩 콘택트(425) 및 본딩 콘택트(425)를 에워싸고 전기적으로 격리하는 유전체를 포함할 수 있다.

[0049] 도 4b에 도시된 바와 같이, 반도체 디바이스(401)의 제1 반도체 구조체(405)는 본딩 인터페이스(407) 및 본딩 레이어(423) 위의 다른 본딩 레이어(451)를 포함한다. 본딩 레이어(451)은 복수의 본딩 콘택트(427) 및 본딩 콘택트(427)를 둘러싸고 전기적으로 격리하는 유전체를 포함할 수 있다. 본딩 콘택트(427)는 일부 실시예에 따르면, 본딩 인터페이스(407)에서 본딩 콘택트(425)와 접촉한다. 일부 실시예에서, 반도체 디바이스(401)의 제1 반도체 구조체(405)는 또한 전기 신호를 전달하기 위해 본딩 레이어(451) 위에 상호접속 층(429)을 포함한다. 상호접속 층(429)은 상호접속 라인 및 비아 콘택트를 포함하는 복수의 상호접속을 포함할 수 있다.

[0050] 반도체 디바이스(401)의 제1 반도체 구조체(405)는 상호접속 층(429) 및 본딩 레이어(451) 위의 디바이스 층(431)을 더 포함할 수 있다. 일부 실시예에서, 디바이스 층(431)은 상호접속 층(429) 및 본딩 레이어(451) 위의 프로세서(435), 및 상호접속 층(429) 및 본딩 레이어(451) 위에 있고, 프로세서(435) 외부에 있는 SRAM 셀(437)의 어레이를 포함한다. 일부 실시예에서, 디바이스 층(431)은 상호접속 층(429) 및 본딩 레이어(451) 위에 있고 프로세서(435) 외부에 있는 주변 회로(439)를 더 포함한다. 예를 들어, 주변 회로 439는 DRAM 셀(449) 어레이를 제어하고 감지하기 위한 주변 회로의 일부 또는 전체일 수 있다. 일부 실시예에서, 디바이스 층(431)의 장치는 상호접속 층(429)의 상호 연결을 통해 서로 전기적으로 연결된다. SRAM 셀(437)은 상호접속 층(429)을 통해 프로세서(435)에 전기적으로 연결될 수 있다.

[0051] 일부 실시예에서, 프로세서(435)는 임의의 적합한 특수 프로세서 및/또는 SoC를 형성하는 복수의 트랜지스터(441)를 포함한다. 트랜지스터(441)는 반도체 층(433) "위에" 형성될 수 있으며, 여기서 트랜지스터(441)의 전체 또는 일부는 반도체 층(433) 내에 및/또는 반도체 층(433) 바로 위에 형성된다. 트랜지스터(441)의 소스 영역 및 드레인 영역은 반도체 층(433)에도 형성될 수 있다. 트랜지스터(441)는 SRAM 셀(437)(및 만약 있다면 주변 회로(439))의 어레이를 형성할 수 있다. 일부 실시예에 따르면, 트랜지스터(441)는 고급 논리 프로세스(예를 들어, 90nm, 65nm, 45nm, 32nm, 28nm, 20nm, 16nm, 14nm, 10nm, 7nm, 5nm, 3nm 등의 기술 노드)로 고속이다.

[0052] 일부 실시예에서, 제1 반도체 구조체(405)는 소자 층(431) 위에 배치된 반도체 층(433)을 더 포함한다. 반도체 층(433)은 프로세서(435) 및 SRAM 셀(437)의 어레이 위에 있고 이와 접촉할 수 있다. 반도체 층(433)은 위의 박형 기판일 수 있다. 트랜지스터(441)가 형성된다. 일부 실시예에서, 반도체 층(433)은 단결정 실리콘을 포함한다. 일부 실시예에서, 반도체 층(433)은 폴리실리콘, 비정질 실리콘, SiGe, GaAs, Ge, 또는 임의의 다른 적절한 재료를 포함할 수 있다. 반도체 층(433)은 또한 격리 영역 및 도핑 영역을 포함할 수 있다.

[0053] 도 4b에 도시된 바와 같이, 반도체 디바이스(401)의 제1 반도체 구조체(405)는 반도체 층(433) 위에 패드-아웃 상호접속 층(443)을 더 포함할 수 있다. 일부 실시예에서, 패드-아웃 상호접속 층(443)의 상호접속은 예를 들어 패드-아웃 목적을 위해 반도체 디바이스(401)와 외부 회로 사이에서 전기 신호를 전달할 수 있다. 일부 실시예에서, 제1 반도체 구조체(405)는 패드-아웃 상호접속 층(443)과 상호접속 층(429, 421)을 전기적으로 연결하기 위해 반도체 층(433)을 통해 연장하는 하나 이상의 콘택트(447)를 더 포함한다. 그 결과, 프로세서(435) 및 SRAM 셀(437)의 어레이(그리고 있으면 주변 회로(439)) 또한 본딩 콘택트(427, 425)뿐만 아니라 상호접속 층(429, 421)을 통해 DRAM 셀(449) 어레이에 전기적으로 연결될 수 있다. 또한, 프로세서(435), SRAM 셀(437)의 어레이, 및 DRAM 셀(449) 어레이는 콘택트(447) 및 패드-아웃 상호접속 층(443)을 통해 외부 회로에 전기적으로

연결된다.

- [0054] 도 5a는 일부 실시예에 따른 또 다른 예시적인 반도체 디바이스(500)의 단면을 도시한다. 도 4a에서 상술한 반도체 디바이스(400)와 유사하게, 반도체 디바이스(500)는 프로세서(512) 및 SRAM 셀(514)의 어레이를 갖는 제1 반도체 구조체(502), 및 제1 반도체 구조체(502) 위에 DRAM 셀(536)의 어레이를 갖는 제2 반도체 구조체(504)를 포함하는 본딩된 칩의 예를 나타낸다. 주변 회로(416)가 제1 반도체 구조체(402)에 있지만 제2 반도체 구조체(404)에는 없는 도 4a에서 전술한 반도체 디바이스(400)와는 달리, 주변 회로(538)는 DRAM 셀(536)의 어레이가 형성되는 제2 반도체 구조체(504)에 형성된다. 도 4에서 상술한 반도체 디바이스(400)와 유사하게, 반도체 디바이스(500)의 제1 및 제2 반도체 구조체(502, 504)는 도 5a에 도시된 바와 같이 본딩 인터페이스(506)에서 대면 방식으로 본딩된다. 반도체 디바이스(400, 500) 모두에서 유사한 구조(예를 들어, 재료, 제조 프로세스, 기능 등)의 자세한 내용은 아래에서 반복되지 않을 수 있다는 것을 이해해야 한다.
- [0055] 반도체 디바이스(500)의 제1 반도체 구조체(502)는 기판(508) 위의 디바이스 층(510)을 포함할 수 있다. 일부 실시예에서, 디바이스 층(510)은 기판(508) 상의 프로세서(512), 및 프로세서(512) 외부 및 기판(508) 상의 SRAM 셀(514)의 어레이를 포함한다. 일부 실시예에서, 프로세서(512)는 위에서 상세히 설명된 바와 같이 임의의 적절한 특수 프로세서 및/또는 SoC를 형성하는 복수의 트랜지스터(518)를 포함한다. 일부 실시예에서, 트랜지스터(518)는 또한 예를 들어 반도체 디바이스(500)의 캐시 및/또는 데이터 버퍼로서 사용되는 SRAM 셀(514)의 어레이를 형성한다.
- [0056] 일부 실시예에서, 반도체 디바이스(500)의 제1 반도체 구조체(502)는 또한 프로세서(512) 및 SRAM 셀(514)의 어레이로 전기 신호를 전달하기 위해 디바이스 층(510) 위에 상호접속 층(520)을 포함한다. 상호접속 층(520)은 상호접속 라인과 비아 콘택트를 포함하는 복수의 상호접속을 포함할 수 있다. 일부 실시예에서, 반도체 디바이스(500)의 제1 반도체 구조체(502)는 본딩 인터페이스(506) 및 상호접속 층(520) 및 디바이스 층(510)(프로세서(512) 및 SRAM 셀(514)의 어레이 포함) 위의 본딩 레이어(522)를 더 포함한다. 본딩 레이어(522)은 복수의 본딩 콘택트(524) 및 본딩 콘택트(524)를 둘러싸고 전기적으로 격리하는 유전체를 포함할 수 있다.
- [0057] 유사하게, 도 5a에 도시된 바와 같이, 반도체 디바이스(500)의 제2 반도체 구조체(504)는 또한 본딩 인터페이스(506)에서 그리고 제1 반도체 구조체(502)의 본딩 레이어(522) 위에 본딩 레이어(526)를 포함할 수 있다. 본딩 레이어(526)는 복수의 본딩 콘택트(528) 및 본딩 콘택트(528)를 전기적으로 격리하는 유전체를 포함할 수 있다. 일부 실시예에 따르면, 본딩 콘택트(528)은 본딩 인터페이스(506)에서 본딩 콘택트(524)와 접촉한다. 일부 실시예에서, 반도체 디바이스(500)의 제2 반도체 구조체(504)는 또한 전기 신호를 전달하기 위해 본딩 레이어(526) 위에 상호접속 층(530)을 포함한다. 상호접속 층(530)은 상호접속 라인 및 비아 콘택트를 포함하는 복수의 상호접속을 포함할 수 있다.
- [0058] 반도체 디바이스(500)의 제2 반도체 구조체(504)는 상호접속 층(530) 및 본딩 레이어(526) 위의 디바이스 층(532)을 더 포함할 수 있다. 일부 실시예에서, 디바이스 층(532)은 상호접속 층(530) 및 본딩 레이어(526) 위의 DRAM 셀(536)의 어레이를 포함한다. 일부 실시예에서, 각 DRAM 셀(536)은 DRAM 선택 트랜지스터(540) 및 커패시터(542)를 포함한다. DRAM 셀(536)은 하나의 트랜지스터와 하나의 커패시터로 구성된 1T1C 셀일 수 있다. DRAM 셀(536)은 2T1C 셀, 3T1C 셀 등과 같은 임의의 적절한 구성일 수 있음이 이해된다. 일부 실시예에서, DRAM 선택 트랜지스터(540)는 DRAM의 전체 또는 일부가 반도체 층(534) "위에" 형성된다. 선택 트랜지스터(540)는 반도체 층(534)(예를 들어, 반도체 층(534)의 상부 표면 아래) 및/또는 반도체 층(534) 바로 위에 형성된다. 선택 트랜지스터(540)는 반도체 층(534)에도 형성될 수 있다. 일부 실시예에서, 캐패시터(542)는 DRAM 선택 트랜지스터(540) 아래에 배치된다. 각 캐패시터(542)는 2개의 전극을 포함하고, 일부 실시예에 따르면, 그 중 하나는 각각의 DRAM 선택 트랜지스터(540)의 하나의 노드에 전기적으로 연결된다. 일부 실시예에 따르면, 각 DRAM 선택 트랜지스터(540)의 다른 노드는 DRAM의 비트 라인(544)에 전기적으로 연결된다. 각각의 캐패시터(542)의 다른 전극은 공통 플레이트(546), 예를 들어 공통 접지에 전기적으로 연결될 수 있다. DRAM 셀(536)의 구조 및 구성은 도 5의 예에 제한되지 않으며, 임의의 적절한 구조 및 구성을 포함할 수 있다는 것이 이해된다.
- [0059] 일부 실시예에서, 디바이스 층(532)은 상호접속 층(530) 및 본딩 레이어(526) 위에 있고 DRAM 셀(536)의 어레이 외부에 있는 주변 회로(538)를 더 포함한다. 예를 들어, 주변 회로(538)는 DRAM 셀(536)의 어레이를 제어하고 감지하기 위한 주변 회로의 일부 또는 전체일 수 있다. 일부 실시예에서, 주변 회로(538)는 입력/출력 버퍼, 디코더(예를 들어, 행 디코더 및 열 디코더) 및 감지 증폭기를 포함하지만 이에 제한되지 않는다. 주변 회로(538) 및 DRAM 셀(536)의 어레이는 상호접속 층(530)의 상호접속부를 통해 전기적으로 접속될 수 있다.
- [0060] 일부 실시예에서, 제2 반도체 구조체(504)는 소자 층(532) 위에 배치된 반도체 층(534)을 더 포함한다. 반도체

층(534)은 DRAM 셀(536)의 어레이 위에 있고 이와 접촉할 수 있다. 반도체 층(534)은 트랜지스터(548)가 위에 배치되는 박형 기관일 수 있다. 및 DRAM 선택 트랜지스터(540)가 형성된다. 일부 실시예에서, 반도체 층(534)은 단결정 실리콘을 포함한다. 일부 실시예에서, 반도체 층(534)은 폴리실리콘, 비정질 실리콘, SiGe, GaAs, Ge, 또는 임의의 다른 적절한 재료를 포함할 수 있다. 반도체 층(534)은 또한 격리 영역 및 도핑 영역을 포함할 수 있다.

[0061] 도 5a에 도시된 바와 같이, 반도체 디바이스(500)의 제2 반도체 구조체(504)는 반도체 층(534) 위에 패드-아웃 상호접속 층(550)을 더 포함할 수 있다. 일부 실시예에서, 패드-아웃 상호접속 층(550)의 상호접속은 예를 들어 패드-아웃 목적을 위해 반도체 디바이스(500)와 외부 회로 사이에서 전기 신호를 전달할 수 있다. 일부 실시예에서, 제2 반도체 구조체(504)는 패드-아웃 상호접속 층(550)과 상호접속 층(530, 520)을 전기적으로 연결하기 위해 반도체 층(534)을 통해 연장하는 하나 이상의 콘택트(554)를 더 포함한다. 그 결과, 프로세서(512) 및 SRAM 셀(514)의 어레이는 또한 상호접속 층(530 및 520)뿐만 아니라 본딩 콘택트(528 및 524)를 통해 DRAM 셀(536)의 어레이에 전기적으로 연결될 수 있다. 또한 프로세서(512), SRAM 셀(514)의 어레이, 및 DRAM 셀(536)의 어레이는 콘택트(554) 및 패드-아웃 상호접속 층(550)을 통해 외부 회로에 전기적으로 연결될 수 있다.

[0062] 도 5b는 일부 실시예에 따른 또 다른 예시적인 반도체 디바이스(501)의 단면을 도시한다. 도 5b와 관련하여 위에서 설명된 반도체 디바이스(101)의 일례로서, 반도체 디바이스(501)는 제2 반도체 구조체(503) 및 제2 반도체 구조체(503) 위에 적층된 제1 반도체 구조체(505)를 포함하는 본딩된 칩이다. 도 5a에서 전술된 반도체 디바이스(500)와는 달리, 반도체 디바이스(501)는 프로세서 및 SRAM을 포함하는 제1 반도체 구조체(505) 및 주변 회로 및 DRAM을 포함하는 제2 반도체 구조체(503)가 별도로 형성되고 본딩 인터페이스에서 대면 방식으로 본딩된 본딩된 칩의 예를 나타낸다. 프로세서 및 SRAM을 포함하는 제1 반도체 구조체(502)가 주변 회로 및 DRAM을 포함하는 제2 반도체 구조체(504) 아래에 있는 도 5a에서 전술된 반도체 디바이스(501)와는 달리, 도 5b에서의 반도체 디바이스(501)는 주변 회로 및 DRAM을 포함하는 제2 반도체 구조체(503) 위에 배치된 프로세서 및 SDRAM을 포함하는 제1 반도체 구조체(505)를 포함한다. 두 반도체 디바이스(500, 501) 모두에서 유사한 구조(예를 들어, 재료, 제조 프로세스, 기능 등)의 자세한 내용은 아래에서 반복되지 않을 수 있음이 이해된다.

[0063] 반도체 디바이스(501)의 제2 반도체 구조체(503)는 기관(509) 및 기관(509) 위의 디바이스 층(511)을 포함할 수 있다. 디바이스 층(511)은 기관(509) 상의 DRAM 셀들(513)의 어레이를 포함할 수 있다. 일부 실시예에서, 각각의 DRAM 셀(513)은 DRAM 선택 트랜지스터(517) 및 커패시터(519)를 포함한다. DRAM 셀(513)은 하나의 트랜지스터와 하나의 커패시터로 구성된 1T1C 셀일 수 있다. DRAM 셀(513)은 2T1C 셀, 3T1C 셀 등과 같은 임의의 적절한 구성일 수 있다는 것이 이해된다. 일부 실시예에서, DRAM 선택 트랜지스터(517)는 DRAM 선택 트랜지스터의 전체 또는 일부가 기관(509) "위에" 형성된다. 일부 실시예에서, 커패시터(519)는 DRAM 선택 트랜지스터(517) 위에 배치된다. 일부 실시예에 따르면, 각 커패시터(519)는 2개의 전극을 포함하고, 그 중 하나는 각각의 DRAM 선택 트랜지스터(517)의 하나의 노드에 전기적으로 연결된다. 일부 실시예에 따르면, 각 DRAM 선택 트랜지스터(517)의 다른 노드는 DRAM의 비트 라인(521)에 전기적으로 연결된다. 각 커패시터(519)의 다른 전극은 공통 플레이트(523), 예를 들어, 공통 접지에 전기적으로 연결될 수 있다. DRAM 셀(513)의 구조 및 구성은 도 5b의 예에 제한되지 않으며 임의의 적절한 구조 및 구성을 포함할 수 있다는 것이 이해된다.

[0064] 일부 실시예에서, 디바이스 층(511)은 기관(509) 상의 그리고 DRAM 셀(513)의 어레이 외부에 있는 주변 회로(515)를 더 포함한다. 예를 들어, 주변 회로(515)는 DRAM의 어레이를 제어하고 감지하기 위한 주변 회로의 일부 또는 전체일 수 있다. 일부 실시예에서, 주변 회로(515)는 입출력 버퍼, 디코더(예를 들어, 행 디코더 및 열 디코더) 및 감지 증폭기를 포함하는 DRAM 셀(513) 어레이의 동작을 용이하게 하기 위해 사용되는 임의의 적절한 디지털, 아날로그 및/또는 혼합 신호 제어 및 감지 회로를 형성하는 복수의 트랜지스터(525)를 포함하지만 이에 국한되지 않는다.

[0065] 일부 실시예에서, 반도체 디바이스(501)의 제2 반도체 구조체(503)는 또한 DRAM 셀(513)의 어레이로 및 그로부터 전기 신호를 전달하기 위해 디바이스 층(511) 위에 상호접속 층(527)을 포함한다. 상호접속 층(527)은 라인 및 비아 콘택트를 포함하는 복수의 상호접속을 포함할 수 있다. 일부 실시예에서, 상호접속 층(527)의 상호접속은 또한 비트 라인 콘택트 및 워드 라인 콘택트와 같은 로컬 상호접속을 포함한다. 주변 회로(515) 및 DRAM 셀(513)의 어레이는 상호접속 층(527)의 상호접속을 통해 전기적으로 연결될 수 있다. 일부 실시예에서, 반도체 디바이스(501)의 제2 반도체 구조체(503)는 본딩 인터페이스(507) 및 상호접속 층(527) 및 디바이스 위의 본딩 레이어(529)를 더 포함한다. 본딩 레이어(529)은 복수의 본딩 콘택트(531) 및 본딩 콘택트(531)를 둘러싸고 전기적으로 격리하는 유전체를 포함할 수 있다.

- [0066] 도 5b에 도시된 바와 같이, 반도체 디바이스(501)의 제1 반도체 구조체(505)는 본딩 인터페이스(507) 및 본딩 레이어(529) 위의 또 다른 본딩 레이어(533)를 포함한다. 본딩 레이어(533)은 복수의 본딩 콘택트(535) 및 유전체를 포함할 수 있고 본딩 콘택트(535)를 둘러싸고 전기적으로 격리한다. 본딩 콘택트(535)는 다음과 같다. 일부 실시예에 따르면, 본딩 인터페이스(507)에서 본딩 콘택트(531)와 접촉한다. 일부 실시예에서, 반도체 디바이스(501)의 제1 반도체 구조체(505)는 또한 전기 신호를 전달하기 위해 본딩 레이어(533) 위에 상호접속 층(537)을 포함한다. 상호접속 층(537)은 상호접속 라인 및 비아 콘택트를 포함하는 복수의 상호접속을 포함할 수 있다.
- [0067] 반도체 디바이스(501)의 제1 반도체 구조체(505)는 상호접속 층(537) 및 본딩 레이어(533) 위의 디바이스 층(539)을 더 포함할 수 있다. 일부 실시예에서, 디바이스 층(539)은 상호접속 층(537) 및 본딩 레이어(533) 위의 프로세서(543), 및 상호접속 층(537) 및 본딩 레이어(533) 위에 있고 프로세서(543) 외부에 있는 SRAM 셀(545)의 어레이를 포함한다. 일부 실시예에서, 디바이스 층(539)의 디바이스는 상호접속 층(537)의 상호접속을 통해서 전기적으로 연결된다. 예를 들어, SRAM 셀(545)의 어레이 상호접속 층(537)을 통해 프로세서(543)에 전기적으로 연결될 수 있다.
- [0068] 일부 실시예에서, 프로세서(543)는 임의의 적합한 특수 프로세서 및/또는 SoC를 형성하는 복수의 트랜지스터(547)를 포함한다. 트랜지스터(547)는 반도체 층(541) "위에" 형성될 수 있으며, 여기서 트랜지스터(547)의 전체 또는 일부는 반도체 층(541) 내에 및/또는 반도체 층(541) 바로 위에 형성된다. 격리 영역(예를 들어, STI) 및 도핑 영역(예를 들어, 트랜지스터(547)의 소스 영역 및 드레인 영역)은 마찬가지로 반도체 층(541)에 형성될 수 있다. 트랜지스터(547)의 소스 영역 및 드레인 영역은 반도체 층(541)에도 형성될 수 있다. 트랜지스터(547)는 또한 SRAM 셀(545)의 어레이를 형성할 수 있다. 일부 실시예에 따르면, 트랜지스터(547)는 고급 논리 프로세스(예를 들어, 90nm, 65nm, 45nm, 32nm, 28nm, 20nm, 16nm, 14nm, 10 nm, 7 nm, 5 nm, 3 nm 등의 기술 노드)로 고속이다.
- [0069] 일부 실시예에서, 제1 반도체 구조체(505)는 소자 층(539) 위에 배치된 반도체 층(541)을 더 포함한다. 반도체 층(541)은 프로세서(543) 및 SRAM 셀(545)의 어레이 위에 있고 이와 접촉할 수 있다. 반도체 층(541)은 위의 박형 기판일 수 있다. 트랜지스터(547)가 형성된다. 일부 실시예에서, 반도체 층(541)은 단결정 실리콘을 포함한다. 일부 실시예에서, 반도체 층(541)은 폴리실리콘, 비정질 실리콘, SiGe, GaAs, Ge, 또는 임의의 다른 적절한 재료를 포함할 수 있다. 반도체 층(541)은 또한 격리 영역 및 도핑 영역을 포함할 수 있다.
- [0070] 도 5b에 도시된 바와 같이, 반도체 디바이스(501)의 제1 반도체 구조체(505)는 반도체 층(541) 위에 패드-아웃 상호접속 층(549)을 더 포함할 수 있다. 일부 실시예에서, 패드-아웃 상호접속 층(549) 내의 상호접속은 예를 들어 패드-아웃 목적을 위해 반도체 디바이스(501)와 외부 회로 사이에서 전기 신호를 전달할 수 있다. 일부 실시예에서, 제1 반도체 구조체(505)는 패드-아웃 상호접속 층(549)과 상호접속 층(537, 527)을 전기적으로 연결하기 위해 반도체 층(541)을 통해 연장하는 하나 이상의 콘택트(553)를 더 포함한다. 그 결과, 프로세서(543) 및 SRAM 셀(545)의 어레이는 본딩 콘택트(535, 531) 뿐만 아니라 상호접속 층(537, 527)을 통해 DRAM 셀(513) 어레이에 전기적으로 연결된다. 또한, 프로세서(543), SRAM 셀(545) 어레이, 및 DRAM 셀(513) 어레이는 콘택트(553) 및 패드-아웃 상호접속 층(549)을 통해 외부 회로에 전기적으로 연결될 수 있다.
- [0071] 도 6a 및 도 6b는 일부 실시예에 따른 프로세서, SRAM, 및 주변 회로를 갖는 예시적인 반도체 구조체를 형성하기 위한 제조 프로세스를 도시한다. 도 7a 내지 도 7c는 일부 실시예에 따른 DRAM 및 주변 회로를 갖는 예시적인 반도체 구조체를 형성하기 위한 제조 프로세스를 도시한다. 도 8a 및 도 8b는 일부 실시예에 따른 예시적인 반도체 디바이스를 형성하기 위한 제조 공정을 도시한다. 도 9a 내지 도 9c는 일부 실시예에 따른 예시적인 반도체 구조체를 본딩 및 다이싱하기 위한 제조 프로세스를 도시한다. 도 10a 내지 도 10c는 일부 실시예에 따른 예시적인 반도체 구조체를 다이싱 및 본딩하기 위한 제조 프로세스를 도시한다. 도 11은 일부 실시예에 따른 반도체 디바이스를 형성하기 위한 예시적인 방법(1100)의 흐름도이다. 도 12는 일부 실시예에 따른 반도체 디바이스를 형성하기 위한 다른 예시적인 방법(1200)의 흐름도이다. 도 6a, 6b, 7a-7c, 8a, 8b, 9a-9c, 10a-10c, 11 및 12에 도시된 반도체 디바이스의 예는 도 4a, 4b, 5a, 5b에 도시된 반도체 디바이스(400, 401, 500, 501)를 포함한다. 도 6a, 6b, 7a-7c, 8a, 8b, 9a-9c, 10a-10c, 11, 12를 함께 설명할 것이다. 방법(1100 및 1200)에 도시된 동작은 전체가 아니며 다른 동작이 예시된 동작 중 임의의 것 이전, 이후 또는 사이에 수행될 수 있음을 이해해야 한다. 또한, 일부 동작은 동시에 수행될 수도 있고, 도 11 및 도 12에 도시된 것과 다른 순서로 수행될 수도 있다.
- [0072] 도 6a 및 도 6b에 도시된 바와 같이, 프로세서, SRAM 셀의 어레이, 주변 회로, 및 복수의 제1 본딩 콘택트를 포

합하는 제1 본딩 레이어를 포함하는 제1 반도체 구조체가 형성된다. 도 7a 내지 도 7c에 도시된 바와 같이, DRAM 셀의 어레이, 주변 회로, 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함하는 제2 반도체 구조체가 형성된다. 도 8a 및 도 8b에 도시된 바와 같이, 제1 반도체 구조체 및 제2 반도체 구조체는 제1 본딩 콘택트가 본딩 인터페이스에서 제2 본딩 콘택트와 접촉하도록 대면 방식으로 본딩된다.

[0073] 도 11에 도시된 바와 같이, 방법(1100)은 복수의 제1 반도체 구조체가 제1 웨이퍼 상에 형성되는 동작(1102)에서 시작한다. 제1 반도체 구조체 중 적어도 하나는 프로세서, SRAM 셀의 어레이, 및 복수의 제1 본딩 콘택트들을 포함하는 제1 본딩 레이어를 포함한다. 제1 웨이퍼는 실리콘 웨이퍼일 수 있다. 일부 실시예에서, 복수의 제1 반도체 구조체를 형성하기 위해, 프로세서 및 SRAM 셀의 어레이가 제1 웨이퍼 상에 형성된다. 일부 실시예에서, 프로세서 및 SRAM 셀의 어레이를 형성하기 위해, 복수의 트랜지스터가 제1 웨이퍼 상에 형성된다. 일부 실시예에서, 복수의 제1 반도체 구조체를 형성하기 위해 DRAM 셀의 어레이의 주변 회로가 또한 제1 웨이퍼 상에 형성된다.

[0074] 도 9a에 도시된 바와 같이, 복수의 제1 반도체 구조체(906)가 제1 웨이퍼(902) 상에 형성된다. 제1 웨이퍼(902)는 스크라이빙 라인에 의해 분리된 복수의 샷을 포함할 수 있다. 제1 웨이퍼(902)의 각각의 샷은 일부 실시예에 따라 하나 이상의 제1 반도체 구조체(906)를 포함한다. 도 6a 및 도 6b는 제1 반도체 구조체(906)의 형성의 일례를 도시한다.

[0075] 도 6a에 도시된 바와 같이, 복수의 트랜지스터(604)가 실리콘 기판(602)(제1 웨이퍼(902)의 일부로서, 예를 들어, 실리콘 웨이퍼) 상에 형성된다. 트랜지스터(604)는 포토리소그래피, 건식/습식 에칭, 박막 증착, 열 성장, 주입, 화학적 기계적 연마(CMP), 및 임의의 다른 적절한 공정을 포함하지만 이에 제한되지 않는 복수의 공정에 의해 형성될 수 있다. 일부 실시예에서, 도핑된 영역은 예를 들어 트랜지스터(604)의 소스 영역 및/또는 드레인 영역으로서 기능하는 이온 주입 및/또는 열 확산에 의해 실리콘 기판(602)에 형성된다. 또한 습식/건식 에칭 및 박막 증착에 의해 실리콘 기판(602)에 형성된다. 트랜지스터(604)는 실리콘 기판(602) 상에 디바이스 층(606)을 형성할 수 있다. 일부 실시예에서, 디바이스 층(606)은 프로세서(608), SRAM 셀의 어레이(610), 및 주변 회로(612)를 포함한다.

[0076] 방법(1100)은 도 11에 도시된 바와 같이 동작(1104)으로 진행하며, 도 11에서, 제1 상호접속 층이 프로세서 및 SRAM 셀의 어레이 위에 형성된다. 제1 상호접속 층은 하나 이상의 ILD 층에 제1 복수의 상호접속을 포함할 수 있다. 도 6b에 도시된 바와 같이, 상호접속 층(614)은 프로세서(608) 및 SRAM 셀(610)의 어레이를 포함하는 디바이스 층(606) 위에 형성될 수 있다. 상호접속 층(614)은 디바이스 층(606)과의 전기적 연결을 만들기 위해 복수의 ILD 층에 MEOL 및/또는 BEOL의 상호접속을 포함할 수 있다. 일부 실시예에서, 상호접속 층(614)은 다수의 ILD 층 및 그 내부에 다수의 프로세스에서 형성된 상호접속을 포함한다. 예를 들어, 상호접속 층(614)의 상호접속은 화학 기상 증착(CVD), 물리적 기상 증착(PVD), 원자층 증착(ALD), 전기도금, 무전해 도금, 또는 이들의 임의의 조합을 포함하되 이에 제한되지 않는다. 상호접속을 형성하기 위한 제조 공정은 또한 포토리소그래피, CMP, 습식/건식 에칭, 또는 임의의 다른 적절한 공정을 포함할 수 있다. ILD 층은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 공정에 의해 증착된 유전 물질을 포함할 수 있다. 도 6b에 도시된 ILD 층 및 상호접속은 집합적으로 상호접속 층(614)으로 통칭될 수 있다.

[0077] 방법(1100)은 도 11에 도시된 바와 같이 동작(1106)으로 진행하며, 도 11에 도시된 바와 같이, 제1 본딩 레이어가 제1 상호접속 층 위에 형성된다. 제1 본딩 레이어는 복수의 제1 본딩 콘택트를 포함할 수 있다. 도 6b에 도시된 바와 같이, 본딩 레이어(616)은 상호접속 층(614) 위에 형성된다. 본딩 레이어(616)은 유전체에 의해 둘러싸인 복수의 본딩 콘택트(618)를 포함할 수 있다. 일부 실시예에서, 유전층은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스에 의해 상호접속 층(614)의 상부 표면 상에 증착된다. 그런 다음 패터닝 프로세스(예를 들어, 포토리소그래피 및 유전층 내의 유전 물질의 건식/습식 에칭)를 사용하여 유전층을 통해 콘택트 홀을 먼저 패터닝함으로써 유전층을 통해 그리고 상호접속 층(614)의 상호접속부와 접촉하여 본딩 콘택트(618)가 형성될 수 있다. 콘택트 홀은 도체(예를 들어, 구리)로 채워질 수 있다. 일부 실시예에서, 콘택트 홀을 채우는 것은 전도체를 증착하기 전에 배리어 층, 접착 층, 및/또는 시드 층을 증착하는 것을 포함한다.

[0078] 방법(1100)은 도 11에 도시된 바와 같이 동작(1108)으로 진행하며, 도 11에 도시된 바와 같이, 복수의 제2 반도체 구조체가 제2 웨이퍼 상에 형성된다. 제2 반도체 구조체 중 적어도 하나는 DRAM 셀의 어레이 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함한다. 제2 웨이퍼는 실리콘 웨이퍼일 수 있다. 일부 실시예에서, 복수의 제2 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이가 제2 웨이퍼 상에 형성된다. 일부

실시예에서, DRAM 셀의 어레이를 형성하기 위해 복수의 트랜지스터가 제2 웨이퍼 상에 형성되고, 복수의 커패시터가 트랜지스터의 적어도 일부와 접촉하여 그 위에 형성된다. 일부 실시예에서, 복수의 제2 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이의 주변 회로가 또한 제2 웨이퍼 상에 형성된다.

- [0079] 도 9a에 도시된 바와 같이, 복수의 제2 반도체 구조체(908)가 제2 웨이퍼(904) 상에 형성된다. 제2 웨이퍼(904)는 스크라이빙 라인에 의해 분리된 복수의 샷을 포함할 수 있다. 제2 웨이퍼(904)의 각각의 샷은 일부 실시예에 따라 하나 이상의 제2 반도체 구조체(908)를 포함한다. 도 7a 내지 도 7c는 제2 반도체 구조체(908)의 형성의 일례를 도시한다.
- [0080] 도 7a에 도시된 바와 같이, 복수의 트랜지스터(704)가 실리콘 기판(702)(제2 웨이퍼(904)의 일부로서, 예를 들어, 실리콘 웨이퍼) 상에 형성된다. 트랜지스터(704)는 포토리소그래피, 건식/습식 에칭, 박막 증착, 열 성장, 주입, CMP, 및 임의의 다른 적절한 프로세스를 포함하지만 이에 제한되지 않는 복수의 프로세스에 의해 형성될 수 있다. 일부 실시예에서, 도핑된 영역은 예를 들어 트랜지스터(704)의 소스 영역 및/또는 드레인 영역으로서 기능하는 이온 주입 및/또는 열 확산에 의해 실리콘 기판(702)에 형성된다. 일부 실시예에서, 격리 영역(예를 들어, STI) 또한 습식/건식 에칭 및 박막 증착에 의해 실리콘 기판(702)에 형성된다.
- [0081] 도 7b에 도시된 바와 같이, 복수의 커패시터(706)가 트랜지스터(704), 즉 DRAM 선택 트랜지스터의 적어도 일부와 접촉하여 그 위에 형성된다. 각각의 커패시터(706)는 예를 들어 커패시터(706)의 하나의 전극을 각각의 DRAM 선택 트랜지스터의 하나의 노드와 전기적으로 연결함으로써 1T1C 메모리 셀을 형성하기 위해 각각의 DRAM 선택 트랜지스터와 정렬되도록 사진에 의해 패터닝될 수 있다. 일부 실시예에서, 비트 라인(707) 및 공통 플레이트(709)는 DRAM 선택 트랜지스터 및 커패시터(706)를 전기적으로 연결하기 위해 형성된다. 커패시터(706)는 포토리소그래피, 건식/습식 에칭, 박막 증착, 열 성장, 주입, CMP 및 기타 적절한 프로세스를 포함하는 복수의 프로세스에 의해 형성될 수 있으나 이에 제한되지 않는다. 이에 의해 DRAM 셀(710)의 어레이(각각 DRAM 선택 트랜지스터 및 커패시터(706)를 가짐) 및 주변 회로(711)(DRAM 선택 트랜지스터 이외의 트랜지스터(704)를 가짐)를 포함하는 디바이스 층(708)이 형성된다.
- [0082] 방법(1100)은 도 11에 도시된 바와 같이 동작(1110)으로 진행하며, 도 11에서, 제2 상호접속 층이 DRAM 셀의 어레이 위에 형성된다. 제2 상호접속 층은 하나 이상의 ILD 층에 제2 복수의 상호접속부를 포함할 수 있다. 도 7c에 도시된 바와 같이, 상호접속 층(714)은 DRAM 셀(710)의 어레이 위에 형성될 수 있다. 상호접속 층(714)은 DRAM 셀(710)의 어레이(및 있으면 주변 회로(711))와의 전기 접속을 만들기 위해 복수의 ILD 층 내의 MEOL 및/또는 BEOL의 상호접속을 포함할 수 있다. 일부 실시예에서, 상호접속 층(714)은 다수의 ILD 층 및 그 내부에 다수의 프로세스에서 형성된 상호접속을 포함한다. 예를 들어, 상호접속 층(714)의 상호접속은 CVD, PVD, ALD, 전기도금, 무전해 도금, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스에 의해 증착된 전도성 재료를 포함할 수 있다. 상호접속을 형성하기 위한 제조 공정은 또한 포토리소그래피, CMP, 습식/건식 에칭, 또는 임의의 다른 적절한 공정을 포함할 수 있다. ILD 층은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 공정에 의해 증착된 유전 물질을 포함할 수 있다. 도 7c에 도시된 ILD 층 및 상호접속은 집합적으로 상호접속 층(714)으로 통칭될 수 있다.
- [0083] 방법(1100)은 도 11에 도시된 바와 같이 동작(1112)으로 진행하며, 도 11에 도시된 바와 같이, 제2 본딩 레이어가 제2 상호접속 층 위에 형성된다. 제2 본딩 레이어는 복수의 제2 본딩 콘택트를 포함할 수 있다. 도 7c에 도시된 바와 같이, 본딩 레이어(716)는 상호접속 층(714) 위에 형성된다. 본딩 레이어(716)는 유전체에 의해 둘러싸인 복수의 본딩 콘택트(718)를 포함할 수 있다. 일부 실시예에서, 유전층은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스에 의해 상호접속 층(714)의 상부 표면 상에 증착된다. 그런 다음 패터닝 프로세스(예를 들어, 유전층 내의 유전 물질의 건식/습식 에칭 및 포토리소그래피)를 사용하여 유전층을 통해 콘택트 홀을 먼저 패터닝함으로써 유전층을 통해 그리고 상호접속 층(714)의 상호접속부와 접촉하여 본딩 콘택트(718)가 형성될 수 있다. 콘택트 홀은 전도체(예를 들어, 구리)로 채워질 수 있다. 일부 실시예에서, 콘택트 홀을 채우는 것은 전도체를 증착하기 전에 접촉(글루) 층, 배리어 층, 및/또는 시드 층을 증착하는 것을 포함한다.
- [0084] 방법(1100)은 도 11에 도시된 바와 같이 동작(1114)으로 진행하며, 도 11에 도시된 바와 같이, 제1 웨이퍼 및 제2 웨이퍼가 대면 방식으로 본딩되어, 제1 반도체 구조체 중 적어도 하나가 제2 반도체 구조체 중 적어도 하나에 본딩된다. 제1 반도체 구조체의 제1 본딩 콘택트는 본딩 인터페이스에서 제2 반도체 구조체의 제2 본딩 콘택트와 접촉한다. 본딩은 하이브리드 본딩일 수 있다. 일부 실시예에서, 제2 반도체 구조체는 본딩 후에 제1 반도체 구조체 위에 있다. 일부 실시예에서, 제1 반도체 구조체는 본딩 후에 제2 반도체 구조체 위에 있다.

- [0085] 도 9b에 도시된 바와 같이, 제1 웨이퍼(902) 및 제2 웨이퍼(904)는 제1 반도체 구조체(906) 중 적어도 하나가 본딩 인터페이스(909)에서 제2 반도체 구조체(908) 중 적어도 하나에 본딩되도록 대면 방식으로 본딩된다. 도 9b에 도시된 바와 같이 제1 웨이퍼(902)가 본딩 후에 제2 웨이퍼(904) 위에 있어도, 일부 실시예에서 본딩 후에 제2 웨이퍼(904)가 제1 웨이퍼(902) 위에 있을 수 있다는 것이 이해된다. 도 8a는 본딩된 제1 및 제2 반도체 구조체(906, 908)의 형성의 일례를 도시한다.
- [0086] 도 8a에 도시된 바와 같이, 실리콘 기관(702) 및 그 위에 형성된 구성 요소(예를 들어, DRAM 셀(710)의 어레이를 포함하는 디바이스 층(712))는 거꾸로 뒤집혀 있다. 아래로 향하는 본딩 레이어(716)은 위를 향하는 본딩 레이어(616)와 대면 방식으로 본딩되어 본딩 인터페이스(802)를 형성한다(도 8b에 도시됨). 일부 실시예에서, 처리 공정, 예를 들어 플라즈마 처리, 습식 처리, 및/또는 열처리가 본딩 전에 접합 표면에 적용된다. 도 8a에 도시되지는 않았지만, 실리콘 기관(602) 및 그 위에 형성된 구성 요소(예를 들어, 프로세서(608), SRAM 셀(610)의 어레이, 및 주변 회로(612)를 포함하는 디바이스 층(606))는 거꾸로 뒤집힐 수 있고, 아래로 향하는 본딩 레이어(616)은 대면하는 본딩 레이어(716)와 본딩될 수 있다. 본딩 후에, 본딩 레이어(716)의 본딩 콘택트(718)와 본딩 레이어(616)의 본딩 콘택트(618)가 정렬되고 서로 접촉하여, 디바이스 층(712)(예를 들어, 내부의 DRAM 셀(710)의 어레이)은 디바이스 층(606)(예를 들어, 프로세서(608), SRAM 셀(610)의 어레이, 및 그 안의 주변 회로(612))에 전기적으로 연결될 수 있다. 본딩된 칩에서, 디바이스 층(606)(예를 들어, 프로세서(608), SRAM 셀의 어레이(610), 및 그 안의 주변 회로(612))은 디바이스 층(712)(예를 들어, 내부의 DRAM 셀들(710)의 어레이) 위 또는 아래에 있을 수 있다는 것이 이해된다. 그럼에도 불구하고, 본딩 인터페이스(802)는 도 8b에 예시된 바와 같이 본딩 후에 디바이스 층(606)(예를 들어, 프로세서(608), SRAM 셀의 어레이(610), 및 그 안의 주변 회로(612))와 디바이스 층(712)(예를 들어, 내부의 DRAM 셀(710)의 어레이) 사이에 형성될 수 있다. 도 8a의 디바이스 층(712)이 주변 회로(711)(도 7c에 도시됨)를 포함하지 않지만, 일부 실시예에서 주변 회로(711)는 본딩된 칩의 디바이스 층(712)의 일부로서 포함될 수 있다는 것이 이해된다. 도 8a의 디바이스 층(606)이 주변 회로(612)를 포함하지만, 일부 실시예에서 주변 회로(612)는 본딩된 칩의 디바이스 층(606)의 일부로서 포함되지 않을 수 있다는 것이 추가로 이해된다.
- [0087] 방법(1100)은 도 11에 도시된 바와 같이 동작(1116)으로 진행하며, 도 11에 도시된 바와 같이, 제1 웨이퍼 또는 제2 웨이퍼를 박막화하여 반도체 층을 형성한다. 일부 실시예에서, 본딩 후 제2 반도체 구조체의 제2 웨이퍼 위에 있는 제1 반도체 구조체의 제1 웨이퍼는 반도체 층을 형성하기 위해 박형화된다. 일부 실시예에서, 본딩 후에 제1 반도체 구조체의 제1 웨이퍼 위에 있는 제2 반도체 구조체의 제2 웨이퍼는 반도체 층을 형성하기 위해 박형화된다.
- [0088] 도 8b에 도시된 바와 같이, 본딩된 칩의 상부에 있는 기관(예를 들어, 도 8a에 도시된 실리콘 기관(702))이 얇아져서, 박형화된 상부 기관이 반도체 층(804), 예를 들어 단결정 실리콘 층의 역할을 할 수 있다. 박형화된 기관의 두께는 약 200 nm 내지 약 5 μm, 예컨대 200 nm 내지 5 μm, 또는 약 150 nm 내지 약 50 μm, 예컨대 150 nm 내지 50 μm일 수 있다. 실리콘 기관(702)은 웨이퍼 그라인딩, 건식 에칭, 습식 에칭, CMP, 임의의 다른 적절한 공정, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 공정에 의해 박형화될 수 있다. 실리콘 기관(602)이 본딩된 칩의 상부에 있는 기관인 경우, 다른 반도체 층이 실리콘 기관(602)을 얇게 함으로써 형성될 수 있다는 것이 이해된다.
- [0089] 방법(1100)은 도 11에 도시된 바와 같이 동작(1118)으로 진행하며, 도 11에서, 패드-아웃 상호접속 층이 반도체 층 위에 형성된다. 도 8b에 도시된 바와 같이, 패드-아웃 상호접속 층(806)은 반도체 층(804)(박형화된 상부 기관) 위에 형성된다. 패드-아웃 상호접속 층(806)은 하나 이상의 ILD 층에 형성된 패드 콘택트(808)와 같은 상호접속을 포함할 수 있다. 패드 콘택트(808)는 W, Co, Cu, Al, 도핑된 실리콘, 실리콘사이드, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 도전성 재료를 포함할 수 있다. ILD 층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전 물질을 포함할 수 있다. 일부 실시예에서, 접합 및 박형화 후에, 예를 들어 습식/건식 에칭에 이어 전도성 재료를 증착함으로써 반도체 층(804)을 통해 수직으로 연장하는 콘택트(810)가 형성된다. 콘택트(810)는 패드-아웃 상호접속 층(806)의 상호접속과 접촉할 수 있다.
- [0090] 방법(1100)은 도 11에 도시된 바와 같이 동작(1120)으로 진행하며, 도 11에서, 본딩된 제1 및 제2 웨이퍼가 복수의 다이로 다이싱된다. 다이 중 적어도 하나는 본딩된 제1 및 제2 반도체 구조체를 포함한다. 도 9c에 도시된 바와 같이, 본딩된 제1 및 제2 웨이퍼(902 및 904)(도 9b에 도시됨)가 복수의 다이(912)로 다이싱된다. 다이(912) 중 적어도 하나는 본딩된 제1 및 제2 반도체 구조체(906 및 908)를 포함한다. 일부 실시예에서, 본딩된 제1 및 제2 웨이퍼(902 및 904)의 각각의 샷은 웨이퍼 레이저 다이싱 및/또는 기계적 다이싱 기술을 사용하여

스크라이빙 라인을 따라 본딩된 제1 및 제2 웨이퍼(902 및 904)로부터 절단되며, 이에 의해 각각의 다이(912)가 된다. 다이(912)는 본딩된 제1 및 제2 반도체 구조체(906, 908), 예를 들어 도 8b에 도시된 본딩된 구조체를 포함할 수 있다.

[0091] 도 9a-9c 및 11과 관련하여 전술한 바와 같이 다이싱 전에 웨이퍼 레벨 본딩에 기초한 패키징 방식 대신에, 도 10a 내지 도 10c 및 도 12는 일부 실시예에 따른 다이싱 후 다이 레벨 본딩에 기초한 다른 패키징 방식을 예시한다. 도 12의 방법(1200)의 동작(1102, 1104, 1106)은 도 11의 방법(1100)과 관련하여 위에서 설명되었으므로 반복되지 않는다. 도 10a에 도시된 바와 같이, 복수의 제1 반도체 구조체(1006)가 제1 웨이퍼(1002) 상에 형성된다. 제1 웨이퍼(1002)는 스크라이빙 라인에 의해 분리된 복수의 샷을 포함할 수 있다. 일부 실시예에 따르면, 제1 웨이퍼(1002)의 각각의 샷은 하나 이상의 제1 반도체 구조체(1006)를 포함한다. 도 6a 및 도 6b는 제1 반도체 구조체(1006)의 형성의 일례를 도시한다.

[0092] 방법(1200)은 도 12에 도시된 바와 같이 동작(1202)으로 진행하며, 도 12에 도시된 바와 같이, 제1 다이 중 적어도 하나가 제1 반도체 구조체 중 적어도 하나를 포함하도록 제1 웨이퍼가 복수의 제1 다이로 다이싱된다. 도 10b에 도시된 바와 같이, 제1 웨이퍼(1002)(도 10a에 도시된 바와 같음)는 적어도 하나의 다이(1010)가 제1 반도체 구조체(1006)를 포함하도록 복수의 다이(1010)로 다이싱된다. 일부 실시예에서, 제1 웨이퍼(1002)의 각각의 샷은 웨이퍼 레이저 다이싱 및/또는 기계적 다이싱 기술을 사용하여 스크라이빙 라인을 따라 제1 웨이퍼(1002)로부터 절단되며, 이에 의해 각각의 다이(1010)가 된다. 다이(1010)는 제1 반도체 구조체(1006), 예를 들어, 도 6b에 도시된 바와 같이 구조체를 포함할 수 있다.

[0093] 도 12의 방법(1200)의 동작(1108, 1110, 및 1112)은 도 11의 방법(1100)과 관련하여 위에서 설명되었으므로 반복되지 않는다. 도 10a에 도시된 바와 같이, 복수의 제2 반도체 구조체(1008)가 제2 웨이퍼(1004) 상에 형성된다. 제2 웨이퍼(1004)는 스크라이빙 라인에 의해 분리된 복수의 샷을 포함할 수 있다. 제2 웨이퍼(1004)의 각각의 샷은 일부 실시예에 따라 하나 이상의 제2 반도체 구조체(1008)를 포함한다. 도 7a 내지 도 7c는 제2 반도체 구조체(1008)의 형성의 일례를 도시한다.

[0094] 방법(1200)은 도 12에 도시된 바와 같이 동작(1204)으로 진행하며, 도 12에 도시된 바와 같이, 제2 다이 중 적어도 하나가 제2 반도체 구조체 중 적어도 하나를 포함하도록 제2 웨이퍼가 복수의 제2 다이로 다이싱된다. 도 10b에 도시된 바와 같이, 제2 웨이퍼(1004)(도 10a에 도시됨)는 적어도 하나의 다이(1012)가 제2 반도체 구조체(1008)를 포함하도록 복수의 다이(1012)로 다이싱된다. 일부 실시예에서, 제2 웨이퍼(1004)의 각각의 샷은 제2 웨이퍼로부터 절단된다. 웨이퍼 레이저 다이싱 및/또는 기계적 다이싱 기술을 사용하여 스크라이빙 라인(1004)을 따라 각각의 다이(1012)가 된다. 다이(1012)는 제2 반도체 구조체(1008), 예를 들어 도 7c에 도시된 바와 같은 구조체를 포함할 수 있다.

[0095] 방법(1200)은 도 12에 도시된 바와 같이 동작(1206)으로 진행하며, 도 12에 도시된 바와 같이, 제1 다이 및 제2 다이가 대면 방식으로 본딩되어, 제1 반도체 구조체가 제2 반도체 구조체에 본딩된다. 제1 반도체 구조체의 제1 본딩 콘택트는 본딩 인터페이스에서 제2 반도체 구조체의 제2 본딩 콘택트와 접촉한다. 도 10c에 도시된 바와 같이, 제1 반도체 구조체(1006)를 포함하는 다이(1010) 및 제2 반도체 구조체(1008)를 포함하는 다이(1012)는 대면 방식으로 본딩되어, 제1 반도체 구조체(1006)는 본딩 인터페이스(1014)에서 제2 반도체 구조체(1008)에 본딩된다. 구조체(1006)는 도 10c에 도시된 바와 같이 본딩 후에 제2 반도체 구조체(1008) 위에 있으며, 일부 실시예에서 본딩 후에 제2 반도체 구조체(1008)가 제1 반도체 구조체(1006) 위에 있을 수 있다는 것이 이해된다. 도 8a는 본딩된 제1 및 제2 반도체 구조체(1006, 1008)의 형성의 일례를 도시한다.

[0096] 방법(1200)은 도 12에 도시된 바와 같이 동작(1208)으로 진행하며, 도 12에 도시된 바와 같이, 제1 웨이퍼 또는 제2 웨이퍼를 박막화하여 반도체 층을 형성한다. 일부 실시예에서, 본딩 후 제2 반도체 구조체의 제2 웨이퍼 위에 있는 제1 반도체 구조체의 제1 웨이퍼는 반도체 층을 형성하기 위해 박막화된다. 일부 실시예에서, 본딩 후에 제1 반도체 구조체의 제1 웨이퍼 위에 있는 제2 반도체 구조체의 제2 웨이퍼는 반도체 층을 형성하기 위해 박막화된다.

[0097] 도 8b에 도시된 바와 같이, 본딩된 칩의 상부에 있는 기관(예를 들어, 도 8a에 도시된 실리콘 기관(702))이 얇아져서, 박막화된 상부 기관이 반도체 층(804), 예를 들어 단결정 실리콘 층의 역할을 할 수 있다. 박막화된 기관의 두께는 약 200 nm 내지 약 5 μm, 예컨대 200 nm 내지 5 μm, 또는 약 150 nm 내지 약 50 μm, 예컨대 150 nm 내지 50 μm일 수 있다. 실리콘 기관(702)은 웨이퍼 그래인딩, 건식 에칭, 습식 에칭, CMP, 임의의 다른 적절한 공정, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 공정에 의해 박막화될 수 있다. 실리콘 기관(602)이 본딩된 칩의 상부에 있는 기관인 경우, 다른 반도체 층이 실리콘 기관(602)을 얇게 함으로써 형

성될 수 있다는 것이 이해된다.

- [0098] 방법(1200)은 도 12에 도시된 바와 같이 동작(1210)으로 진행하며, 도 12에 도시된 바와 같이, 패드-아웃 상호 접속 층이 반도체 층 위에 형성된다. 도 8b에 도시된 바와 같이, 패드-아웃 상호접속 층(806)은 반도체 층(804)(박형화된 상부 기관) 위에 형성된다. 패드-아웃 상호접속 층(806)은 하나 이상의 ILD 층에 형성된 패드 콘택트(808)와 같은 상호접속을 포함할 수 있다. 패드 콘택트(808)는 W, Co, Cu, Al, 도핑된 실리콘, 실리콘사이드, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 도전성 재료를 포함할 수 있다. ILD 층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전 물질을 포함할 수 있다. 일부 실시예에서, 접합 및 박형화 후에, 예를 들어 습식/건식 에칭에 이어 전도성 재료를 증착함으로써 반도체 층(804)을 통해 수직으로 연장하는 콘택트(810)가 형성된다. 콘택트(810)는 패드-아웃 상호접속 층(806)의 상호접속과 접촉할 수 있다.
- [0099] 본 개시의 일 관점에 따르면, 반도체 디바이스는 프로세서, SRAM 셀의 어레이, 및 복수의 제1 본딩 콘택트를 포함하는 제1 본딩 레이어를 포함하는 제1 반도체 구조체를 포함한다. 반도체 디바이스는 또한 DRAM 셀의 어레이를 포함하는 제2 반도체 구조체 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함한다. 반도체 디바이스는 제1 본딩 레이어와 제2 본딩 레이어 사이의 본딩 인터페이스를 더 포함한다. 제1 본딩 콘택트는 본딩 인터페이스에서 제2 본딩 콘택트와 접촉한다.
- [0100] 일부 실시예에서, 제1 반도체 구조체는 기관, 기관 상의 프로세서, 기관 상의 SRAM 셀의 어레이 및 프로세서 외부, 및 프로세서 및 SRAM 셀의 어레이 위의 제1 본딩 레이어를 포함한다.
- [0101] 일부 실시예에서, 제2 반도체 구조체는 제1 본딩 레이어 위의 제2 본딩 레이어, 제2 본딩 레이어 위의 DRAM 셀의 어레이, 및 DRAM 셀의 어레이 위에 있고 접촉하는 반도체 층을 포함한다.
- [0102] 일부 실시예에서, 반도체 디바이스는 반도체 층 위에 패드-아웃 상호접속 층을 더 포함한다. 일부 실시예에서, 반도체 층은 단결정 실리콘을 포함한다.
- [0103] 일부 실시예에서, 제2 반도체 구조체는 기관, 기관 상의 DRAM 셀의 어레이, 및 DRAM 셀의 어레이 위의 제2 본딩 레이어를 포함한다.
- [0104] 일부 실시예에서, 제1 반도체 구조체는 제2 본딩 레이어 위의 제1 본딩 레이어, 제1 본딩 레이어 위의 프로세서, 제1 본딩 레이어 위에 있고 하나 이상의 프로세서 외부에 있는 SRAM 셀의 어레이, 및 프로세서 및 SRAM 셀의 어레이와 접촉하는 반도체 층을 포함한다.
- [0105] 일부 실시예에서, 반도체 디바이스는 반도체 층 위에 패드-아웃 상호접속 층을 더 포함한다. 일부 실시예에서, 반도체 층은 단결정 실리콘을 포함한다.
- [0106] 일부 실시예에서, 제1 반도체 구조체는 DRAM 셀의 어레이의 주변 회로를 더 포함한다. 일부 실시예에서, 제2 반도체 구조체는 DRAM 셀의 어레이의 주변 회로를 더 포함한다.
- [0107] 일부 실시예에서, 제1 반도체 구조체는 제1 본딩 레이어와 프로세서 사이에 수직으로 제1 상호접속 층을 포함하고, 제2 반도체 구조체는 제2 본딩 레이어와 DRAM 셀의 어레이 사이에 수직으로 제2 상호접속 층을 포함한다.
- [0108] 일부 실시예에서, 프로세서는 제1 및 제2 상호접속 층과 제1 및 제2 본딩 콘택트를 통해 DRAM 셀의 어레이에 전기적으로 연결된다.
- [0109] 일부 실시예에서, SRAM 셀의 어레이는 제1 및 제2 상호접속 층과 제1 및 제2 본딩 콘택트를 통해 DRAM 셀의 어레이에 전기적으로 연결된다.
- [0110] 일부 실시예에서, SRAM 셀의 어레이는 제1 반도체 구조체의 복수의 개별 영역에 분포된다.
- [0111] 일부 실시예에서, 각각의 DRAM 셀은 트랜지스터 및 커패시터를 포함한다.
- [0112] 본 개시의 다른 관점에 따르면, 반도체 디바이스를 형성하는 방법이 개시된다. 복수의 제1 반도체 구조체가 제1 웨이퍼 상에 형성된다. 제1 반도체 구조체 중 적어도 하나는 프로세서, SRAM 셀의 어레이, 및 복수의 제1 본딩 콘택트들을 포함하는 제1 본딩 레이어를 포함한다. 복수의 제2 반도체 구조체가 제2 웨이퍼 상에 형성된다. 제2 반도체 구조체 중 적어도 하나는 DRAM 셀의 어레이 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함한다. 제1 웨이퍼 및 제2 웨이퍼는 제1 반도체 구조체 중 적어도 하나가 제2 반도체 구조체 중 적어도 하나에 결합되도록 대면 방식으로 결합된다. 제1 반도체 구조체의 제1 본딩 콘택트는 본딩 인터페이스에서 제2 반도체

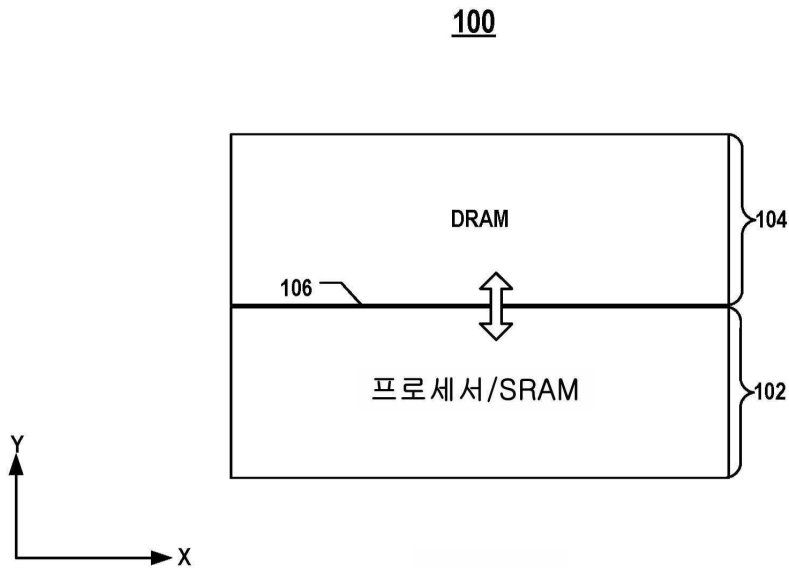
체 구조체의 제2 본딩 콘택트와 접촉한다. 본딩된 제1 및 제2 웨이퍼는 복수의 다이로 다이싱된다. 다이 중 적어도 하나는 본딩된 제1 및 제2 반도체 구조체를 포함한다.

- [0113] 일부 실시예에서, 복수의 제1 반도체 구조체를 형성하기 위해, 프로세서 및 SRAM 셀의 어레이가 제1 웨이퍼 상에 형성되고, 제1 상호접속 층이 프로세서 및 SRAM 셀의 어레이 위에 형성되고, 제1 상호접속 층이 형성된다. 본딩 레이어는 제1 상호접속 층 위에 형성된다. 일부 실시예에서, 프로세서 및 SRAM 셀의 어레이를 형성하기 위해, 복수의 트랜지스터가 제1 웨이퍼 상에 형성된다.
- [0114] 일부 실시예에서, 복수의 제1 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이의 주변 회로가 제1 웨이퍼 상에 형성된다.
- [0115] 일부 실시예에서, 복수의 제2 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이가 제2 웨이퍼 상에 형성되고, 제2 상호접속 층이 DRAM 셀의 어레이 위에 형성되고, 제2 본딩 레이어가 제2 상호접속 층 위에 형성된다.
- [0116] 일부 실시예에서, DRAM 셀의 어레이를 형성하기 위해, 복수의 트랜지스터가 제2 웨이퍼 상에 형성되고, 복수의 커패시터가 트랜지스터의 적어도 일부와 접촉하여 그 위에 형성된다.
- [0117] 일부 실시예에서, 복수의 제2 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이의 주변 회로가 제2 웨이퍼 상에 형성된다.
- [0118] 일부 실시예에서, 제2 반도체 구조체는 본딩 후에 제1 반도체 구조체 위에 있다. 일부 실시예에서, 본딩 후 및 다이싱 전에, 제2 웨이퍼는 반도체 층을 형성하기 위해 얇아지고, 패드-아웃 상호접속 층이 반도체 층 위에 형성된다.
- [0119] 일부 실시예에서, 제1 반도체 구조체는 본딩 후에 제2 반도체 구조체 위에 있다. 일부 실시예에서, 본딩 후 및 다이싱 전에, 제1 웨이퍼가 얇아져서 반도체 층을 형성하고, 패드-아웃 상호접속 층이 반도체 층 위에 형성된다.
- [0120] 일부 실시예에서, 결합은 하이브리드 결합을 포함한다.
- [0121] 본 개시의 또 다른 관점에 따르면, 반도체 디바이스를 형성하는 방법이 개시된다. 복수의 제1 반도체 구조체가 제1 웨이퍼 상에 형성된다. 제1 반도체 구조체 중 적어도 하나는 프로세서, SRAM 셀의 어레이, 및 복수의 제1 본딩 콘택트들을 포함하는 제1 본딩 레이어를 포함한다. 제1 웨이퍼는 제1 다이 중 적어도 하나가 제1 반도체 구조체 중 적어도 하나를 포함하도록 복수의 제1 다이로 다이싱된다. 복수의 제2 반도체 구조체가 제2 웨이퍼 상에 형성된다. 제2 반도체 구조체 중 적어도 하나는 DRAM 셀의 어레이 및 복수의 제2 본딩 콘택트를 포함하는 제2 본딩 레이어를 포함한다. 제2 웨이퍼는 제2 다이 중 적어도 하나가 제2 반도체 구조체 중 적어도 하나를 포함하도록 복수의 제2 다이로 다이싱된다. 제1 다이 및 제2 다이는 대면 방식으로 본딩되어, 제1 반도체 구조체가 제2 반도체 구조체에 본딩된다. 제1 반도체 구조체의 제1 본딩 콘택트는 본딩 인터페이스에서 제2 반도체 구조체의 제2 본딩 콘택트와 접촉한다.
- [0122] 일부 실시예에서, 복수의 제1 반도체 구조체를 형성하기 위해, 프로세서 및 SRAM 셀의 어레이가 제1 웨이퍼 상에 형성되고, 제1 상호접속 층이 프로세서 및 SRAM 셀의 어레이 위에 형성되고, 제1 상호접속 층이 제1 웨이퍼 상에 형성된다. 본딩 레이어는 제1 상호접속 층 위에 형성된다. 일부 실시예에서, 프로세서 및 SRAM 셀의 어레이를 형성하기 위해, 복수의 트랜지스터가 제1 웨이퍼 상에 형성된다.
- [0123] 일부 실시예에서, 복수의 제1 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이의 주변 회로가 제1 웨이퍼 상에 형성된다.
- [0124] 일부 실시예에서, 복수의 제2 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이가 제2 웨이퍼 상에 형성되고, 제2 상호접속 층이 DRAM 셀의 어레이 위에 형성되고, 제2 본딩 레이어가 제2 상호접속 층 위에 형성된다.
- [0125] 일부 실시예에서, DRAM 셀의 어레이를 형성하기 위해, 복수의 트랜지스터가 제2 웨이퍼 상에 형성되고, 복수의 커패시터가 트랜지스터의 적어도 일부와 접촉하여 그 위에 형성된다.
- [0126] 일부 실시예에서, 복수의 제2 반도체 구조체를 형성하기 위해, DRAM 셀의 어레이의 주변 회로가 제2 웨이퍼 상에 형성된다.
- [0127] 일부 실시예에서, 제2 반도체 구조체는 본딩 후에 제1 반도체 구조체 위에 있다. 일부 실시예에서, 제2 웨이퍼는 본딩 후에 반도체 층을 형성하기 위해 얇아지고, 패드-아웃 상호접속 층이 반도체 층 위에 형성된다.

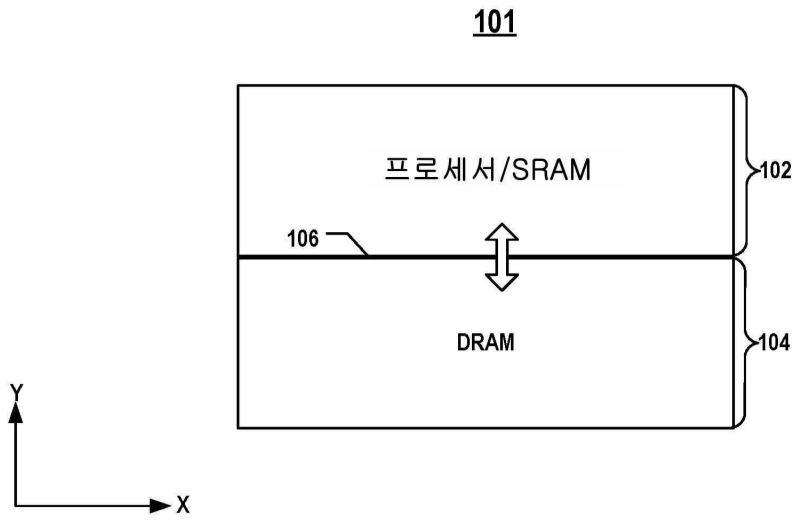
- [0128] 일부 실시예에서, 제1 반도체 구조체는 본딩 후에 제2 반도체 구조체 위에 있다. 일부 실시예에서, 제1 웨이퍼는 본딩 후에 반도체 층을 형성하기 위해 얇아지고, 패드-아웃 상호접속 층이 반도체 층 위에 형성된다.
- [0129] 일부 실시예에서, 본딩은 하이브리드 결합을 포함한다.
- [0130] 특정 실시예에 대한 전술한 설명은 과도한 실험 없이 다른 사람들이 당해 기술 분야의 기술 내에서 지식을 적용함으로써 본 개시의 일반적인 개념을 벗어나지 않으면서 특정 실시예와 같은 다양한 응용에 대해 용이하게 수정 및/또는 적용할 수 있도록 본 개시내용의 일반적인 특성을 드러낼 것이다. 따라서, 이러한 적용 및 수정은 여기에 제시된 교시 및 지침에 기초하여 개시된 실시예의 등가물의 의미 및 범위 내에 있도록 의도된다. 본 명세서의 어구 또는 용어는 설명의 목적을 위한 것이며 본 명세서의 용어 또는 어구가 교시 및 지침에 비추어 당업자에 의해 해석되도록 이해되어야 한다.
- [0131] 본 개시내용의 실시예는 특정 기능 및 이들의 관계의 구현을 예시하는 기능적 빌딩 블록의 도움으로 위에서 설명되었다. 이러한 기능적 빌딩 블록의 경계는 설명의 편의를 위해 여기에서 임의로 정의되었다. 지정된 기능과 그 관계가 적절하게 수행되는 한 대체 경계를 정의할 수 있다.
- [0132] 요약 및 요약 섹션은 발명자(들)에 의해 고려된 바와 같이 본 개시내용의 모든 예시적인 실시예가 아닌 하나 이상을 설명할 수 있으며, 따라서 본 개시내용 및 첨부된 청구범위를 어떠한 방식으로든 제한하도록 의도되지 않는다.
- [0133] 본 개시내용의 폭 및 범위는 전술한 예시적인 실시예 중 어느 것에 의해 제한되어서는 안 되며, 이하의 청구범위에 있고 그 균등물에 따라서만 정의되어야 한다.

도면

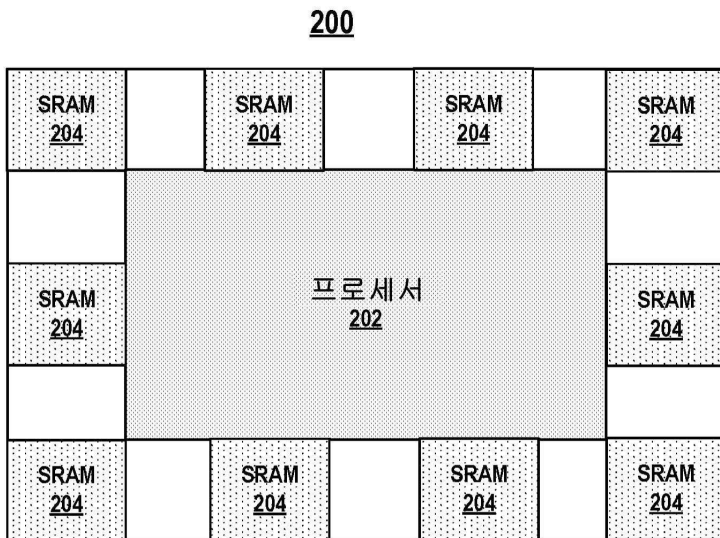
도면1a



도면1b

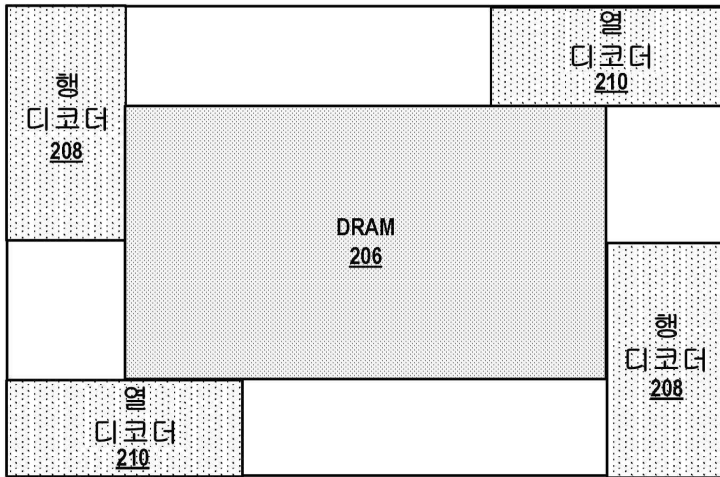


도면2a



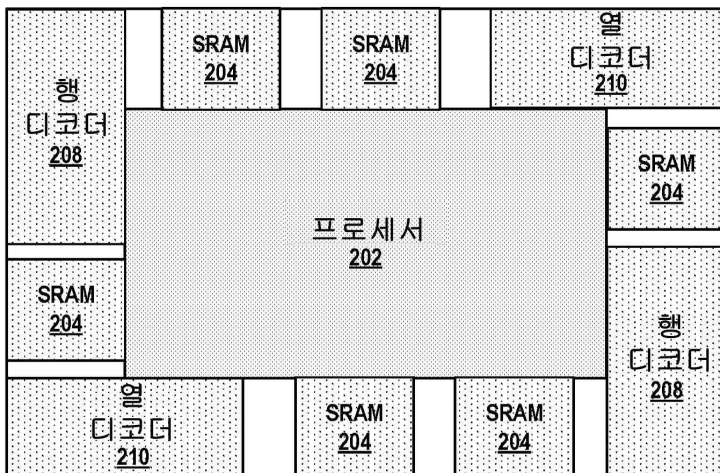
도면2b

201



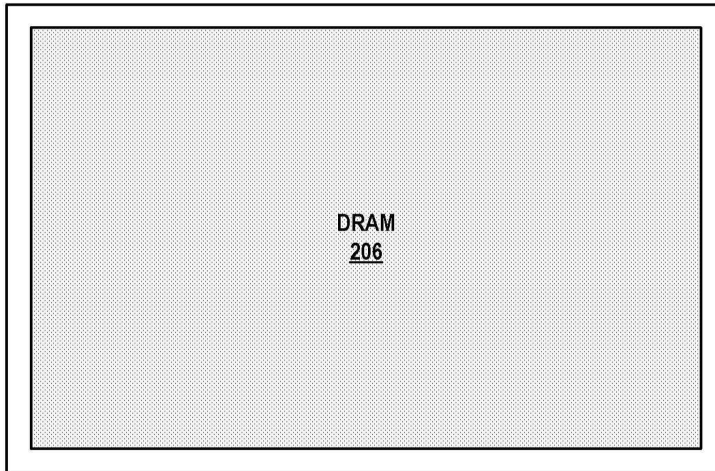
도면3a

300

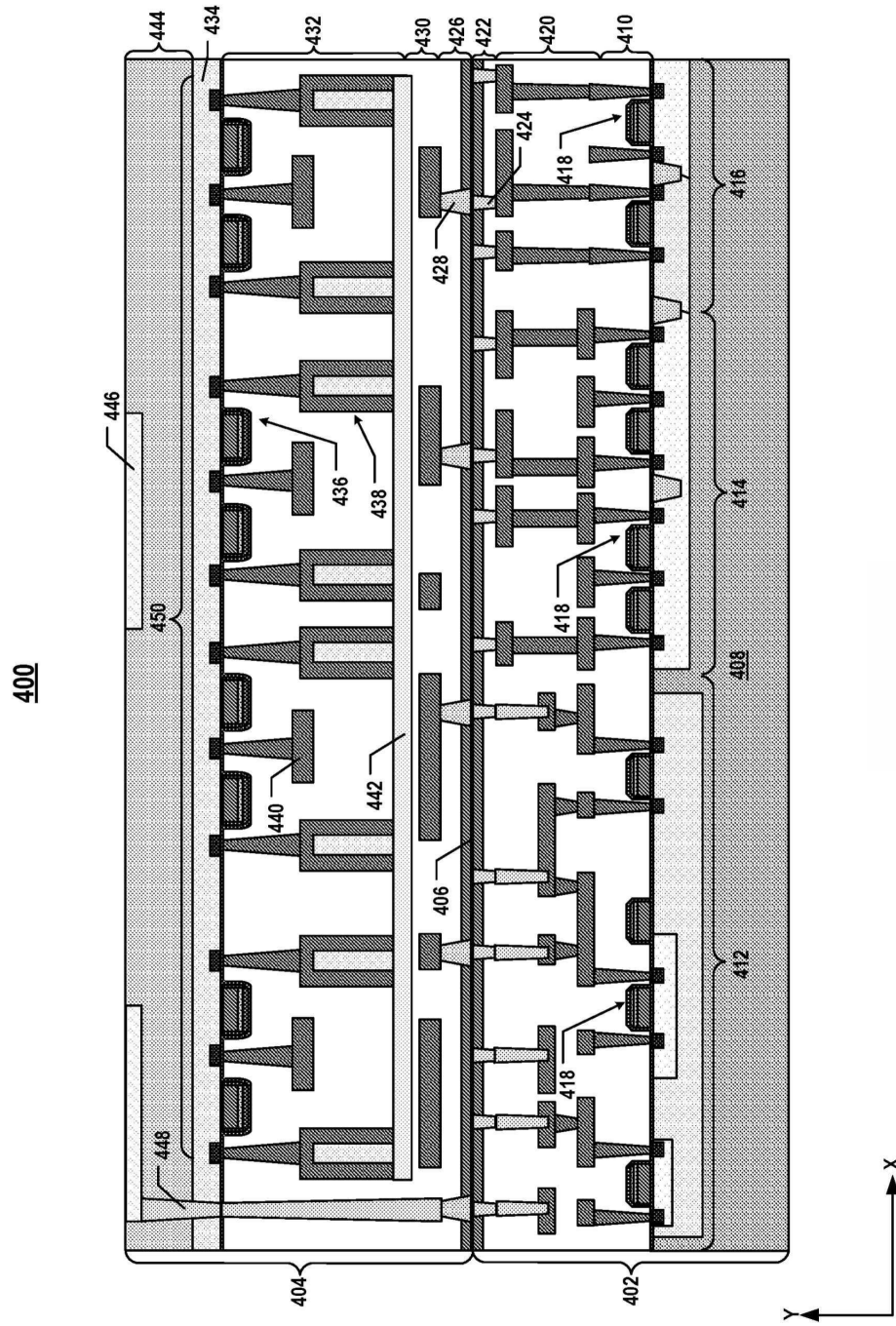


도면 3b

301

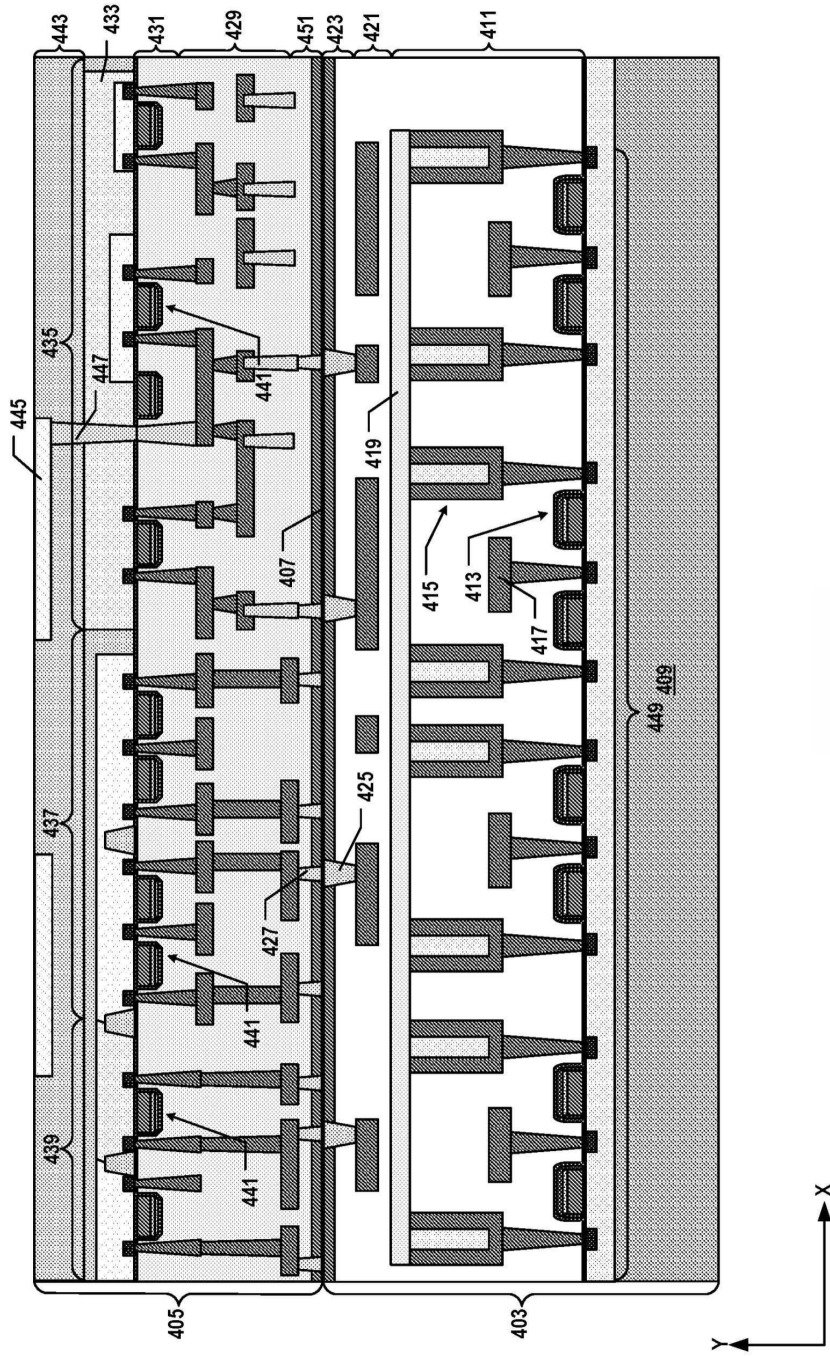


도면4a

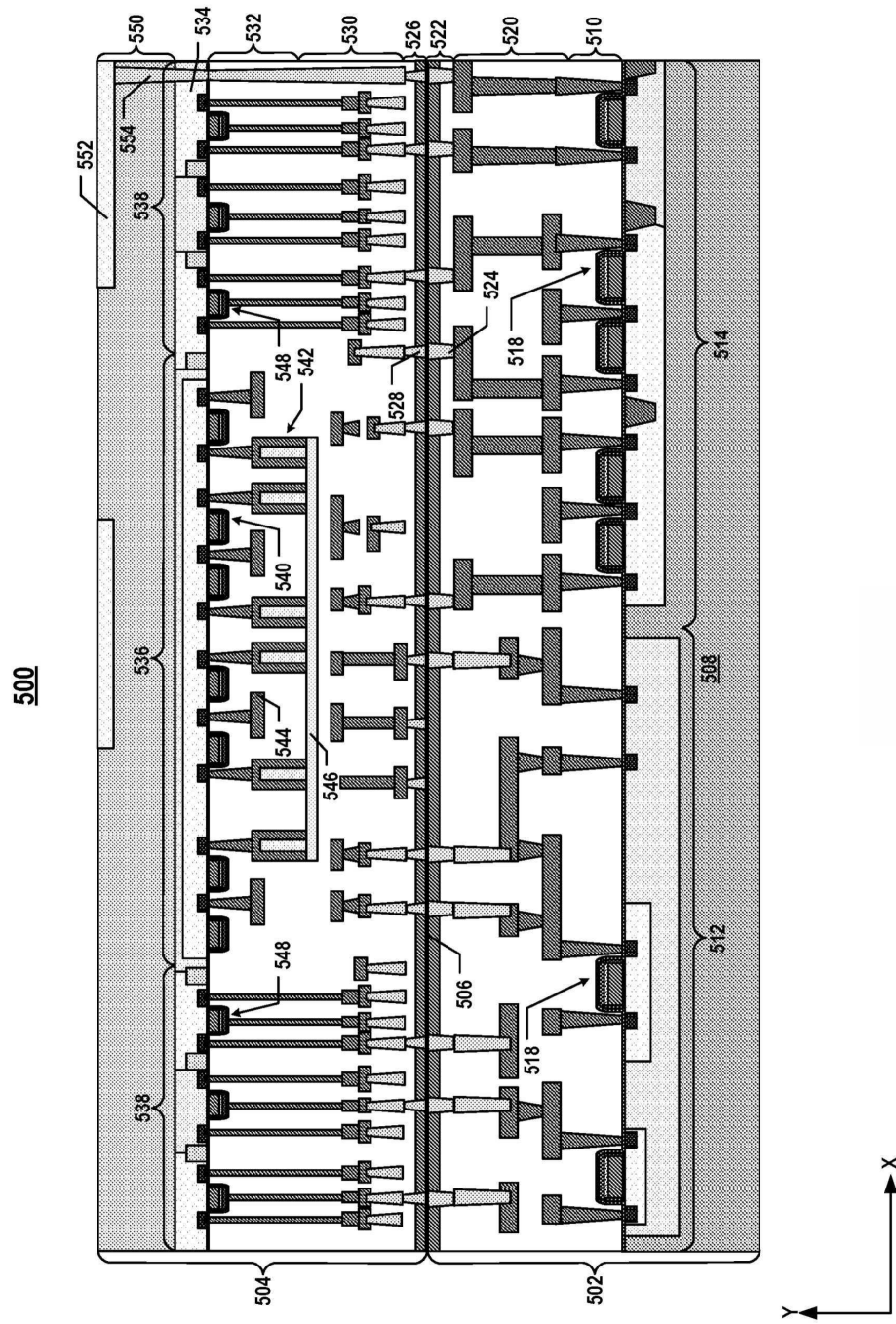


도면4b

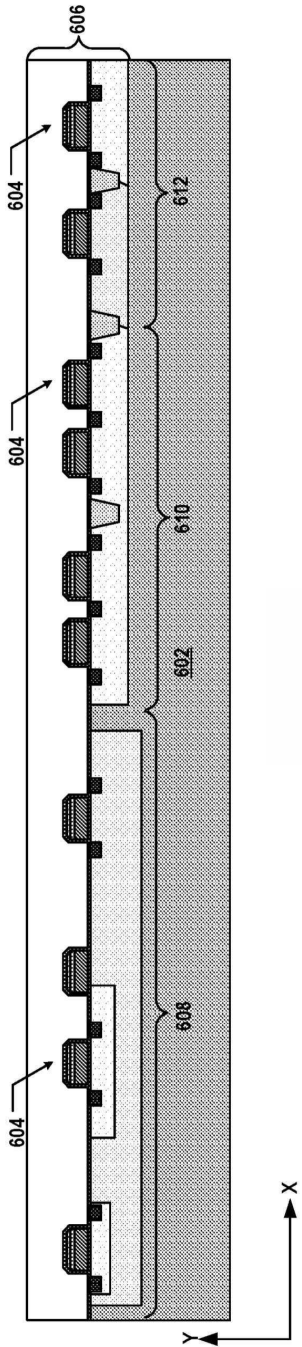
401



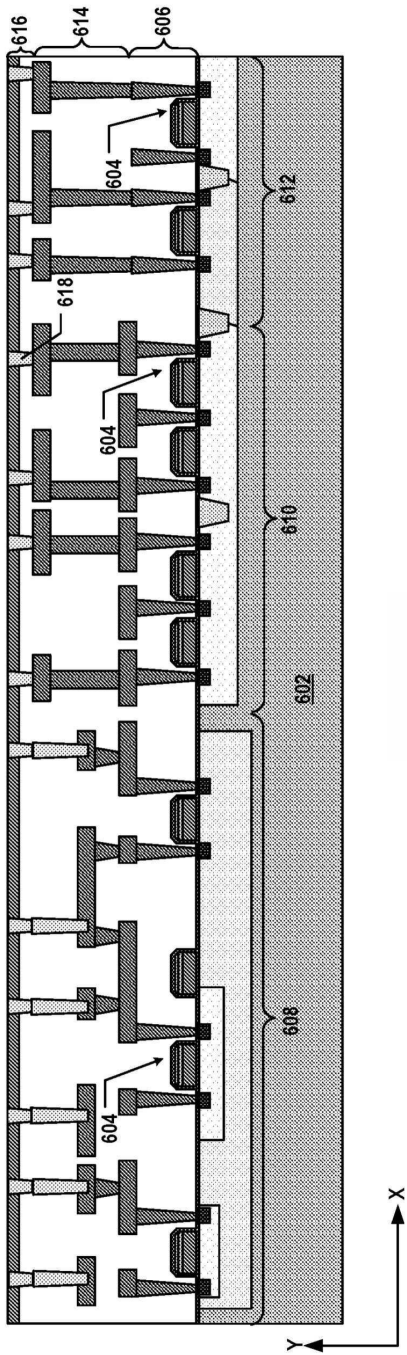
도면5a



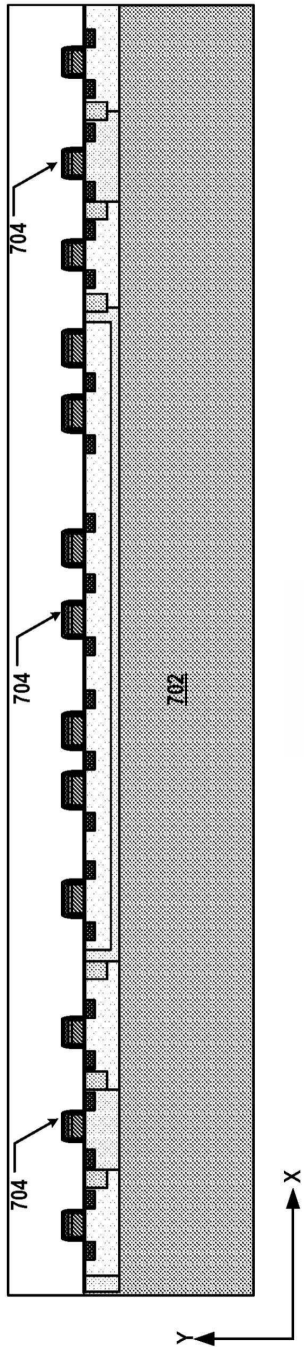
도면6a



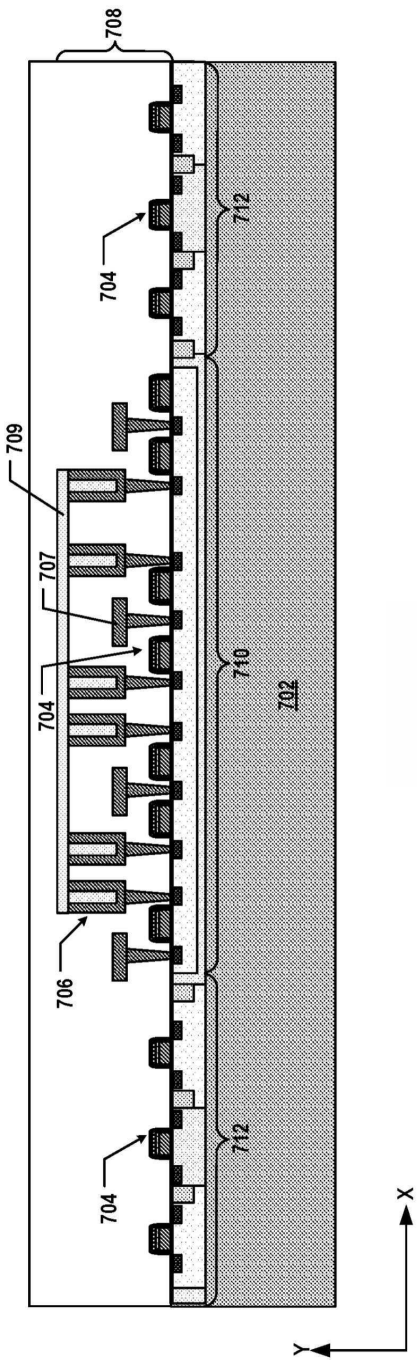
도면6b



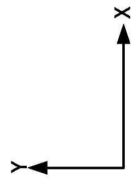
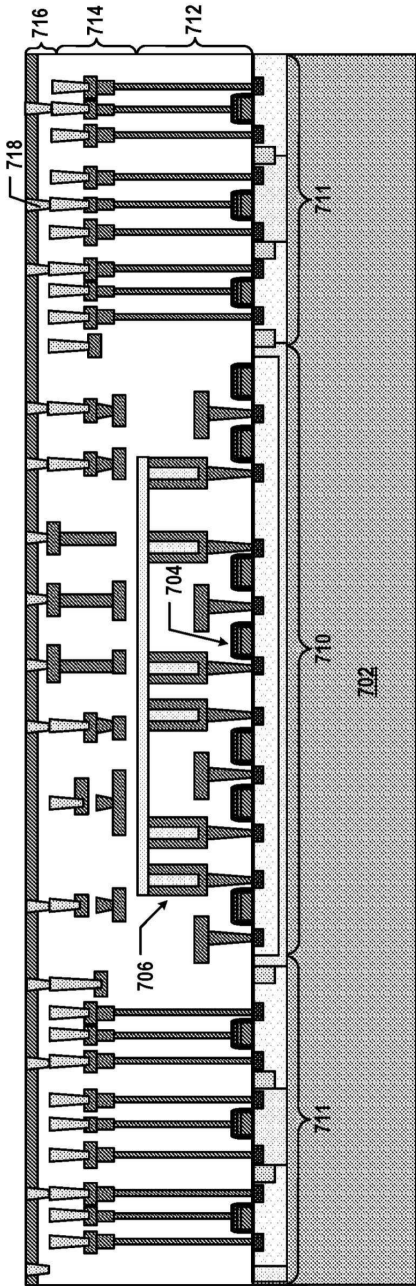
도면7a



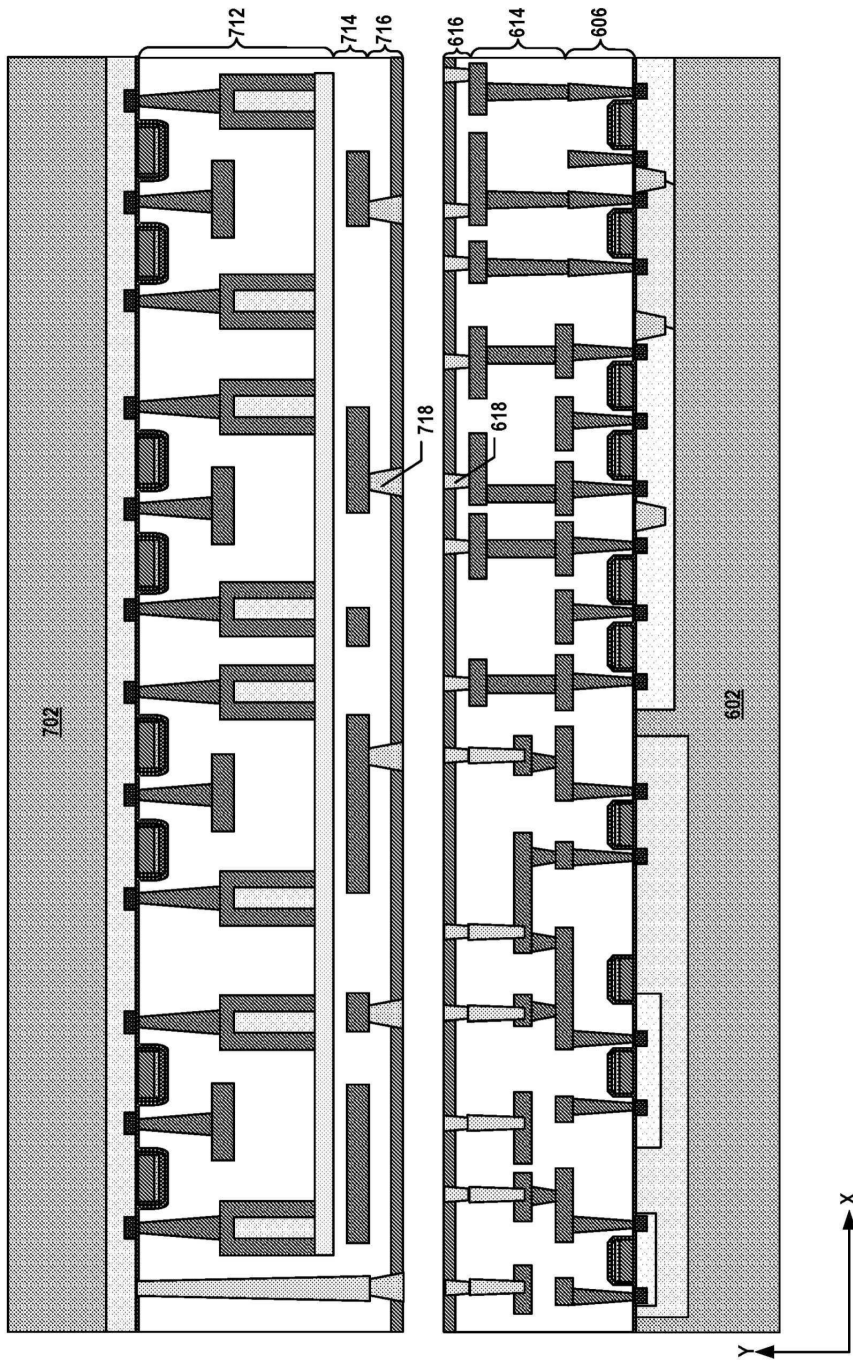
도면7b



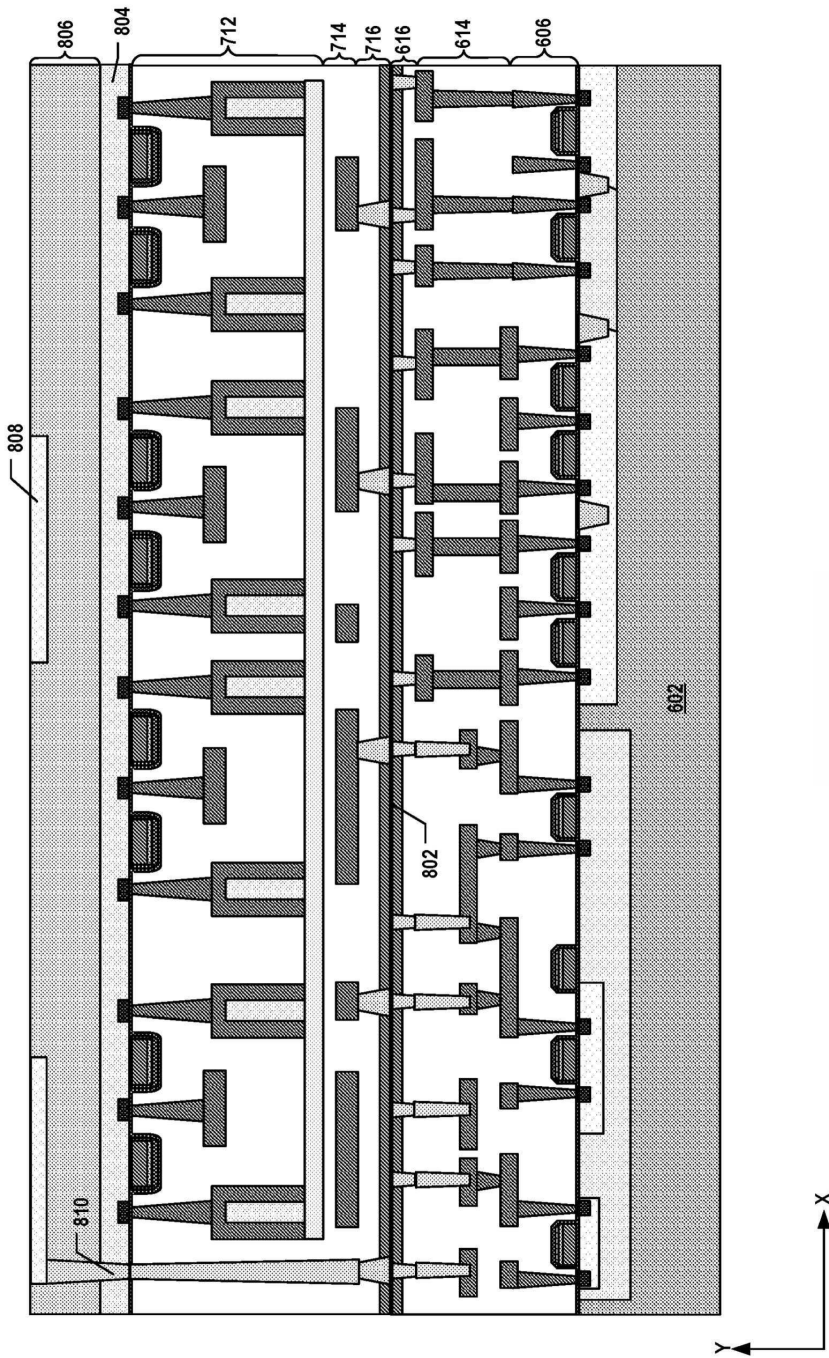
도면7c



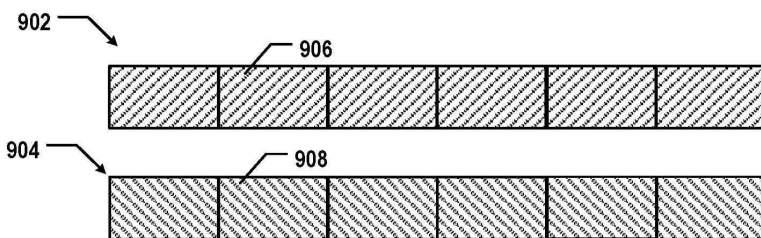
도면8a



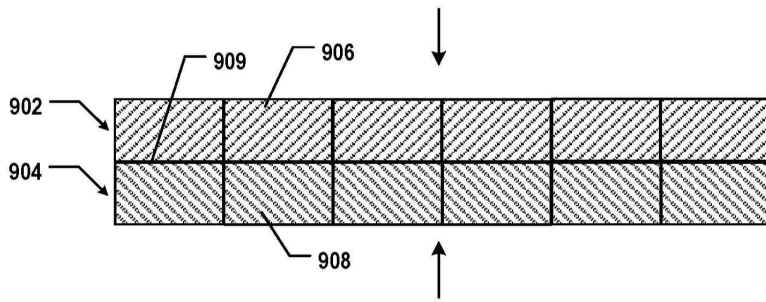
도면8b



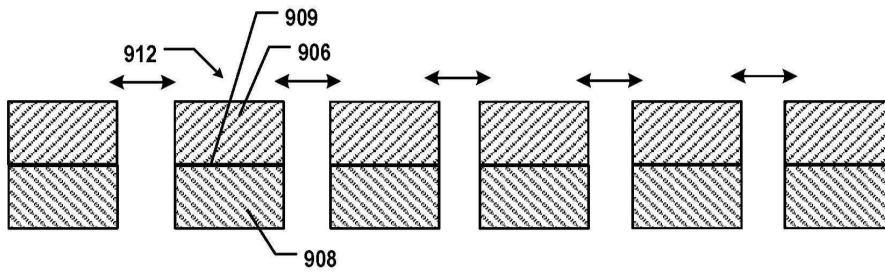
도면9a



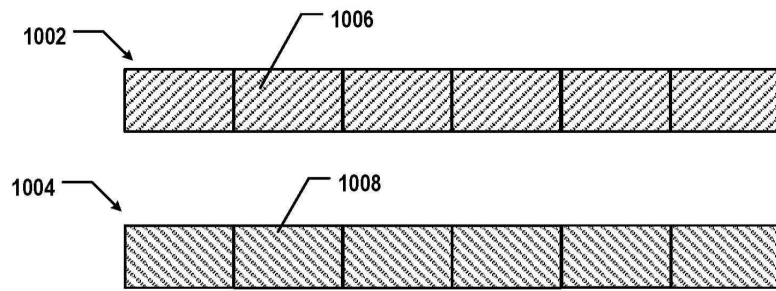
도면9b



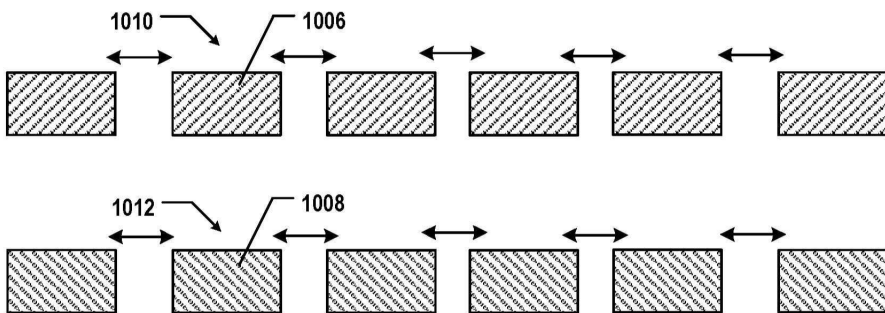
도면9c



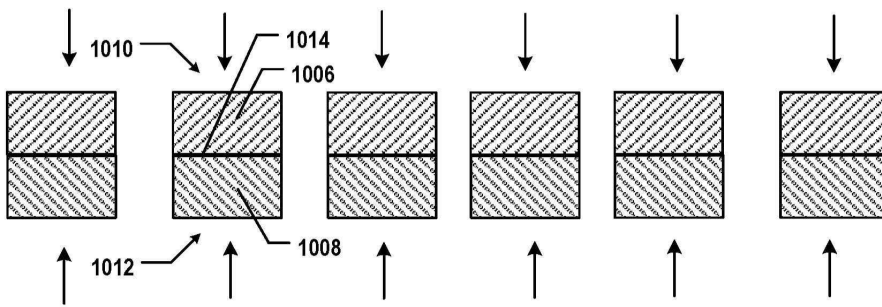
도면10a



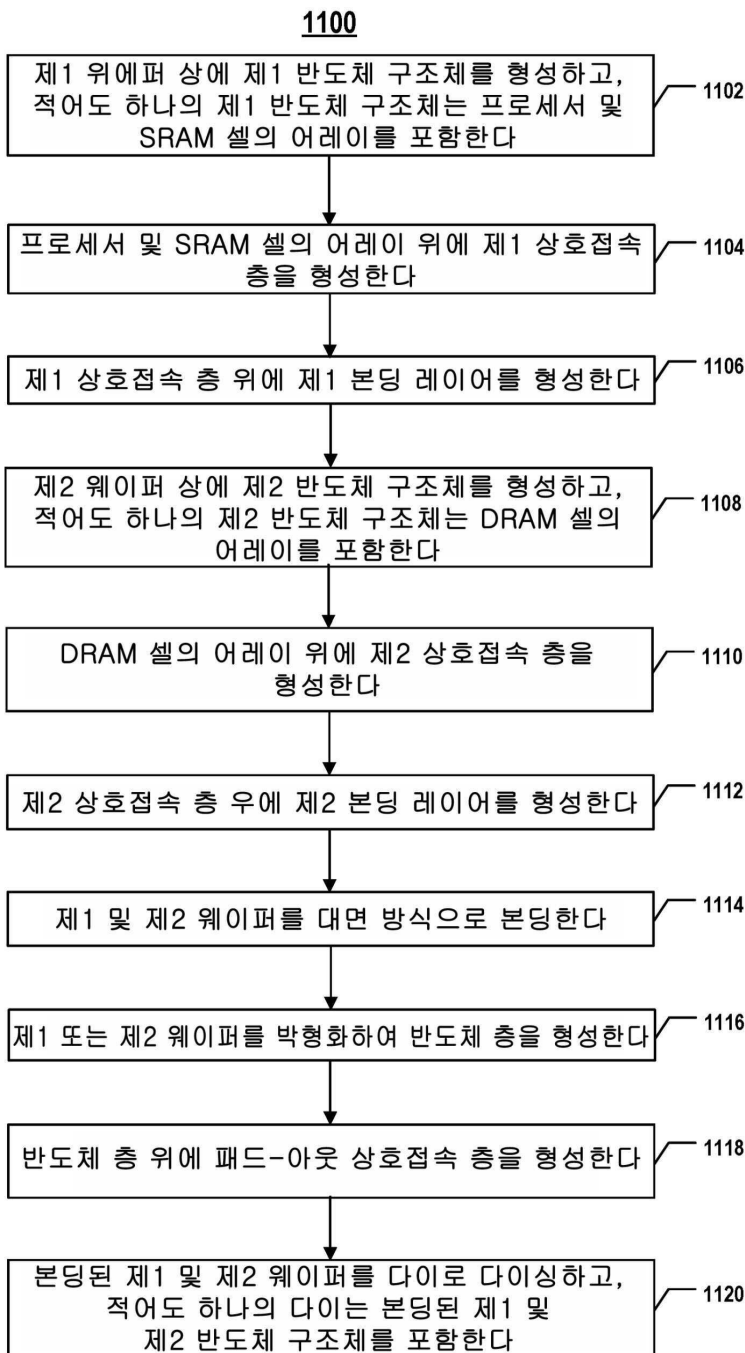
도면10b



도면10c



도면11



도면12

