



(21)申請案號：111140650

(22)申請日：中華民國 111 (2022) 年 10 月 26 日

(51)Int. Cl.：

H10B43/00 (2023.01)

H10B99/00 (2023.01)

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市 428 大雅區科雅一路 8 號

(72)發明人：周信宏 CHOU, HSIN-HUNG (TW)；李政帥 LI, CHENG-SHUAI (TW)；蔡高財
 TSAI, KAO-TSAIR (TW)

(74)代理人：洪澄文

申請實體審查：有 申請專利範圍項數：19 項 圖式數：7 共 38 頁

(54)名稱

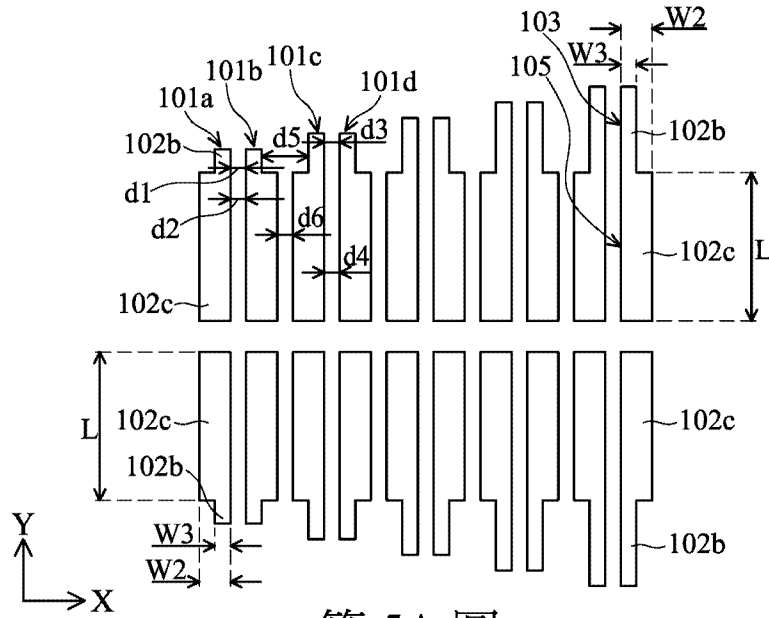
記憶裝置的拾取結構及記憶裝置之製造方法

(57)摘要

在此提供一種記憶裝置的拾取結構及記憶裝置之製造方法。此拾取結構包括複數個拾取電極條。每一拾取電極條包括位於週邊拾取區的主體部以及自主體部延伸至記憶體單元區的一延伸部。延伸部具有一寬度小於主體部的一寬度，且延伸部具有一側壁表面切齊於主體部的一側壁表面。

A pick-up structure for a memory device and the manufacturing method of the memory device are provided. The pick-up structure includes pick-up electrode strips. Each pickup electrode strip includes a main body portion in the peripheral pick-up region and an extending portion extending from the main body portion to the memory cell region. The extending portion has a width smaller than a width of the main body portion, and the extending portion has a sidewall surface level with a sidewall surface of the main body portion.

指定代表圖：



第 5A 圖

符號簡單說明：

101a: 第一拾取電極條

101b: 第二拾取電極條

101c: 第三拾取電極條

101d: 第四拾取電極條

102b: 延伸部

102c: 主體部

103, 105: 側壁表面

d1, d2, d3, d4, d5, d6: 距離

L: 長度

W2, W3: 線寬

【發明摘要】

【中文發明名稱】 記憶裝置的拾取結構及記憶裝置之製造方法

【英文發明名稱】 Pick-up structure for memory device and method for manufacturing memory device

【中文】

在此提供一種記憶裝置的拾取結構及記憶裝置之製造方法。此拾取結構包括複數個拾取電極條。每一拾取電極條包括位於週邊拾取區的主體部以及自主體部延伸至記憶體單元區的一延伸部。延伸部具有一寬度小於主體部的一寬度，且延伸部具有一側壁表面切齊於主體部的一側壁表面。

【英文】

A pick-up structure for a memory device and the manufacturing method of the memory device are provided. The pick-up structure includes pick-up electrode strips. Each pickup electrode strip includes a main body portion in the peripheral pick-up region and an extending portion extending from the main body portion to the memory cell region. The extending portion has a width smaller than a width of the main body portion, and the extending portion has a sidewall surface level with a sidewall surface of the main body portion.

【指定代表圖】 第5A圖

【代表圖之符號簡單說明】

101a: 第一拾取電極條

101b: 第二拾取電極條

101c: 第三拾取電極條

101d: 第四拾取電極條

102b: 延伸部

102c: 主體部

103, 105: 側壁表面

d1, d2, d3, d4, d5, d6: 距離

L: 長度

W2, W3: 線寬

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】 記憶裝置的拾取結構及記憶裝置之製造方法

【英文發明名稱】 Pick-up structure for memory device and method for manufacturing memory device

【技術領域】

【0001】 本發明係有關於一種半導體結構，且特別係有關於一種用於記憶裝置的拾取（pick-up）結構及記憶裝置製造方法。

【先前技術】

【0002】 隨著對微型化的需求日益增加，如何提高半導體元件的密度成為重要的課題。在半導體裝置的製程中，為了降低特徵尺寸，可使用間隔層自對準雙重圖案化（spacer self-aligned double patterning, SADP）製程，以降低半導體元件的關鍵圖形尺寸，進而增加半導體裝置的集積度。習知的SADP製程通常包括：由多個犧牲芯軸（mandrel）構成的圖案；於犧牲芯軸兩相對側壁形成間隔層；移除犧牲芯軸以留下由間隔層構成的圖案；以及利用間隔層構成的圖案來定義位於其下方的膜層。

【0003】 在半導體記憶裝置（例如，快閃記憶體）的製程中，經常使用SADP製程來製作小尺寸的字元線、選擇閘極以及用以連接字元線的拾取電極。然而，若SADP製程中位於不同層的蝕刻罩幕之間的疊對偏移（overlay shift）超出製程容許度，則選擇閘極

的線寬難以達到目標尺寸，因而降低記憶裝置的良率及可靠度。

【0004】 為了提高疊對控制，必須採用高解析度的微影製程而大幅增加製造成本。另外，在不提高疊對控制的情形下，可在移除犧牲芯軸前先定義出選擇閘極的圖案。然而，後續定義拾取電極時，拾取電極的線寬難以達到目標尺寸。如此一來，在製作接點（contact）於拾取電極上方時將會面臨挑戰，因而容易降低記憶裝置的良率及可靠度。因此，有必要尋求一種新穎的記憶裝置之製造方法，其能夠解決或改善上述的問題。

【發明內容】

【0005】 本發明實施例提供一種記憶裝置的拾取結構及記憶裝置之製造方法，能夠改善記憶裝置的良率及可靠度，同時不會明顯增加製造成本或使製程複雜化。

【0006】 在一些實施例中，揭示一種記憶裝置的拾取結構，形成於具有記憶體單元區及與其相鄰的週邊拾取區的基底上。拾取結構包括：複數個拾取電極條。各拾取電極條包括：主體部，位於週邊拾取區，且沿著一第一方向延伸；以及一延伸部，自主體部延伸至記憶體單元區。延伸部具有寬度小於主體部的寬度，且延伸部具有側壁表面切齊於主體部的一側壁表面。拾取電極條的主體部沿著不同於第一方向的第二方向排列。

【0007】 在一些實施例中，揭示一種記憶裝置之製造方法，包括：依序形成第一罩幕層、犧牲材料層以及第二罩幕層於基底上，其

中基底具有記憶體單元區及與其相鄰的週邊拾取區；形成第一圖案及第二圖案於第二罩幕層內，其中第一圖案對應於記憶體單元區且包括彼此平行排列的複數個第一條形圖案，而第二圖案對應於週邊拾取區且包括一區塊圖案及連接區塊圖案與第一條形圖案的複數個第二條形圖案；將第二罩幕層的第一圖案及第二圖案轉移至犧牲材料層，使犧牲材料層具有第一條形圖案、區塊圖案及第二條形圖案；去除具有第一圖案及第二圖案的第二罩幕層；形成複數個間隔層於第一罩幕層上，使犧牲材料層的各第一條形圖案的側壁上及各第二條形圖案的側壁上具有對應的間隔層；利用犧牲材料層及間隔層作為一蝕刻罩幕，對第一罩幕層進行一第一蝕刻；在進行第一蝕刻之後，去除犧牲材料層，並留下間隔層；以及利用間隔層作為一蝕刻罩幕，對第一罩幕層進行一第二蝕刻，使第一罩幕層具有第三圖案。

【0008】 在本發明實施例所提供的記憶裝置的拾取結構中，每一拾取電極條的主體部的寬度大於延伸部的寬度，因此可輕易地於拾取電極的主體部上方形成接點。再者，在本發明實施例所提供之記憶裝置之製造方法中，於週邊拾取區形成區塊圖案。當利用第一蝕刻來圖案化位於記憶體單元區的第一罩幕層時，上述區塊圖案防止位於週邊拾取區的第一罩幕層受到蝕刻。如此一來，當利用第二蝕刻來圖案化位於週邊拾取區的第一罩幕層時，形成的圖案不會受到二次蝕刻而縮小/改變其關鍵圖形尺寸。因此，不會影響後續接點的製作。

【圖式簡單說明】

【0009】

第1A圖係繪示出根據本發明一實施例之用於製造記憶裝置的罩幕圖案層平面示意圖。

第1B圖係繪示出根據本發明另一實施例之用於製造記憶裝置的罩幕圖案層平面示意圖。

第2A至2H圖係繪示出根據本發明一實施例之記憶裝置於各個製造階段的剖面示意圖，其中第2A圖為沿第1A圖中I-I'線的剖面示意圖。

第3A至3H圖係繪示出根據本發明一實施例之記憶裝置於各個製造階段的剖面示意圖，其中第3A圖為沿第1A圖中II-II'線的剖面示意圖。

第4A至4H圖係繪示出根據本發明一實施例之記憶裝置於各個製造階段的剖面示意圖，其中第4A圖為沿第1A圖中III-III'線的剖面示意圖。

第5A圖係繪示出根據本發明一實施例之局部拾取結構平面示意圖。

第5B圖係繪示出根據本發明另一實施例之局部拾取結構平面示意圖。

第6A圖係繪示出根據本發明一實施例之定義出圖案化相連的間隔層的切割區的平面示意圖。

第6B圖係繪示出根據本發明另一實施例之定義出圖案化相連的間隔層的切割區的平面示意圖。

第7A圖係繪示出根據本發明一實施例之形成頂部圖案層的平面示意圖。

第7B圖係繪示出根據本發明另一實施例之形成頂部圖案層的平面示意圖。

【實施方式】

【0010】 為使本發明之上述和其他目的、特徵、優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。再者，本發明的不同範例中可能使用重複的參考符號及/或用字。這些重複符號或用字係為了簡化與清晰的目的，並非用以限定各個實施例及/或所述外觀結構之間的關係。

【0011】 在此，「約」、「大約」之用語通常表示在一給定值或範圍的20%之內，較佳是10%之內，且更佳是5%之內。在此給定的數量為大約的數量，意即在沒有特定說明的情況下，仍可隱含「約」、「大約」之含義。

【0012】 如第1A、2A、3A及4A圖所示，基底100具有記憶體單元區R1及與其相鄰的週邊拾取區R2。基底100可為矽基底、絕緣層上覆矽（silicon-on-insulator, SOI）基底、其他合適的半導體基底（例如，砷化鎵基底、氮化鎵基底、或矽化鍺基底）。在一些實施例中，基底100為矽基底。再者，可在基底100內形成其他的結構（例如，隔離結構、p型佈植區或n型佈植區（未繪示）。

【0013】 接著，依序形成目標層102、第一單幕層110、犧牲

材料層120以及第二單幕層132於基底100上，以覆蓋基底100的記憶體單元區R1及週邊拾取區R2。在一些實施例中，目標層102可為單層或多層結構。例如，當目標層102為單層結構時，目標層102的材料可包括金屬或其他合適的導電材料。另外，當目標層102為多層結構時，目標層102可包括一導電層及位於上方的一或多個介電層。導電層的材料可包括金屬、摻雜的多晶矽或其他合適的導電材料。介電層的材料可包括氧化矽、氮化矽、氮氧化矽、低k值材料或其組合。可透過合適的沉積製程（例如，化學氣相沉積製程、原子層沈積製程、旋轉塗佈製程或上述製程之組合）形成目標層102。

【0014】 在一些實施例中，第一單幕層110可包括多晶矽或其他合適的單幕材料。犧牲材料層120可包括碳或其他合適的材料。第一單幕層110第二單幕層132第二單幕層132可包括光阻材料且可透過微影製程形成其圖案。

【0015】 在一些實施例中，可在犧牲材料層120與第二單幕層132之間選擇性地形成硬式單幕層130。硬式單幕層130可作為抗反射層，且可包括氮化矽、氮氧化矽或其他合適的抗反射材料。可透過合適的沉積製程（例如，化學氣相沉積製程、原子層沈積製程、旋轉塗佈製程或上述製程之組合）形成目標層102、第一單幕層110、犧牲材料層120及硬式單幕層130。在一些實施例中，第二單幕層132作為後續蝕刻製程的蝕刻單幕，且第二單幕層132具有分別對應於記憶體單元區R1及週邊拾取區R2的第一圖案及第二圖案。具體

來說，第一圖案包括平行排列的複數個條形圖案132a1及複數個條形圖案132a2，其中條形圖案132a1的線寬大於條形圖案132a2的線寬。在一些實施例中，條形圖案132a1用以定義記憶裝置的選擇閘極，而條形圖案132a2則用以定義記憶裝置的字元線。

【0016】 另外，第二圖案包括複數個條形圖案132b及一區塊圖案132c，其中條形圖案132b對應連接於條形圖案132a2，且這些條形圖案132b一同連接至區塊圖案132c。在一些實施例中，條形圖案132b用以定義記憶裝置的局部的拾取電極條。再者，區塊圖案132c則作為定義記憶裝置的選擇閘極時的蝕刻阻擋區，用以防止區塊圖案132c正下方的膜層受到蝕刻。在本實施例中，區塊圖案132c為矩形，其中短邊不與第一圖案連接，且長邊連接至沿著第二方向X平行排列的多個條形圖案132b。區塊圖案132c的短邊延伸於第一方向Y，而長邊延伸於第二方向X。

【0017】 然而，區塊圖案132c並未侷限於矩形，請參照第1B圖，第二罩幕層132在本實施例中，區塊圖案132c為一類梯形圖案，其斜邊具有多階梯輪廓，且斜邊連接至沿著第二方向X平行排列的多個條形圖案132b。

【0018】 接下來，請同時參照第2B、3B及4B圖，根據一些實施例，將第二罩幕層132的第一圖案及第二圖案依序轉移至下方的硬式罩幕層130及犧牲材料層120而露出第一罩幕層110的上表面。如此一來，硬式罩幕層130於記憶體單元區R1具有對應條形圖案132a1及132a2的條形圖案130a1及130a2。再者，犧牲材料層120於記憶體

單元區R1也具有對應條形圖案132a1及132a2的條形圖案120a1及120a2。相似地，硬式罩幕層130及犧牲材料層120於週邊拾取區R2分別具有對應於條形圖案132b的條形圖案130b1及120b1。再者，硬式罩幕層130及犧牲材料層120於週邊拾取區R2分別具有對應於區塊圖案132c的區塊圖案130c1及120c1。可透過合適的蝕刻製程（例如，乾蝕刻、濕蝕刻或其組合）對硬式罩幕層130及犧牲材料層120（也稱作犧牲芯軸）進行圖案化。

【0019】 接下來，請同時參照第2C、3C及4C圖，根據一些實施例，去除具有第一圖案及第二圖案的第三罩幕層132而露出條形圖案130a1及130a2、條形圖案130b1及區塊圖案130c1的側壁及上表面以及第一罩幕層110的上表面。在一些實施例中，可選擇性地對條形圖案130a1、130a2、120a1、120a2、130b1、120b1與區塊圖案130c1及120c2進行修整（trimming）製程，以對應地形成具有縮減的線寬的修整的條形圖案130a3、130a4、120a3、120a4、130b2、120b2與修整的區塊圖案130c2及120c2（以下合稱為經修整的罩幕結構）。之後，順應性地形成一間隔材料層140於經修整的罩幕結構上。在一些實施例中，間隔材料層140的材料包括氧化矽。

【0020】 接下來，請同時參照第2D、3D及4D圖，透過蝕刻間隔材料層140而形成複數個間隔層140a於經修整的罩幕結構的側壁第一罩幕層110上。之後，去除圖案化的硬式罩幕層130，以露出修整的條形圖案120a3、120a4及120b2及修整的區塊圖案120c2的上表面。由於位於週邊拾取區R2的修整的條形圖案120b2連接於修整的

區塊圖案120c2，因此位於兩相鄰修整的條形圖案120b2之間的兩間隔層140a彼此相連而形成U形的結構。在一些實施例中，可進一步圖案化上述相連的間隔層140a，以確保位於相鄰的兩相鄰修整的條形圖案120b2之間的兩間隔層140a彼此隔開。請參照第6A及6B圖所示，其分別繪示出對應於第1A及1B圖之實施例所形成的切割區C。

【0021】 在一些實施例中，如第6A圖所示，從上視角度來看，兩相鄰修整的條形圖案120b2之間的兩間隔層140a沿第二方向X相連。為了隔開沿第二方向X相連的間隔層140a，可利用微影製程定義出沿第二方向X延伸的複數個切割區C。每一切割區C為一直線型區，且與重疊於兩相鄰修整的條形圖案120b2之間沿第二方向X相連的間隔層140a部分。在定義出切割區C之後，可透過蝕刻技術去除(未繪示)位於切割區C內沿第二方向X相連的間隔層140a部分。

【0022】 在其他一些實施例中，如第6B圖所示，從上視角度來看，兩相鄰修整的條形圖案120b2之間的兩間隔層140a沿第二方向X相連。為了隔開沿第二方向X相連的間隔層140a，可利用微影製程定義出沿第一方向Y延伸的複數個切割區C。一對相鄰修整的條形圖案120b2之間沿第二方向X相連的間隔層140a部分對應於一切割區C，使上述切割區C從上視角度來看局部重疊對應的沿第二方向X相連的間隔層140a。在定義出切割區C之後，可透過蝕刻技術去除(未繪示)位於切割區C內沿第二方向X相連的間隔層140a部分。

【0023】 之後，利用圖案化的犧牲材料層120及間隔層140a一同作為一蝕刻罩幕，對第一罩幕層110進行蝕刻製程，以於記憶體單

元區R1第一單幕層110形成條形圖案110a1及110a2，於週邊拾取區R2第一單幕層110形成條形圖案110b1及區塊圖案110c1（以下合稱為圖案化的第一單幕層110），且露出部分的目標層102的上表面。在一些實施例中，條形圖案110a1是用來定義選擇閘極的圖案，且條形圖案110a1的線寬W1實質上相等於選擇閘極的目標線寬。再者，修整的區塊圖案120c2則作為一蝕刻阻擋區，防止其正下方的膜層（例如，第一單幕層110）受到蝕刻第一單幕層110。

【0024】 在形成圖案化的第一單幕層110後，如第2E、3E及4E圖所示，去除圖案化的犧牲材料層120，並留下位於圖案化的第一單幕層110上的間隔層140a。

【0025】 接下來，請同時參照第2F、3F及4F圖，根據一些實施例，形成單幕結構156於間隔層140a及圖案化的第一單幕層110上。第一單幕層110於本實施例中，單幕結構156為多層阻劑結構，例如包括底部層150、中間層152及頂部圖案層154，但本發明不為此限。請參照第7A及7B圖，其分別繪示出對應於第1A及1B圖之實施例所形成頂部圖案層154的平面示意圖。在一些實施例中，如第7A圖所示，從上視角度來看，在兩相鄰修整的條形圖案110b1之間形成沿第一方向Y延伸的兩頂部圖案層154。每一頂部圖案層154局部覆蓋對應的沿第一方向Y延伸的間隔層140a部分。每一頂部圖案層154為一直線型層，且具有實質上相同的寬度及長度。在其他一些實施例中，如第7B圖所示，從上視角度來看，頂部圖案層154的排列相似於第7A圖中頂部圖案層154的排列。然而，不同之處在於第7B圖中頂部圖案層

154對應於同一條形圖案110b1的頂部圖案層154具有不同的長度。例如，從上視角度來看，位於條形圖案110b1右側的頂部圖案層154的長度大於位於條形圖案110b1左側的頂部圖案層154的長度。再者，位於相對右側的條形圖案110b1的兩側的頂部圖案層154的長度也大於位於相對左側的條形圖案110b1的兩側的頂部圖案層154的長度。

【0026】 在一些實施例中，底部層150可作為平坦層而提供實質上平坦的上表面。具體來說，底部層150可包括旋塗碳（spin on carbon, SOC）層或其他具有抗反射特性的材料。再者，中間層152可對上方的頂部圖案層154提供硬式罩幕特性，且中間層152的材料可包括氧化矽、氮化矽、碳氧化矽或其他合適的罩幕材料。另外，頂部圖案層154具有條形圖案154a，且條形圖案154a的形狀相似於且位置對應於用以定義選擇閘極的條形圖案110a1。條形圖案154a露出記憶體單元區R1中待形成字元線的區域（未繪示），且作為一蝕刻阻擋區以防止其下方的條形圖案110a1在後續蝕刻期間受到蝕刻。如此一來，可維持條形圖案110a1的線寬不變。對應於週邊拾取區R2的頂部圖案層154具有條形圖案154b，用以在後續製程中定義拾取電極條的圖案。條形圖案154b的線寬W2實質上相等於拾取電極條的目標線寬，且條形圖案154b與間隔層140a的垂直投影至少部分地重疊(如第7A及7B圖所示)。頂部圖案層154可包括光阻材料且可透過微影製程形成。

【0027】 接下來，請參照第2G、3G及4G圖，利用間隔層140a及罩幕結構156的結合作為一蝕刻罩幕，對圖案化的第一罩幕層110

進行再次圖案化而於其中形成第三圖案，且露出下方目標層102的上表面。第一罩幕層110上述再次圖案化製程可包括乾蝕刻製程、濕蝕刻製程或其組合。在進行上述再次圖案化之後，去除間隔層140a及罩幕結構156。

【0028】 具體來說，第三圖案包括對應於記憶體單元區R1的條形圖案110a3（即，用以定義字元線的圖案）及先前形成的條形圖案110a1。條形圖案110a3的線寬實質上由間隔層140a的寬度所決定，而間隔層140a的寬度則由間隔材料層140的沉積厚度所控制。再者，第三圖案也包括對應於週邊拾取區R2且彼此對準的條形圖案110b2及條形圖案110c2。

【0029】 如第2F及2G圖所示，在形成用以定義字元線的條形圖案110a3之前，第一罩幕層110已具有用以定義選擇閘極的條形圖案110a1。因此，在對圖案化的第一罩幕層110進行再次圖案化的期間第一罩幕層110，即使條形圖案154a與下方的間隔層140a之間發生疊對偏移，條形圖案110a1的線寬W1仍維持不變，藉此有效增加疊對容許度（overlay window）。因此，當選擇閘極圖案的目標線寬隨記憶裝置尺寸縮小而縮小時，仍可能採用較低解析度的微影製程，以避免製造成本的增加。

【0030】 如第3F及3G圖所示，在第一罩幕層110形成用以定義選擇閘極的圖案（即，條形圖案110a1）的期間，於週邊拾取區R2同時形成條形圖案110b1。因此，在對圖案化的第一罩幕層110進行再次圖案化第一罩幕層110之後，所形成的條形圖案110b2的

線寬 $W3$ 會小於條形圖案154b的線寬 $W2$ （即，後續形成的拾取電極條具有小於目標線寬的延伸部）。

【0031】如第4F及4G圖所示，第一單幕層110區塊圖案110c1對於其正上方的條形圖案154b而言為一大面積的無圖案平坦層，因此，可防止條形圖案154b形成期間受到下方膜層的形貌（topography）影響所發生的關鍵圖形尺寸變異。再者，對圖案化的第一單幕層110進行再次圖案化之後第一單幕層110，所形成的條形圖案110c2的線寬 $W2$ 可實質上相等於條形圖案154b的線寬 $W2$ （即，實質上相等於拾取電極條的主體部的目標線寬）。

【0032】接下來，請同時參照第2H、3H及4H圖，將第一單幕層110第三圖案轉移至目標層102內。具體來說，利用具有第三圖案的第一單幕層110作為一蝕刻罩幕，對目標層102進行蝕刻（例如乾蝕刻製程、濕蝕刻製程或其組合），以在目標層102內形成上述第三圖案。

【0033】在對目標層102進行蝕刻之後，在記憶體單元區R1的基底100上形成了具有目標線寬 $W1$ 的選擇閘極結構102a1及具有目標線寬的複數個字元線102a2。再者，在週邊拾取區R2的基底100上形成一拾取結構，其包括複數個拾取電極條1102，且每一拾取電極條1102包括一延伸部102b及一主體部102c。

【0034】請參照第5A圖，其繪示出根據本發明一實施例之局部拾取結構平面示意圖。第5A圖所示的拾取結構使用第1A圖所示的第二單幕層132以及第2A-2H、3A-3H及4A-4H圖所示之方法製

造而成。如第5A圖所示，拾取電極條的延伸方向可平行於第一方向Y，且沿著不同於第一方向Y的第二方向X排列於基底100上。為了簡化圖式，第5A圖僅繪示出上下對稱的兩拾取結構，且每組拾取結構包括了十個拾取電極條。然而，可理解的是拾取電極條的數量取決於設計需求而未侷限於第5A圖所示的實施例。

【0035】 在本實施例中，每一拾取電極條包括一延伸部102b及一主體部102c。主體部102c位於週邊拾取區R2（未繪示，如第4H圖所示），而延伸部102b自主體部102c延伸至記憶體單元區R1（未繪示）。在本實施例中，延伸部102b的寬度（其實質上相等於條形圖案110b2的線寬W3）小於主體部102c的寬度（其實質上相等於條形圖案110c2的線寬W2），且延伸部102b具有一側壁表面103切齊於主體部102c的一側壁表面105。

【0036】 為了簡化說明拾取電極條的配置，此處僅以沿第二方向X依序排置的第一拾取電極條101a、第二拾取電極條101b、第三拾取電極條101c及第四拾取電極條101d作為示例。在此示例中，每一拾取電極條的主體部102c具有相同的長度L。再者，第一拾取電極條101a與第二拾取電極條101b鏡像對稱，且第三拾取電極條101c與第四拾取電極條101d鏡像對稱。

【0037】 第一拾取電極條101a的延伸部102b與第二拾取電極條101b的延伸部102b之間隔開的距離d1實質上相等於第一拾取電極條101a的主體部102c與第二拾取電極條101b的主體部102c之間隔開的距離d2。相似地，第三拾取電極條101c的延伸部102b與第四拾取電

極條101d的延伸部102b之間隔開的距離d3實質上相等於第三拾取電極條101c的主體部102c與第四拾取電極條101d的主體部102c之間隔開的距離d4。

【0038】 第二拾取電極條101b的延伸部102b與第三拾取電極條101c的延伸部102b之間隔開的距離d5大於第二拾取電極條101b的主體部102c與第三拾取電極條101c的主體部102c之間隔開的距離d6，且亦大於距離d1或d2。

【0039】 請參照第5B圖，其所示的拾取結構採用第1B圖所示的第二罩幕層132以及第2A-2H、3A-3H及4A-4H圖所示之方法製造而成。因此，第5B圖所示的拾取電極條配置相似於第5A圖所示的拾取電極條配置。為了簡化說明，此處僅以沿第二方向X依序排置的第一拾取電極條101a'、第二拾取電極條101b'、第三拾取電極條101c'及第四拾取電極條101d'作為示例。不同於第5A圖的示例，第二拾取電極條101b'的主體部102c的長度實質上相等於第三拾取電極條101c'的主體部102c的長度，但大於第一拾取電極條101a'的主體部102c的長度且小於第四拾取電極條101d'的主體部102c的長度。

【0040】 根據上述實施例，由於在去除圖案化的犧牲材料層（犧牲芯軸）之前先行於記憶體單元區定義出用以定義選擇閘極的圖案，因此可有效增加疊對容許度。如此一來，當選擇閘極圖案的目標線寬隨記憶裝置尺寸縮小而縮小時，仍可採用原先的微影製程而無需採用高解析度的微影製程，進而避免製造成本的增加。

【0041】 根據上述實施例，於進行蝕刻(圖案化)之前利用微影

製程於週邊拾取區先行形成一區塊圖案作為蝕刻阻擋層，因此，在定義拾取電極條之後，對應於區塊圖案所在位置的拾取電極條的主體部可維持目標線寬而不受為定義選擇閘極圖案所進行的蝕刻製程影響。如此一來，拾取電極條的主體部的線寬大於延伸部的線寬而具有船槳（paddle）外型，因此可輕易地於拾取電極條的主體部上方形成接點。亦即，接點與拾取電極條之間可具有穩健牢靠的電性連接，進而增加記憶裝置的良率及可靠度。

【0042】 雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0043】

100: 基底

101a, 101a': 第一拾取電極條

101b, 101b': 第二拾取電極條

101c, 101c': 第三拾取電極條

101d, 101d': 第四拾取電極條

102: 目標層

102a1: 選擇閘極結構

102a2: 字元線結構

102b: 延伸部

102c: 主體部

103, 105: 側壁表面

110: 第一罩幕層

110a1, 110a2, 110b1, 110b2, 110a3, 110c2, 120a1,
120a2, 130a1, 130a2, 132a1, 132a2, 120b1, 130b1, 132b,
154a, 154b: 條形圖案

110c1, 120c1, 130c1, 120c2, 132c: 區塊圖案

120: 犧牲材料層

120a3, 120a4, 120b2, 130a3, 130a4, 130b2, 130c2: 修整
的條形圖案

130: 硬式罩幕層

132: 第二罩幕層

140: 間隔材料層

140a: 間隔層

150: 底部層

152: 中間層

154: 頂部圖案層

156: 多層阻劑結構

1102: 拾取電極條

C: 切割區

d1, d2, d3, d4, d5, d6: 距離

L:長度

R1:記憶體單元區

R2:週邊拾取區

W1, W2, W3:線寬

X:第二方向

Y:第一方向

【發明申請專利範圍】

【請求項1】 一種記憶裝置的拾取結構，形成於具有一記憶體單元區及與其相鄰的一週邊拾取區的一基底上，該拾取結構包括：

複數個拾取電極條，其中各該拾取電極條包括：

一主體部，位於該週邊拾取區，且沿著一第一方向延伸；以及

一延伸部，自該主體部延伸至該記憶體單元區，其中該延伸部具有一寬度小於該主體部的一寬度，且該延伸部具有一側壁表面切齊於該主體部的一側壁表面，

其中該等拾取電極條的該等主體部沿著不同於該第一方向的一第二方向排列。

【請求項2】 如請求項1所述之記憶裝置的拾取結構，其中該等拾取電極條至少包括沿該第二方向依序排列的一第一拾取電極條、一第二拾取電極條、一第三拾取電極條及一第四拾取電極條，且其中該等拾取電極條的該等主體部具有相同的長度。

【請求項3】 如請求項2所述之記憶裝置的拾取結構，其中該第一拾取電極條與該第二拾取電極條鏡像對稱，且該第三拾取電極條與該第四拾取電極條鏡像對稱。

【請求項4】 如請求項2所述之記憶裝置的拾取結構，其中該第一拾取電極條的該延伸部與該第二拾取電極條的該延伸部隔開一第一距離，且該第一拾取電極條的該主體部與該第二拾取電極條的該主體部隔開一第二距離，且其中該第一距離相等於該第二距離。

【請求項5】 如請求項4所述之記憶裝置的拾取結構，其中該第三拾取電極條的該延伸部與該第四拾取電極條的該延伸部隔開一第三距離，且該第三拾取電極條的該主體部與該第四拾取電極條的該主體部隔開一第四距離，且其中該第三距離相等於該第四距離及該第一距離。

【請求項6】 如請求項4所述之記憶裝置的拾取結構，其中該第二拾取電極條的該延伸部與該第三拾取電極條的該延伸部隔開一第三距離，且該第二拾取電極條的該主體部與該第三拾取電極條的該主體部隔開一第四距離，且其中該第三距離大於該第四距離及該第一距離。

【請求項7】 如請求項1所述之記憶裝置的拾取結構，其中該等拾取電極條至少包括沿該第二方向依序排置的一第一拾取電極條、一第二拾取電極條、一第三拾取電極條及一第四拾取電極條，且其中該第二拾取電極條的該主體部的一長度相等於該第三拾取電極條的該主體部的一長度，大於該第一拾取電極條的該主體部的一長度以及小於該第四拾取電極條的該主體部的一長度。

【請求項8】 如請求項1所述之記憶裝置的拾取結構，其中該等拾取電極條的其中二者的該等延伸部隔開一第三距離，且該等拾取電極條的該等主體部的其中二者隔開一第四距離，且其中該第三距離大於該第四距離。

【請求項9】 如請求項1所述之記憶裝置的拾取結構，其中各該拾取電極條的該主體部經由該延伸部耦接至該記憶裝置的一字元線。

【請求項10】 一種記憶裝置之製造方法，包括：

依序形成一第一罩幕層、一犧牲材料層以及一第二罩幕層於一基底上，其中該基底具有一記憶體單元區及與其相鄰的一週邊拾取區；

形成一第一圖案及一第二圖案於該第二罩幕層內，其中該第一圖案對應於該記憶體單元區且包括彼此平行排列的複數個第一條形圖案，而該第二圖案對應於該週邊拾取區且包括一區塊圖案及連接該區塊圖案與該等第一條形圖案的複數個第二條形圖案；

將該第二罩幕層的該第一圖案及該第二圖案轉移至該犧牲材料層，使該犧牲材料層具有該等第一條形圖案、該區塊圖案及該等第二條形圖案；

去除具有該第一圖案及該第二圖案的該第二罩幕層；

形成複數個間隔層於該第一罩幕層上，使該犧牲材料層的各該第一條形圖案的側壁上及各該第二條形圖案的側壁上具有對應的間隔層；

利用該犧牲材料層及該等間隔層作為一蝕刻罩幕，對該第一罩幕層進行一第一蝕刻；

在進行該第一蝕刻之後，去除該犧牲材料層，並留下該等間隔層；
以及

利用該等間隔層作為一蝕刻罩幕，對該第一罩幕層進行一第二蝕刻，使該第一罩幕層具有一第三圖案。

【請求項11】 如請求項10所述之記憶裝置之製造方法，更包括：

在進行該第二蝕刻之前，形成一罩幕結構於該基底上，並覆蓋該等間隔層及第一罩幕層，使該第二蝕刻進行期間，利用該等間隔層及

該罩幕結構作為一蝕刻罩幕，其中該罩幕結構具有用以定義選擇閘極的條形圖案及用以定義拾取電極條的條形圖案及用以定義拾取電極條的條形圖案，且該用以定義拾取電極條的條形圖案與該間隔層的垂直投影至少部分地重疊。

【請求項12】 如請求項11所述之記憶裝置之製造方法，更包括：在依序形成該第一罩幕層、該犧牲材料層以及該第二罩幕層之前，形成一目標層於該基底上；以及在形成該第三圖案之後，將該第三圖案轉移至該目標層內。

【請求項13】 如請求項12所述之記憶裝置之製造方法，其中將該第三圖案轉移至該目標層內之後，對應於該週邊拾取區的該目標層形成複數個拾取電極條，且其中每一拾取電極條包括：

一主體部，位於該週邊拾取區，且沿著一第一方向延伸；以及
一延伸部，自該主體部延伸至該記憶體單元區，其中該延伸部具有一寬度小於該主體部的一寬度，且該延伸部具有一側壁表面切齊於該主體部的一側壁表面，

其中該等拾取電極條的該等主體部沿著不同於該第一方向的一第二方向排列。

【請求項14】 如請求項13所述之記憶裝置之製造方法，其中該等拾取電極條的該主體部具有相同的長度。

【請求項15】 如請求項13所述之記憶裝置之製造方法，其中該等拾取電極條至少包括沿該第二方向依序排列的一第一拾取電極條、一第二拾取電極條、一第三拾取電極條及一第四拾取電極條，且其中

該第二拾取電極條的該主體部的一長度相等於該第三拾取電極條的該主體部的一長度，大於該第一拾取電極條的該主體部的一長度以及小於該第四拾取電極條的該主體部的一長度。

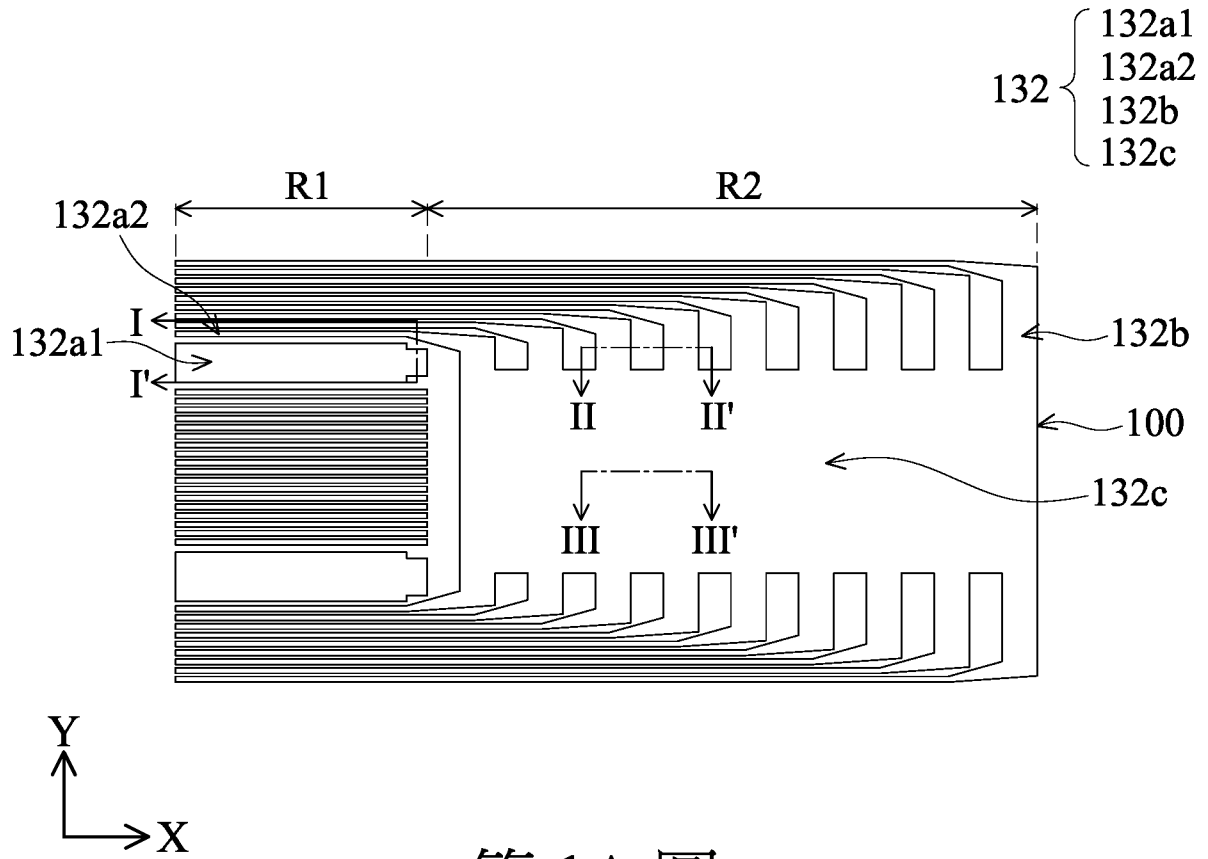
【請求項16】 如請求項10所述之記憶裝置之製造方法，其中該區塊圖案為一矩形圖案，且該等第二條形圖案沿該矩形圖案的一長邊排列。

【請求項17】 如請求項10所述之記憶裝置之製造方法，其中該區塊圖案為一類梯形圖案，該類梯形圖案的一斜邊具有多階梯輪廓，且該等第二條形圖案沿該類梯形圖案的該斜邊排列。

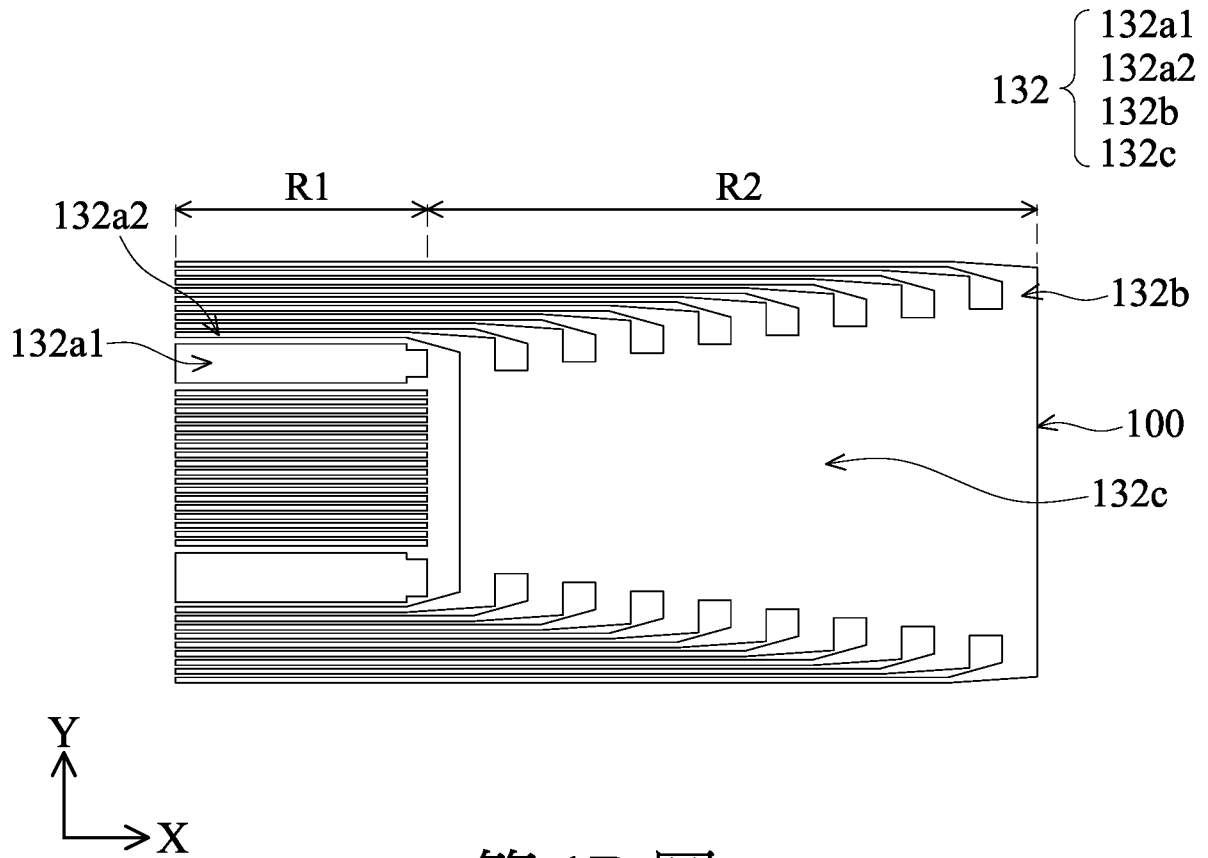
【請求項18】 如請求項10所述之記憶裝置之製造方法，更包括：在形成該等間隔層之後，在該等間隔層上定義出一切割區，其中從上視角度來看，該切割區沿實質上垂直於該等第二條形圖案排列方向的一方向延伸，且與鄰近該區塊圖案與該等第二條形圖案連接處的該等間隔層重疊；以及
去除位於該切割區的該等間隔層。

【請求項19】 如請求項10所述之記憶裝置之製造方法，更包括：在形成該等間隔層之後，在該等間隔層上定義出複數個切割區，其中從上視角度來看，該等切割區沿實質上平行於該等第二條形圖案排列方向的一方向延伸，且位於相鄰的該等第二條形圖案之間，以與鄰近該區塊圖案與該等第二條形圖案連接處的該等間隔層重疊；以及
去除位於該等切割區的該等間隔層。

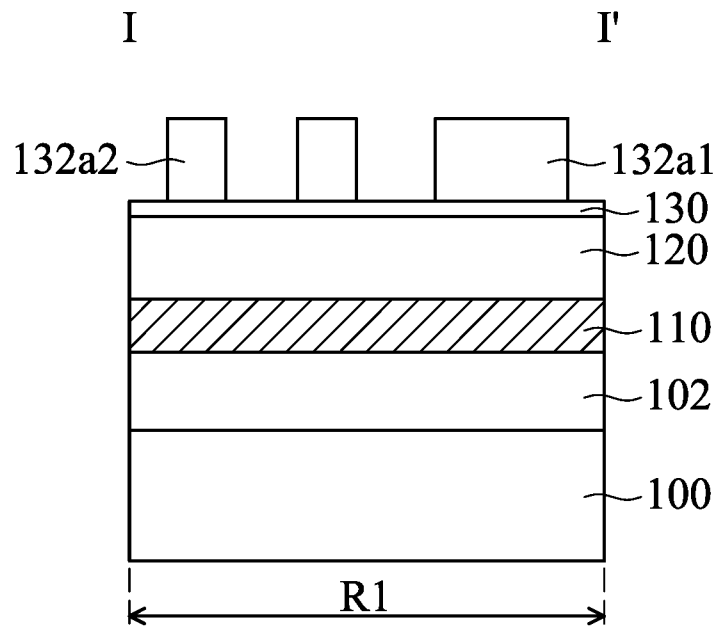
【發明圖式】



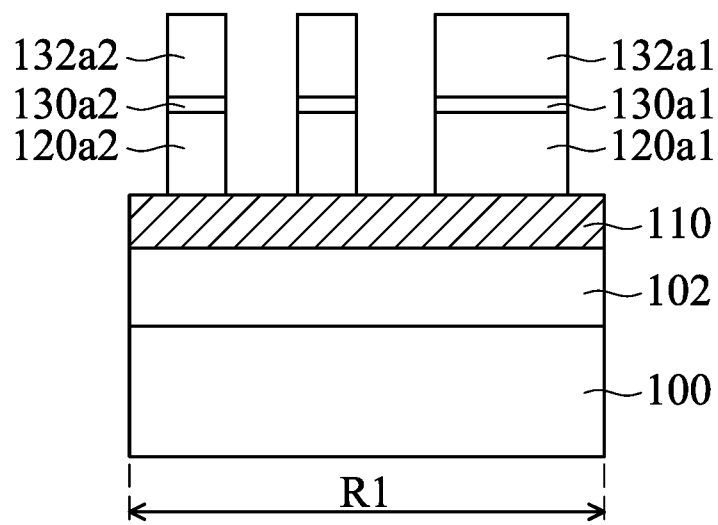
第 1A 圖



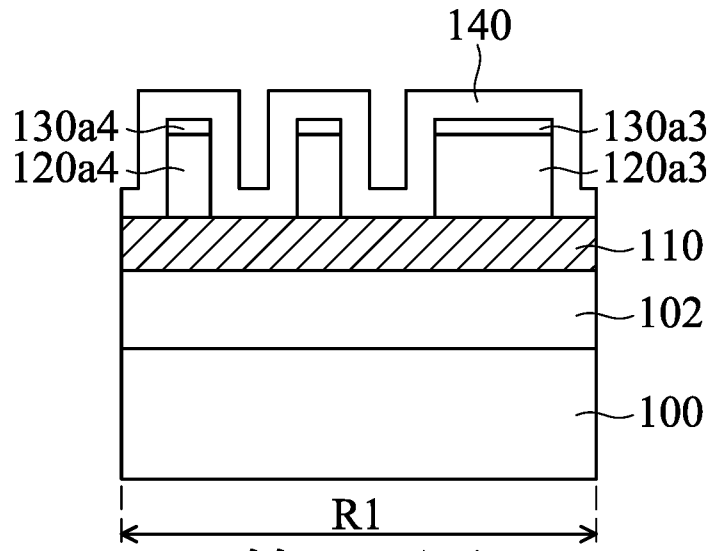
第 1B 圖



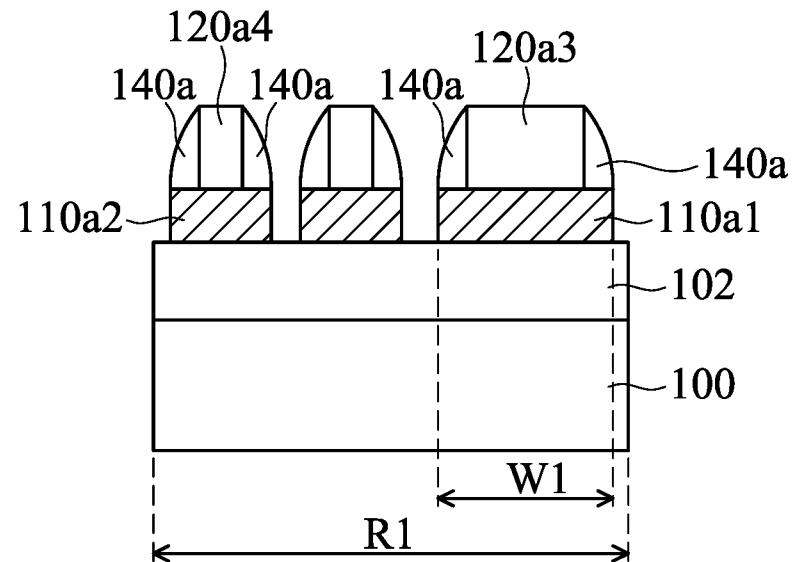
第 2A 圖



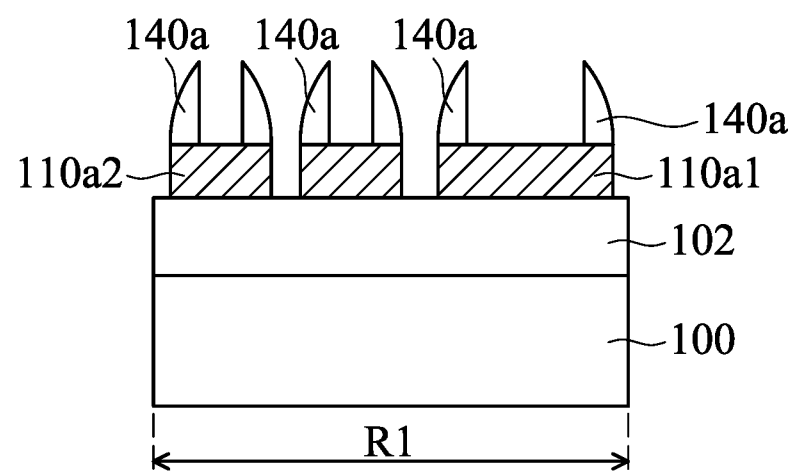
第 2B 圖



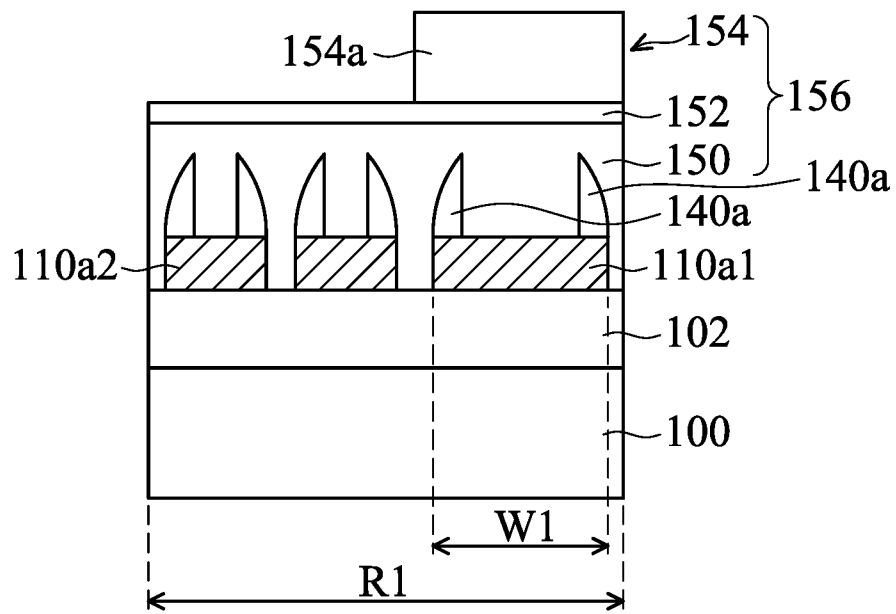
第 2C 圖



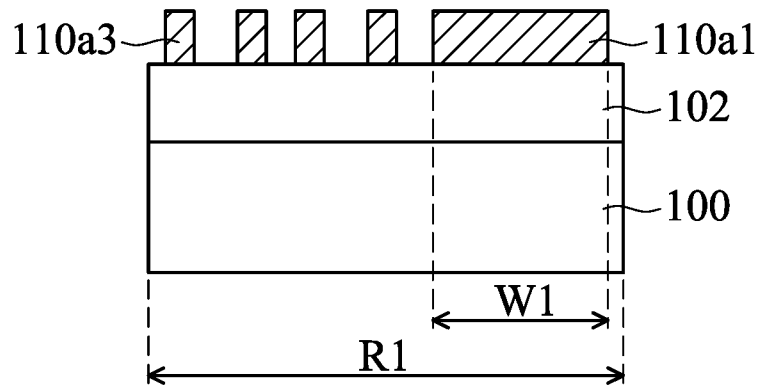
第 2D 圖



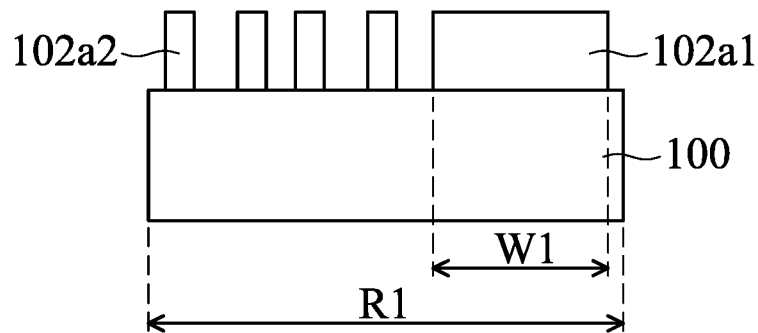
第 2E 圖



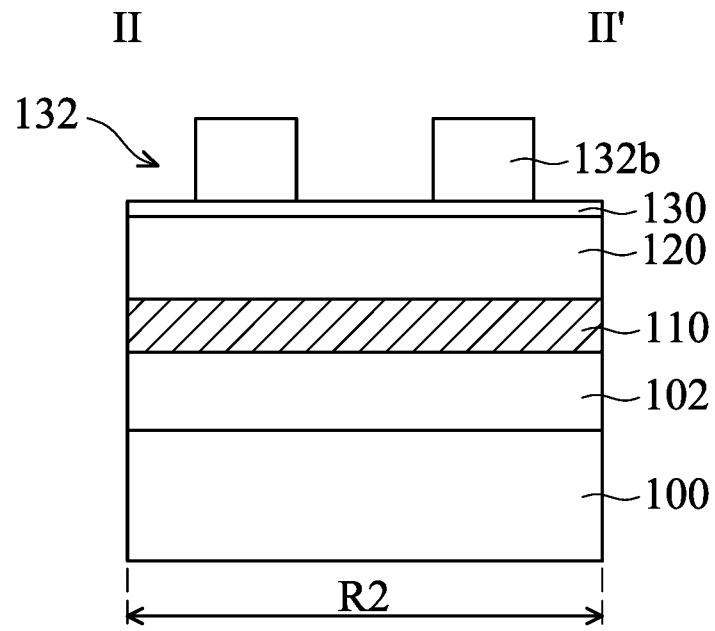
第 2F 圖



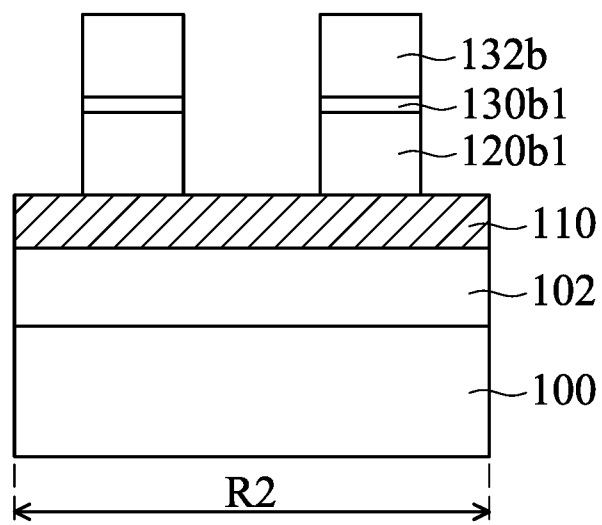
第 2G 圖



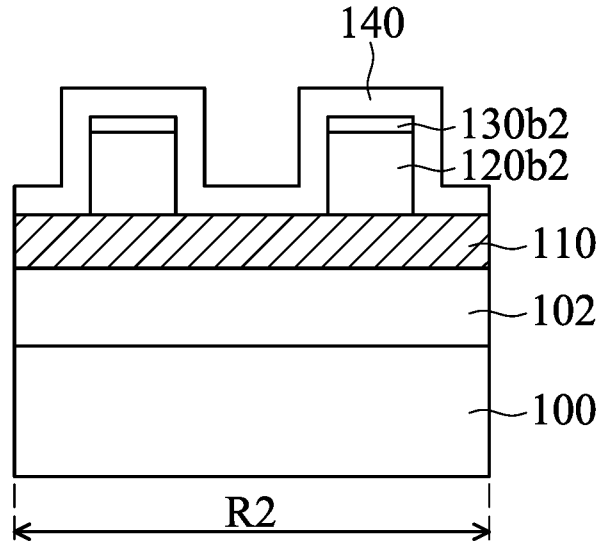
第 2H 圖



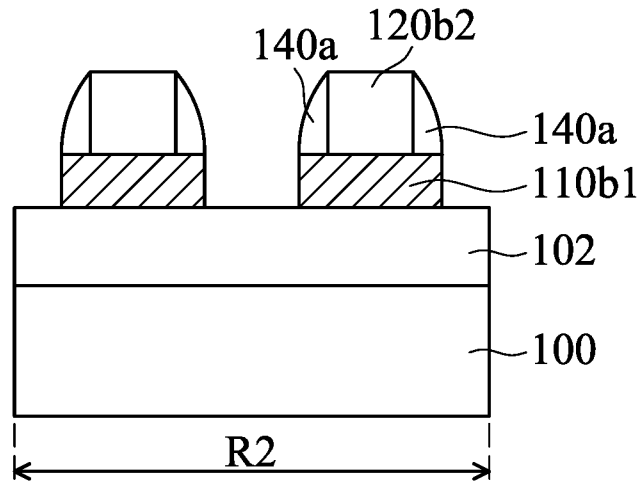
第 3A 圖



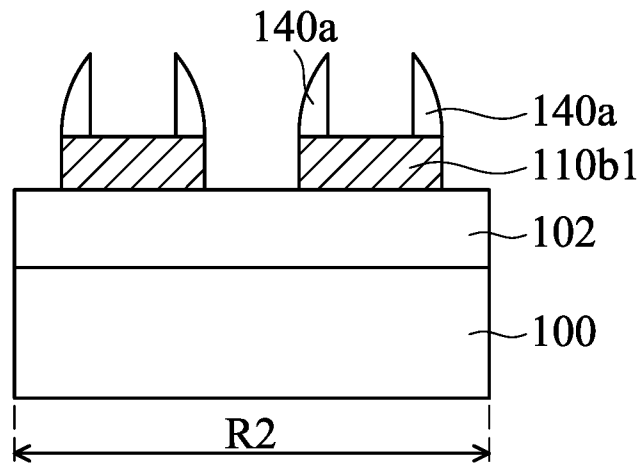
第 3B 圖



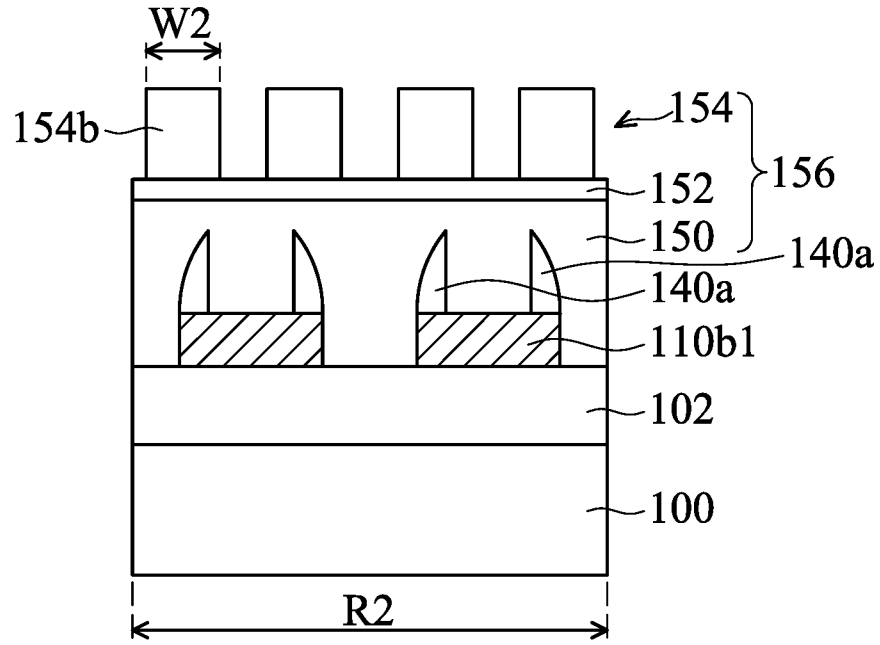
第 3C 圖



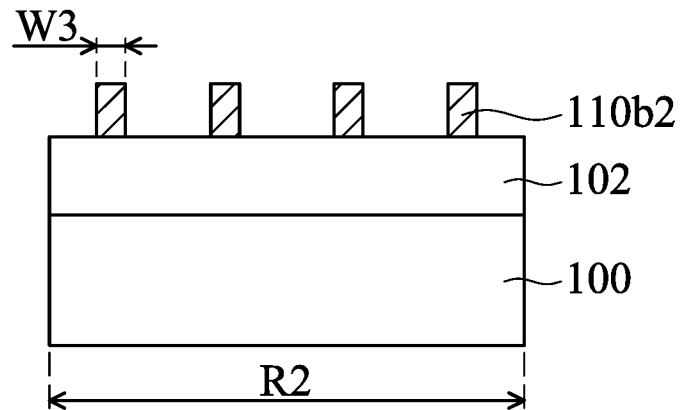
第 3D 圖



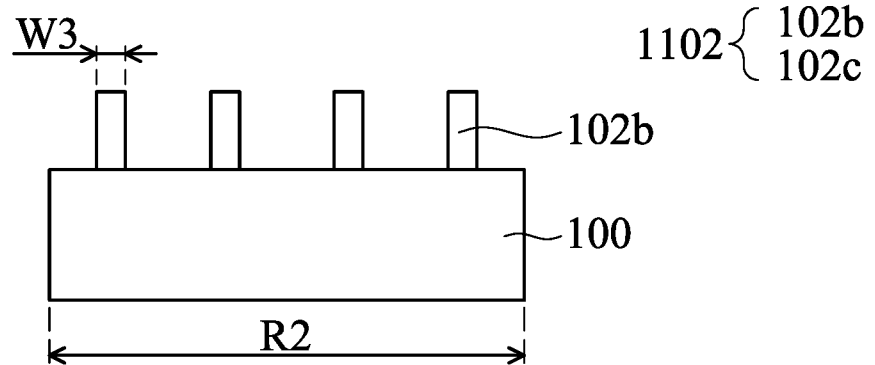
第 3E 圖



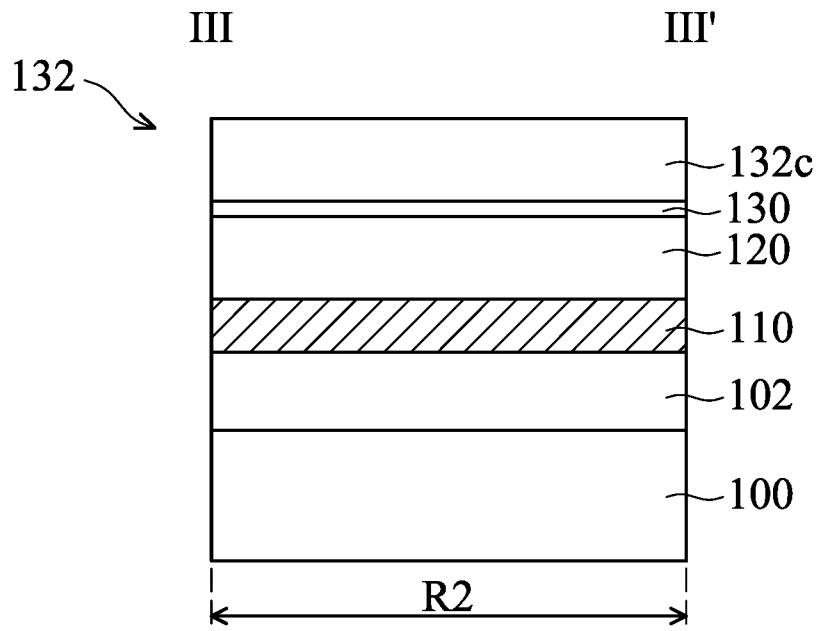
第 3F 圖



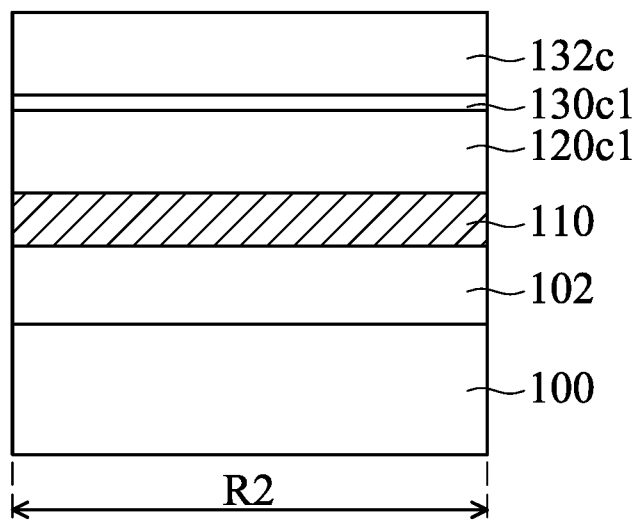
第 3G 圖



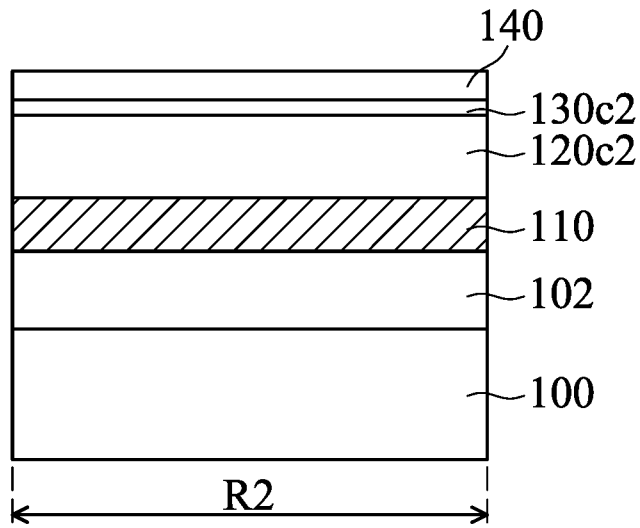
第 3H 圖



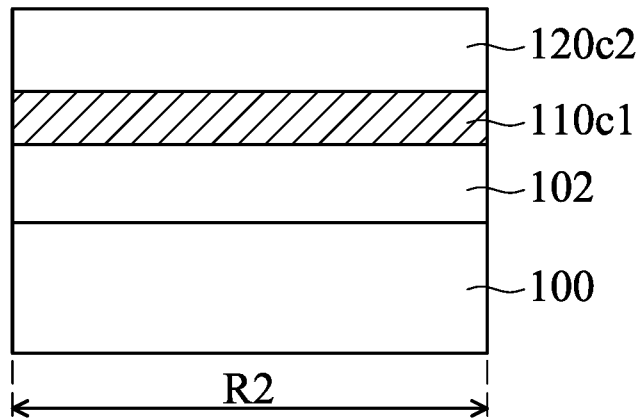
第 4A 圖



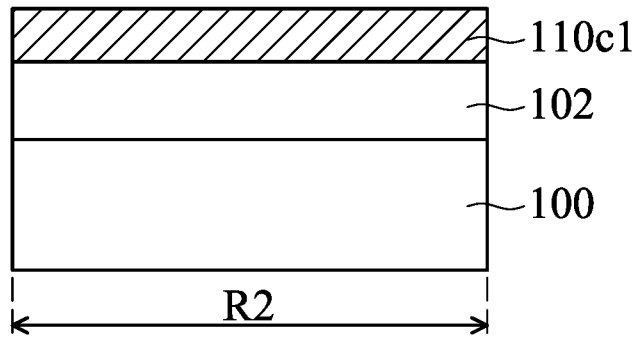
第 4B 圖



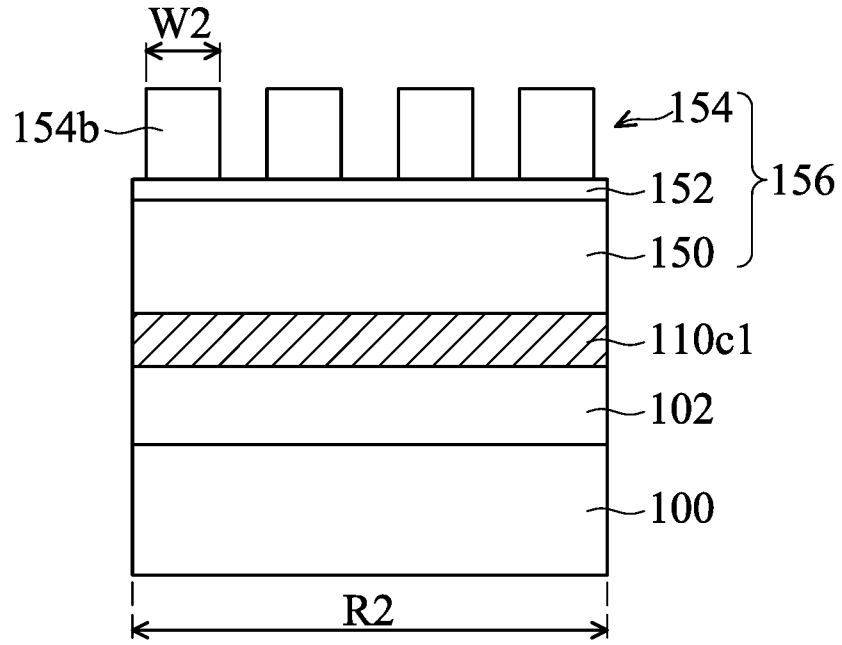
第 4C 圖



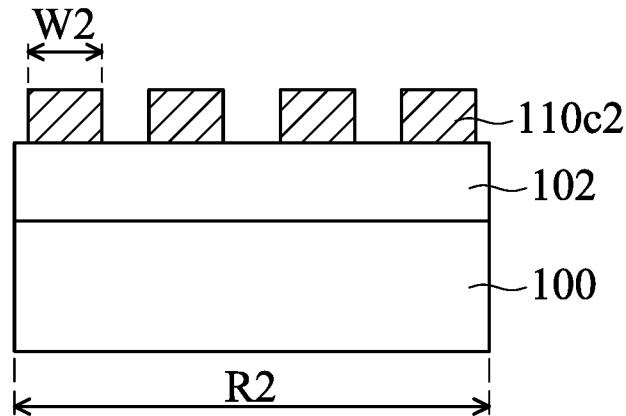
第 4D 圖



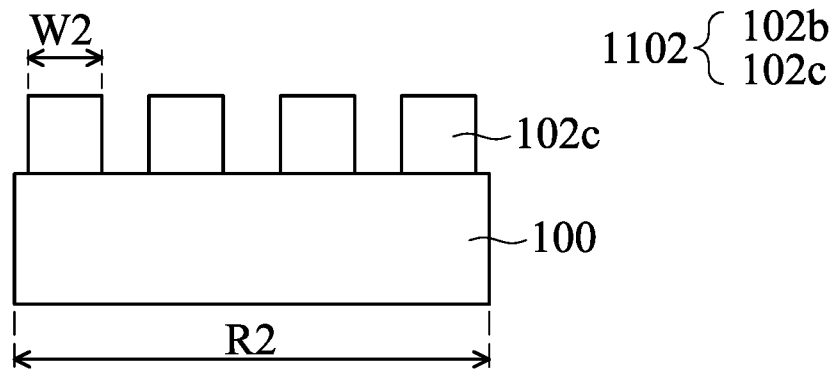
第 4E 圖



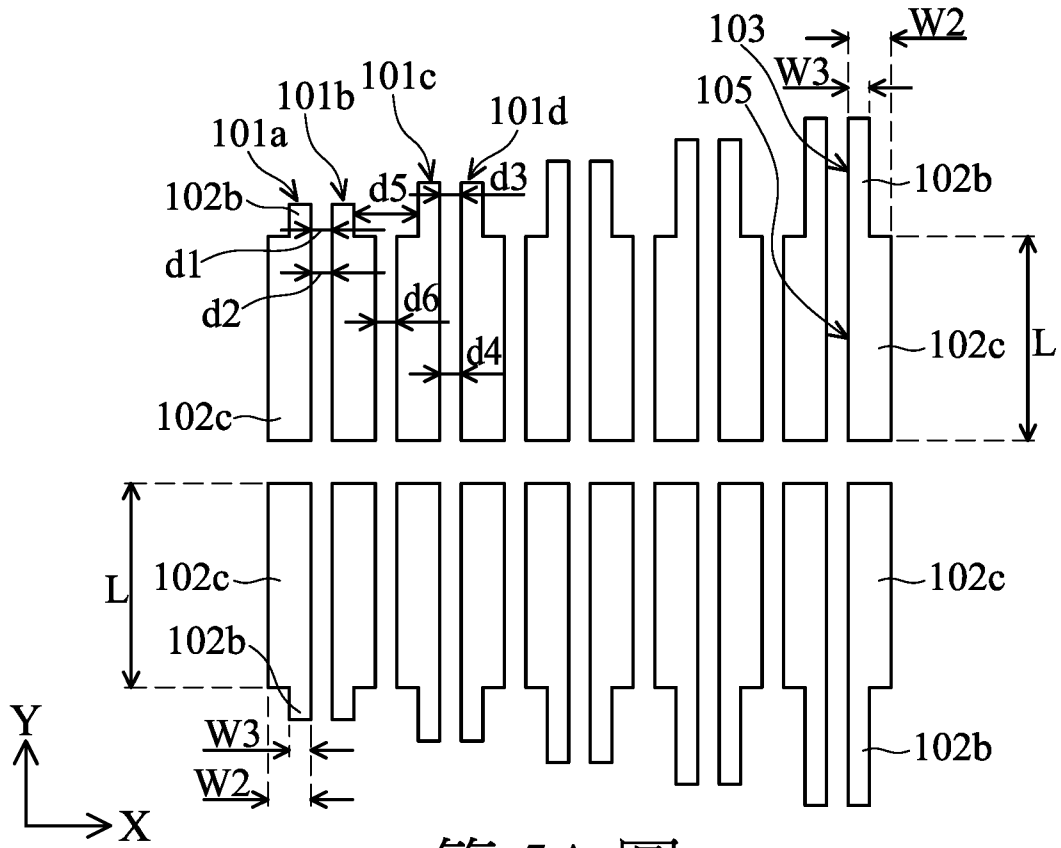
第 4F 圖



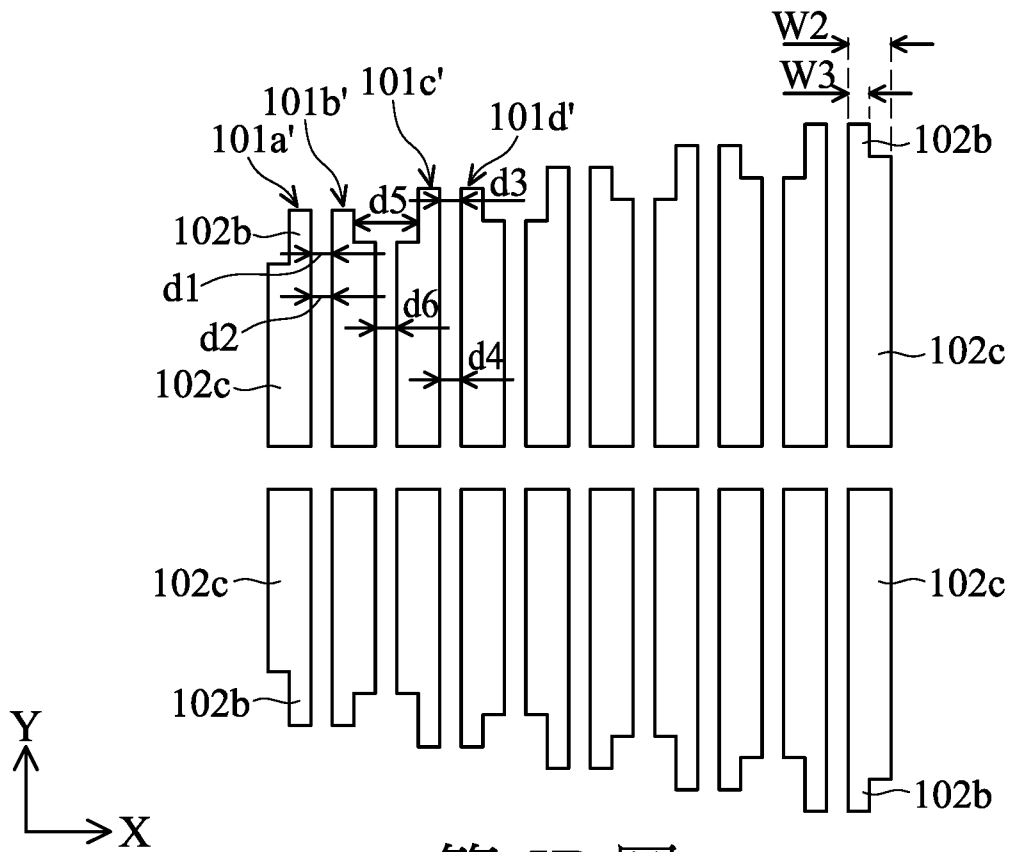
第 4G 圖



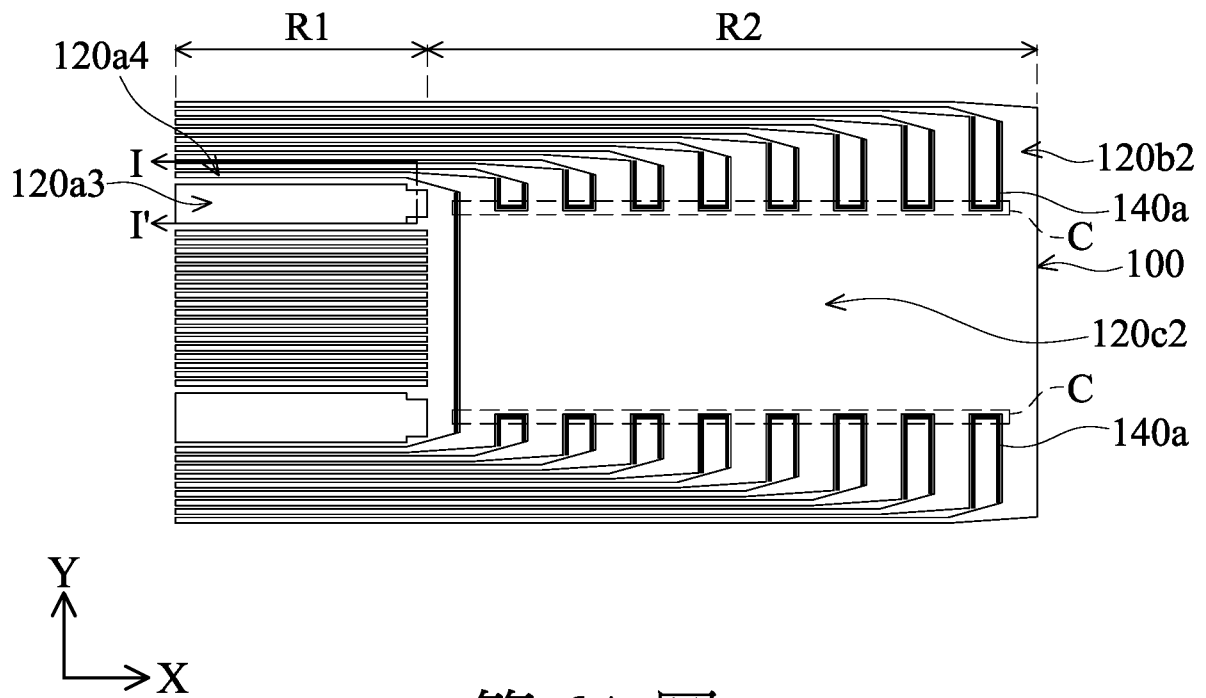
第 4H 圖



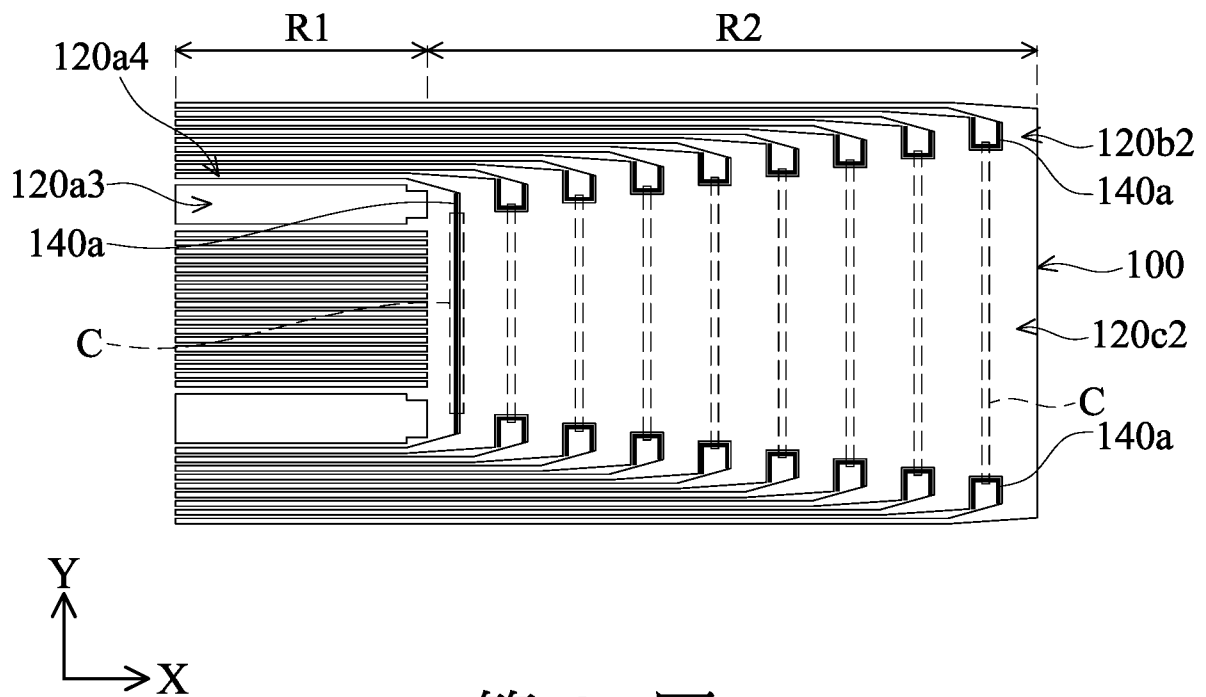
第 5A 圖



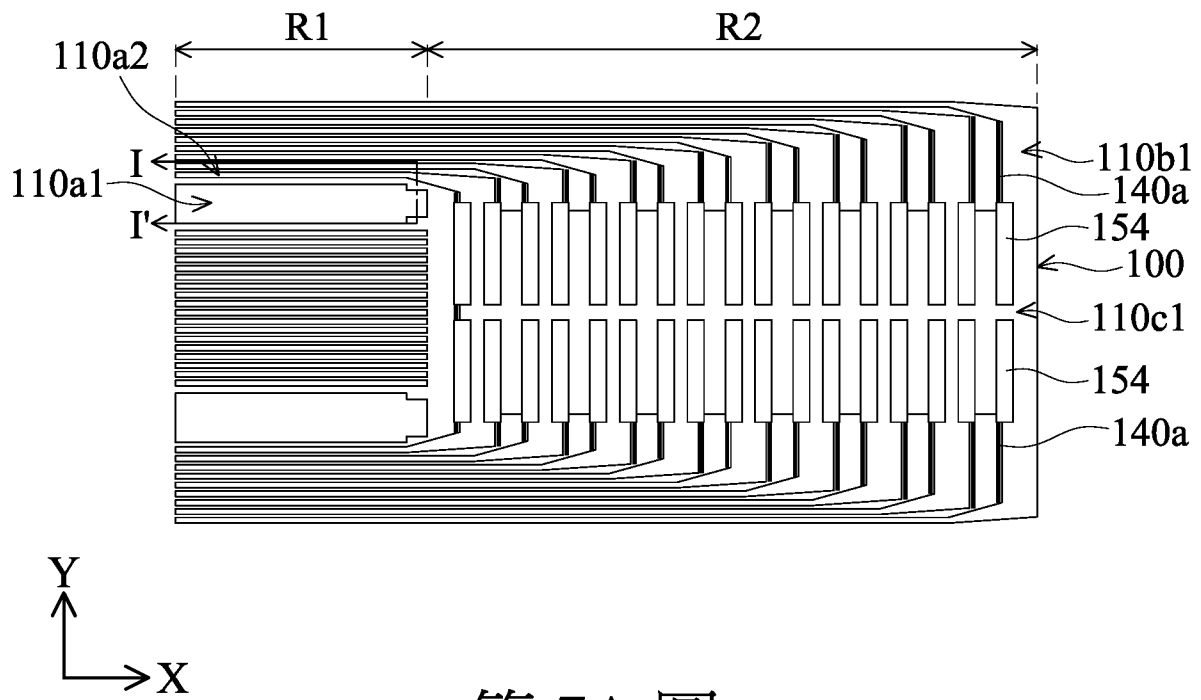
第 5B 圖



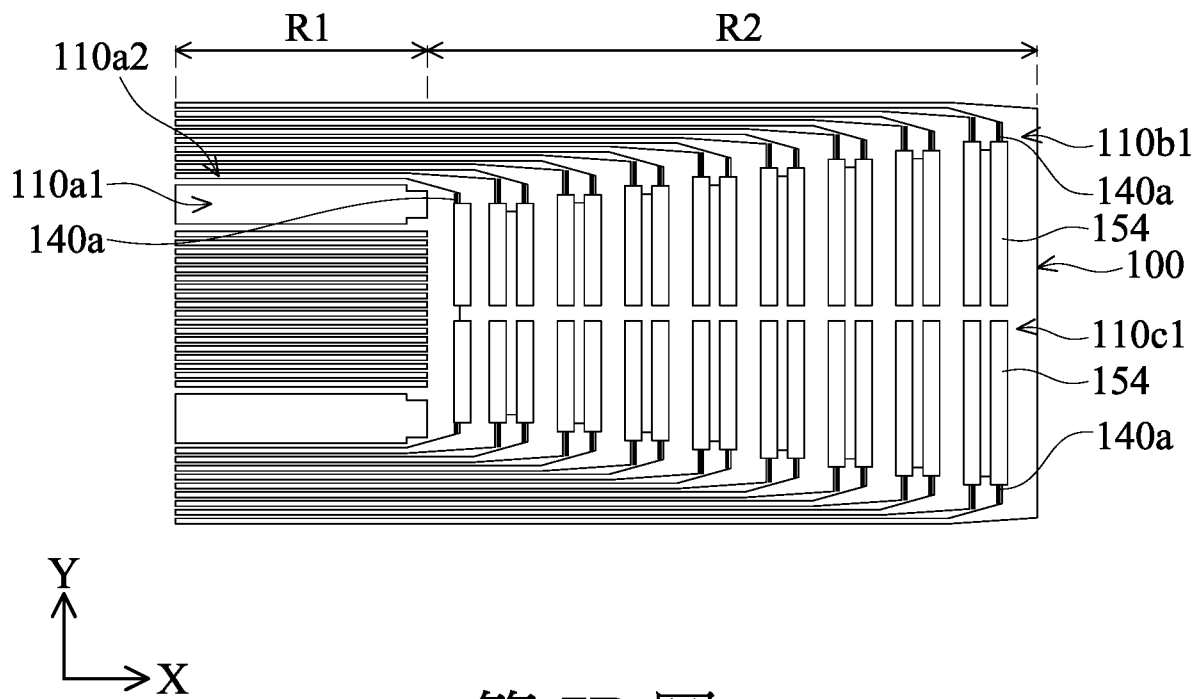
第 6A 圖



第 6B 圖



第 7A 圖



第 7B 圖