

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-87770
(P2004-87770A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 29/78 3 7 1	5 B O 2 5
G 1 1 C 16/02	G 1 1 C 17/00 6 1 1 E	5 F O 8 3
HO 1 L 27/115	HO 1 L 27/10 4 3 4	5 F 1 O 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号	特願2002-246455 (P2002-246455)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年8月27日 (2002.8.27)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	野本 和正 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	小林 敏夫 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5B025 AA04 AB02 AD04 AE07 AE08

最終頁に続く

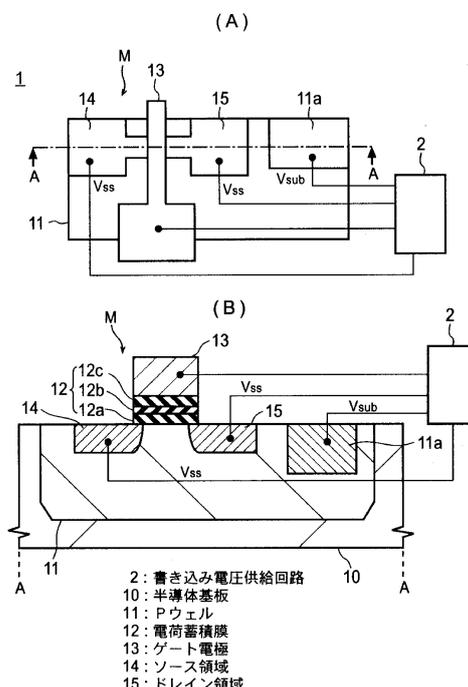
(54) 【発明の名称】 不揮発性半導体メモリ装置およびその電荷注入方法

(57) 【要約】

【課題】 低電圧で高い注入効率の確保と、電荷保持特性の低下の防止との両立が難しい。

【解決手段】 第1導電型半導体からなるウェル11と、ウェルに形成され第2導電型半導体からなるソース領域14およびドレイン領域15と、その間のウェル領域の上に形成され電荷蓄積能力を有する電荷蓄積膜12と、電荷蓄積膜の上に形成されているゲート電極13と、データの書き込み時に、ソース領域およびドレイン領域の電位を基準として、それらとウェルとの間の空乏層が無バイアス時より広がる極性の電圧Vsubをウェル11に印加し、空乏層内でアバランシェ降伏を生じさせ、発生した電荷のうちウェルに印加した電圧と同じ極性の電荷(ホットエレクトロン)を電荷蓄積膜12に注入させる書き込み電圧供給回路2と、を有している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板に形成され第 1 導電型半導体からなるウェルと、
前記ウェルに形成され第 2 導電型半導体からなるソース領域と、
前記ウェルに前記ソース領域と離れて形成され第 2 導電型半導体からなるドレイン領域と、
、
少なくとも前記ソース領域と前記ドレイン領域の間のウェル領域の上に形成され電荷蓄積能力を有する電荷蓄積膜と、
前記電荷蓄積膜の上に形成されているゲート電極と、
前記ウェル、前記ソース領域、前記ドレイン領域に接続され、データの書き込み時に、前記ソース領域の電位および前記ドレイン領域の電位を基準として、前記ソース領域および前記ドレイン領域と前記ウェルとの間の空乏層が無バイアス時より広がる極性の電圧を前記ウェルに印加し、前記空乏層内でアバランシェ降伏を生じさせ、前記アバランシェ降伏で発生させた電荷のうち前記ウェルに印加した電圧と同じ極性の電荷を前記電荷蓄積膜に注入させる書き込み電圧供給回路と、
を有している不揮発性半導体メモリ装置。

【請求項 2】

前記書き込み電圧供給回路が、さらに前記ゲート電極に接続され、データの書き込み時に、前記ウェルに印加した電圧と逆極性の電圧を前記ゲート電極に印加する
請求項 1 に記載の不揮発性半導体メモリ装置。

【請求項 3】

基板の上に形成されている絶縁層と、
前記絶縁層の上に形成され第 1 導電型半導体からなる半導体層と、
前記半導体層に形成され第 2 導電型半導体からなるソース領域と、
前記半導体層に前記ソース領域と離れて形成され第 2 導電型半導体からなるドレイン領域と、
、
少なくとも前記ソース領域と前記ドレイン領域の間の半導体層の領域の上に形成され電荷蓄積能力を有する電荷蓄積膜と、
前記電荷蓄積膜の上に形成されているゲート電極と、
前記半導体層、前記ソース領域、前記ドレイン領域に接続され、データの書き込み時に、前記ソース領域の電位および前記ドレイン領域の電位を基準として、前記ソース領域および前記ドレイン領域と前記半導体層との間の空乏層が無バイアス時より広がる極性の電圧を前記半導体層に印加し、前記空乏層内でアバランシェ降伏を生じさせ、前記アバランシェ降伏で発生させた電荷のうち前記半導体層に印加した電圧と同じ極性の電荷を前記電荷蓄積膜に注入させる書き込み電圧供給回路と、
を有している不揮発性半導体メモリ装置。

【請求項 4】

前記書き込み電圧供給回路が、さらに前記ゲート電極に接続され、データの書き込み時に、前記半導体層に印加した電圧と逆極性の電圧を前記ゲート電極に印加する
請求項 3 に記載の不揮発性半導体メモリ装置。

【請求項 5】

半導体基板に形成され第 1 導電型半導体からなるウェルと、前記ウェルに形成され第 2 導電型半導体からなるソース領域と、前記ウェルに前記ソース領域と離れて形成され第 2 導電型半導体からなるドレイン領域と、少なくとも前記ソース領域と前記ドレイン領域の間のウェル領域の上に形成され電荷蓄積能力を有する電荷蓄積膜と、前記電荷蓄積膜の上に形成されているゲート電極と、を有している不揮発性半導体メモリ装置の電荷注入方法であって、
データの書き込み時に、前記ソース領域の電位および前記ドレイン領域の電位を基準として、前記ソース領域および前記ドレイン領域と前記ウェルとの間の空乏層が無バイアス時より広がる極性の電圧を前記ウェルに印加し、前記空乏層内でアバランシェ降伏を生じさ

せ、前記アバランシェ降伏で発生させた電荷のうち前記ウェルに印加した電圧と同じ極性の電荷を前記電荷蓄積膜に注入する

不揮発性半導体メモリ装置の電荷注入方法。

【請求項6】

基板の上に形成されている絶縁層と、前記絶縁層の上に形成され第1導電型半導体からなる半導体層と、前記半導体層に形成され第2導電型半導体からなるソース領域と、前記半導体層に前記ソース領域と離れて形成され第2導電型半導体からなるドレイン領域と、少なくとも前記ソース領域と前記ドレイン領域の間の半導体層の領域の上に形成され電荷蓄積能力を有する電荷蓄積膜と、前記電荷蓄積膜の上に形成されているゲート電極と、を有している不揮発性半導体メモリ装置の電荷注入方法であって、

10

データの書き込み時に、前記ソース領域の電位および前記ドレイン領域の電位を基準として、前記ソース領域および前記ドレイン領域と前記半導体層との間の空乏層が無バイアス時より広がる極性の電圧を前記半導体層に印加し、前記空乏層内でアバランシェ降伏を生じさせ、前記アバランシェ降伏で発生させた電荷のうち前記半導体層に印加した電圧と同じ極性の電荷を前記電荷蓄積膜に注入する

不揮発性半導体メモリ装置の電荷注入方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電荷蓄積能力を有する電荷蓄積膜を有しデータを電氣的に書き換え可能な不揮発性半導体メモリ装置 (EEPROM: Electric Erasable and Programmable Read Only Memory) と、その電荷注入方法とに関する。

20

【0002】

【従来の技術】

不揮発性メモリ装置の記憶素子 (不揮発性メモリトランジスタ) は、電荷蓄積手段が単一の導電層からなるFG (Floating Gate) 型と、電荷蓄積手段が空間的に離散化された電荷トラップからなるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 型、MNOS (Metal-Nitride-Oxide-Nitride-Oxide) 型などが知られている。

30

【0003】

FG型メモリトランジスタにおいて、チャンネルが形成される半導体基板の表面領域 (チャンネル形成領域) の上に、第1の電位障壁層、周囲を絶縁膜に囲まれて電氣的に浮遊状態とした導電膜 (フローティングゲートFG)、第2の電位障壁層、ゲート電極 (コントロールゲート) を積層させている。

MONOS型メモリトランジスタにおいて、チャンネル形成領域とゲート電極との間の複数の積層膜が、いわゆるONO (Oxide-Nitride-Oxide) 構造を有している。ONO膜では窒化膜中のバルクトラップあるいは窒化膜と酸化膜との界面近傍の界面トラップが離散化された電荷蓄積手段として機能し、これらのトラップに電荷が蓄積される。

40

【0004】

電荷トラップを含む複数の積層膜 (ONO膜) あるいはフローティングゲートFGに対し、基板側から電荷を注入して書き込みを行う。消去では、蓄積された電荷を基板側に抜き取るか、蓄積された電荷を打ち消す逆極性の電荷を、電荷トラップを含む複数の上記積層膜に注入する。

電荷の注入法としては、積層膜内における電荷のトンネル現象 (FNトンネリング、ダイレクトトンネリング) を利用する方法がある。また、いわゆるCHE (Channel-Hot-Electron) 注入法など、ONO膜の最下層の酸化膜あるいはフローティングゲートFGの下の酸化膜 (前記第1の電位障壁層) のエネルギー障壁高さを乗り越えられる程度にまで電荷をエネルギー的に励起したホットキャリアを用いる方法がある。

50

【 0 0 0 5 】

【 発明が解決しようとする課題 】

トンネル現象を用いる電荷注入方法は、データの書き込みまたは消去に必要な電流値が小さく、電荷がトンネルする酸化膜（トンネル酸化膜）のダメージが小さいという利点がある。

【 0 0 0 6 】

その一方で、トンネル現象を用いる電荷注入方法においては、高い電圧が必要となり、低電圧化に不利である。例えば、トンネル酸化膜が二酸化珪素 SiO_2 からなる場合、トンネル現象を十分に生じさせるためには二酸化珪素膜に対し膜厚方向に 7 MV/cm 以上の高い電界を加える必要がある。典型的に、ゲート電極とチャンネル形成領域との間に形成された蓄積膜の総膜厚は 20 nm 程度である。この場合、トンネル酸化膜に 7 MV/cm 以上の電界を印加するためには、 14 V 以上の高いゲート電圧が必要になる。

10

【 0 0 0 7 】

ホットキャリアを用いる電荷注入方法は、データの書き込みまたは消去に必要な電圧を、 10 V 程度と、トンネル現象を用いる電荷注入方法の電圧より低くできる。また、ホットキャリアを用いる電荷注入方法は、 ONO 膜の最下層の酸化膜厚あるいはフローティングゲート FG の下の酸化膜厚（前記第 1 の電位障壁層の厚さ）を、トンネル酸化膜より厚くできるという利点がある。最下層の膜を厚くできれば、記憶保持特性が大きく改善される。

【 0 0 0 8 】

一方で、ホットキャリア、特にホットホールを酸化膜に注入すると酸化膜が劣化することが知られている。とくに CHE 注入法など従来のホットキャリア注入方法においては、十分な閾値電圧変化に必要な電荷を全てドレイン端部から注入することから、ドレイン側の酸化膜質が著しく低下しやすい。このような理由により、ホットキャリアを用いる電荷注入方法は、トンネル現象を用いる電荷注入方法に比べ、データの書き換え、消去の繰り返し特性および電荷保持特性の面で不利である。

20

また、 CHE 注入時にドレイン端にホットキャリアを効率よく生成させるために、例えば Halo イオン注入領域など、チャンネルと同じ P 型の高濃度不純物領域を形成させている。その一方で、読み出し時には非選択のメモリトランジスタのドレインに、選択されたメモリトランジスタと同じ読み出しゲート電圧が印加される場合に、 Halo イオン注入領域を設けていると、低い電圧でも弱い書き込みが生じやすくなる。この読み出しディスタープを防止するには、ドレイン不純物領域に LDD 領域という N 型の低濃度不純物領域を形成する。ところが、 LDD 領域の形成によって水平方向の電界が弱まるため、ホットキャリアの発生効率が低下する。このように、 CHE 注入のためのドレイン側の不純物分布の設計においては相反する要求を同時に満足させる必要性から、その最適化が難しいという課題がある。

30

【 0 0 0 9 】

上記したトンネル現象を用いた方法と CHE 注入方法は、それぞれ一長一短があり、双方の欠点を克服し利点のみ有する電荷注入方法が強く望まれていた。

本発明の第 1 の目的は、低電圧で高い注入効率を有しながらも、電位障壁膜の品質および電荷保持特性の低下が防止できる新たな電荷注入法を制御する手段を有している不揮発性半導体メモリ装置を提供することにある。

40

本発明の第 2 の目的は、低電圧で高い注入効率を有しながらも、電位障壁膜の品質および電荷保持特性の低下が防止できる新たな電荷注入方法を提供することにある。

【 0 0 1 0 】

【 課題を解決するための手段 】

本発明の第 1 の観点の不揮発性半導体メモリ装置は、上述した第 1 の目的を達成するためのものであり、半導体基板に形成され第 1 導電型半導体からなるウェルと、前記ウェルに形成され第 2 導電型半導体からなるソース領域と、前記ウェルに前記ソース領域と離れて形成され第 2 導電型半導体からなるドレイン領域と、少なくとも前記ソース領域と前記ド

50

レイン領域の間のウェル領域の上に形成され電荷蓄積能力を有する電荷蓄積膜と、前記電荷蓄積膜の上に形成されているゲート電極と、前記ウェル、前記ソース領域、前記ドレイン領域に接続され、データの書き込み時に、前記ソース領域の電位および前記ドレイン領域の電位を基準として、前記ソース領域および前記ドレイン領域と前記ウェルとの間の空乏層が無バイアス時より拡がる極性の電圧を前記ウェルに印加し、前記空乏層内でアバランシェ降伏を生じさせ、前記アバランシェ降伏で発生させた電荷のうち前記ウェルに印加した電圧と同じ極性の電荷を前記電荷蓄積膜に注入させる書き込み電圧供給回路と、を有している。

この不揮発性半導体メモリ装置は、上記ウェルに形成された構造のほかに、いわゆるSOI (Silicon On Insulator) 絶縁分離構造の半導体層に形成することができる。 10

【0011】

本発明の第2の観点における不揮発性半導体メモリ装置の電荷注入方法は、前述した第2の目的を達成するためのものであり、半導体基板に形成され第1導電型半導体からなるウェルと、前記ウェルに形成され第2導電型半導体からなるソース領域と、前記ウェルに前記ソース領域と離れて形成され第2導電型半導体からなるドレイン領域と、少なくとも前記ソース領域と前記ドレイン領域の間のウェル領域の上に形成され電荷蓄積能力を有する電荷蓄積膜と、前記電荷蓄積膜の上に形成されているゲート電極と、を有している不揮発性半導体メモリ装置の電荷注入方法であって、データの書き込み時に、前記ソース領域の電位および前記ドレイン領域の電位を基準として、前記ソース領域および前記ドレイン領域と前記ウェルとの間の空乏層が無バイアス時より拡がる極性の電圧を前記ウェルに印加し、前記空乏層内でアバランシェ降伏を生じさせ、前記アバランシェ降伏で発生させた電荷のうち前記ウェルに印加した電圧と同じ極性の電荷を前記電荷蓄積膜に注入する。 20

この電荷注入方法は、上記ウェルに形成された不揮発性半導体メモリ装置のほかに、いわゆるSOI (Silicon On Insulator) 絶縁分離構造の半導体層に形成された不揮発性半導体メモリ装置に適用することができる。

【0012】

第1の観点における不揮発性半導体メモリ装置、および第2の観点における電荷注入方法において、データの書き込み時に、ソース領域およびドレイン領域を基準にウェルまたは半導体層に、空乏層が無バイアス時より拡がる極性の電圧を印加する。これにより、空乏層内の電界が強まりアバランシェ降伏が生じて正および負の電荷が増加する。このうち、ウェルまたは半導体層に印加した電圧と逆の極性の電荷の殆どはウェルまたは半導体層に散逸し、あるいは、書き込み電圧供給回路に吸収される。ウェルまたは半導体層に印加した電圧と同じ極性の電荷は、その一部がソース領域とドレイン領域に吸収されるが、残りの高エネルギーの電荷が電荷蓄積膜の最下層側の電位障壁高さを乗り越えて電荷蓄積膜内に注入され、蓄積される。 30

【0013】

【発明の実施の形態】

以下、本発明の不揮発性半導体メモリ装置と、その電荷注入方法の実施の形態を、図面を参照しながら説明する。ここでは、メモリトランジスタを形成する半導体がP型の場合を例に説明する。半導体がN型の場合は、ゲート、ソース、およびドレインに添加されている不純物の導電型を逆にし、半導体およびゲートに電荷注入時に印加する電圧の極性を逆にする。 40

【0014】

[第1の実施形態]

図1(A)に、第1の実施形態における不揮発性メモリ装置の平面図を示す。図1(B)に、図1(A)のA-A線に沿った断面図を示す。

不揮発性メモリ装置1は、メモリトランジスタMと、メモリトランジスタに接続されている書き込み電圧供給回路2とを有している。

【0015】

メモリトランジスタMは、シリコンウェハなどの半導体基板10に形成されたP型のウェル(以下、Pウェルという)11に形成されている。Pウェル11の上に、3層構造の電荷蓄積膜12が形成され、電荷蓄積膜12の上にゲート電極13が形成されている。図1(B)においては、電荷蓄積膜12とゲート電極13が同じパターンに形成されている。但し、電荷蓄積膜12をゲート電極13より広いパターンに、あるいは電荷蓄積膜12を全面に残してもよい。

ゲート電極13は、不純物が添加されて抵抗率が低減された多結晶珪素あるいは非晶質珪素、または、それらをタングステンWやコバルトCo等と反応させて形成した高融点金属シリサイドからなる。

電荷蓄積膜12は、Pウェル11側から順に、第1の電位障壁層12a、主電荷蓄積層12b、第2の電位障壁層12cから構成されている。電荷蓄積膜12がONO膜構造の場合、第1および第2の電位障壁層12a, 12cが酸化シリコンまたは酸化窒化シリコン(silicon oxynitride)からなり、主電荷蓄積層12bが窒化シリコンまたは酸化窒化シリコンからなる。このように電荷蓄積膜12が酸化膜、窒化膜、酸化膜の積層構造を有する場合、以下、電荷蓄積膜12をONO膜ということがある。電荷蓄積膜12は、主電荷蓄積層12bのバルク中の電荷トラップ(バルクトラップ)、主電荷蓄積層12bと第2の電位障壁層12cとの界面近傍に形成された深い電荷トラップ(界面トラップ)などに電荷を保持する機能を有する。

【0016】

電荷蓄積膜12直下のウェル表面領域が、動作時にチャネルが形成される“チャネル形成領域”である。

チャネル形成領域の一方のウェル表面領域にN型のソース領域14が形成されている。チャネル形成領域の他方のウェル表面領域にN型のドレイン領域15が形成されている。メモリトランジスタMと離れたPウェル部分に、P型の導電性を有し、P型不純物濃度がPウェル11より高いコンタクト領域11aが形成されている。

【0017】

図1(A)に図解したように、コンタクト領域11a, ゲート電極13, ソース領域14およびドレイン領域15のそれぞれが、上層配線とのコンタクトを形成のために幅広いランディング・パッド部を有する。コンタクト領域11a, ゲート電極13, ソース領域14およびドレイン領域15のそれぞれが、図示を省略した配線層を介して、書き込み電圧供給回路2に接続されている。

【0018】

メモリトランジスタMを行列状に配置させてメモリセルアレイを形成する場合、Pウェル11はメモリトランジスタMごとに分離して設けられる。この場合、ゲート電極13が配線層を兼用することが望ましい。ゲート電極13においてコンタクト形成のためのランディング・パッド部ができるからである。コンタクト領域11a, ソース領域14およびドレイン領域15のそれぞれが配線層により行方向または列方向において共通に接続される。

【0019】

メモリトランジスタMに対するデータの書き込み時に、ソース領域14およびドレイン領域15の電位を基準として、Pウェル11に負電位を印加する。具体的には、書き込み電圧供給回路2が、ソース領域14およびドレイン領域15に基準電位 V_{ss} 、例えば接地電位0Vを印加し、Pウェル11に基板側書き込み電圧(以下、 V_{sub} と表記)を印加する。基板側書き込み電圧 V_{sub} の極性は、ソース領域14およびドレイン領域15とPウェル11との間の空乏層が無バイアス時より拡がる極性である。したがって、本例のNチャネル型メモリトランジスタMの場合、基板側書き込み電圧 V_{sub} は負電圧である。なお、ゲート電極13に対しては、基準電圧 V_{ss} を印加するか、あるいは、電氣的にフローティングにする。

【0020】

図2は、基板側書き込み電圧を印加したときの、ウェル表面部、第1の電位障壁層、およ

び、主電荷蓄積層のエネルギーバンド図である。図3は、電荷注入の動作を模式的に示す図である。

基板側書き込み電圧 V_{sub} として、例えば $-10V$ を印加すると、電子に対するポテンシャル差が図2のように強くなり、電子が価電子帯から伝導帯にバンド間トンネリングし、図3に示すように電子とホール対が生じる。このうち、ホールの殆どはPウェル11内に散逸し、あるいは、書き込み電圧供給回路2に吸収される。電子は、その一部がソース領域14とドレイン領域15に吸収されるが、残りの高エネルギー電子(ホットエレクトロン)が電荷蓄積膜12の第1の電位障壁層12aにより形成される電位障壁高さを乗り越えて電荷蓄積膜12内に注入され、主電荷蓄積層12bにより形成されている電荷トラップに蓄積される。以下、このホットエレクトロンの注入方法をSHE(Substrate Hot Electron)注入法という。

【0021】

第1の電位障壁層12aの厚さが電荷注入に与える影響を検討した。

図4~図6に、その結果を示す。

検討に用いた試料を作製するにあたって、主電荷蓄積膜12bとしての窒化シリコン膜の厚さを6nmで一定とし、また、第2の電位障壁層12cとしての酸化シリコン膜の厚さを4nmで一定とした。第1の電位障壁膜12aとしての酸化シリコン膜の厚さ t_{ox} を、図4, 図5, 図6において、それぞれ3nm, 4nm, 5nmと変化させた。また、チャンネルとなるウェル表面に対する閾値電圧調整用のイオン注入条件を図4~図6に対応した試料で同じにした。すなわち、全ての試料の作製にあたって閾値電圧調整用のイオン注入時に、ボロンイオン B^+ を、加速エネルギー $15keV$ 、ドーズ $9 \times 10^{12} cm^{-2}$ の条件でイオン注入した。

【0022】

作製した試料のそれぞれにおいて、基板側書き込み電圧 V_{sub} を印加するパルスの持続時間 ($V_{sub} pulse duration$) $T_{V_{sub}}$ を種々変化させ、そのときの閾値電圧 V_{th} を測定した。図4~図6は、測定結果をグラフ化したものである。

各図において黒丸を結んだ閾値電圧変化の特性が、第1の実施形態における上述したSHE注入法によるものである。SHE注入の条件は、ソース電圧 V_s 、ドレイン電圧 V_d およびゲート電圧 V_g を全て0Vとし、基板側書き込み電圧 $V_{sub} = -10V$ をPウェル11に印加した。

ここで、比較のため、チャンネル全面からのFNトンネル法を用いた電子注入による閾値電圧変化を調べた。各図において白丸を結んだ閾値電圧変化の特性は、このFNトンネル注入法によるものである。FNトンネル注入の条件は、ソース電圧 V_s 、ドレイン電圧 V_d およびウェル電圧 V_{sub} を全て0Vとし、書き込み電圧 $V_g = 10V$ をゲート電極13に印加した。

【0023】

図4~図6のグラフが示すように、FNトンネル法では、第1の電位障壁層12aの厚さが4nm以上になると有効な閾値電圧の変化が得られない。また、第1の電位障壁層12aの厚さが3nmと薄い場合でも、パルス持続時間 $T_{V_{sub}}$ は1ms以上が必要であり、書き込み速度が遅い。

本実施形態におけるSHE注入法は、FNトンネル注入法と比較すると、第1の電位障壁層12aの膜厚依存性が極めて小さい。また、より短時間で閾値電圧が大きくシフトすることが分る。

【0024】

第1の電位障壁層12aを薄くすればそれだけ書き込み速度が向上するが、第1の電位障壁層12aの厚さに、良好な電荷保持特性を維持するために下限値が存在する。

図7に、第1の電位障壁層12aが6nmの場合と2.7nmの場合とで電荷保持曲線を比較して示す。第1の電位障壁層12aが2.7nmと薄くなると、蓄積された電子が室温でも徐々に抜け、閾値電圧 V_{th} が低下する。この結果から第1の電位障壁層12aの必要最小限の膜厚は、必ずしも明確ではないが、最低でも3nm以上は必要であると言え

る。

【0025】

電荷注入動作の、基板側書き込み電圧 V_{sub} の依存性を調べた。

この検討において、第1の電位障壁層12aの厚さが2.47nmと比較的薄い試料を用いた。また、この試料において、チャンネルの閾値調整時に、ボロンイオン B^+ を加速エネルギー15keV、ドーズ $1 \times 10^{13} \text{ cm}^{-2}$ の条件で注入した。SHE注入の条件は、ソース電圧 V_s 、ドレイン電圧 V_d およびゲート電圧 V_g を全て0Vとし、基板側の書き込み電圧 V_{sub} を -10V、-8V、-7.5Vと変えて、それぞれPウェル11に印加した。

【0026】

図8に、その結果を示す。

基板側書き込み電圧 V_{sub} が -10Vの場合、パルス持続時間 $T_{V_{sub}}$ が10 μ s程度と短くても3V程度の閾値電圧変化が得られる。基板側書き込み電圧 V_{sub} が -7.5Vの場合は、パルス持続時間 $T_{V_{sub}}$ を1msにすれば3V程度の閾値電圧変化が達成できる。基板側書き込み電圧 V_{sub} が -8.0Vの場合、中間の書き込み速度が得られた。

この検討によって、基板側書き込み電圧 V_{sub} を負の向きに大きくすればするほど閾値電圧 V_{th} の変化は大きくなり、書き込み速度が速くなることが分る。また、基板側書き込み電圧 V_{sub} の絶対値が10V未満でも十分な書き込みが可能なが分った。

【0027】

電荷注入動作の、閾値電圧調整用のイオン注入条件の依存性を調べた。

この検討において、ONO膜の各層の厚さが、下層から順に2.47nm、6nm、4nmである試料を用いた。SHE注入の条件は、ソース電圧 V_s 、ドレイン電圧 V_d およびゲート電圧 V_g を全て0Vとし、Pウェル11に印加する基板側書き込み電圧 V_{sub} を0Vから-10Vまで変化させた。書き込み電圧 V_{sub} を印加するパルスの持続時間 $T_{V_{sub}}$ は1msで一定とした。

【0028】

図9は、結果を示すグラフである。

このグラフは、チャンネルの閾値調整時のイオン注入のドーズを3種類に変化させたときの測定結果を示す。3種類の試料とも、イオン注入種はボロンイオン B^+ であり、加速エネルギーは15keVと一定にした。第1のドーズは $0.7 \times 10^{13} \text{ cm}^{-2}$ であり、図中に黒丸印で示す測定点に対応する。第2のドーズは $1.0 \times 10^{13} \text{ cm}^{-2}$ であり、図中に白丸印で示す測定点に対応する。第3のドーズは $1.5 \times 10^{13} \text{ cm}^{-2}$ であり、図中に白抜きの四角印で示す測定点に対応する。

この検討によって、Pウェル11の閾値電圧調整用に導入された不純物濃度が高いほど、所望の閾値電圧シフトを生じさせるのに必要なウェル電位(基板側書き込み電圧 V_{sub})の絶対値が小さくなっていることが分った。すなわち、基板側書き込み電圧 V_{sub} の低電圧化は、チャンネルのイオン注入不純物濃度を高くすることで可能となる。なお、チャンネルの不純物濃度が高すぎるとメモリトランジスタの耐圧が低下し、読み出し時のリーク電流が増大し、読み出しデータの信号対ノイズ比(S/N比)が低下する。

【0029】

データの消去方法は任意であるが、好ましくは、以下の第1~第3の消去方法が採用できる。

第1の消去方法において、ソース、ドレイン、ウェルの電位を基準にしてゲート電極13に負の電圧を印加する。これにより、蓄積された電子を電荷蓄積膜12内でトンネルさせてチャンネル側(基板側)に引き抜く。蓄積された電子が引き抜かれると閾値電圧が低下し、消去状態となる。

第2の消去方法において、ソース、ドレイン、ウェルの電位を基準にしてゲート電極13に正の電圧を印加する。これにより、蓄積された電子を電荷蓄積膜12内でトンネルさせてゲート電極側に引き抜く。

10

20

30

40

50

第3の消去方法において、ウェル電位を基準としてソース領域14とドレイン領域15にそれぞれ正の電位、ゲート電極13に負の電位を印加する。ドレイン端でのバンド間トンネルを引き金とするアバランシェ降伏が生じ、これによってホットホールが発生する。発生したホットホールはゲート電圧に引き寄せられて電荷蓄積膜12内に注入される。注入されたホールは、蓄積されていた電子と相殺される。なお、第3の消去方法において、ゲート長が $0.3\ \mu\text{m}$ 以下と短くドレイン側からのホール注入で閾値電圧が十分低下する場合、ソースを電氣的にフローティング状態としてもよい。

【0030】

データの読み出し動作は、チャンネル全面から注入された電子による閾値電圧の差を読み出す。具体的に、ソース領域14を基準に、ドレイン領域15に正の電圧を印加し、ゲート電極13に消去状態の閾値電圧より高く、書き込み状態の閾値電圧より低い読み出しゲート電圧を印加する。このとき、閾値電圧の差によってメモリトランジスタMがオンまたはオフするため、閾値電圧差がドレイン領域15に流れる電流あるいは電位の変位に変換される。この変位を図示しないセンスアンプ等で増幅し、その結果から書き込みデータを判別する。

10

【0031】

第1の実施形態では、ソース領域14、ドレイン領域15、および、ゲート電極13の電位を基準にPウェル11に、空乏層を拡げる極性、本例では負の電圧を印加する。この方法では印加電圧の最大絶対値が $10\ \text{V}$ 以下、例えば $8\ \text{V}$ 程度でも高い注入効率を得られるホットキャリア注入が達成できる。その結果、FNトンネル注入方法と比較すると、書き込み速度を落とすことなく印加電圧の低減が図れる利点がある。

20

【0032】

従来 of CHE 注入を効率よく行うためには、ドレイン端に高い電界を集中させる構造が必要であり、そのためには、高いチャンネル不純物濃度、あるいはハローと呼ばれるドレイン端付近のチャンネル濃度を局所的に高くしたチャンネル不純物構造、そして急峻なドレイン不純物分布構造が必要であった。

第1の実施形態では、チャンネル形成領域にできた空乏層全面からのホットキャリア注入であることから、このようなドレイン不純物分布構造の最適化が不要である。このことはフォトマスク枚数の低減、工程の削減、さらにはコストの削減に寄与する。また、図示を省略したが通常のLDD構造など、ドレイン側の電界集中を緩和する不純物構造の採用がで

30

【0033】

[第2の実施形態]

第2の実施形態は、データ書き込み時のバイアス印加条件の一部変更に関する。メモリトランジスタMの構造は図1(A)、図1(B)に図解した構造と同じである。図2および図3を用いて説明したデータ書き込みの動作のうち、ソース領域14およびドレイン領域15を基準としてPウェル11に電圧 V_{sub} を印加することにより、チャンネル形成領域に形成した空乏層全面からホットキャリアを注入すること自体は第1の実施形態と同じである。

【0034】

第2の実施形態においては、さらに、ゲート電極13に対し、基板側書き込み電圧 V_{sub} と反対極性のゲート書き込み電圧 V_{g} を印加する。この点で、第1の実施形態におけるデータ書き込み時のバイアス印加条件と異なる。

40

【0035】

図10は、ゲート書き込み電圧印加の効果を調べた検討の結果を示すグラフである。ゲート書き込み電圧 $V_{\text{g}} = 5\ \text{V}$ を印加した場合と印加しない場合とで、基板側書き込み電圧 V_{sub} に対する閾値電圧 V_{th} の変化を調べた。ONO膜の各層の厚さが、下層から順に $2.47\ \text{nm}$ 、 $6\ \text{nm}$ 、 $4\ \text{nm}$ である試料を用いた。この試料の作製においてチャンネルの閾値調整時に、ポロニオン B^+ を加速エネルギー $15\ \text{keV}$ 、ドーズ $0.7 \times 10^{13}\ \text{cm}^{-2}$ の条件で注入した。SHE注入の条件は、ソース電圧 V_{s} 、ドレイン電圧 V_{d}

50

dを0Vとし、Pウェル11に印加する基板側書き込み電圧 V_{sub} を-5Vから-10Vまで変化させた。書き込み電圧 V_{sub} を印加するパルスの持続時間は1msで一定とした。

【0036】

ゲート書き込み電圧 V_g の印加の有無により、基板側書き込み電圧 V_{sub} を負側に大きくしていったときの閾値電圧 V_{th} の変化の初期段階に違いが見られる。即ち、ゲート書き込み電圧 V_g を印加しない場合、基板側書き込み電圧 V_{sub} が-9.2Vまでは閾値電圧変化が見られないが、ゲート書き込み電圧 $V_g = 5V$ の印加により、基板側書き込み電圧 V_{sub} が-8.0V付近から閾値電圧変化が始まる。この差は書き込みパルスを短くしていったときに顕著となるため、ゲート書き込み電圧 V_g の印加によって、基板側書き込み電圧 V_{sub} の絶対値を低減することが出来る。

10

【0037】

[第3の実施形態]

第3の実施形態は、トランジスタ構造の変更に関する。

図11(A)に、第3の実施形態における不揮発性メモリ装置の平面図を示す。図11(B)に、図11(A)のB-B線に沿った断面図を示す。

不揮発性メモリ装置3は、メモリトランジスタ M' と、メモリトランジスタに接続されている書き込み電圧供給回路2とを有している。書き込み電圧供給回路2の働き、およびデータの書き込み、消去、読み出し動作の基本は第1および第2の実施形態と同じである。

【0038】

第3の実施形態におけるメモリトランジスタ M' は、SOI(Silicon On Insulator)基板に形成されている。

半導体または他の材料からなる基板20の上に、誘電体分離を行うための絶縁膜21が形成されている。絶縁膜21の上に、例えばP型の単結晶シリコンなどからなるSOI半導体層22が形成されている。SOI半導体層22の一部が絶縁化されて素子分離絶縁層23が形成されている。絶縁化では、SOI半導体層22の一部を酸化するか、一部を除去後に絶縁物を埋め込む。素子分離絶縁層23により周囲を取り囲まれることによって、SOI半導体層22がメモリトランジスタ M' ごとに島状に形成されている。

このようなSOI基板は、いわゆる基板張り合わせ法、あるいはSIMOX(Separation by Implanted Oxygen)法などの既知の方法により形成される。

20

30

【0039】

SOI半導体層22の厚さは一般に、数十nm程度であり、詳しくは、メモリトランジスタ M' を完全空乏動作させるか部分空乏動作させるかによって異なる。SOI半導体層22の上には、第1の実施形態で説明したのと同じ膜構造の電荷蓄積膜12とゲート電極13との積層体が形成されている。また、ゲート電極13の一方側の半導体層に第1の実施形態と同様なソース領域14が形成され、ゲート電極13の他方側の半導体層に第1の実施形態と同様なドレイン領域15が形成されている。ソース領域14およびドレイン領域15の深さは、SOI半導体層22の厚さより小さくてもよい。但し、寄生容量の低減のために、望ましくは、図11(B)に図解したようにソース領域14およびドレイン領域15をSOI半導体層22の底面に達するまで深く形成する。このことに対応して、図11(A)に図解したように、基板側書き込み電圧 V_{sub} を印加するためのコンタクト領域22aを、ゲート電極13の先端側に設けている。コンタクト領域22aは、SOI半導体層22より高濃度なP型不純物領域である。

40

【0040】

書き込み電圧供給回路2は、ゲート電極13、ソース領域14、ドレイン領域15、およびコンタクト領域22aに接続されている。書き込み電圧供給回路2は、データ書き込み時に、第1の実施形態と同様な基板側書き込み電圧 V_{sub} をSOI半導体層22に付与し、少なくともソース領域14およびドレイン領域15を基準電位 V_{ss} で保持する。あるいは、第2の実施形態と同様に、ゲート電極13にゲート書き込み電圧 V_g を印加して

50

もよい。

【0041】

第3の実施形態においては、SOI型の素子分離構造を有しているため、メモリセルごとに基板書き込み電圧 V_{sub} を印加することが容易であり、メモリセルアレイ化がしやすいという利点がある。また、素子分離が絶縁膜で達成され、素子間の電氣的干渉が殆どなく、寄生容量が小さい。このため、低電圧で高速なメモリが実現できる。

【0042】

今までの説明では、SHE注入法ではホットエレクトロンを注入した場合をデータの書き込み動作と定義していた。第1～第3の実施形態において、これとは逆に、電子を引き抜く、あるいはホールを注入する場合をデータの書き込み動作と定義しても良い。その場合、SHE注入はデータの消去動作に利用される。

また、メモリトランジスタ M 、 M' は、MONOS型に限らず、MNOS型などの電荷蓄積手段が空間的に離散化されたメモリトランジスタ、さらにはFG型メモリトランジスタであってもよい。

【0043】

【発明の効果】

本発明に係る不揮発性半導体メモリ装置の電荷注入方法によれば、低電圧で高い注入効率を有し、電荷保持特性の低下が防止できる。

本発明に係る不揮発性半導体メモリ装置によれば、上記電荷注入方法を実現するためにデータの書き込み時に書き込み電圧を供給する手段を具備している不揮発性半導体メモリ装置が提供できる。

【図面の簡単な説明】

【図1】(A)は第1の実施形態における不揮発性メモリ装置の平面図、(B)は(A)のA-A線に沿った断面図である。

【図2】第1の実施形態のメモリトランジスタにおいて、基板側書き込み電圧を印加したときの、ウェル表面部、第1の電位障壁層、および、主電荷蓄積層のエネルギーバンド図である。

【図3】第1の実施形態のメモリトランジスタにおいて、電荷注入の動作を模式的に示す図である。

【図4】第1の電位障壁層の厚さが3nmの場合の、閾値電圧の基板側書き込みパルス時間依存性を示すグラフである。

【図5】第1の電位障壁層の厚さが4nmの場合の、閾値電圧の基板側書き込みパルス時間依存性を示すグラフである。

【図6】第1の電位障壁層の厚さが6nmの場合の、閾値電圧の基板側書き込みパルス時間依存性を示すグラフである。

【図7】第1の電位障壁層が6nmの場合と2.7nmの場合で電荷保持特性を比較して示すグラフである。

【図8】基板書き込み電圧値をパラメータとして変化させた場合の、閾値電圧の基板側書き込みパルス持続時間依存性を示すグラフである。

【図9】閾値電圧調整用のイオン注入時のドーズをパラメータとして変化させた場合の、閾値電圧の基板側書き込み電圧依存性を示すグラフである。

【図10】第2の実施形態のゲート書き込み電圧印加の有無による効果を調べる検討において、閾値電圧の基板側書き込み電圧依存性を示すグラフである。

【図11】(A)は第3の実施形態における不揮発性メモリ装置の平面図、(B)は(A)のB-B線に沿った断面図である。

【符号の説明】

1...不揮発性メモリ装置、2...書き込み電圧供給回路、3...不揮発性メモリ装置、10...半導体基板、11...ウェル、11a...コンタクト領域、12b...主電荷蓄積層、12a...第1の電位障壁層、12c...第2の電位障壁層、12...電荷蓄積膜、13...ゲート電極、14...ソース領域、15...ドレイン領域、20...基板、21...絶縁膜、22a...コンタク

10

20

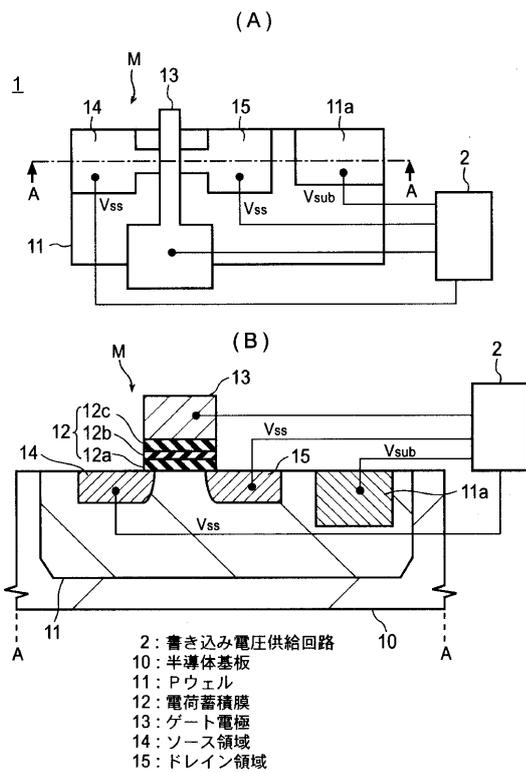
30

40

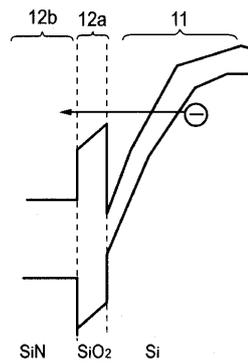
50

ト領域、22...SOI半導体層、23...素子分離絶縁層、M...メモリトランジスタ、 $T_{v_{sub}}$...パルス持続時間、 V_d ...ドレイン電圧、 V_g ...ゲート書き込み電圧、 V_s ...ソース電圧、 V_{ss} ...基準電圧、 V_{sub} ...基板側書き込み電圧、 V_{th} ...閾値電圧

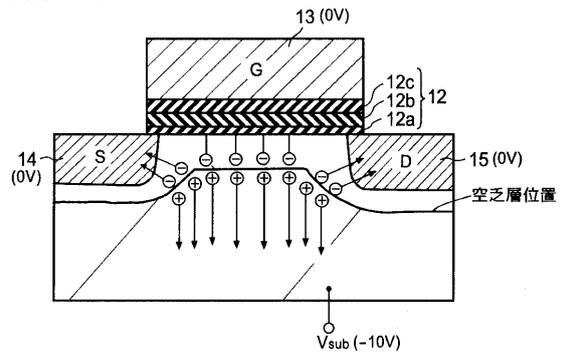
【図1】



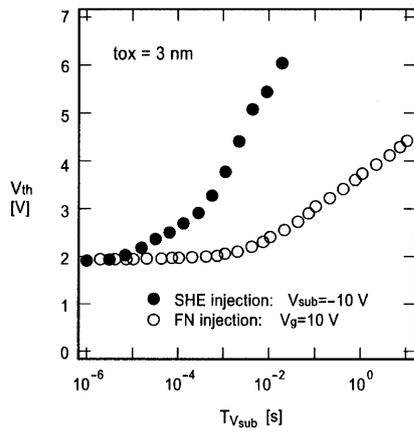
【図2】



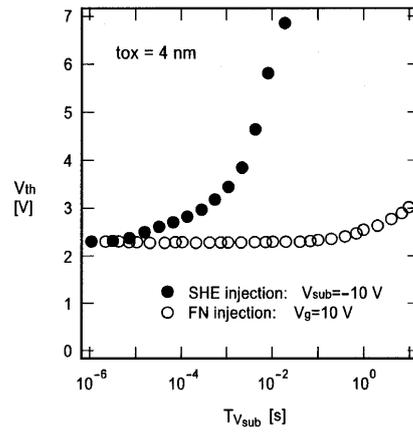
【図3】



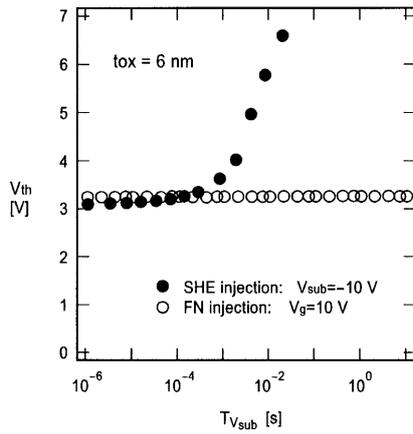
【 図 4 】



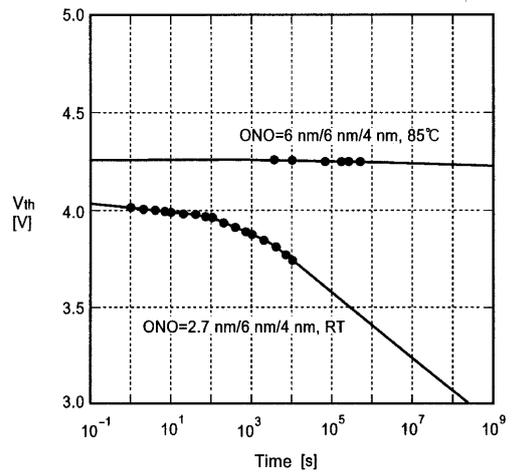
【 図 5 】



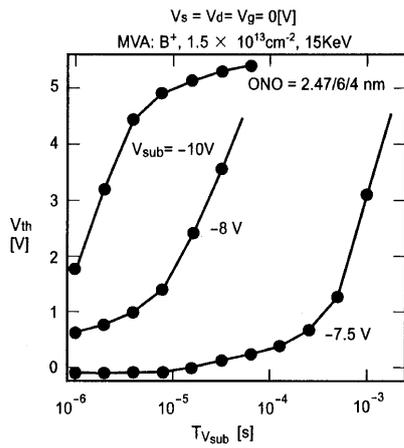
【 図 6 】



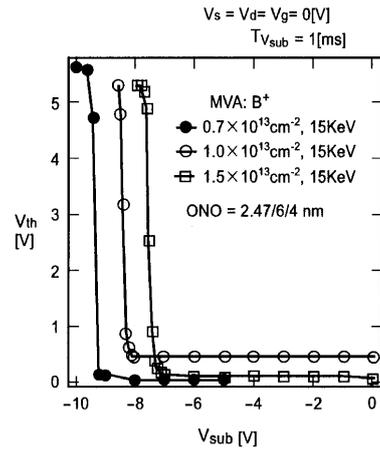
【 図 7 】



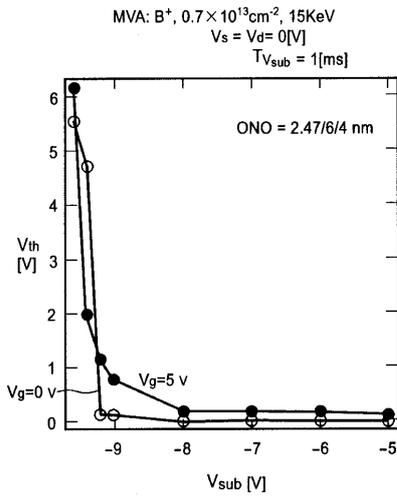
【 図 8 】



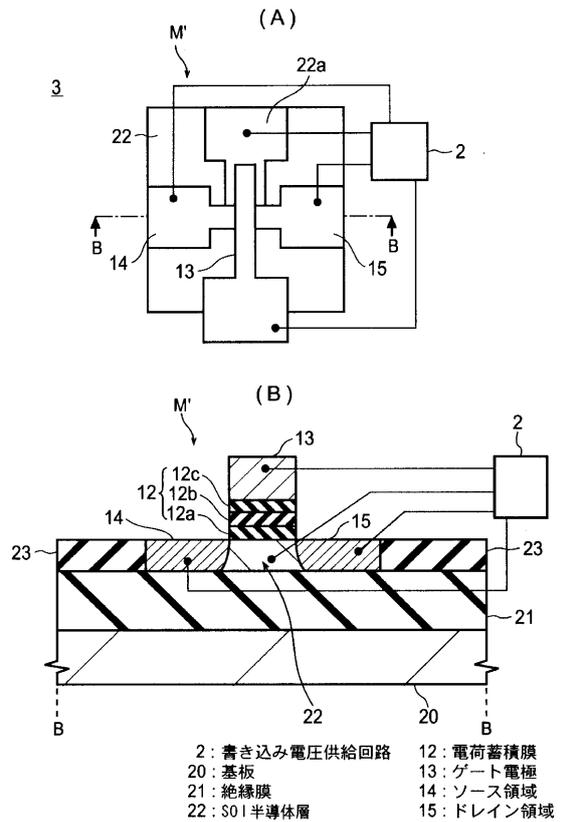
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

Fターム(参考) 5F083 EP02 EP18 EP23 EP48 ER02 ER03 ER09 ER11 ER21 GA21
HA02 JA04 JA35 JA39 LA10 NA03
5F101 BA01 BA45 BB05 BC02 BC11 BD30 BD36 BE02 BE05 BE07
BF03