

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4235900号  
(P4235900)

(45) 発行日 平成21年3月11日(2009.3.11)

(24) 登録日 平成20年12月26日(2008.12.26)

(51) Int.Cl.	F I	
<b>H03K 17/00 (2006.01)</b>	H03K 17/00	D
<b>G02F 1/133 (2006.01)</b>	H03K 17/00	M
<b>G02F 1/1345 (2006.01)</b>	G02F 1/133	505
<b>G09G 3/20 (2006.01)</b>	G02F 1/133	525
<b>G09G 3/36 (2006.01)</b>	G02F 1/133	550

請求項の数 1 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2003-272443 (P2003-272443)	(73) 特許権者	000002185
(22) 出願日	平成15年7月9日(2003.7.9)		ソニー株式会社
(65) 公開番号	特開2005-33653 (P2005-33653A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年2月3日(2005.2.3)	(74) 代理人	100102185
審査請求日	平成18年6月14日(2006.6.14)		弁理士 多田 繁範
		(72) 発明者	木田 芳利
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	仲島 義晴
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 フラットディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に画素を配置してなる表示部と、前記表示部の画素をゲート線により順次選択する垂直駆動回路と、前記ゲート線により選択された画素を前記表示部の信号線により駆動する水平駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、

前記水平駆動回路は、

前記画素の階調を示す階調データをデジタルアナログ変換処理するデジタルアナログ変換回路と、

前記デジタルアナログ変換回路の出力信号により前記信号線を駆動するバッファ回路とを有し、

前記バッファ回路は、

トランジスタのソースに定電流回路を接続してなるソースフォロワ回路により前記信号線を駆動し、

前記定電流回路は、

前記バッファ回路のトランジスタのソースに接続されて、前記バッファ回路のトランジスタに対して電流を流入又は流出させる駆動トランジスタと、

前記駆動トランジスタのゲート及びソース間に接続され、前記駆動トランジスタのゲートソース間電圧を保持するサンプリング用コンデンサと、

前記サンプリング用コンデンサの前記駆動トランジスタのゲート側端と、前記駆動トラン

ンジスタのドレインとに一時的に接続されて、前記駆動トランジスタにより駆動対象を駆動した際の前記駆動トランジスタのゲートソース間電圧に前記サンプリング用コンデンサの端子間電圧を設定する基準電流源とを有し、

前記サンプリング用コンデンサの端子間電圧を設定する期間と、前記駆動対象を駆動する期間とを繰り返し、

前記サンプリング用コンデンサの端子間電圧を設定する期間が、前記表示部のプリチャージの期間に設定された

フラットディスプレイ装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、フラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲート-ソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比してばらつきを小さくすることができるようにする。

【背景技術】

【0002】

従来、各種集積回路においては、カレントミラー回路により定電流回路を構成して、各部の動作に必要な電流を供給するようになされている。すなわち図19及び図20は、それぞれカレントミラー回路による定電流回路を示す接続図である。図19に示す定電流回路は、PチャンネルMOS（以下、PMOSと呼ぶ）Q1による基準電流を、カレントミラー回路構成によるNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ2及びQ3により折り返すことにより、所望する回路ブロックより基準電流に対応する一定電流を流出させるのに対し、図20に示す定電流回路は、NMOSTランジスタQ4による基準電流を、カレントミラー回路構成によるPMOSTランジスタQ5及びQ6により折り返すことにより、所望する回路ブロックに基準電流に対応する一定電流を流入させるようになされている。

20

【0003】

30

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされており、このようなフラットディスプレイ装置においても、駆動回路は、図19及び図20について上述した定電流回路が使用されるようになされている。

【0004】

具体的に、この種の液晶表示装置は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT（Thin Film Transistor；薄膜トランジスタ）、保持容量とによる画素をマトリクス状に配置して表示部が形成され、この表示部の周囲に配置した各種の駆動回路により表示部を駆動して各種の画像を表示するようになされている。液晶表示装置においては、特開平7-295521号公報等が開示されているように、プリチャージの処理により、例えば1ライン毎に、各画素の信号線を所定電位に設定して保持容量を充放電した後、各画素の階調を示す階調データによるアナログ信号により各画素を駆動するようになされ、このアナログ信号による駆動に係る回路ブロック等に、このような定電流回路が設けられるようになされている。

40

【0005】

しかしながらこの種の液晶表示装置に適用されるアクティブ素子であるTFTは、特性のばらつきが大きい欠点があり、これによりこのようなアクティブ素子によるトランジスタを用いて図19及び図20に示す定電流回路を構成した場合、トランジスタQ1、Q4で設定される基準電流がばらつき、さらにこの基準電流に対してトランジスタQ3に流入

50

させる電流、トランジスタQ6より流出させる電流がばらつく問題がある。

【0006】

このようなばらつきによる各回路ブロックの影響を少なくするため、従来、この種のアクティブ素子により定電流回路においては、比較的大きな電流を流すように設計されるようになされているが、このようにするとその分、消費電力が大きくなる欠点がある。

【特許文献1】特開平7-295521号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は以上の点を考慮してなされたもので、従来に比してばらつきを小さくすることができる定電流回路を用いたフラットディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0009】

係る課題を解決するため請求項1の発明においては、フラットディスプレイ装置に適用して、水平駆動回路に設けられたバッファ回路の定電流回路が、バッファ回路のトランジスタのソースに接続されて、バッファ回路のトランジスタに対して電流を流入又は流出させる駆動トランジスタと、駆動トランジスタのゲート及びソース間に接続され、駆動トランジスタのゲートソース間電圧を保持するサンプリング用コンデンサと、サンプリング用コンデンサの駆動トランジスタのゲート側端と、駆動トランジスタのドレインとに一時的に接続されて、駆動トランジスタにより駆動対象を駆動した際の駆動トランジスタのゲートソース間電圧にサンプリング用コンデンサの端子間電圧を設定する基準電流源とを有し、サンプリング用コンデンサの端子間電圧を設定する期間と、駆動対象を駆動する期間とを繰り返し、サンプリング用コンデンサの端子間電圧を設定する期間が、表示部のプリチャージの期間に設定される。

【0010】

請求項1の構成によれば、定電流回路の駆動トランジスタにおいては、特性がばらついている場合でも、基準電流による駆動時の条件により動作して駆動対象を駆動し得、これにより駆動対象の駆動に供する定電流のばらつきを格段的に小さくすることができる。

【発明の効果】

【0012】

本発明によれば、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲート-ソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比して定電流回路におけるばらつきを小さくすることができる。

【0013】

またこのような定電流回路によりフラットディスプレイ装置を構成することにより、各信号線の駆動に係る特性のばらつきを小さくし得、またその分、定電流による定電流値を小さくして全体の消費電力を少なくすることができる。

【発明を実施するための最良の形態】

【0014】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0015】

(1) 実施例1の構成

図2は、本発明の実施例1に係る液晶表示装置を示すブロック図である。この液晶表示装置1においては、液晶セル2、この液晶セル2のスイッチング素子であるポリシリコンTFT3、保持容量4とによる画素が形成され、この画素をマトリックス状に配置して表示部6が形成される。液晶表示装置1は、この表示部6を形成する各画素が、信号線LS及びゲート線LGによりそれぞれ水平駆動回路7及び垂直駆動回路8に接続され、垂直駆

10

20

30

40

50

動回路 8 により順次画素を選択して水平駆動回路 7 からの駆動信号により各画素の階調を設定することにより、所望する画像を表示するようになされている。

【 0 0 1 6 】

このため垂直駆動回路 8 は、図示しないタイミング発生回路から出力されるタイミング信号により各ゲート線 L G を駆動することにより、水平駆動回路 7 における処理に連動して順次ライン単位で画素を選択する。

【 0 0 1 7 】

水平駆動回路 7 は、各画素の階調を示す階調データ D 1 を順次循環的に取り込んで各信号線 L S の駆動信号を生成する。すなわち水平駆動回路 7 において、シフトレジスタ 9 は、階調データ D 1 を順次循環的にサンプリングすることにより、階調データ D 1 をライン単位でまとめ、1 ライン分の階調データ D 1 を水平ブランキング期間の所定のタイミングでデジタルアナログ変換回路 ( D A C ) 1 0 に出力する。

【 0 0 1 8 】

デジタルアナログ変換回路 1 0 は、シフトレジスタ 9 から出力される階調データ D 1 をそれぞれデジタルアナログ変換処理して出力する。バッファ回路部 1 1 は、このデジタルアナログ変換回路 1 0 の出力信号により各信号線 L S を駆動し、これにより水平駆動回路 7 においては、階調データ D 1 に応じた階調により表示部 6 の各画素を駆動して所望の画像を表示できるようになされている。バッファ回路部 1 1 は、このようにしてデジタルアナログ変換回路 1 0 の出力信号により各信号線 L S を駆動し、またこのときいわゆるプリチャージの処理に供するように各信号線 L S を駆動する。

【 0 0 1 9 】

図 3 は、水平駆動回路 7 のデジタルアナログ変換回路 1 0、バッファ回路部 1 1 を詳細に示すブロック図である。デジタルアナログ変換回路 1 0 において、基準電圧発生回路 1 5 は、例えば所定の生成基準電圧を抵抗分圧することにより、階調データ D 1 による階調に対応する複数の基準電圧 V 0 ~ V 6 3 を生成して出力する。基準電圧セレクタ 1 6 は、それぞれこれら複数の基準電圧 V 0 ~ V 6 3 を受け、シフトレジスタ 9 から出力される階調データ D 1 に応じて、何れかの基準電圧を選択出力する。これによりデジタルアナログ変換回路 1 0 は、階調データ D 1 に対応する基準電圧の選択により、階調データ D 1 をデジタルアナログ変換処理するようになされている。

【 0 0 2 0 】

バッファ回路部 1 1 は、タイミング発生回路 1 7 から出力される各種タイミング信号により動作する各バッファ回路 1 8 により基準電圧セレクタ 1 6 の出力信号を処理し、各信号線 L S に出力する。なおこの図 3 において、それぞれ符号 R、G、B は、赤色、緑色、青色の画素に対応する系であることを示すものである。

【 0 0 2 1 】

図 4 は、このバッファ回路 1 8 の構成を詳細に示す接続図である。バッファ回路 1 8 は、アナログバッファ回路 2 0 に基準電圧セレクタ 1 6 の出力信号 ( 符号 V i n により示す ) が入力され、この入力信号 V i n により対応する信号線 L S を駆動する。また水平ブランキング期間の間で、1 ライン毎に、図示しない C S 駆動回路と共に信号線 L S の電位を切り換えてプリチャージの処理を実行する。このためバッファ回路 1 8 においては、入力信号 V i n による画素の階調設定に係る処理を実行するアナログバッファ回路 2 0 と、プリチャージの処理に係るプリチャージ回路 2 1 とにより構成される。なお、以下の説明において、スイッチ回路は、P M O S トランジスタ又は N M O S トランジスタにより構成され、タイミング発生回路 1 7 から出力されるタイミング信号の符号を各スイッチ回路等に付して、各スイッチ回路等の制御に係るタイミング信号を示す。

【 0 0 2 2 】

すなわちこの液晶表示装置 1 では、図 5 に示すように、いわゆるライン反転により表示部 6 を駆動して、水平ブランキング期間の間でプリチャージの処理を実行し、このため図示しない C S 駆動回路により、保持容量 4 のトランジスタ 3 が設けられていない側の端子電圧 ( 図 2 参照、図 5 においては、符号 C S によるこの端子側の配線である C S 線の電位

10

20

30

40

50

により示す)が水平走査期間毎に、グラウンドレベルと正側所定電位との間で切り換える(図5(A))。このためアナログバッファ回路20は、出力段に設けられたスイッチ回路22により、このプリチャージの処理を実行する期間(以下プリチャージ期間と呼ぶ)T1の間、信号線LSより切り離される(図5(F)及び(G))。

#### 【0023】

プリチャージ回路21は、プリチャージ期間T1のほぼ前半の期間の間、それぞれタイミング発生回路17から出力されるタイミング信号PCG1、PCG2により、信号線LSに接続されたスイッチ回路23及び24がそれぞれオフ状態及びオン状態に設定し(図5(B)~(E))、これによりCS線CSを信号線LSに接続してCS駆動回路によりCS線CSの電位を切り換える(図5(H))。これによりプリチャージ回路21は、信号線LSと保持容量4とに蓄積された電荷を有効に利用してCS線CSの電位を切り換え、その分、全体の消費電力を少なくするようになされている。

10

#### 【0024】

また続いてタイミング信号PCG1、PCG2により、スイッチ回路23及び24がそれぞれオン状態及びオフ状態に設定され(図5(B)~(E))、これにより信号線LSをCS線CSから切り離して、信号線LSの電位をグラウンドレベルに設定する(図5(H))。これによりこの実施の形態では、グラウンドレベルと正側所定電位とでCS線CSの電位を切り換えて、信号線LSについては、グラウンドレベルを基準にして駆動できるようになされ、その分、後述するように、信号線LSの駆動に係るアナログバッファ回路20の構成を簡略化できるようになされている。

20

#### 【0025】

アナログバッファ回路20は、NMOSトランジスタQ11によるソースフォロウにより構成され、このNMOSトランジスタQ11のソースに図1(A)に示す定電流回路26が接続される。ここでこの定電流回路26は、タイミング信号xNcnt1をゲートに入力してなるPMOSトランジスタQ13により基準電流源が形成され、このPMOSトランジスタQ13に直列にNMOSトランジスタQ14が接続されて、このNMOSトランジスタQ14にPMOSトランジスタQ13による基準電流が流入するように形成される。

#### 【0026】

またこの定電流回路26は、NMOSトランジスタQ14のゲート-ソース間に、サンプリング用コンデンサC3が設けられ、PMOSトランジスタQ13による基準電流をこのサンプリング用コンデンサC3に流入させるスイッチ回路27が設けられるようになされている。定電流回路26において、このスイッチ回路27は、所定のタイミング信号Ncnt2によりオン動作し、PMOSトランジスタQ13による基準電流をNMOSトランジスタQ14に流している状態の、NMOSトランジスタQ14のゲート-ソース間電圧Vgsをサンプリング用コンデンサC3にサンプリングするようになされ、またその後、オフ状態に切り換わって、このサンプリング用コンデンサC3にサンプリングしてなるゲート-ソース間電圧Vgsを保持するようになされている。

30

#### 【0027】

この定電流回路28は、スイッチ回路23を介して、このNMOSトランジスタQ14のドレインが、バッファ回路を構成するNMOSトランジスタQ11のソースに接続され、このスイッチ回路23は、所定のタイミング信号Nactにより、サンプリング用コンデンサC3でNMOSトランジスタQ14のゲート-ソース間電圧Vgsをサンプリングし、さらにタイミング信号xNcnt1によりPMOSトランジスタQ13から基準電流が出力されなくなった後、オン状態に切り換わるように設定され、これによりサンプリング用コンデンサC3でサンプリングしたゲート-ソース間電圧Vgsによる電流をトランジスタQ11より流出させるようになされている。

40

#### 【0028】

しかして図6は、この定電流回路26の制御に係るタイミング信号xNcnt1、Nact、Ncnt2と各スイッチ回路27、28、トランジスタQ13の遷移を示すタイム

50

チャートである。この定電流回路26は、初期状態である動作を開始した直後においては、図1(B)に示すように、タイミング信号 $xNcnt1$ がLレベルに保持されてトランジスタ $Q13$ がオフ状態に保持され(図6(A)及び(B))、またタイミング信号 $Nact$ 、 $Ncnt2$ がそれぞれHレベル、Lレベルに保持され、これによりスイッチ回路27、28がそれぞれオフ状態、オン状態に保持される(図6(C)~(F))。これにより定電流回路26は、この場合、何らトランジスタ $Q11$ から電流を流出させない状態に保持される。

#### 【0029】

定電流回路26は、所定のタイミングでこれらタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ の論理値が同時に切り換わり、これにより図1(C)に示すように、スイッチ回路27、28がそれぞれオン状態、オフ状態に動作を切り換え、またトランジスタ $Q13$ が動作を開始して基準電流の出力を開始する。これにより定電流回路26は、トランジスタ $Q13$ による基準電流 $I1$ がサンプリング用コンデンサ $C3$ を充電すると共に、トランジスタ $Q14$ を介して流出する。このサンプリング用コンデンサ $C3$ の充電電流においては、充電によりサンプリング用コンデンサ $C3$ の両端電圧が上昇するに従って徐々に減少し、トランジスタ $Q14$ から基準電流 $I1$ を流出させるに必要な、トランジスタ $Q14$ のゲート-ソース間電圧 $Vgs$ となると、サンプリング用コンデンサ $C3$ に充電電流が流入しなくなり、この状態ではトランジスタ $Q13$ による基準電流 $I1$ のその全てがトランジスタ $Q14$ に流入することになる。これにより定電流回路26では、基準電流 $I1$ をトランジスタ $Q14$ に流入させながら、このトランジスタ $Q14$ のゲート-ソース間に接続されたサンプリング用コンデンサ $C3$ を基準電流 $I1$ により充電することにより、トランジスタ $Q14$ に基準電流 $I1$ を流入させるに必要なトランジスタ $Q14$ のゲート-ソース間電圧 $Vgs$ をサンプリング用コンデンサ $C3$ に設定するようになされている。

#### 【0030】

定電流回路26は、このようにタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ の論理値を切り換えて、トランジスタ $Q14$ のゲート-ソース間電圧 $Vgs$ をサンプリング用コンデンサ $C3$ に保持するに十分な期間が経過すると、タイミング信号 $Nact$ 、 $Ncnt2$ が元の論理値に戻り、これにより基準電流 $I1$ の供給が停止され、またサンプリング用コンデンサ $C3$ がトランジスタ $Q14$ のドレインから切り離される。また続いてタイミング信号 $xNcnt1$ が元の論理値に戻り、トランジスタ $Q14$ のドレインがこの定電流回路26の駆動対象であるトランジスタ $Q11$ に接続される。これにより定電流回路26は、図1(D)に示すように、サンプリング用コンデンサ $C3$ に設定されてなる基準電流 $I1$ によるトランジスタ $Q14$ のゲート-ソース間電圧 $Vgs$ により、トランジスタ $Q11$ から電流を流出させ、定電流回路として機能するようになされている。

#### 【0031】

しかして図5について上述したように、この液晶表示装置1においては、水平ブランキング期間に設けられたプリチャージ期間 $T1$ よりプリチャージの処理を実行することにより、定電流回路として機能させるに必要な基準電流 $I1$ によるトランジスタ $Q14$ のゲート-ソース間電圧 $Vgs$ をサンプリング用コンデンサ $C3$ に設定する期間 $T3$ をこのプリチャージ期間 $T1$ に割り当て、このゲート-ソース間電圧 $Vgs$ を設定する期間 $T3$ と定電流回路として機能する期間 $T4$ との繰り返しにより動作するように各タイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ が供給されるようになされている。

#### 【0032】

アナログバッファ回路20は(図4)、トランジスタ $Q11$ のゲート-ソース間に、それぞれソース側にスイッチ回路31及び32を設けてなるコンデンサ $C1$ 、 $C2$ が設けられる。またトランジスタ $Q11$ のゲート、コンデンサ $C1$ 、 $C2$ の各スイッチ回路31、32側にそれぞれスイッチ回路33、34、35が設けられ、これらスイッチ回路33、34、35の他端に基準電圧セレクタ16からの信号 $Vin$ が入力されるようになされている。アナログバッファ回路20は、これらスイッチ回路31~35の切り換えによりトランジスタ $Q11$ のばらつきをキャンセルして入力信号 $Vin$ により信号線 $LS$ を駆動す

10

20

30

40

50

るようになされている。

【0033】

すなわち図5、図6について上述したプリチャージに係る処理、定電流回路26に係る処理との対比により図7に示すように、バッファ回路18においては、プリチャージ回路21におけるプリチャージ期間T1の開始に対応して(図7(A)、(J)~(L))、定電流回路26でトランジスタQ13に係るサンプリング処理が開始する(図7(C)~(E))。アナログバッファ回路20においては、これらの処理が開始されると、全てのスイッチ回路22、31~35がオフ状態に設定される。

【0034】

またその後、期間T3だけ経過して定電流回路26が定電流回路としての機能を開始すると、図8に示すように、スイッチ回路31、32、33がオン状態に切り換わる。なお図7においては、各スイッチ回路22、31~35を制御するタイミング信号N1~N5の立ち上がりにより、オン状態を示す。これによりアナログバッファ回路20では、この状態でのトランジスタQ11のゲート-ソース間電圧 $V_{osA}$ をコンデンサC1、C2でサンプリングし、ソースフォロワにより動作する際のオフセットを検出するようになされている。

【0035】

また続いて図9に示すように、スイッチ回路31、33がオフ状態に切り換えられ、スイッチ回路35がオン状態に切り換えられる。これによりアナログバッファ回路20では、入力で電圧 $V_{in}$ に対して、コンデンサC1にサンプリングされている電圧 $V_{osA}$ の分、トランジスタQ11のゲート電圧をオフセットさせた状態にて定電流回路26による電流でトランジスタQ11が動作し、この状態におけるトランジスタQ11のゲート-ソース間電圧 $V_{osB}$ をC2でサンプリングする。これによりトランジスタQ11のソース電圧は、 $V_{in} + (V_{osA} - V_{osB})$ となる。これによりこのアナログバッファ回路20は、コンデンサC1で先に検出したオフセット電圧をキャンセルするようにした状態で、さらにソースフォロワにより動作する際のオフセットをコンデンサC2により検出するようになされている。

【0036】

続いてアナログバッファ回路20は、図10に示すように、全てのスイッチ回路22、31~35がオフ状態となった後、図11に示すように、スイッチ回路22、34がオン状態に設定される。これによりバッファ回路20は、コンデンサC2で検出したオフセット電圧により入力電圧 $V_{in}$ をオフセットしてソースフォロワにより信号線LSを駆動するようになされ、2回のオフセット検出を繰り返したことにより、その分、高い精度により入力電圧 $V_{in}$ に対するオフセット電圧を小さくして信号線LSを駆動し、トランジスタQ11のばらつきによる影響を十分小さなものとするようになされている。

【0037】

しかして図11により示す状態において、アナログバッファ回路20は、トランジスタQ11より定電流回路26及び信号線LSにソース電流を出力し、このソース電流の出力により保持容量4を充電する。またこの保持容量4の充電によりソース電位が上昇すると、その分、トランジスタQ11からのソース電流出力を徐々に低下させ、ソース電位が入力電位 $V_{in}$ と等しくなると、ソース電流の信号線LSの出力が停止され、ソース電流を定電流回路26にだけ出力するようになされ、これにより入力信号 $V_{in}$ に応じて対応する信号線LSを駆動するようになされている。

【0038】

アナログバッファ回路20においては、この図11に示す状態により信号線LSを駆動する期間が、プリチャージ期間T1以降の期間に設定されるようになされている。

【0039】

(2) 実施例1の動作

以上の構成において、この液晶表示装置1では(図2)、描画に係るコントローラ等から各画素の階調を指示する階調データD1がラスタ走査順に入力され、この階調データD

10

20

30

40

50

1が水平駆動回路7のシフトレジスタ9により順次サンプリングされてライン単位でまとめられ、デジタルアナログ変換回路10に転送される。階調データD1は、このデジタルアナログ変換回路10において、アナログ信号に変換され、このアナログ信号により表示部6の各信号線LSが駆動される。これにより液晶表示装置1では、垂直駆動回路8によるゲート線LGの制御により順次選択されてなる表示部6の各画素が、水平駆動回路7により駆動されて階調データD1による画像が表示部6に表示される。

#### 【0040】

このようにして表示部6の信号線LSを駆動する水平駆動回路7においては(図3)、基準電圧発生回路15により階調データD1の各階調に対応する基準信号V0~V63が生成され、基準電圧セレクタ16において、各階調データD1に応じてこの基準信号V0~V63が選択されることにより、階調データD1がデジタルアナログ変換処理され、このデジタルアナログ変換処理結果がバッファ回路18に入力されて各信号線LSが駆動される。

10

#### 【0041】

このバッファ回路18では(図4、図5)、水平ブランキング期間の間で、アナログバッファ回路20が信号線LSより切り離されて、スイッチ回路23の設定により、保持容量4のトランジスタ3とは逆側のCS線CSが信号線LSに接続された状態で、水平走査周期毎に、このCS線CSが正側所定電位又はグランド電位に設定される。またその後、CS線CSが信号線LSから切り離され、スイッチ回路24の設定により、信号線LSがグランド電位に保持される。

20

#### 【0042】

すなわち所定のタイミングでゲート線LGにより選択された所定のラインにおいては、CS線CS及び信号線LSが接続されて、このラインに係る保持容量4の両端電極がグランドレベルに設定された後、この信号線LSがグランドレベルに設定されて基準電圧セレクタ16から出力されるアナログ信号により駆動されるのに対し、続くラインにおいては、この保持容量4の両端電位が正側所定電位に設定された後、信号線LSがグランドレベルに設定されて基準電圧セレクタ16から出力されるアナログ信号により駆動され、これらによりこの液晶表示装置1では、いわゆるライン反転に係る駆動によるプリチャージの処理が実行され、液晶セル2の劣化が防止される。

30

#### 【0043】

しかしてこのようにCS線CSを信号線LSに接続して、水平走査周期に正側所定電位又はグランド電位に交互に設定した後、信号線LSをグランド電位に設定することにより、液晶表示装置1では、グランド電位を基準にした片側電源側だけで各画素を駆動するようになされ、その分、アナログバッファ回路20の構成を簡略化するようになされている。すなわちこのように構成すれば、アナログバッファ回路20においては、グランド電位からこの正側所定電位間で信号線LSを駆動すれば足り、NMOSソースフォロワ回路構成により構成して、グランド電位から負側電源側の駆動に係る構成を省略することができる。

#### 【0044】

従って液晶表示装置1では、その分、表示部6の周辺構成を簡略化して狭額縁化することができ、また消費電力を低減することができる。

40

#### 【0045】

しかしてこのようにしてプリチャージの処理を完了すると、液晶表示装置1では、アナログバッファ回路20により対応する信号線LSが駆動され、階調データD1に対応する階調に対応する画素の階調が設定される。

#### 【0046】

この信号線LSの駆動において、アナログバッファ回路20では(図7~図11)、プリチャージの処理期間の間でオフセットを補正する処理が実行され、この処理によりオフセットを補正して信号線LSが駆動される。すなわちアナログバッファ回路20では(図7及び図8)、始めに、定電流回路26による定電流によりトランジスタQ11を駆動し

50



た状態で、スイッチ回路 3 1、3 2 の設定によりトランジスタ Q 1 1 のゲート - ソース間に並列にコンデンサ C 1、C 2 が配置され、この状態でデジタルアナログ変換回路出力  $V_{in}$  がトランジスタ Q 1 1 に供給され、これによりこの駆動に係るトランジスタ Q 1 1 のゲート - ソース間電圧がコンデンサ C 1、C 2 に設定される。

【 0 0 4 7 】

またスイッチ回路 3 1、3 3、3 5 の設定により、このようにしてゲート - ソース間電圧を保持してなるコンデンサ C 2 を介して、トランジスタ Q 1 1 のゲートにデジタルアナログ変換回路出力  $V_{in}$  が供給され、これによりコンデンサ C 2 に保持した電圧によりオフセットをキャンセルした状態によるトランジスタ Q 1 1 のゲート - ソース間電圧がコンデンサ C 1 に設定される。

10

【 0 0 4 8 】

アナログバッファ回路 2 0 では ( 図 1 0、図 1 1 )、プリチャージの処理が完了すると、このようにしてコンデンサ C 1 に保持されてなる電圧によりデジタルアナログ変換回路出力  $V_{in}$  がオフセットされてトランジスタ Q 1 1 のゲートに供給され、これによりトランジスタ Q 1 1 のばらつきによる影響を十分に抑圧して、各信号線 L S を駆動することができるようになされている。

【 0 0 4 9 】

これらによりこの液晶表示装置 1 では、NMOS ソースフォロワ回路による簡易な構成によりアナログバッファ回路 2 0 を構成して、その分、狭額縁化し、また消費電力を少なくするようになされている。

20

【 0 0 5 0 】

このようにして信号線 L S を駆動するにつき、アナログバッファ回路 2 0 の定電流回路 2 6 では ( 図 1 )、プリチャージの期間であって、かつアナログバッファ回路 2 0 における動作開始の期間で、トランジスタ Q 1 4 のゲート - ソース間に接続されたサンプリング用コンデンサ C 3 と、このトランジスタ Q 1 4 のドレインとを基準電流源 Q 1 3 に接続し、トランジスタ Q 1 4 を基準電流  $I_1$  により駆動した際のゲート - ソース間の電圧にサンプリング用コンデンサ C 3 の両端電圧を設定した後、このサンプリング用コンデンサ C 3、トランジスタ Q 1 4 と基準電流源 Q 1 3 との接続を遮断すると共に、トランジスタ Q 1 4 のドレインを駆動対象に接続し、サンプリング用コンデンサ C 3 に設定されたゲート - ソース間の電圧によるトランジスタ Q 1 4 の電流で駆動対象を駆動する。

30

【 0 0 5 1 】

これによりこの定電流回路 2 6 では、トランジスタ Q 1 4 の特性がばらついている場合でも、このばらつきの影響を受けることなく、基準電流  $I_1$  により駆動対象を駆動することができる。實際上、図 1 9、図 2 0 の構成による定電流回路においては、それぞれトランジスタ Q 1 ~ Q 3、Q 4 ~ Q 6 のばらつきにより出力電流がばらつくのに対し、この定電流回路 2 6 では、基準電流源のトランジスタ Q 1 3 のばらつきだけが出力電流に影響を与えることにより、出力電流のばらつきを図 1 9、図 2 0 に示す構成に比して  $1/3$  に低減することができる。

【 0 0 5 2 】

またばらつきを少なくするために基準電流値を増大させるような設定を回避し得ることにより、その分、全体の消費電力も少なくすることができる。

40

【 0 0 5 3 】

( 3 ) 実施例 1 の効果

以上の構成によれば、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲート - ソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比してばらつきを小さくすることができる。

【 0 0 5 4 】

またこのようなサンプリングに係る処理と、定電流回路として機能する処理とを繰り返すことにより、サンプリング用コンデンサに保持した電圧変化による出力電流の変化を有

50

効に回避することができる。

【 0 0 5 5 】

またフラットディスプレイ装置である液晶表示装置に適用して、このサンプリング用コンデンサの電圧設定に係る処理をプリチャージの期間に設定することにより、このようにサンプリング用コンデンサの電圧を設定して定電流回路に係る処理を実行するようにして、何らこのサンプリング用コンデンサの電圧設定に係る処理を他の回路ブロックの処理に影響を与えないようにすることができる。

【実施例 2】

【 0 0 5 6 】

図 1 2 は、本発明の実施例 2 に係る液晶表示装置に適用されるアナログバッファ回路の構成を示すブロック図である。このアナログバッファ回路 4 0 は、実施例 1 に係る N M O S ソースフォロワ回路によるアナログバッファに代えて、P M O S ソースフォロワ回路により構成される。このためこの実施例 2 に係る液晶表示装置では、実施例 1 に係る液晶表示装置 1 におけるグランド電位と正側所定電位との間の切り換えに係るプリチャージの処理に代えて、グランド電位と負側所定電位との間の切り換えに係るプリチャージの処理を実行する。

10

【 0 0 5 7 】

アナログバッファ回路 4 0 においては、N M O S トランジスタに代えて P M O S トランジスタにより構成する点、この構成に対応して正側電源及び負側電源に対する各部の接続が異なる点を除いて、実施例 1 のアナログバッファ回路 2 0 と同一に構成される。また図 1 3 に示すように、定電流回路 4 6 においても、N M O S トランジスタに代えて P M O S トランジスタが適用され、これに対応して正側電源及び負側電源に対する各部の接続が異なる点を除いて、実施例 1 の定電流回路 2 6 と同一に構成される。

20

【 0 0 5 8 】

なおこのアナログバッファ回路に係るタイムチャートを図 7 との対比により図 1 4 に示す。また図 1 2 においては、プリチャージ回路の記載を省略して保持容量等に係る接続を符号 C s i g 等により示す。

【 0 0 5 9 】

この実施の形態のように P M O S により定電流回路を構成する場合でも、実施例 1 と同一の効果を得ることができる。

30

【実施例 3】

【 0 0 6 0 】

図 1 5 は、本発明の実施例 3 に係る液晶表示装置に適用されるアナログバッファ回路の構成を示すブロック図である。このアナログバッファ回路 5 0 は、実施例 1 に係る N M O S ソースフォロワ回路によるアナログバッファに代えて、この N M O S ソースフォロワ回路と P M O S ソースフォロワ回路との組み合わせにより構成される。このためこの実施例 3 に係る液晶表示装置では、実施例 1 に係る液晶表示装置 1 におけるグランド電位と正側所定電位との間の切り換えに係るプリチャージの処理に代えて、正側所定電位と負側所定電位との間の切り換えに係るプリチャージの処理を実行する。

40

【 0 0 6 1 】

このアナログバッファ回路においては、図 1 6 に示すように、実施例 1 に係る N M O S トランジスタによりソースフォロワ回路と、実施例 2 に係る P M O S トランジスタによりソースフォロワ回路との組み合わせにより構成され、プリチャージの処理に係る電位の正側又は負側の設定に対応して N M O S トランジスタによるソースフォロワ回路と、P M O S トランジスタによるソースフォロワ回路とが交互に動作するようになされている。

【 0 0 6 2 】

この実施例のように、N M O S ソースフォロワ回路と、P M O S ソースフォロワ回路と

50

の組み合わせにより構成され、アナログバッファ回路を構成する場合にも、定電流回路に関して、第1又は第2の実施例と同様の効果を得ることができる。

【実施例4】

【0063】

図17は、本発明の実施例4に係る液晶表示装置に適用されるアナログデジタル変換回路及びバッファ回路の構成を示すブロック図である。この実施例に係る液晶表示装置においては、基準電圧発生回路15から出力される基準電圧 $V_0 \sim V_{63}$ を実施例1～3について上述したアナログバッファ回路57により処理した後、各基準電圧セレクタ16により選択する。なおプリチャージ回路においては、各基準電圧セレクタ16の出力に設けられる。なおこの図17の構成は、本願の参考例としての構成である。

10

【0064】

この実施例のように、基準電圧発生回路15で生成される基準電圧をアナログバッファ回路により処理する場合に適用しても、上述の実施例と同様の効果を得ることができる。

【実施例5】

【0065】

図18は、本発明の実施例5に係る定電流回路を示す接続図である。この定電流回路66は、TFTによる各種集積回路に適用される。この定電流回路66は、トランジスタQ14A及びサンプリング用コンデンサC3A、トランジスタQ14B及びサンプリング用コンデンサC3B、トランジスタQ14C及びサンプリング用コンデンサC3Cに順次トランジスタQ13による基準電流を供給し、各サンプリング用コンデンサC3A、C3B、C3CにそれぞれトランジスタQ14A、Q14B、Q14Cを基準電流により駆動するのに必要なゲート-ソース間電圧を設定し、各トランジスタQ14A、Q14B、Q14Cにおいては、このサンプリング用コンデンサC3A、C3B、C3Cに設定されたゲート-ソース間電圧により対応する駆動対象より定電流を流出させる。なおこの図18の構成は、本願の参考例としての構成である。

20

【0066】

この実施例のように、1つの基準電流より複数の駆動対象を駆動する場合であっても、時分割により各トランジスタのゲート-ソース間電圧をサンプリング用コンデンサに設定して上述した実施例と同様に処理することにより、実施例1と同様の効果を得ることができる。

30

【0067】

なお上述の実施例においては、ライン反転により表示部を駆動する場合について述べたが本発明はこれに限らず、フィールド反転等により駆動する場合にも広く適用することができる。

【0068】

また上述の実施例においては、ガラス基板上に表示部等を作成してなるTFT液晶によるフラットディスプレイ装置に本発明を適用する場合について述べたが、本発明はこれに限らず、CGS(Continuous Grain Silicon)液晶等、各種の液晶表示装置、さらにはEL(Electro Luminescence)表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

40

【産業上の利用可能性】

【0070】

本発明は、TFT、CGS等によるアクティブ素子による定電流回路、このような定電流回路を用いたフラットディスプレイ装置に適用することができる。

【図面の簡単な説明】

【0071】

【図1】本発明の実施例1に適用される定電流回路を示す接続図である。

【図2】本発明の実施例1に係る液晶表示装置を示すブロック図である。

【図3】図2の液晶表示装置の水平駆動回路の一部を示すブロック図である。

【図4】図3のバッファ回路を示す接続図である。

50

【図 5】図 4 のバッファ回路におけるプリチャージ回路の動作の説明に供するタイムチャートである。

【図 6】図 1 の定電流回路の動作の説明に供するタイムチャートである。

【図 7】図 4 のバッファ回路におけるアナログバッファ回路の動作の説明に供するタイムチャートである。

【図 8】図 4 のバッファ回路におけるアナログバッファ回路の動作の説明に供する接続図である。

【図 9】図 8 の続きの説明に供する接続図である。

【図 10】図 9 の続きの説明に供する接続図である。

【図 11】図 10 の続きの説明に供する接続図である。

10

【図 12】本発明の実施例 2 に適用されるアナログバッファ回路を示す接続図である。

【図 13】図 12 のアナログバッファ回路に適用される定電流回路を示す接続図である。

【図 14】図 12 のアナログバッファ回路の動作の説明に供するタイムチャートである。

【図 15】本発明の実施例 3 に適用されるアナログバッファ回路を示す接続図である。

【図 16】図 15 のアナログバッファ回路の動作の説明に供するタイムチャートである。

【図 17】本発明の実施例 4 に適用される水平駆動回路の一部構成を示すブロック図である。

【図 18】本発明の実施例 5 に係る定電流回路を示す接続図である。

【図 19】従来の定電流回路を示す接続図である。

【図 20】図 19 とは異なる例を示す接続図である。

20

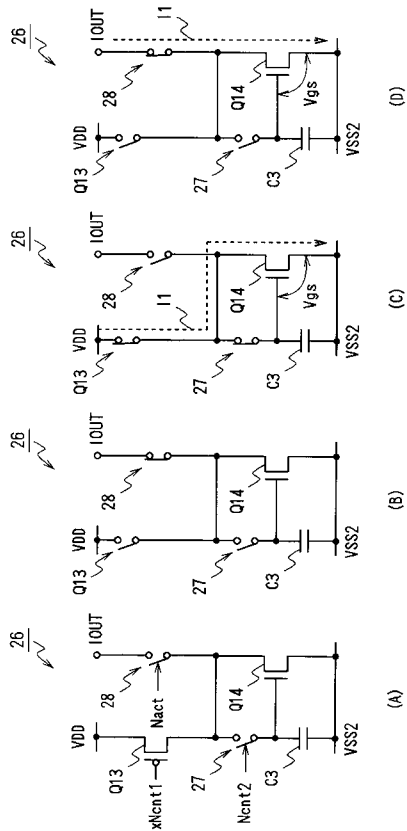
【符号の説明】

【0072】

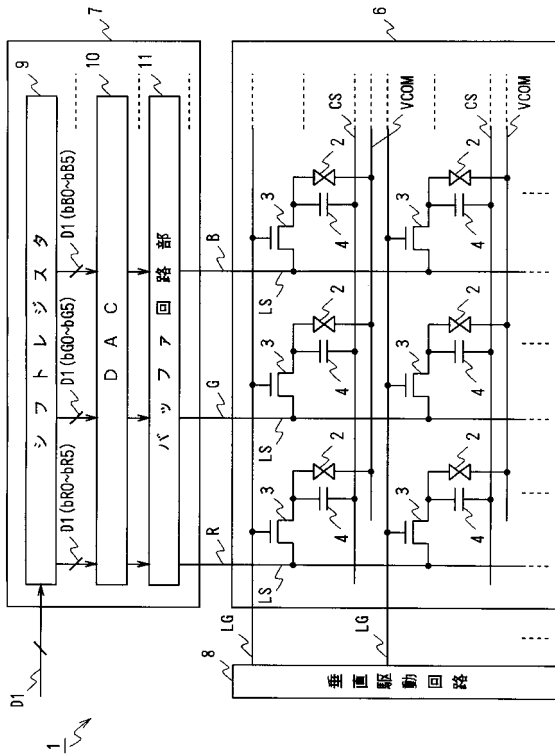
1 …… 液晶表示装置、2 …… 液晶セル、3、Q1 ~ Q14 C …… トランジスタ、4 …… 保持容量、6 …… 表示部、7 …… 水平駆動回路、8 …… 垂直駆動回路、9 …… シフトレジスタ、10 …… デジタルアナログ変換回路、11 …… バッファ回路部、15 …… 基準電圧発生回路、16 …… 基準電圧セレクタ、17 …… タイミング発生回路、18 …… バッファ回路、20、40、50、57 …… アナログバッファ回路、21 …… プリチャージ回路、22、23、24、31 ~ 35 …… スイッチ回路、26、46、66 …… 定電流回路、C1 ~ C3、C3A ~ C3C …… コンデンサ

30

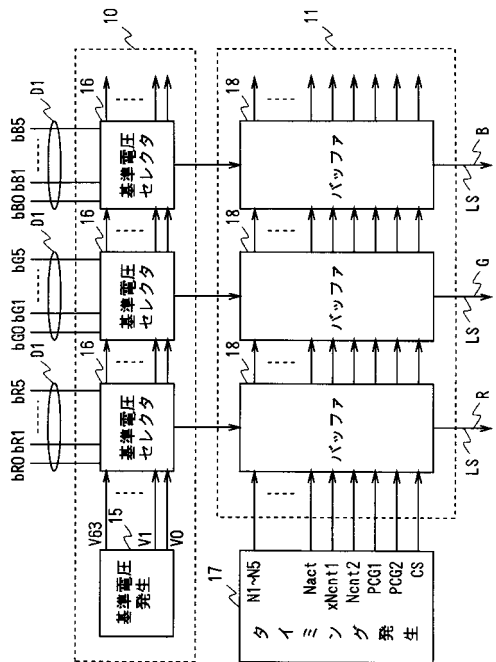
【図 1】



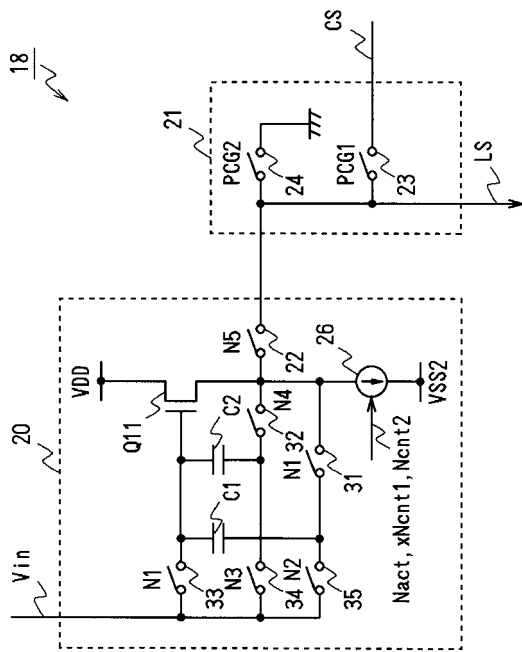
【図 2】



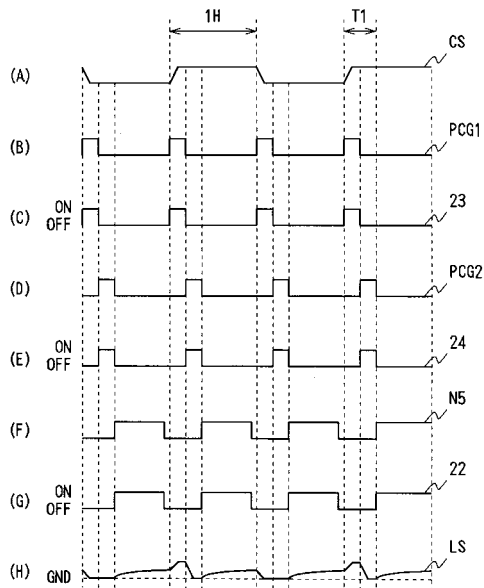
【図 3】



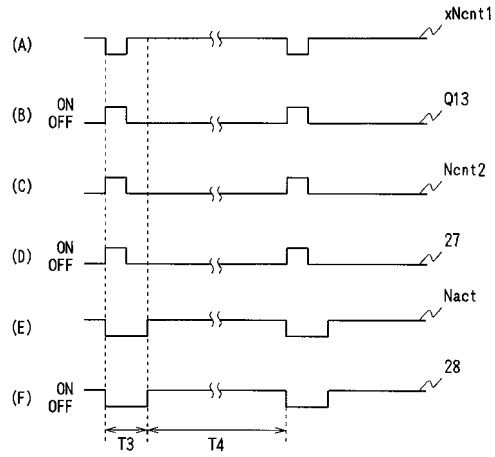
【図 4】



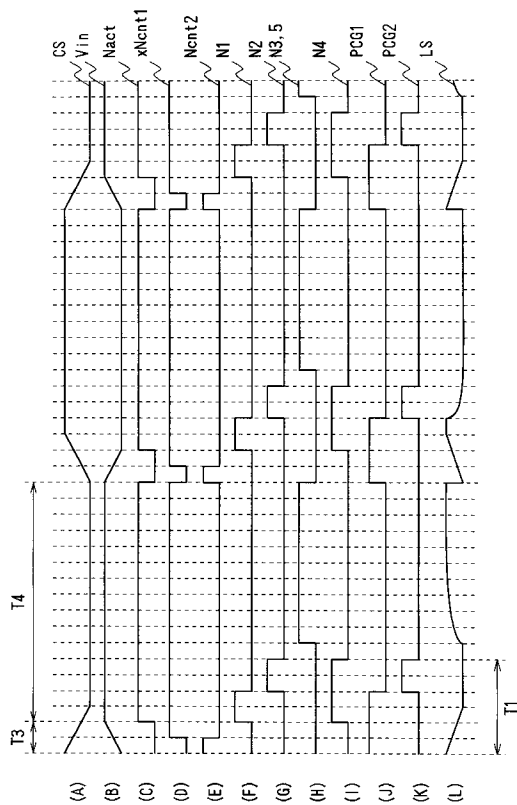
【図5】



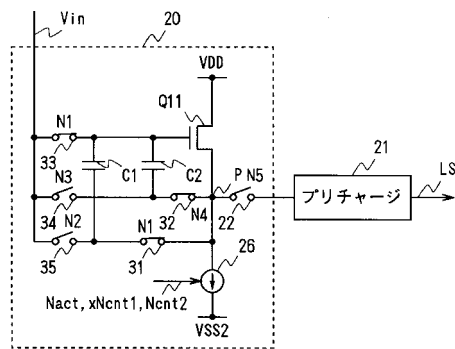
【図6】



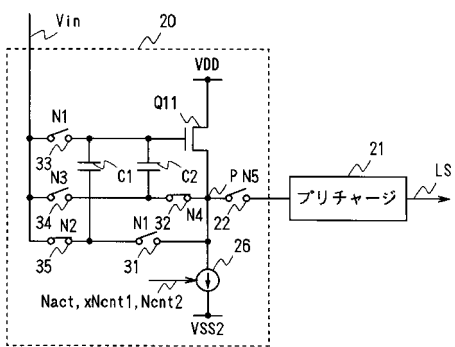
【図7】



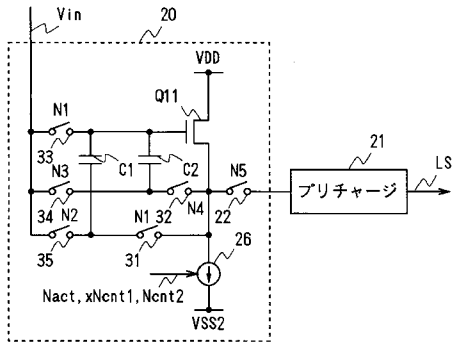
【図8】



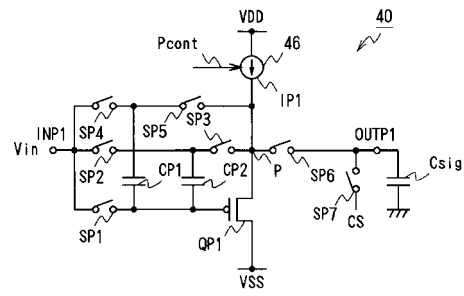
【図9】



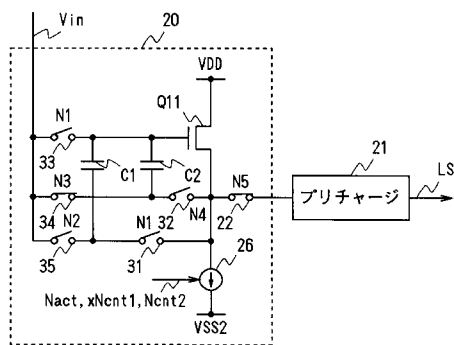
【図10】



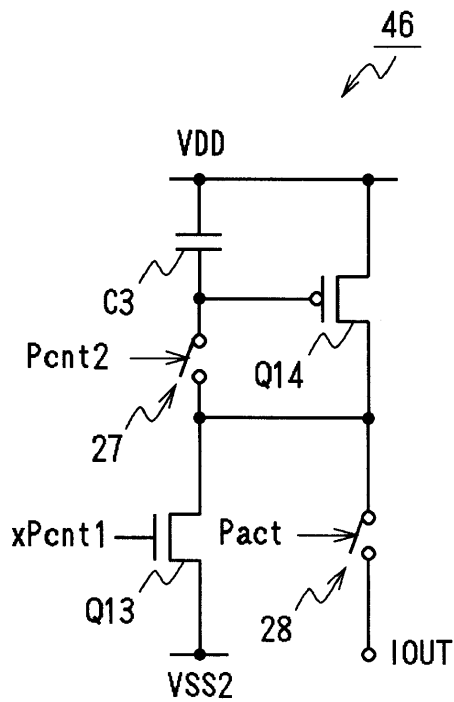
【図12】



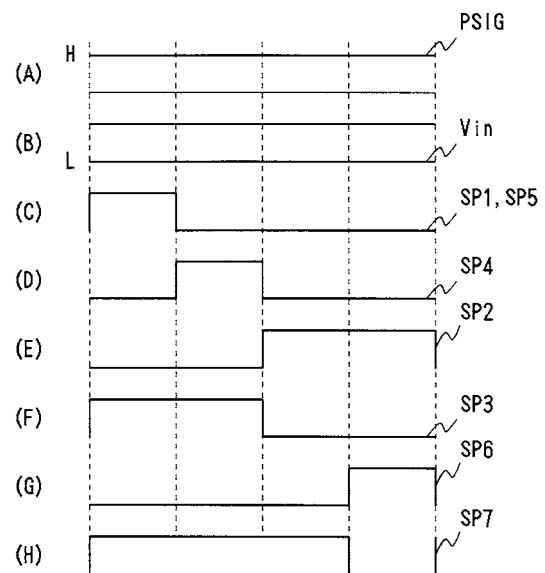
【図11】



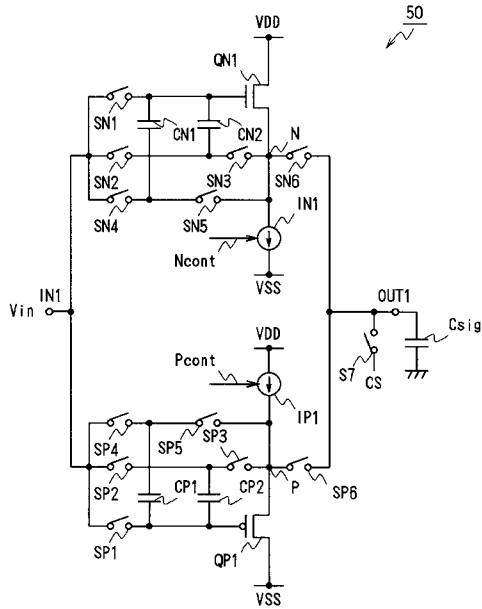
【図13】



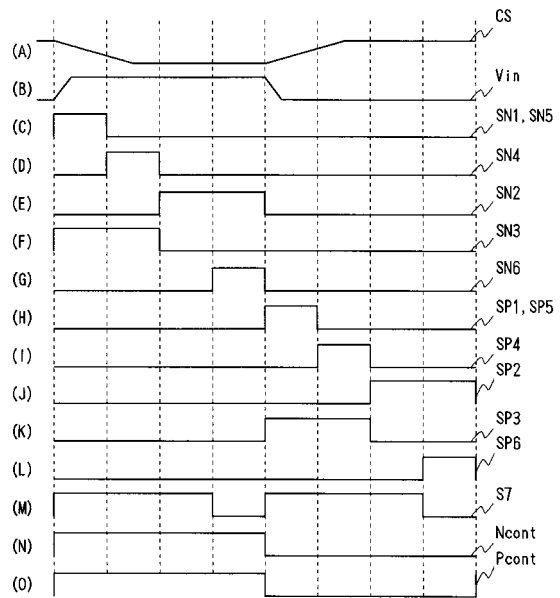
【図14】



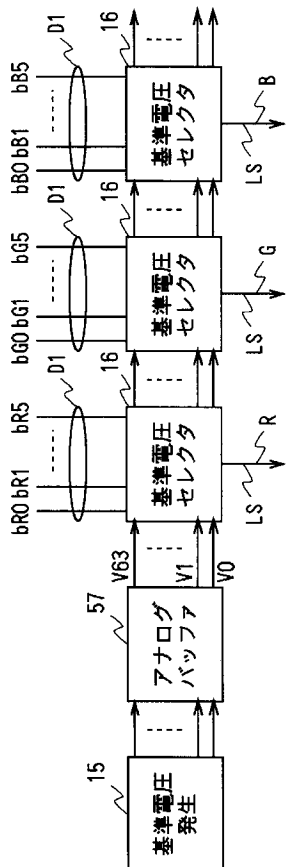
【図15】



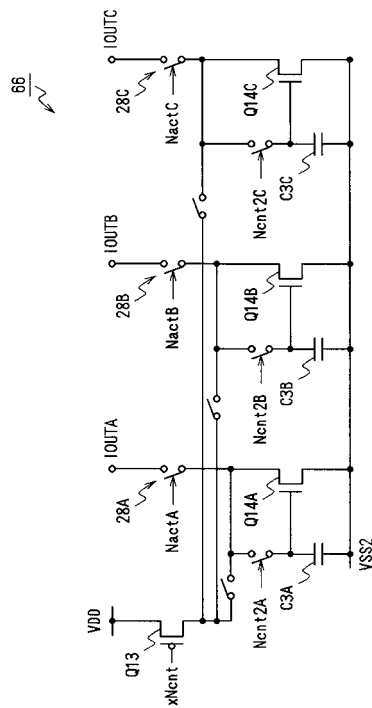
【図16】



【図17】

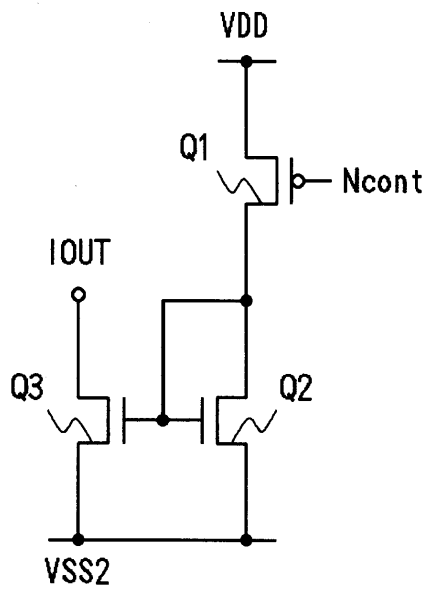


【図18】

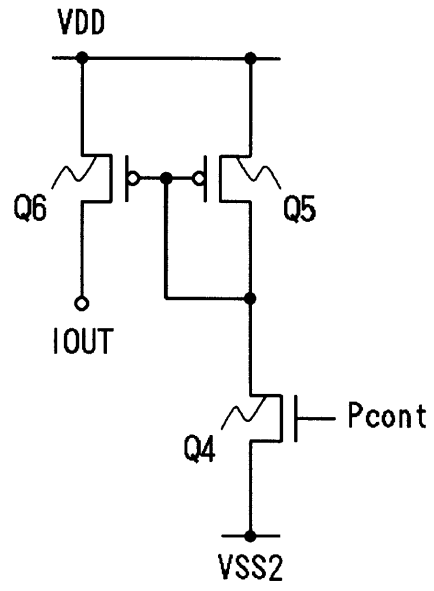




【 図 19 】



【 図 20 】



## フロントページの続き

(51)Int.Cl.		F I	
<i>H 0 3 K</i>	<i>17/687</i>	<i>(2006.01)</i>	G 0 2 F 1/1345
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	G 0 9 G 3/20 6 1 1 H
			G 0 9 G 3/20 6 1 2 E
			G 0 9 G 3/20 6 2 3 B
			G 0 9 G 3/20 6 2 3 F
			G 0 9 G 3/20 6 2 3 L
			G 0 9 G 3/36
			H 0 3 K 17/687 H
			H 0 5 B 33/14 A

- (56)参考文献 特開平11-073165(JP,A)  
 特開平09-330060(JP,A)  
 特開平08-265115(JP,A)  
 特開2003-150109(JP,A)  
 特開2002-152565(JP,A)  
 実開昭62-122488(JP,U)  
 米国特許第05572153(US,A)  
 S.J.Daubert他,「Operation and analysis of current copier circuits」, IEE PROCEEDINGS  
 , 米国, I E E E , 1 9 9 0 年 4 月, VOL.137, Pt.G, NO.2, pp109-115, カレントコピー回路

## (58)調査した分野(Int.Cl., DB名)

H 0 3 K 17 / 0 0 - 17 / 7 0  
 H 0 3 K 5 / 0 0 - 5 / 0 2 ; 5 / 0 8 - 5 / 1 2 ; 5 / 1 5 - 5 / 2 6  
 G 0 2 F 1 / 1 3 3  
 G 0 2 F 1 / 1 3 4 5  
 G 0 9 G 3 / 2 0  
 G 0 9 G 3 / 3 6  
 H 0 1 L 5 1 / 5 0