

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6164636号
(P6164636)

(45) 発行日 平成29年7月19日(2017.7.19)

(24) 登録日 平成29年6月30日(2017.6.30)

(51) Int.Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 N			
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 2 K			
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 P			
HO 1 L 29/49 (2006.01)	HO 1 L 29/78	6 5 2 Q			
HO 1 L 29/423 (2006.01)	HO 1 L 29/78	6 5 2 S			
請求項の数 23 (全 28 頁) 最終頁に続く					

(21) 出願番号	特願2013-43407 (P2013-43407)	(73) 特許権者	000116024
(22) 出願日	平成25年3月5日(2013.3.5)		ローム株式会社
(65) 公開番号	特開2014-175314 (P2014-175314A)		京都府京都市右京区西院溝崎町2-1番地
(43) 公開日	平成26年9月22日(2014.9.22)	(74) 代理人	100087701
審査請求日	平成28年2月1日(2016.2.1)		弁理士 稲岡 耕作
		(74) 代理人	100101328
			弁理士 川崎 実夫
		(74) 代理人	100149766
			弁理士 京村 順二
		(72) 発明者	中野 佑紀
			京都市右京区西院溝崎町2-1番地
			株式会社内
		(72) 発明者	中村 亮太
			京都市右京区西院溝崎町2-1番地
			株式会社内
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

セル部および前記セル部の周囲に配置された外周部を有する第1導電型の半導体層と、
前記セル部および前記外周部に跨るように配置され、前記セル部において、前記外周部
における部分よりも薄くなるように形成された表面絶縁膜と、

前記セル部の表面側に形成されたゲートトレンチと、

ゲート絶縁膜を介して前記ゲートトレンチに埋め込まれ、オン時に前記ゲートトレンチ
の側部にチャネルを形成するゲート電極と、

少なくとも前記外周部に配置され、前記ゲート電極に対してコンタクトをとるためのゲ
ートフィンガーとを含み、

10

前記ゲートトレンチは、前記ゲートフィンガーの下方において前記ゲートフィンガーを
横切り、その終端部が前記ゲートフィンガーよりも外側にはみ出すように配置されている
ライン状のトレンチを含む、半導体装置。

【請求項2】

前記外周部は、前記ゲートトレンチの深さ以上の深さ位置に配置された半導体表面を有
しており、

前記外周部の前記半導体表面に形成された第2導電型の半導体領域を有する耐圧構造を
さらに含む、請求項1に記載の半導体装置。

【請求項3】

20

前記ゲートトレンチは、オン時に前記チャネルがその側部に形成される内側トレンチと、当該内側トレンチの延長部で構成され、当該内側トレンチに対して外側に配置された外側トレンチとを含み、

前記半導体装置は、前記外側トレンチの側部および底部に形成された第2導電型の層をさらに含む、請求項1または2に記載の半導体装置。

【請求項4】

前記半導体装置は、前記ゲートフィンガーの下方領域において前記ゲートトレンチが形成されていない前記半導体層の半導体表面に形成され、前記半導体層よりも高濃度に不純物を含む第1導電型の高濃度層をさらに含む、請求項1～3のいずれか一項に記載の半導体装置。

10

【請求項5】

前記セル部は、
前記半導体層の表面に露出するように配置された第1導電型のソース領域と、
前記ソース領域に接するように配置され、オン時に前記チャネルが形成される第2導電型のチャネル領域と、
前記チャネル領域に接するように配置された第1導電型のドレイン領域と、
前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、
前記第2トレンチの底部に選択的に配置され、前記チャネル領域と電気的に接続された第2導電型のチャネルコンタクト領域とを含む、請求項1～4のいずれか一項に記載の半導体装置。

20

【請求項6】

前記セル部は、
前記半導体層の表面に露出するように配置された第1導電型のソース領域と、
前記ソース領域に接するように配置され、オン時に前記チャネルが形成される第2導電型のチャネル領域と、
前記チャネル領域に接するように配置された第1導電型のドレイン領域と、
前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、
前記第2トレンチに埋め込まれたトレンチ埋め込み部と、
前記ソース部において前記第2トレンチの底部よりも高い位置に選択的に配置され、前記チャネル領域と電気的に接続された第2導電型のチャネルコンタクト領域とを含む、請求項1～4のいずれか一項に記載の半導体装置。

30

【請求項7】

前記トレンチ埋め込み部は、前記第2トレンチの内面に形成された絶縁膜と、前記絶縁膜の内側に埋め込まれたポリシリコン層とからなる、請求項6に記載の半導体装置。

【請求項8】

前記絶縁膜は、 SiO_2 、AlON、 Al_2O_3 、 SiO_2/AlON 、 $\text{SiO}_2/\text{AlON}/\text{SiO}_2$ 、 SiO_2/SiN および $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ のいずれかからなる、請求項7に記載の半導体装置。

40

【請求項9】

前記絶縁膜は、窒素(N)を含む SiO_2 膜を有する、請求項7または8に記載の半導体装置。

【請求項10】

前記絶縁膜は、前記第2トレンチの前記底部において、前記第2トレンチの側部における部分よりも厚くなるように形成されている、請求項7～9のいずれか一項に記載の半導体装置。

【請求項11】

前記ポリシリコン層は、 n^+ 型ポリシリコンからなる、請求項7～10のいずれか一項に記載の半導体装置。

50

【請求項 1 2】

前記トレンチ埋め込み部は、前記第 2 トレンチを埋め戻す絶縁層からなる、請求項 6 に記載の半導体装置。

【請求項 1 3】

前記絶縁層は、 SiO_2 からなる、請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記絶縁層は、リン (P) またはホウ素 (B) を含む SiO_2 からなる、請求項 1 3 に記載の半導体装置。

【請求項 1 5】

前記トレンチ埋め込み部は、前記第 2 トレンチを埋め戻すポリシリコン層からなる、請求項 6 に記載の半導体装置。

10

【請求項 1 6】

前記ポリシリコン層は、 p^+ 型ポリシリコンからなる、請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記チャネル領域および前記チャネルコンタクト領域に連なるように、前記第 2 トレンチの前記底部および側部に形成された第 2 導電型の層をさらに含む、請求項 5 ~ 1 6 のいずれか一項に記載の半導体装置。

【請求項 1 8】

前記ゲート電極は、前記ゲートトレンチの内面に形成されたポリシリコンからなる下地膜と、前記下地膜の内側に埋め込まれた Mo、W、Al、Pt、Ni および Ti の少なくとも一種を含む埋め込みメタルとを含む、請求項 1 ~ 4 のいずれか一項に記載の半導体装置。

20

【請求項 1 9】

前記半導体装置は、前記半導体層の表面側に配置された銅 (Cu) を含む金属からなる表面金属層をさらに含む、請求項 1 ~ 1 8 のいずれか一項に記載の半導体装置。

【請求項 2 0】

前記表面金属層は、Al - Cu 系合金を含む、請求項 1 9 に記載の半導体装置。

【請求項 2 1】

前記セル部には、前記ゲートトレンチによって格子状に区画された単位セルが複数形成されている、請求項 1 ~ 4 のいずれか一項に記載の半導体装置。

30

【請求項 2 2】

前記セル部には、前記ゲートトレンチによってストライプ状に区画された単位セルが複数形成されている、請求項 1 ~ 4 のいずれか一項に記載の半導体装置。

【請求項 2 3】

前記半導体層は、SiC、GaN またはダイヤモンドからなる、請求項 1 ~ 2 2 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

40

【背景技術】

【0002】

従来、モータ制御システム、電力変換システムなど、各種パワーエレクトロニクス分野におけるシステムに主として使用される半導体パワーデバイスが注目されている。

この種の半導体パワーデバイスとして、たとえば、トレンチゲート構造を有する SiC 半導体装置が提案されている。

たとえば、特許文献 1 は、 n^+ 型の SiC 基板と、当該 SiC 基板上に形成された n^- 型のエピタキシャル層 (ドリフト領域) と、エピタキシャル層の表面側に形成された p 型のボディ領域と、ボディ領域内においてその表面側に形成された n^+ 型のソース領域と、

50

ソース領域およびボディ領域を貫通してドリフト領域に達するように形成された格子状のゲートトレンチと、ゲートトレンチの内面に形成されたゲート絶縁膜と、ゲートトレンチに埋設されたゲート電極と、格子状のゲートトレンチに取り囲む位置においてソース領域およびボディ領域を貫通してドリフト領域に達するように形成されたソーストレンチと、ソース電極に入り込むように形成されたソース電極とを含む、電界効果トランジスタを開示している。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-134910号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、従来の耐圧特性を犠牲にすることなく、表面金属層の平坦性を向上できる半導体装置を提供することである。

【課題を解決するための手段】

【0005】

上記目的を達成するための本発明の半導体装置は、セル部および前記セル部の周囲に配置された外周部を有する第1導電型の半導体層と、前記セル部および前記外周部に跨るように配置され、前記セル部において、前記外周部における部分よりも薄くなるように形成された表面絶縁膜と、前記セル部の表面側に形成されたゲートトレンチと、ゲート絶縁膜を介して前記ゲートトレンチに埋め込まれ、オン時に前記ゲートトレンチの側部にチャネルを形成するゲート電極と、少なくとも前記外周部に配置され、前記ゲート電極に対してコンタクトをとるためのゲートフィンガーとを含み、前記ゲートトレンチは、前記ゲートフィンガーの下方において前記ゲートフィンガーを横切り、その終端部が前記ゲートフィンガーよりも外側にはみ出すように配置されているライン状のトレンチを含む。

20

この構成によれば、セル部の表面絶縁膜を選択的に薄くすることにより、たとえば表面絶縁膜に開口（コンタクトホール等）が形成される場合に、表面絶縁膜の表面とセル部の表面（デバイス表面）との段差（凹凸）を小さくできる。これにより、当該開口に金属を埋め込んで、表面絶縁膜上に表面金属層を形成するときに、当該表面金属層の平坦性を向上できる。したがって、たとえば表面金属層にワイヤを接合する場合においては、表面金属層とワイヤとの密着性を向上できる。その結果、ワイヤを良好に接合できるので、ワイヤ接合部の信頼性を向上できる。さらに、表面金属層の平坦性が良いので、ワイヤ接合の際、超音波振動や圧力によってデバイスが破壊されることを防止でき、組み立て歩留まりの低下を防止できる。

30

また、この構成によれば、ゲート電圧の印加時に電界が集中しやすいトレンチの角部（たとえば、格子状トレンチの交差部における角等）がゲートフィンガーの下方に配置されないため、ゲート絶縁膜の信頼性や耐圧を向上できる。

【0006】

一方、外周部の表面絶縁膜の厚さは、セル部の表面絶縁膜の厚さと切り離して設計できる。したがって、外周部の電界分布に影響を与えないような厚さで設計することにより、耐圧特性を維持できる。つまり、この構成によれば、表面金属層の平坦性の改善に際し、耐圧特性の変動や当該変動による耐圧不良を防止できる。

40

本発明の半導体装置では、前記外周部は、前記ゲートトレンチの深さ以上の深さ位置に配置された半導体表面を有しており、前記外周部の前記半導体表面に形成された第2導電型の半導体領域を有する耐圧構造をさらに含んでもよい。

【0007】

この構成によれば、耐圧構造を、ゲートトレンチの深さと同等かそれ以上の深さ位置に形成できる。これにより、ゲートトレンチの底部から半導体層の裏面までの当該半導体層の厚さを、耐圧構造を構成する半導体領域から当該裏面までの厚さよりも厚くできる。そ

50

の結果、半導体層の表面側 - 裏面側間にかかる電界を、耐圧構造に安定して分担させることができる。よって、ゲートトレンチの深さに依存せずに、半導体層に安定した電界分布を形成できるので、ゲートトレンチの底部への電界集中を良好に緩和できる。

【0009】

本発明の半導体装置では、前記ゲートトレンチは、オン時に前記チャンネルがその側部に形成される内側トレンチと、当該内側トレンチの延長部で構成され、当該内側トレンチに対して外側に配置された外側トレンチとを含み、前記半導体装置は、前記外側トレンチの側部および底部に形成された第2導電型の層をさらに含んでいてもよい。

【0010】

この構成によれば、半導体層の導電型とは異なる第2導電型の層によって、当該第2導電型の層と半導体層との接合（pn接合）から空乏層を発生させることができる。そして、この空乏層が等電位面を外側トレンチから遠ざけるので、外側トレンチの底部にかかる電界を緩和できる。よって、外側トレンチの底部における破壊を防止できる。

本発明の半導体装置は、前記ゲートフィンガーの下方領域において前記ゲートトレンチが形成されていない前記半導体層の半導体表面に形成され、前記半導体層よりも高濃度に不純物を含有する第1導電型の高濃度層をさらに含んでいてもよい。

【0011】

この構成によれば、不純物濃度が高い高濃度層の酸化レートを、それによりも低濃度の半導体層に比べて速くできる。したがって、ゲート絶縁膜を熱酸化によって形成する場合には、ゲートフィンガーの下方領域において、ゲートトレンチの上部に厚い酸化膜を選択的に形成できる。これにより、ゲート電圧の印加時にゲートトレンチの上部エッジにかかる電界を弱め、ゲート絶縁膜の絶縁破壊を防止できる。

【0012】

本発明の半導体装置では、前記セル部は、前記半導体層の表面に露出するように配置された第1導電型のソース領域と、前記ソース領域に接するように配置され、オン時に前記チャンネルが形成される第2導電型のチャンネル領域と、前記チャンネル領域に接するように配置された第1導電型のドレイン領域と、前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、前記第2トレンチの底部に選択的に配置され、前記チャンネル領域と電気的に接続された第2導電型のチャンネルコンタクト領域とを含んでいてもよい。

【0013】

本発明の半導体装置では、前記セル部は、前記半導体層の表面に露出するように配置された第1導電型のソース領域と、前記ソース領域に接するように配置され、オン時に前記チャンネルが形成される第2導電型のチャンネル領域と、前記チャンネル領域に接するように配置された第1導電型のドレイン領域と、前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、前記第2トレンチに埋め込まれたトレンチ埋め込み部と、前記ソース部において前記第2トレンチの底部よりも高い位置に選択的に配置され、前記チャンネル領域と電気的に接続された第2導電型のチャンネルコンタクト領域とを含んでいてもよい。

【0014】

この構成によれば、第2トレンチによって、たとえばゲートトレンチの底部付近における等電位面の集中を防止でき、当該底部付近での電位勾配を緩やかにできる。そのため、ゲートトレンチの底部に対する電界集中を緩和できる。

また、第2トレンチにトレンチ埋め込み部が埋め込まれているので、半導体層の表面（デバイス表面）において、ソース部とそれ以外の部分との段差（凹凸）を小さくできる。これにより、当該デバイス表面上に表面金属層を形成するときに、表面金属層の平坦性を向上できる。したがって、たとえば表面金属層にワイヤを接合する場合においては、表面金属層とワイヤとの密着性を向上できる。その結果、ワイヤを良好に接合できるので、ワイヤ接合部の信頼性を向上できる。さらに、表面金属層の平坦性が良いので、ワイヤ接合の際、超音波振動や圧力によってデバイスが破壊されることを防止でき、組み立て歩留ま

10

20

30

40

50

りの低下を防止できる。

【0015】

さらに、チャンネルコンタクト領域が第2トレンチの底部よりも高い位置に配置されているので、第2トレンチが形成されていても、このチャンネルコンタクト領域を介してチャンネル領域へのコンタクトを確実にとることができる。つまり、表面金属層の平坦性の改善に際し、ゲート耐圧、チャンネル領域へのコンタクト性等のデバイス性能の低下を防止できる。

【0016】

本発明の半導体装置では、前記トレンチ埋め込み部は、前記第2トレンチの内面に形成された絶縁膜と、前記絶縁膜の内側に埋め込まれたポリシリコン層とからなっているもよい。

10

この構成によれば、たとえば、半導体層の表面に SiO_2 からなる表面絶縁膜が形成されている場合において、当該表面絶縁膜を選択的にエッチングしてソース部をコンタクトホールから露出させるとき、第2トレンチに埋め込まれたポリシリコン層をエッチングストッパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。

【0017】

本発明の半導体装置では、前記絶縁膜は、 SiO_2 、AlON、 Al_2O_3 、 SiO_2/AlON 、 $\text{SiO}_2/\text{AlON}/\text{SiO}_2$ 、 SiO_2/SiN および $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ のいずれかからなっているもよい。

20

この構成によれば、たとえば、ゲート絶縁膜を第2トレンチ内の絶縁膜と同一工程で形成することによって、ゲート絶縁膜を上にも例示した材料で構成できる。この場合、ゲート絶縁膜をAlONや Al_2O_3 等の高誘電率(High-k)膜で構成すれば、ゲート耐圧を向上でき、デバイスの信頼性を向上できる。

【0018】

本発明の半導体装置では、前記絶縁膜は、窒素(N)を含む SiO_2 膜を有しているもよい。

この構成によれば、たとえば、ゲート絶縁膜を第2トレンチ内の絶縁膜と同一工程で形成することによって、窒素(N)を含む SiO_2 膜を有する材料でゲート絶縁膜を構成できる。このゲート絶縁膜によって、チャンネル移動度を向上できる。

30

【0019】

本発明の半導体装置では、前記絶縁膜は、前記第2トレンチの前記底部において、前記第2トレンチの側部における部分よりも厚くなるように形成されているもよい。

この構成によれば、たとえば、ゲート絶縁膜を第2トレンチ内の絶縁膜と同一工程で形成することによって、ゲート絶縁膜に関しても、たとえばゲートトレンチの底部において、ゲートトレンチの側部における部分よりも厚くできる。これにより、ゲートトレンチの底部での耐圧を向上できる。

【0020】

本発明の半導体装置では、前記ポリシリコン層は、 n^+ 型ポリシリコンからなっているもよい。

40

この構成によれば、たとえば、ゲート電極を第2トレンチ内のポリシリコン層と同一工程で形成することによって、ゲート電極を n^+ 型ポリシリコンで構成できる。 n^+ 型ポリシリコンはシート抵抗が比較的低いので、トランジスタのスイッチング速度を高速化できる。

【0021】

本発明の半導体装置では、前記トレンチ埋め込み部は、前記第2トレンチを埋め戻す絶縁層からなっているもよい。

この構成によれば、第2トレンチ内が絶縁層で満たされているので、第2トレンチを介して流れるリーク電流を防止するか、もしくは低減できる。

本発明の半導体装置では、前記絶縁層は、 SiO_2 からなることが好ましい。この場合

50

、前記絶縁層は、リン(P)またはホウ素(B)を含むSiO₂からなっているもよい。

【0022】

この構成によれば、リンまたはホウ素を含むことによってSiO₂の融点が低下するので、絶縁層の埋め込みプロセスを簡単にできる。そのようなSiO₂としては、たとえば、PSG(リンシリケートガラス)、PBSG(リンホウ素シリケートガラス)を使用できる。

本発明の半導体装置では、前記トレンチ埋め込み部は、前記第2トレンチを埋め戻すポリシリコン層からなっているもよい。

【0023】

この構成によれば、たとえば、半導体層の表面にSiO₂からなる表面絶縁膜が形成されている場合において、当該表面絶縁膜を選択的にエッチングしてソース部をコンタクトホールから露出させるとき、第2トレンチに埋め込まれたポリシリコン層をエッチングストッパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。

【0024】

本発明の半導体装置では、前記ポリシリコン層は、p⁺型ポリシリコンからなっているもよい。

この構成によれば、たとえば、チャネル領域およびチャネルコンタクト領域がp型の場合、p⁺型のポリシリコン層を利用してこれらの領域を電氣的に接続できる。これにより、チャネル領域とチャネルコンタクト領域との間の電流路の長さを短くできるので、これらの間のベース抵抗を小さくできる。その結果、ラッチアップを良好に防止できる。さらに、チャネルコンタクト領域がポリシリコン層に接している場合には、これらの間のコンタクト抵抗を小さくすることもできる。このコンタクト抵抗の低減化も、チャネル領域 - チャネルコンタクト領域間のベース抵抗の低減化に寄与する。

【0025】

本発明の半導体装置は、前記チャネル領域および前記チャネルコンタクト領域に連なるように、前記第2トレンチの前記底部および側部に形成された第2導電型の層をさらに含んでいるもよい。

この構成によれば、半導体層の導電型とは異なる第2導電型の層によって、当該第2導電型の層と半導体層との接合(pn接合)から空乏層を発生させることができる。そして、この空乏層が等電位面をゲートトレンチから遠ざけるので、ゲートトレンチの底部にかかる電界を一層緩和できる。

【0026】

本発明の半導体装置では、前記ゲート電極は、前記ゲートトレンチの内面に形成されたポリシリコンからなる下地膜と、前記下地膜の内側に埋め込まれたMo、W、Al、Pt、NiおよびTiの少なくとも一種を含む埋め込みメタルとを含んでいるもよい。

この構成によれば、埋め込みメタルによってゲート抵抗を比較的に低くできるので、トランジスタのスイッチング速度を高速化できる。

【0027】

本発明の半導体装置は、前記半導体層の表面側に配置された銅(Cu)を含む金属からなる表面金属層をさらに含んでいるもよい。この場合、前記表面金属層は、Al-Cu系合金を含んでいるもよい。

この構成によれば、表面金属層のシート抵抗を低くできるので、電流密度を高くできる。

【0028】

本発明の半導体装置では、前記セル部には、複数の単位セルが、前記ゲートトレンチによって格子状に区画されていてもよいし、前記ゲートトレンチによってストライプ状に区画されていてもよい。

本発明の半導体装置では、前記半導体層は、SiC、GaNまたはダイヤモンドからなっているもよい。

10

20

30

40

50

【図面の簡単な説明】

【0029】

【図1】図1は、本発明の第1実施形態に係る半導体装置の模式平面図である。

【図2】図2は、図1の要部拡大図であって、一部を透視して示している。

【図3】図3は、図2のIII-III断面における半導体装置の断面構造を示す。

【図4】図4は、図2のIV-IV断面における半導体装置の断面構造を示す。

【図5】図5は、図2のV-V断面における半導体装置の断面構造を示す。

【図6】図6は、図2のVI-VI断面における半導体装置の断面構造を示す。

【図7】図7は、図3のセル部を拡大して示す図である。

【図8】図8は、前記セル部の第1変形例を示す図である。

10

【図9】図9は、前記セル部の第2変形例を示す図である。

【図10】図10は、前記セル部の第3変形例を示す図である。

【図11】図11は、前記セル部の第4変形例を示す図である。

【図12】図12は、前記セル部の第5変形例を示す図である。

【図13】図13は、本発明の第2実施形態に係る半導体装置の模式断面図である。

【図14】図14は、本発明の第2実施形態に係る半導体装置の模式断面図である。

【図15】図15は、本発明の第3実施形態に係る半導体装置の模式断面図である。

【図16】図16は、本発明の第3実施形態に係る半導体装置の模式断面図である。

【図17】図17は、第1参考形態に係る半導体装置の模式断面図である。

【図18】図18は、第1参考形態に係る半導体装置の模式断面図である。

20

【図19】図19は、第2参考形態に係る半導体装置の模式断面図である。

【図20】図20は、第2参考形態に係る半導体装置の模式断面図である。

【図21】図21は、本発明の第4実施形態に係る半導体装置の模式断面図である。

【発明を実施するための形態】

【0030】

< 第1実施形態 >

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の第1実施形態に係る半導体装置の模式平面図である。

半導体装置1は、SiCが採用されたMISFET (Metal Insulator Field Effect Transistor) を含む。半導体装置1の外形は、たとえば、図1に示すように、平面視正方形のチップ状である。チップ状の半導体装置1のサイズは、図1の紙面における上下左右方向の長さがそれぞれ数mm程度である。半導体装置1には、セル部2と、セル部2の周囲に配置された外周部3とが設定されている。外周部3は、この実施形態では、セル部2を取り囲むように環状に設定されているが、セル部2に対してチップの外側の領域であれば、特に環状である必要はない。

30

【0031】

半導体装置1は、ソースパッド4、ゲートパッド5およびゲートフィンガー6を含む。

ソースパッド4は、セル部2の上方領域に配置されている。この実施形態では、ソースパッド4は、セル部2のほぼ全域を覆うように、たとえば平面視正方形に形成されている。ソースパッド4の周縁部には、外周部3に沿ってソースパッド4の中央領域を取り囲む除去領域7 (図1のクロスハッチング部分) が形成されている。除去領域7は、その一部が選択的にソースパッド4の中央領域へ向かって窪んでいる。窪みは、その全体がセル部2の上方領域に配置されていて、ここにゲートパッド5が設置されている。

40

【0032】

ゲートフィンガー6は、セル部2と外周部3との境界に対して外周部3側の位置において、ゲートパッド5から外周部3に沿って除去領域7全体に亘って延びている。この実施形態では、一對のゲートフィンガー6がゲートパッド5に対して対称な形状で形成されている。そして、この実施形態では、たとえば、除去領域7のゲートフィンガー6に対して内側の部分に沿って、前述のセル部2と外周部3との境界 (図2の境界Lと同じ) が設定されている。

50

【0033】

セル部2には、さらにゲートトレンチ8が形成されている。ゲートトレンチ8は、この実施形態では、ゲートパッド5の下方領域を避けるように、ソースパッド4の下方領域に選択的に形成されている。この領域において、ゲートトレンチ8は、複数の単位セル9を区画するように形成されている。ゲートトレンチ8のパターンは、図1に示すように、格子状であってもよいし、ストライプ状であってもよい。これにより、セル部2には、多数の単位セル9がマトリクス状（行列状）またはストライプ状（直線状）に規則的に配列されることとなる。なお、図示しないが、単位セル9のパターンは、ハニカム状等の他の形状であってもよい。

【0034】

次に、半導体装置1のセル部2および外周部3の内部構造を説明する。

図2は、図1の要部拡大図であって、一部を透視して示している。具体的には、ソースパッド4およびゲートフィンガー6の下方領域の構造を実線で示し、ソースパッド4およびゲートフィンガー6を破線で示している。図3は、図2のIII-III断面における半導体装置の断面構造を示す。図4は、図2のIV-IV断面における半導体装置の断面構造を示す。図5は、図2のV-V断面における半導体装置の断面構造を示す。図6は、図2のVI-VI断面における半導体装置の断面構造を示す。

【0035】

半導体装置1は、 n^+ 型SiC（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）からなる基板（図示せず）と、基板上に形成された n^- 型SiC（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）からなる n^- 型エピタキシャル層10とを含む。 n^- 型エピタキシャル層10は、基板の表面にSiCをエピタキシャル成長させることによって形成された層である。この実施形態では、基板および n^- 型エピタキシャル層10が、本発明の半導体層の一例として示されている。また、基板の厚さは、たとえば、 $250 \mu\text{m} \sim 350 \mu\text{m}$ 程度であり、 n^- 型エピタキシャル層10の厚さは、 $3 \mu\text{m} \sim 20 \mu\text{m}$ 程度である。

【0036】

n^- 型エピタキシャル層10は、その一部が選択的に掘り下がることによって形成された高低差のある半導体表面11を有している。この半導体表面11の高低差は、この実施形態では、セル部2および外周部3に選択的に形成されたゲートトレンチ8およびソーストレンチ33（後述）、ならびに外周部3に選択的に形成された低段部12によって形成されている。以下では、ゲートトレンチ8、ソーストレンチ33および低段部12が形成されておらず、エピタキシャル成長後の高さ位置が維持された半導体表面11をベース表面11Bとし、ゲートトレンチ8の底面、ソーストレンチ33の底面および低段部12の底面のように、ベース表面11Bに対して相対的に低い高さ位置に形成された半導体表面11を低表面11Lとする。

【0037】

ゲートトレンチ8は、この実施形態では、MISFETのゲートとして利用される内側トレンチ13と、内側トレンチ13に対して外側に配置された外側トレンチ14と、外側トレンチから外周部3へ向かって引き出され、ゲート電極16（後述）へのコンタクトとなるコンタクトトレンチ15とを含む。これらのトレンチ13～15は、互い連通するように一体的に形成されている。

【0038】

図2に示すように、内側トレンチ13は、複数の単位セル9を区画するように、複数のライン状のトレンチが互いに交差することによって格子状に形成されている。内側トレンチ13の各ラインの終端部は、外側トレンチ14によって互いに繋がっている。つまり、外側トレンチ14は、内側トレンチ13を取り囲むように形成され、内側トレンチ13の互いに隣り合うラインの終端部間に跨っている。

【0039】

コンタクトトレンチ15は、内側トレンチ13の各ラインの延長部で構成されたライン

10

20

30

40

50

状に形成されており、セル部 2 と外周部 3 との境界 L に沿って互いに間隔を空けて複数配置されている。なお、コンタクトトレンチ 15 は、図 2 に示すように、内側トレンチ 13 のライン 1 本ずつに設けられている必要はなく、たとえば、内側トレンチ 13 のライン 1 本置きに設けられていてもよい。このライン状のコンタクトトレンチ 15 は、ゲートフィンガー 6 の下方領域においてゲートフィンガー 6 を横切るように形成されている。この実施形態では、コンタクトトレンチ 15 は、その終端部がゲートフィンガー 6 よりも外側に配置されている。つまり、コンタクトトレンチ 15 の終端部が、ゲートフィンガー 6 よりも外側にはみ出している。

【0040】

そして、ゲートトレンチ 8 に、たとえばポリシリコンからなるゲート電極 16 が埋め込まれており、このゲート電極 16 と n 型エピタキシャル層 10 との間にゲート絶縁膜 17 が介在されている。

ゲート電極 16 は、たとえば図 3 および図 4 に示すように、ゲートフィンガー 6 の下方領域から離れた位置に形成された内側トレンチ 13 および外側トレンチ 14 においては、ベース表面 11B まで埋め込まれている。これにより、ゲート電極 16 も格子状に形成されており、各单位セル 9 の上面はゲート電極 16 で覆われずに露出している。一方、ゲートフィンガー 6 の下方領域に形成されたコンタクトトレンチ 15 においては、コンタクトトレンチ 15 の開口端からベース表面 11B を選択的に覆うように形成されたオーバーラップ部 18 を有している。オーバーラップ部 18 は、この実施形態では、図 2 に示すように、ライン状のコンタクトトレンチ 15 を横切るようにゲートフィンガー 6 に沿って形成されている。図 5 および図 6 に示すように、このオーバーラップ部 18 と n 型エピタキシャル層 10 との間にも、ゲート絶縁膜 17 が介在されている。

【0041】

セル部 2 において、ゲート電極 16 は、単位セル 9 における反転層（チャネル）の形成を制御する。すなわち、この半導体装置 1 は、いわゆるトレンチゲート型構造の MISFET を有している。

低段部 12 は、この実施形態では、外周部 3 の全周に亘って形成されており、これにより、セル部 2 を取り囲んでいる。この低段部 12 は、ゲートトレンチ 8 の深さ以上の深さで形成されている。したがって、外周部 3 では、低段部 12 の底面（低表面 11L）がゲートトレンチ 8 の底面（低表面 11L）以上の深さ位置に配置されている。その深さは、たとえば、ベース表面 11B を基準に、ゲートトレンチ 8 の深さが $0.7 \mu\text{m} \sim 3 \mu\text{m}$ であるのに対し、 $0.7 \mu\text{m} \sim 5 \mu\text{m}$ である。

【0042】

そして、このように高低差のある半導体表面 11 には、n 型および p 型の不純物領域が選択的に形成されている。

具体的には、n 型エピタキシャル層 10 の表面部に、p 型ウェル 19（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が、セル部 2 および外周部 3 に跨るように形成されている。一方、n 型エピタキシャル層 10 において p 型ウェル 19 の下方部の領域は、n 型ドレイン領域 20 である。この実施形態では、図 3 に示すように、p 型ウェル 19 は、セル部 2 からゲートフィンガー 6 の下方領域を介して外周部 3 の低段部 12 に至るまで、その底部がベース表面 11B に倣うように連続的に形成されている。これにより、p 型ウェル 19 は、低段部 12 の側部で露出している。

【0043】

p 型ウェル 19 には、図 3、図 5 および図 6 に示すように、ゲートフィンガー 6 の下方領域において n⁺ 型領域 21 が形成され、n 型エピタキシャル層 10 のベース表面 11B に露出している。n⁺ 型領域 21 は、n 型エピタキシャル層 10 よりも高濃度に n 型不純物を含む高濃度領域（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）である。この実施形態では、図 3 に示すように、n⁺ 型領域 21 は、セル部 2 からゲートフィンガー 6 の下方領域を介して外周部 3 の低段部 12 に至るまで、その底部がベース表面 11B に倣うように連続的に形成されている。これにより、n⁺ 型領域 21 は、低段部

10

20

30

40

50

12の側部で露出している。

【0044】

n⁻型エピタキシャル層10には、図4～図6に示すように、ゲートフィンガー6の下方領域において、p型ウェル19に連なるようにp型層22（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。p型層22は、この実施形態では、コンタクトトレンチ15の底部および側部（終端部の側部も含む）に跨るように形成され、その内方領域がコンタクトトレンチ15に接している（コンタクトトレンチ15内に露出している）。また、p型層22は、コンタクトトレンチ15の底部において、コンタクトトレンチ15の側部における部分よりも厚くなるように形成されている。

【0045】

また、n⁻型エピタキシャル層10には、図3および図4に示すように、低段部12において、p型ウェル19に連なるように本発明の耐压構造の一例としてのp型層23（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。p型層23は、この実施形態では、低段部12の底部および側部に跨るように形成され、その内方領域が低段部12に接している（低段部12内に露出している）。このp型層23の表面部には、p⁺型ウェルコンタクト領域24（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）が形成されている。この実施形態では、p⁺型ウェルコンタクト領域24は、低段部12における低表面11Lに形成され、セル部2を取り囲むように環状に形成されている。

【0046】

また、低段部12においてp型層23の外側には、本発明の耐压構造の一例としてのp型ガードリング25（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。この実施形態では、p型ガードリング25は、低段部12の低表面11Lにおいてセル部2を取り囲むように、互いに間隔を空けて複数本形成されている。

n⁻型エピタキシャル層10の表面には、セル部2および外周部3に跨るように表面絶縁膜26が形成されている。表面絶縁膜26は、たとえば、酸化シリコン（SiO₂）等の絶縁物からなる。表面絶縁膜26は、この実施形態では、セル部2上の内側部分27が、外周部3上の外側部分28よりも薄くなるように形成されている。この実施形態では、内側部分27の厚さが5000以下であり、外側部分26の厚さが5500～20000程度である。この表面絶縁膜26は、図2では表れていないが、その上に多層配線構造が配置される場合には、層間絶縁膜と呼んでもよい。

【0047】

表面絶縁膜26には、n⁻型エピタキシャル層10の表面全体に対して、各単位セル9、ゲート電極16（オーバーラップ部18）およびp⁺型ウェルコンタクト領域24をそれぞれ選択的に露出させるコンタクトホール29～31が形成されている。

表面絶縁膜26上には、ソースパッド4およびゲートフィンガー6が形成されている。

ソースパッド4は、各コンタクトホール29、31を介して全ての単位セル9のp⁺型チャネルコンタクト領域34（後述）およびn⁺型ソース領域32（後述）、ならびにp⁺型ウェルコンタクト領域24に一括して接続されている。つまり、ソースパッド4は、全ての単位セル9に対して共通の電極となっている。また、ソースパッド4の材料としては、銅（Cu）を含む金属を使用でき、より好ましくは、Al-Cu系合金を含む金属を使用する。これにより、ソースパッド4のシート抵抗を低くできるので、電流密度を高くできる。また、ソースパッド4の厚さ（n⁻型エピタキシャル層10のベース表面11Bからソースパッド4の表面までの距離）は、たとえば、4μm～5μmである。なお、ソースパッド4は、n⁻型エピタキシャル層10との接続部分に、たとえばチタン（Ti）および窒化チタン（TiN）の積層構造（Ti/TiN）からなるコンタクトメタルを有していてもよい。

【0048】

ゲートフィンガー6は、コンタクトホール30を介してゲート電極16（オーバーラップ部18）に接続されている。また、ゲートフィンガー6およびゲートパッド5の材料と

10

20

30

40

50

しては、ソースパッド4と同様に、銅(Cu)を含む金属を使用でき、より好ましくは、Al-Cu系合金を含む金属を使用する。ソースパッド4と同じ材料を使用することによって、ソースパッド4、ゲートパッド5およびゲートフィンガー6を同時に形成できる。

【0049】

次に、セル部2の構造をより詳細に説明する。図7は、図3のセル部2を拡大して示す図である。

セル部2には、前述したように、それぞれがトランジスタ動作を行う複数の単位セル9が、ゲートトレンチ8(内側トレンチ13および外側トレンチ14)によって格子状に区画されている。各単位セル9は、環状のn⁺型ソース領域32、n⁺型ソース領域32に取り囲まれた環状のソーストレンチ33(第2トレンチ)、およびソーストレンチ33の内側に島状に形成されたp⁺型チャンネルコンタクト領域34を含む。p⁺型チャンネルコンタクト領域34は、その周囲がソーストレンチ33に取り囲まれている。また、各単位セル9の大きさは、たとえば、図7の紙面上下左右方向の長さがそれぞれ3~10μm程度である。

【0050】

具体的には、セル部2においてp型ウェル19の表面部にn⁺型ソース領域32が形成され、n⁻型エピタキシャル層10のベース表面11Bに露出している。また、p型ウェル19のセル部2内の部分は、n⁺型ソース領域32に接するように配置され、トランジスタ動作の際にチャンネルが形成されるp型チャンネル領域35である。

そして、ゲートトレンチ8およびソーストレンチ33は、n⁺型ソース領域32およびp型チャンネル領域35(p型ウェル19)を貫通して、n⁻型ドレイン領域20に達するように形成されている。ゲートトレンチ8およびソーストレンチ33は、この実施形態では、同じ幅および同じ深さで形成されているが、互いに異なる深さであってもよい。たとえば、ソーストレンチ33は、ゲートトレンチ8よりも浅くてもよいし、深くてもよい。

【0051】

ゲートトレンチ8およびソーストレンチ33によって、各単位セル9は、ソーストレンチ33に取り囲まれた柱状部36と、ソーストレンチ33とゲートトレンチ8との間に配置され、ソーストレンチ33によって柱状部36と間隔が空けられた環状部37とに分離されている。この実施形態では、環状部37の幅W₁(ソーストレンチ33とゲートトレンチ8との距離)は、たとえば、0.5μm~2.0μmとなっている。

【0052】

柱状部36の頂部には、n⁻型エピタキシャル層10のベース表面11Bに露出するように、p⁺型チャンネルコンタクト領域34(たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$)が形成されている。これにより、p⁺型チャンネルコンタクト領域34は、ソーストレンチ33の側面の一部を形成している。p⁺型チャンネルコンタクト領域34は、この実施形態では、その最深部がソーストレンチ33の底部よりも高い位置になっているが、特にこの位置である必要はない。p⁺型チャンネルコンタクト領域34の最上部(この実施形態では、n⁻型エピタキシャル層10のベース表面11Bで露出する部分)がソーストレンチ33の底部よりも高い位置にあってコンタクト可能であれば、当該最深部は、ソーストレンチ33の底部と同じ深さ位置であってもよいし、深くてもよい。

【0053】

環状部37には、n⁺型ソース領域32およびp型チャンネル領域35がベース表面11B側から順に形成されている。これにより、n⁺型ソース領域32およびp型チャンネル領域35は、ゲートトレンチ8の側面の一部をそれぞれ形成している。n⁺型ソース領域32は、この実施形態では、n⁺型領域21(図3~図6参照)およびp⁺型チャンネルコンタクト領域34と同じ深さで形成されている。

【0054】

また、n⁻型エピタキシャル層10には、p型チャンネル領域35およびp⁺型チャンネルコンタクト領域34、ならびに前述のp型層22(図4~図6参照)に連なるように、p型層38(たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$)が形成されている。

p型層38は、ソーストレンチ33の底部を介して柱状部36および環状部37に跨るように形成され、その内方領域がソーストレンチ33に接している(ソーストレンチ33内に露出している)。p型層38は、環状部37のソーストレンチ33の側部においてp型チャンネル領域35に接続され、柱状部36のソーストレンチ33の側部においてp⁺型チャンネルコンタクト領域34に接続されている。したがって、p型チャンネル領域35とp⁺型チャンネルコンタクト領域34は、このp型層38を介して電氣的に接続されることとなる。

【0055】

また、p型層38は、外側トレンチ14の底部を介して外側トレンチ14の外周縁に跨るようにも形成されており、当該外周縁において、外周部3へと延びるp型ウェル19に接続されている。また、p型層38は、図2および図4に示すように、内側トレンチ13においては、内側トレンチ13を構成するラインの交差部にのみ形成されていてもよい。なお、内側トレンチ13の交差部は、各単位セル9の角部に当たり、オン時にチャンネルが形成されないか、形成されても当該チャンネルを流れる電流は微量である。したがって、当該交差部においてp型チャンネル領域35に接続されるようにp型層38が形成されていても、デバイスの性能にはほとんど影響がない。

【0056】

また、p型層38は、p型層22と同様に、ゲートトレンチ8およびソーストレンチ33の底部において、ソーストレンチ33の側部における部分よりも厚くなるように形成されている。ただし、柱状部36においては、ソーストレンチ33の側部がソーストレンチ33で取り囲まれていて、その周囲から一様にイオン注入される。そのため、p⁺型チャンネルコンタクト領域34の下方部を満たすように、ソーストレンチ33の底部の部分よりも厚く形成されている。

【0057】

また、p型層38は、この実施形態では、内側トレンチ13の交差部および外側トレンチ14以外の部分では、ゲートトレンチ8に接しないように(ゲートトレンチ8と間隔を空けて)、ゲートトレンチ8で取り囲まれた環状部37の全周に亘って形成されている。これにより、各単位セル9においてゲートトレンチ8の側面の一部にn⁻型ドレイン領域20が配置されることとなるので、チャンネル形成時の電流路を確保できる。

【0058】

ゲートトレンチ8は、この実施形態では、側面および底面を有する断面視略U字状に形成されている。ゲートトレンチ8の内面(側面および底面)には、その一方表面および他方表面がゲートトレンチ8の内面に沿うように、ゲート絶縁膜17が形成されている。

ゲート絶縁膜17は、ゲートトレンチ8の底部において、ゲートトレンチ8の側部における部分よりも厚くなるように形成されている。この実施形態のように断面視略U字状のゲートトレンチ8では、ゲート絶縁膜17の相対的に厚い部分はゲートトレンチ8の底面に接する部分であり、相対的に薄い部分はゲートトレンチ8の側面に接する部分である。電界集中が起きやすいゲートトレンチ8の底部の絶縁膜を厚くすることによって、ゲートトレンチ8の底部での耐圧を向上できる。なお、ゲートトレンチ8の形状によっては側面と底面と明確に判別できない場合があるが、その場合には、ゲートトレンチ8の深さ方向に交差する方向の面に接するゲート絶縁膜17が相対的に厚ければよい。

【0059】

そして、ゲート絶縁膜17の内側は、ゲート電極16で埋め戻されている。この実施形態では、ゲート電極16は、その上面がn⁻型エピタキシャル層10のベース表面11Bと略面一となるように、ゲートトレンチ8に埋め込まれている。ゲート電極16は、ゲート絶縁膜17を介してp型チャンネル領域35に対向している。各単位セル9では、ゲート電極16に印加する電圧を制御することによって、p型チャンネル領域35に単位セル9の周囲に沿う環状のチャンネルが形成される。そして、ゲートトレンチ8の側面に沿ってn⁻型エピタキシャル層10のベース表面11Bへ向かって流れるドレイン電流を、チャンネルを介してn⁺型ソース領域32に流すことができる。これにより、半導体装置1のラン

10

20

30

40

50

ジスタ動作が行われる。

【0060】

ソーストレンチ33も同様に、この実施形態では、側面および底面を有する断面視略U字状に形成されている。ソーストレンチ33の内面（側面および底面）には、その一方表面および他方表面がソーストレンチ33の内面に沿うように、ソーストレンチ絶縁膜39が形成されている。

ソーストレンチ絶縁膜39は、ソーストレンチ33の底部において、ソーストレンチ33の側部における部分よりも厚くなるように形成されている。なお、ソーストレンチ33の形状によっては側面と底面と明確に判別できない場合があるが、その場合には、ソーストレンチ33の深さ方向に交差する方向の面に接するソーストレンチ絶縁膜39が相対的に厚ければよい。そして、ソーストレンチ絶縁膜39の内側は、トレンチ埋め込み層40で埋め戻されている。この実施形態では、トレンチ埋め込み層40は、その上面がn⁻型エピタキシャル層10のベース表面11Bと略面一となるように、ソーストレンチ33に埋め込まれている。

10

【0061】

この実施形態では、ゲート絶縁膜17とソーストレンチ絶縁膜39が同じ材料で構成され、ゲート電極16とトレンチ埋め込み層40が同じ材料で構成されている。

たとえば、ゲート絶縁膜17およびソーストレンチ絶縁膜39の材料としては、SiO₂、AlON、Al₂O₃、SiO₂/AlON、SiO₂/AlON/SiO₂、SiO₂/SiNおよびSiO₂/SiN/SiO₂のいずれかの膜を使用でき、より好ましくは、窒素(N)を含むSiO₂膜を有する膜を使用する。なお、SiO₂/AlONは、SiO₂（下側）とAlON（上側）の積層膜のことである。ゲート絶縁膜17をAlONやAl₂O₃等の高誘電率(High-k)膜で構成すれば、ゲート耐圧を向上でき、デバイスの信頼性を向上できる。さらに、窒素(N)を含むSiO₂膜を有する材料でゲート絶縁膜17を構成すれば、チャネル移動度を向上させることもできる。

20

【0062】

ゲート電極16およびトレンチ埋め込み層40の材料としては、ポリシリコンを使用でき、より好ましくは、n⁺型ポリシリコンを使用する。n⁺型ポリシリコンはシート抵抗が比較的低いので、トランジスタのスイッチング速度を高速化できる。

なお、ゲート絶縁膜17およびソーストレンチ絶縁膜39は、互いに異なる材料で構成されていてもよい。ゲート電極16およびトレンチ埋め込み層40も同様に、互いに異なる材料で構成されていてもよい。

30

【0063】

表面絶縁膜26に形成されたコンタクトホール29は、n⁻型エピタキシャル層10の表面全体に対して、ソーストレンチ33およびn⁺型ソース領域32を選択的に露出させている。この実施形態では、コンタクトホール29によって、各単位セル9にソース部41が区画されている。

次に、図1～図7で説明した半導体装置1の製造方法を説明する。

【0064】

半導体装置1を製造するには、CVD法、LPE法、MBE法等のエピタキシャル成長法によって、SiC基板（図示せず）の表面に、n型不純物をドーピングしながらSiC結晶が成長させられる。これにより、SiC基板上に、n⁻型エピタキシャル層10が形成される。このときのn⁻型エピタキシャル層10の成長面がベース表面11Bである。なお、n型不純物としては、たとえば、N（窒素）、P（リン）、As（ヒ素）等を使用できる。

40

【0065】

次に、n⁻型エピタキシャル層10のベース表面11Bからp型不純物が選択的にイオン注入される。これにより、p型ウェル19（p型チャネル領域35）が形成される。なお、p型不純物としては、たとえば、Al（アルミニウム）、B（ホウ素）等を使用できる。また、p型ウェル19の形成と同時に、n⁻型エピタキシャル層10の残りの部分が

50

n⁻型ドレイン領域20として形成される。

【0066】

次に、n⁻型エピタキシャル層10のベース表面11Bからn型不純物が選択的にイオン注入される。これにより、n⁺型領域21およびn⁺型ソース領域32が同時に形成される。

次に、n⁻型エピタキシャル層10が、ゲートトレンチ8、ソーストレンチ33および低段部12を形成すべき領域に開口を有するマスクを用いて選択的にエッチングされる。これにより、n⁻型エピタキシャル層10が選択的にドライエッチングされて、ゲートトレンチ8、ソーストレンチ33および低段部12が形成され、同時に、低表面11Lが形成される。それと共に、ゲートトレンチ8によって、n⁻型エピタキシャル層10が複数の単位セル9に区画される。単位セル9は、柱状部36および環状部37を有することとなる。エッチングガスとしては、たとえば、SF₆（六フッ化硫黄）およびO₂（酸素）を含む混合ガス（SF₆/O₂ガス）、SF₆、O₂およびHBr（臭化水素）を含む混合ガス（SF₆/O₂/HBrガス）等を使用できる。

10

【0067】

なお、外周部3の低表面11Lをゲートトレンチ8の深さよりも深い位置にする場合には、上記エッチングの後、さらに低段部12を選択的にエッチングすればよい。

次に、n⁻型エピタキシャル層10の半導体表面11からp型不純物が選択的にイオン注入される。p型不純物は、たとえば、n⁻型エピタキシャル層10の半導体表面11に対して垂直方向に注入される。これにより、p型層22、p型層23、p型層38およびp型ガードリング25が同時に形成される。なお、これらの層22、23、38、25は、別々のイオン注入工程によって形成されてもよい。

20

【0068】

次に、n⁻型エピタキシャル層10の半導体表面11からp型不純物が選択的にイオン注入される。これにより、p⁺型チャネルコンタクト領域34およびp⁺型ウェルコンタクト領域24が同時に形成される。

次に、たとえば、1400～2000でn⁻型エピタキシャル層10が熱処理される。これにより、n⁻型エピタキシャル層10に注入されたp型不純物およびn型不純物のイオンが活性化される。

【0069】

次に、たとえば熱酸化によって、ゲート絶縁膜17およびソーストレンチ絶縁膜39が同時に形成される。なお、ゲート絶縁膜17およびソーストレンチ絶縁膜39を高誘電率（High-k）膜で構成する場合には、CVD法によって膜材料を堆積すればよい。

30

次に、たとえばCVD法によって、n型不純物がドーピングされたポリシリコン材料がn⁻型エピタキシャル層10の上方から堆積される。ポリシリコン材料の堆積は、少なくともゲートトレンチ8およびソーストレンチ33が完全に埋め戻されるまで続けられる。その後、堆積したポリシリコン材料がパターニングされることによって、セル部2ではゲートトレンチ8（内側トレンチ13および外側トレンチ14）外およびソーストレンチ33外のポリシリコン材料が除去され、外周部3ではポリシリコン材料がオーバーラップ部18として残存する。この際、低段部12に埋め込まれたポリシリコン材料は完全に除去される。これにより、ゲート電極16およびトレンチ埋め込み層40が同時に形成される。

40

【0070】

次に、たとえばCVD法によって、SiO₂等の絶縁材料がn⁻型エピタキシャル層10の上方から堆積される。これにより、表面絶縁膜26が形成される。

次に、表面絶縁膜26のセル部2上の部分が選択的にエッチングされる。これにより、当該部分のみが薄くされて、表面絶縁膜26の内側部分27および外側部分28が形成される。

【0071】

次に、表面絶縁膜26が選択的にエッチングされることによって、コンタクトホール2

50

9 ~ 31が同時に形成される。

次に、たとえばスパッタ法によって、金属材料がn⁻型エピタキシャル層10の上方から堆積される。そして、当該材料をパターニングすることによって、ソースパッド4、ゲートパッド5およびゲートフィンガー6が同時に形成される。以上の工程を経て、図1~図7に示す半導体装置1が得られる。

【0072】

以上のように、この半導体装置1によれば、p型層23およびp型ガードリング25が形成される半導体表面11が、ゲートトレンチ8の深さと同等かそれ以上の深さ位置の低表面11Lとなっている。これにより、ゲートトレンチ8の底部からn⁻型エピタキシャル層10の裏面までの当該n⁻型エピタキシャル層10の厚さを、p型層23およびp型ガードリング25から当該裏面までの厚さよりも厚くできる。その結果、n⁻型エピタキシャル層10の表面側-裏面側間にかかる電界を、外周部3のp型層23およびp型ガードリング25に安定して分担させることができる。よって、ゲートトレンチ8の深さに依存せずに、n⁻型エピタキシャル層10に安定した電界分布を形成できるので、ゲートトレンチ8の底部への電界集中を良好に緩和できる。

【0073】

また、図2に示すように、ゲートフィンガー6の下方領域にゲートトレンチ8が形成されているが、ライン状のコンタクトトレンチ15がゲートフィンガー6を横切るように形成されているのみであり、しかもコンタクトトレンチ15の終端部がゲートフィンガー6よりも外側に配置されている。つまり、ゲート電圧の印加時に電界が集中しやすいトレンチの角部(たとえば、内側トレンチ13の交差部における角等)がゲートフィンガー6の下方に配置されないため、ゲート絶縁膜17の信頼性や耐圧を向上できる。

【0074】

また、図7に示すように、p型層38が、外側トレンチ14の底部を介して外側トレンチ14の外周縁に跨るようにも形成されている。これにより、p型層38とn⁻型エピタキシャル層10(n⁻型ドレイン領域20)との接合(pn接合)から空乏層を発生させることができる。そして、この空乏層が等電位面を外側トレンチ14から遠ざけるので、外側トレンチ14の底部にかかる電界を緩和できる。よって、外側トレンチ14の底部における破壊を防止できる。

【0075】

また、図5および図6に示すように、ゲートフィンガー6の下方領域において、n⁻型エピタキシャル層10の半導体表面11(ベース表面11B)にn⁺型領域21が形成されている。n⁺型の半導体領域はn⁻型の半導体領域よりも酸化レートが速いので、ゲート絶縁膜17を熱酸化によって形成するときに、ゲートフィンガー6の下方領域において、ゲートトレンチ8(コンタクトトレンチ15)の上部に厚い酸化膜を選択的に形成できる。これにより、ゲート電圧の印加時にコンタクトトレンチ15の上部エッジにかかる電界を弱め、ゲート絶縁膜17の絶縁破壊を防止できる。

【0076】

また、図3および図4に示すように、セル部2の表面絶縁膜26(内側部分27)を選択的に薄くすることによって、コンタクトホール29内のソース部41における半導体表面11(デバイス表面)と表面絶縁膜26の表面との段差(凹凸)を小さくできる。これにより、コンタクトホール29にソースパッド4を埋め込んで、表面絶縁膜26上にソースパッド4を形成するときに、ソースパッド4の平坦性を一層向上できる。

【0077】

一方、外周部3の表面絶縁膜26(外側部分28)の厚さは、内側部分27の厚さと切り離して設計できる。したがって、外周部3の電界分布に影響を与えないような厚さで設計することにより、耐圧特性を維持できる。つまり、この構成によれば、ソースパッド4の平坦性の改善に際し、耐圧特性の変動や当該変動による耐圧不良を防止できる。

また、図7に示すように、ソーストレンチ33に、ソーストレンチ絶縁膜39を介してトレンチ埋め込み層40が埋め込まれている。そのため、n⁻型エピタキシャル層10の

10

20

30

40

50

表面（デバイス表面）において、コンタクトホール29から露出するソース部41とそれ以外の部分との段差（凹凸）を小さくできる。これにより、当該デバイス表面上のソースパッド4の平坦性を向上できる。したがって、たとえばソースパッド4の表面にワイヤを接合する場合においては、ソースパッド4とワイヤとの密着性を向上できる。その結果、ワイヤを良好に接合できるので、ワイヤ接合部の信頼性を向上できる。さらに、ソースパッド4の平坦性が良いので、ワイヤ接合の際、超音波振動や圧力によってデバイスが破壊されることを防止でき、組み立て歩留まりの低下を防止できる。

【0078】

一方、ソーストレンチ33によって、ゲートトレンチ8の底部付近における等電位面の集中を防止でき、当該底部付近での電位勾配を緩やかにできる。そのため、ゲートトレンチ8の底部に対する電界集中を緩和できる。さらに、 p^+ 型チャンネルコンタクト領域34が柱状部36の頂部に形成され、ソーストレンチ33の底部よりも高い位置に配置されている。したがって、ソーストレンチ33が形成されていても、この p^+ 型チャンネルコンタクト領域34を介してp型チャンネル領域35へのコンタクトを確実にとることができる。つまり、ソースパッド4の平坦性の改善に際し、ゲート耐圧、p型チャンネル領域35へのコンタクト性等のデバイス性能の低下を防止できる。

10

【0079】

さらに、この実施形態では、ソーストレンチ33の周囲にp型層38が形成されているので、このp型層38と n^- 型ドレイン領域20との接合（pn接合）から空乏層を発生させることができる。そして、この空乏層が等電位面をゲートトレンチ8から遠ざけるので、ゲートトレンチ8の底部にかかる電界を一層緩和できる。

20

また、この実施形態では、Siデバイスに比べてラッチアップが起きにくいSiCデバイスを採用しているため、 p^+ 型チャンネルコンタクト領域34とp型チャンネル領域35とを、ソーストレンチ33によって互いに離れた位置に設けることができる。すなわち、Siデバイスでは、比較的ラッチアップが起きやすいので、 p^+ 型チャンネルコンタクト領域34をp型チャンネル領域35の近傍に配置してこれらの領域34、35間の距離をできる限り短くし、当該領域34、35間のベース抵抗を低くすることが好ましい。一方、この半導体装置1のようなSiCデバイスでは、比較的ラッチアップが起きにくく、領域34、35間のベース抵抗を考慮する重要性が低いので、 p^+ 型チャンネルコンタクト領域34をp型チャンネル領域35の近傍に配置しなくてもよい。したがって、 p^+ 型チャンネルコンタクト領域34とp型チャンネル領域35とを、ソーストレンチ33によって互いに離れた位置に設け、これらの領域34、35をソーストレンチ33の底部を経由する経路で電氣的に接続できる。

30

【0080】

また、トレンチ埋め込み層40の外側にソーストレンチ絶縁膜39が配置されているので、 n^- 型エピタキシャル層10とソースパッド4との間にオフリーク電流が流れることを防止できる。具体的には、p型層38は、イオン注入時にソーストレンチ33の側部にイオンが入りにくいことから、ソーストレンチ33の側部において、ソーストレンチ33の底部における部分よりも薄くなっている。そのため、オフ時に高い電圧がかかると、この薄いp型層38の部分を通り抜けてオフリーク電流が流れるおそれがある。そこで、ソーストレンチ絶縁膜39を形成しておくことで、たとえオフリーク電流がp型層38を通り抜けても、ソーストレンチ絶縁膜39で確実にリーク電流を遮断できる。

40

【0081】

また、ソーストレンチ33に埋め込まれたトレンチ埋め込み層40がポリシリコンであれば、 SiO_2 からなる表面絶縁膜26にコンタクトホール29を形成するとき、トレンチ埋め込み層40（ポリシリコン層）をエッチングストップパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。

また、ソーストレンチ33をゲートトレンチ8と同時に形成するので、製造工程を増やさず、アライメントのずれなくソーストレンチ33を簡単に形成できる。さらに、ソーストレンチ33とゲートトレンチ8の幅が同じであれば、ソーストレンチ33のエッチング

50

レートゲートトレンチ 8 と同じにできるため、ソーストレンチ 3 3 の形成のためのエッチングを安定して制御できる。

【 0 0 8 2 】

次に、図 8 ~ 図 1 2 を参照して、セル部 2 の変形例について説明する。

図 8 ~ 図 1 2 は、セル部 2 の第 1 ~ 第 5 変形例を示す図である。図 8 ~ 図 1 2 において、前述の図 7 に示された各部と対応する部分には同一の参照符号を付して示す。

図 7 の形態では、ソーストレンチ 3 3 に埋め込まれたトレンチ埋め込み部は、ソーストレンチ絶縁膜 3 9 およびトレンチ埋め込み層 4 0 (ポリシリコン層) からなっていたが、図 8 に示すように、ソーストレンチ 3 3 を埋め戻す絶縁層 4 2 のみからなっているもよい。

10

【 0 0 8 3 】

絶縁層 4 2 の材料としては、 SiO_2 を使用でき、より好ましくは、リン (P) またはホウ素 (B) を含む SiO_2 を使用する。そのような SiO_2 としては、たとえば、PSG (リンシリケートガラス)、PBSG (リンホウ素シリケートガラス) を使用できる。

図 8 に示す形態の半導体装置の製造工程は、上で説明した工程と実質的に同様である。ただし、ゲート電極 1 6 およびトレンチ埋め込み層 4 0 を形成した後、トレンチ埋め込み層 4 0 が選択的にエッチングして除去され、ソーストレンチ 3 3 が空洞にされる。そして n 型エピタキシャル層 1 0 上に表面絶縁膜 2 6 に形成することによって、表面絶縁膜 2 6 の一部を利用してソーストレンチ 3 3 を埋め戻す。これにより、ソーストレンチ絶縁膜 3 9 および表面絶縁膜 2 6 がソーストレンチ 3 3 内で一体化して、絶縁層 4 2 が形成される。

20

【 0 0 8 4 】

この構成によれば、ソーストレンチ 3 3 が絶縁層 4 2 で満たされているので、n 型エピタキシャル層 1 0 とソースパッド 4 との間にオフリーク電流が流れることを効果的に防止できる。

また、絶縁層 4 2 がリンまたはホウ素を含む SiO_2 であれば、 SiO_2 の融点が低下するので、絶縁層 4 2 の埋め込みプロセスを簡単にできる。

【 0 0 8 5 】

また、図 9 に示すように、ソーストレンチ 3 3 に埋め込まれたトレンチ埋め込み部は、ソーストレンチ 3 3 を埋め戻すポリシリコン層 4 3 のみからなっているもよい。ポリシリコン層 4 3 の材料としては、 p^+ 型ポリシリコンを使用することが好ましい。

30

図 8 に示す形態の半導体装置の製造工程は、上で説明した工程と実質的に同様である。ただし、ゲート絶縁膜 1 7 およびソーストレンチ絶縁膜 3 9 を形成した後、ソーストレンチ絶縁膜 3 9 が選択的にエッチングして除去され、ソーストレンチ 3 3 が空洞にされる。そして、n 型エピタキシャル層 1 0 の上方からポリシリコンが堆積されることによって、そのポリシリコンでソーストレンチ 3 3 を埋め戻す。これにより、ゲート電極 1 6 とポリシリコン層 4 3 が同時に形成される。

【 0 0 8 6 】

この構成によれば、ソーストレンチ 3 3 にポリシリコン層 4 3 が埋め込まれているので、 SiO_2 からなる表面絶縁膜 2 6 にコンタクトホール 2 9 を形成するとき、ポリシリコン層 4 3 をエッチングストッパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。

40

また、ポリシリコン層 4 3 が p^+ 型ポリシリコンであれば、このポリシリコン層 4 3 を利用して、 p^+ 型チャネルコンタクト領域 3 4 と p 型チャネル領域 3 5 とを電氣的に接続できる。これにより、領域 3 4 , 3 5 間の電流路の長さを短くできるので、これらの間のベース抵抗を小さくできる。その結果、ラッチアップを良好に防止できる。さらに、 p^+ 型チャネルコンタクト領域 3 4 がソーストレンチ 3 3 の側面でポリシリコン層 4 3 に接しているため、これらの間のコンタクト抵抗を小さくすることもできる。このコンタクト抵抗の低減化も、領域 3 4 , 3 5 間のベース抵抗の低減化に寄与する。

【 0 0 8 7 】

50

また、図7の形態では、ソーストレンチ33は、環状の n^+ 型ソース領域32に取り囲まれた領域に環状に形成されていたが、図10に示すように、 n^+ 型ソース領域32に取り囲まれた領域に平面視四角形の窪み状のソーストレンチ44が形成されていてもよい。この場合、ソーストレンチ44の底部において p 型層38の表面部に p^+ 型チャネルコンタクト領域45が形成されていてもよい。

【0088】

また、図7の形態では、ゲート電極16は、ゲート絶縁膜17の内側を埋め戻すポリシリコンのみからなる層であったが、図11に示すように、ゲート絶縁膜17上に、一方表面および他方表面がゲートトレンチ8の内面に沿うように形成されたポリシリコンからなる下地膜46と、下地膜46の内側に埋め込まれたMo、W、Al、Pt、NiおよびTiの少なくとも一種を含む埋め込みメタル47とからなってもよい。この場合、ソーストレンチ33内のトレンチ埋め込み部も同様に、ソーストレンチ絶縁膜39上に、一方表面および他方表面がソーストレンチ33の内面に沿うように形成されたポリシリコンからなる下地膜48と、下地膜48の内側に埋め込まれた埋め込みメタル47と同じ材料からなる埋め込みメタル49とからなってもよい。

【0089】

この構成によれば、埋め込みメタル47を用いたメタルゲートによって、ポリシリコンゲートに比べてゲート抵抗を比較的に低くできるので、トランジスタのスイッチング速度を高速化できる。

また、図7のセル部2にはトレンチゲート型構造のMISFETが形成されていたが、図12に示すように、セル部2にプレーナ型構造のMISFETを形成してもよい。

【0090】

すなわち、図12に示す形態では、セル部2には p 型ウェル19が各単位セル9に対応するようにマトリクス状(行列状)に配列されている。各 p 型ウェル19の表面部には、ベース表面11Bに露出するように環状の n^+ 型ソース領域50が形成されている。そして、各 p 型ウェル19の外周縁と n^+ 型ソース領域50の外周縁との間の領域に対向するように、ゲート電極51がゲート絶縁膜52を介して配置されている。表面絶縁膜26は、このゲート電極51を被覆している。

<第2実施形態>

図13および図14は、本発明の第2実施形態に係る半導体装置の模式断面図であって、それぞれ図3および図4に対応する断面構造を示している。図13および図14において、前述の図3および図4に示された各部と対応する部分には同一の参照符号を付して示す。

【0091】

前述の第1実施形態では、低段部12によるベース表面11Bと低表面11Lとの境界は、セル部2および外周部3に跨る p 型ウェル19に対するソースパッド4のコンタクト位置よりも内側に設定されていたが、図13および図14に示すように、外側に設定されていてもよい。この場合、 p^+ 型ウェルコンタクト領域24は、 p 型ウェル19の内方領域において n^+ 型領域21に対して外側に間隔を空けた位置に形成されている。

【0092】

この構成によれば、 p^+ 型チャネルコンタクト領域34と p^+ 型ウェルコンタクト領域24の両方をベース表面11Bに形成できるので、これらの領域24, 34を形成するときのイオン注入時、マスクのアライメントを合わせやすくできる。むろん、第1実施形態と同様の効果を実現することもできる。

<第3実施形態>

図15および図16は、本発明の第3実施形態に係る半導体装置の模式断面図であって、それぞれ図3および図4に対応する断面構造を示している。図15および図16において、前述の図3および図4に示された各部と対応する部分には同一の参照符号を付して示す。

【0093】

10

20

30

40

50

前述の第1実施形態では、外周部3に低段部12が形成されていたが、この第3実施形態では、外周部3に低段部21が形成されておらず、外周部3は、セル部2のベース表面11Bと同じ高さ位置の半導体表面11を有している。

この構成によれば、 p^+ 型チャネルコンタクト領域34と p^+ 型ウェルコンタクト領域24の両方をベース表面11Bに形成できるので、これらの領域24, 34を形成するときのイオン注入時、マスクのアライメントを合わせやすくできる。むしろ、第1実施形態と同様の効果を実現することもできる。

<第1参考形態>

図17および図18は、本発明の第1参考形態に係る半導体装置の模式断面図であって、それぞれ図3および図4に対応する断面構造を示している。図17および図18において、前述の図3および図4に示された各部と対応する部分には同一の参照符号を付して示す。

10

【0094】

前述の第1実施形態では、表面絶縁膜26は、セル部2上の内側部分27が、外周部3上の外側部分28よりも薄くなるように形成されていたが、図17および図18に示すように、セル部2上の内側部分27が、外周部3上の外側部分28と同じ厚さで形成されていてもよい。その膜厚は、たとえば、5500 ~ 20000 程度であってよい。

<第2参考形態>

図19および図20は、本発明の第2参考形態に係る半導体装置の模式断面図であって、それぞれ図3および図4に対応する断面構造を示している。図19および図20において、前述の図3および図4に示された各部と対応する部分には同一の参照符号を付して示す。

20

【0095】

図19および図20の構造は、第2実施形態の構造に、前述の第1参考形態の一樣な厚さの表面絶縁膜26の構成を組み合わせた例である。

<第4実施形態>

図21は、本発明の第4実施形態に係る半導体装置の模式断面図であって、図3に対応する断面構造を示している。図21において、前述の図3に示された各部と対応する部分には同一の参照符号を付して示す。

【0096】

前述の第1実施形態では、外周部3の耐压構造は、 p 型層23および p 型ガードリング25のように、 p 型の半導体領域のみからなるものであったが、図21に示すように、低表面11Lに形成されたトレンチと、当該トレンチの底部に形成された p 型の半導体領域とを含む構成であってもよい。この場合、トレンチ内には絶縁膜を介して導電材料が埋め込まれていてもよい。この実施形態では、低表面11Lに形成され、セル部2を取り囲む環状のトレンチ53と、トレンチ53の底部および側部に形成され、その内方領域がトレンチ53に接する p 型層54とを含む、ガードリング55が形成されている。トレンチ53には、トレンチ絶縁膜56を介してポリシリコン層57が埋め込まれている。

30

【0097】

この構成によっても、第1実施形態と同様の効果を実現できる。

40

以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、半導体装置1の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、半導体装置1において、 p 型の部分が n 型であり、 n 型の部分が p 型であってもよい。

【0098】

また、半導体装置1において、半導体層を構成する層は、SiCからなる n -型エピタキシャル層に限らず、GaN、ダイヤモンド、Siからなる層等であってもよい。

また、各单位セル9は、平面視正方形（四角形状）に限らず、たとえば、平面視三角形、平面視五角形、平面視六角形等の他の平面視多角形状であってもよい。

本発明の半導体装置は、たとえば、電気自動車（ハイブリッド車を含む）、電車、産業

50

用口ポットなどの動力源として利用される電動モータを駆動するための駆動回路を構成するインバータ回路に用いられるパワーモジュールに組み込むことができる。また、太陽電池、風力発電機その他の発電装置（とくに自家発電装置）が発生する電力を商用電源の電力と整合するように変換するインバータ回路に用いられるパワーモジュールにも組み込むことができる。

【0099】

また、前述の実施形態の開示から把握される特徴は、異なる実施形態間でも互いに組み合わせることができる。また、各実施形態において表した構成要素は、本発明の範囲で組み合わせることができる。

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

10

【符号の説明】

【0100】

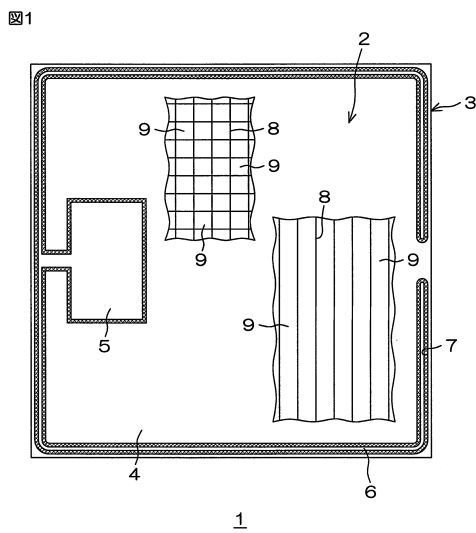
- | | | |
|-----|-----------------------------|----|
| 1 | 半導体装置 | |
| 2 | セル部 | |
| 3 | 外周部 | |
| 4 | ソースパッド | |
| 5 | ゲートパッド | |
| 6 | ゲートフィンガー | |
| 7 | 除去領域 | 20 |
| 8 | ゲートトレンチ | |
| 9 | 単位セル | |
| 10 | n ⁻ 型エピタキシャル層 | |
| 11 | 半導体表面 | |
| 11B | ベース表面 | |
| 11L | 低表面 | |
| 12 | 低段部 | |
| 13 | 内側トレンチ | |
| 14 | 外側トレンチ | |
| 15 | コンタクトトレンチ | 30 |
| 16 | ゲート電極 | |
| 17 | ゲート絶縁膜 | |
| 18 | オーバーラップ部 | |
| 19 | p型ウェル | |
| 20 | n ⁻ 型ドレイン領域 | |
| 21 | n ⁺ 型領域 | |
| 22 | p型層 | |
| 23 | p型層 | |
| 24 | p ⁺ 型ウェルコンタクト領域 | |
| 25 | p型ガードリング | 40 |
| 26 | 表面絶縁膜 | |
| 27 | 内側部分 | |
| 28 | 外側部分 | |
| 29 | コンタクトホール | |
| 30 | コンタクトホール | |
| 31 | コンタクトホール | |
| 32 | n ⁺ 型ソース領域 | |
| 33 | ソーストレンチ | |
| 34 | p ⁺ 型チャネルコンタクト領域 | |
| 35 | p型チャネル領域 | 50 |

- 3 6 柱状部
- 3 7 環状部
- 3 8 p型層
- 3 9 ソーストレンチ絶縁膜
- 4 0 トレンチ埋め込み層
- 4 1 ソース部
- 4 2 絶縁層
- 4 3 ポリシリコン層
- 4 4 ソーストレンチ
- 4 5 p⁺型チャンネルコンタクト領域
- 4 6 下地膜
- 4 7 埋め込みメタル
- 4 8 下地膜
- 4 9 埋め込みメタル
- 5 0 n⁺型ソース領域
- 5 1 ゲート電極
- 5 2 ゲート絶縁膜
- 5 3 トレンチ
- 5 4 p型層
- 5 5 ガードリング
- 5 6 トレンチ絶縁膜
- 5 7 ポリシリコン層

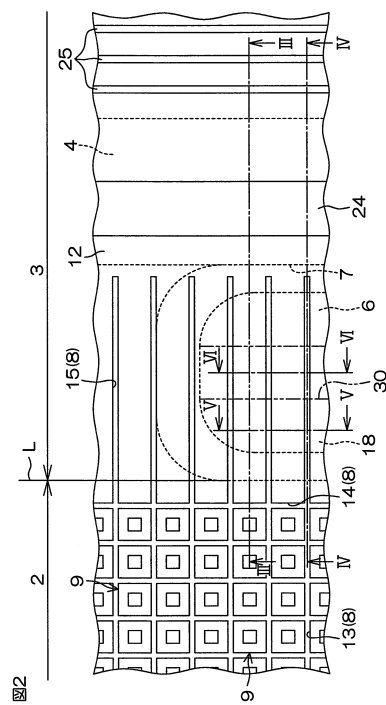
10

20

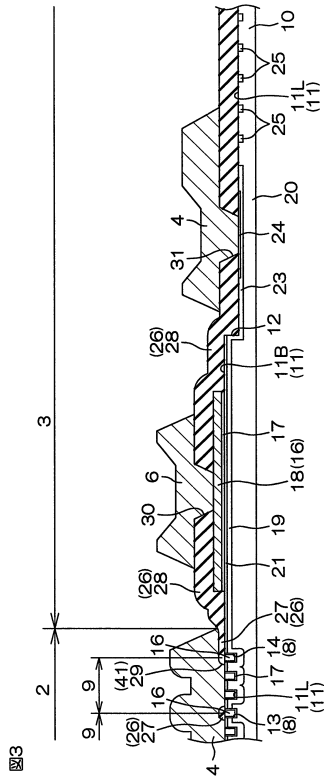
【図1】



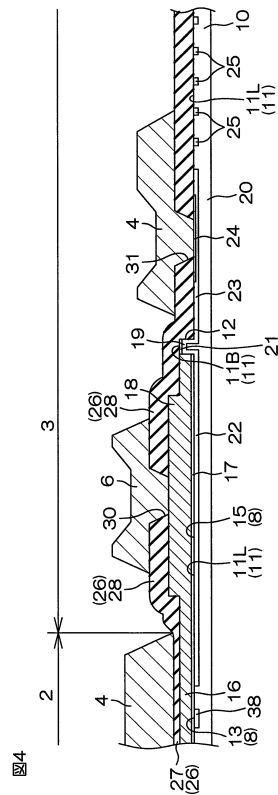
【図2】



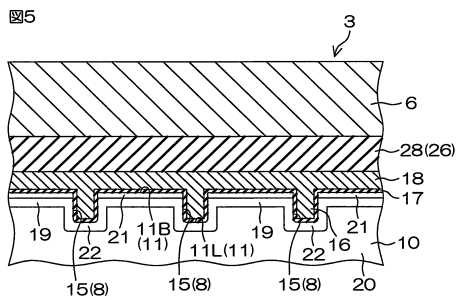
【 図 3 】



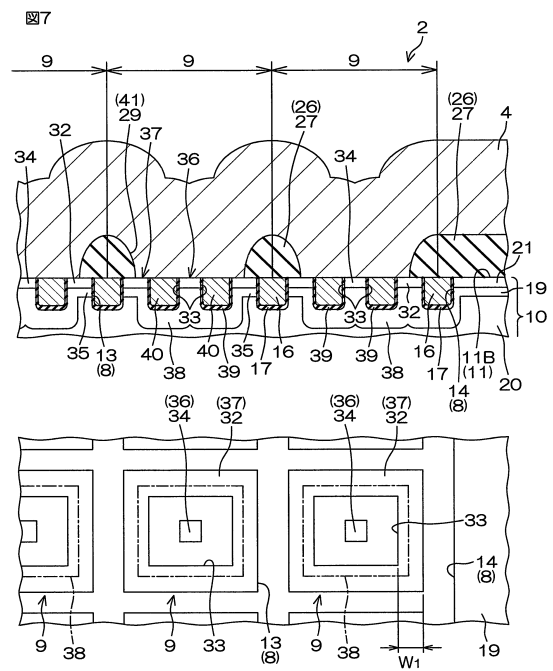
【 図 4 】



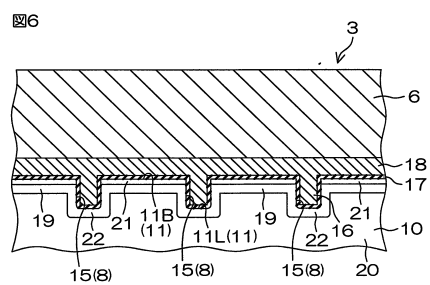
【 図 5 】



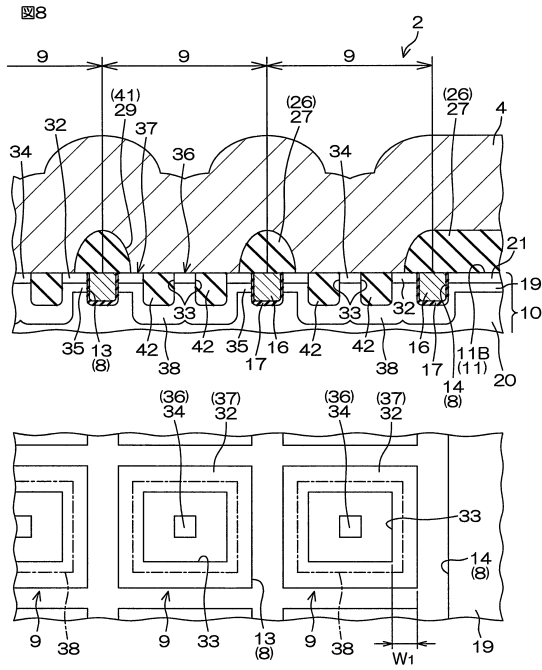
【 図 7 】



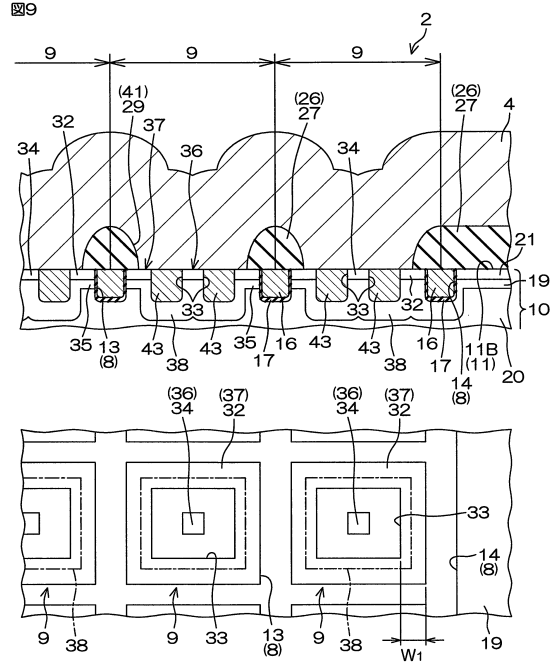
【 図 6 】



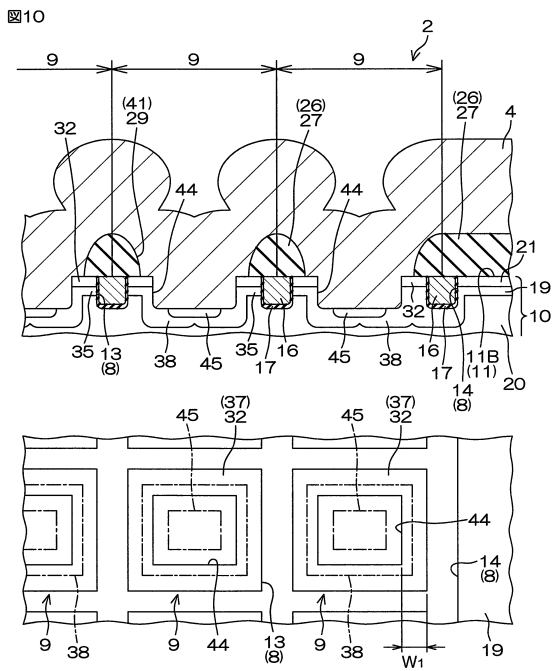
【図8】



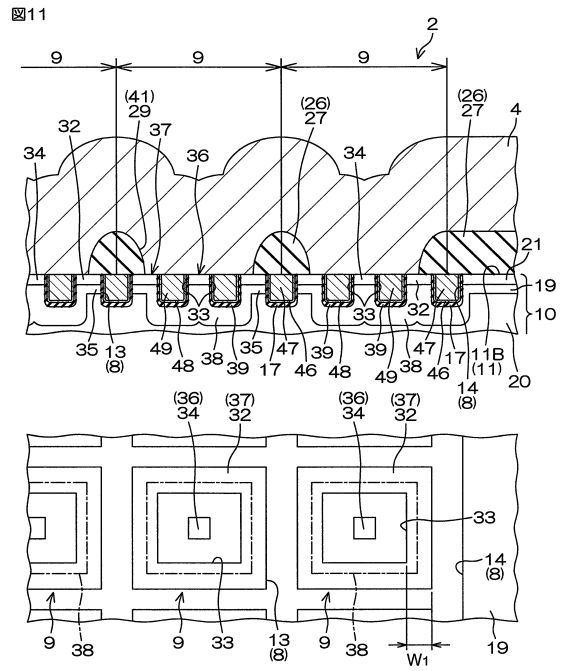
【図9】



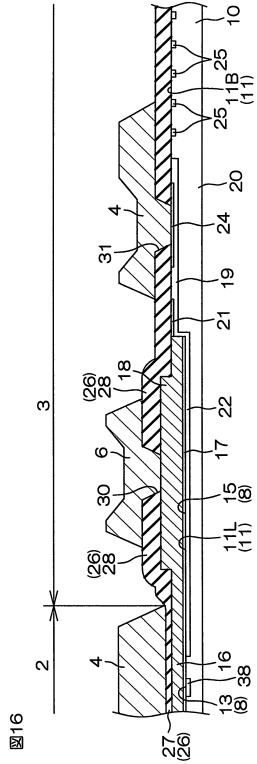
【図10】



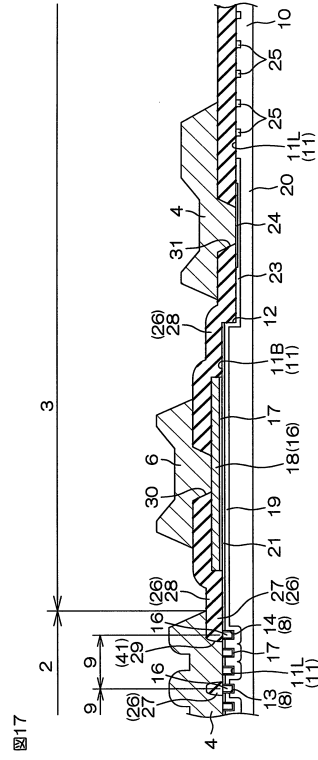
【図11】



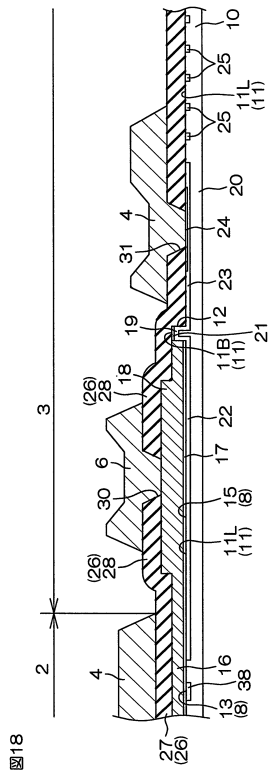
【 図 1 6 】



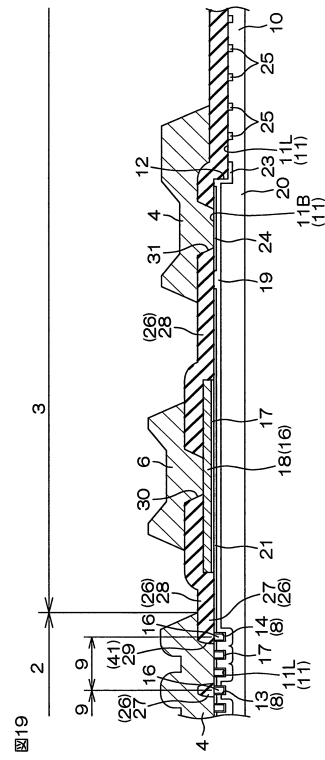
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(51)Int.Cl.	F I		
	H 0 1 L	29/78	6 5 2 T
	H 0 1 L	29/78	6 5 3 A
	H 0 1 L	29/06	3 0 1 G
	H 0 1 L	29/06	3 0 1 V
	H 0 1 L	29/58	G

審査官 綿引 隆

- (56)参考文献 特開2011-210916(JP,A)
 特開2011-187708(JP,A)
 特開平09-270512(JP,A)
 特開2000-101074(JP,A)
 特開2001-024193(JP,A)
 特開2012-178536(JP,A)
 特表2007-529115(JP,A)
 米国特許第05895951(US,A)
 特開2011-165941(JP,A)
 特開2001-320051(JP,A)
 特開2013-033931(JP,A)
 特開2002-185015(JP,A)
 特開2014-175313(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8