

렌치, 상기 복수의 트렌치 각각의 하부에 형성되는 쉴드 전극, 상기 복수의 트렌치 각각의 내부에서 상기 쉴드 전극을 둘러싸도록 형성되는 쉴드 산화막, 상기 복수의 트렌치 각각의 내부에서 상기 쉴드 전극 상에 형성되는 게이트 전극, 상기 복수의 트렌치 사이에서 상기 제1 도전형 에피택셜 층의 표면을 포함하는 상부에 형성되는 제2 도전형 바디 영역, 상기 제2 도전형 바디 영역 상에 형성되는 소스 영역, 상기 게이트 전극 상에 형성되는 절연층, 상기 소스 영역과 접촉하도록 형성되는 소스 컨택층, 상기 소스 컨택층 상에 형성되는 소스 전극을 포함할 수 있다.

(52) CPC특허분류

H01L 29/1095 (2013.01)

H01L 29/407 (2013.01)

H01L 29/66734 (2013.01)

(72) 발명자

김영석

경기도 용인시 수지구 성북2로 158, 603-1401 (성북동, 성동마을 엘지빌리지 6차)

오태현

서울특별시 강남구 테헤란로 501, 14층 (삼성동)

명세서

청구범위

청구항 1

드레인 전극;

상기 드레인 전극 상에 배치되는 제1 도전형 기관;

상기 제1 도전형 기관 상에 배치되는 제1 도전형 에피택셜 층;

상기 제1 도전형 에피택셜 층 내에 형성되는 제1 도전형 드리프트 층;

상기 제1 도전형 에피택셜 층에 형성되는 복수의 트렌치;

상기 복수의 트렌치 각각의 하부에 형성되는 쉘드 전극;

상기 복수의 트렌치 각각의 내부에서 상기 쉘드 전극을 둘러싸도록 형성되는 쉘드 산화막;

상기 복수의 트렌치 각각의 내부에서 상기 쉘드 전극 상에 형성되는 게이트 전극;

상기 복수의 트렌치 사이에서 상기 제1 도전형 에피택셜 층의 표면을 포함하는 상부에 형성되는 제2 도전형 바디 영역;

상기 제2 도전형 바디 영역 상에 형성되는 소스 영역;

상기 게이트 전극 상에 형성되는 절연층;

상기 소스 영역과 접촉하도록 형성되는 소스 콘택층;

상기 소스 콘택층 상에 형성되는 소스 전극을 포함하는, 반도체 소자.

청구항 2

제1항에 있어서,

상기 트렌치의 깊이는 0.5 ~ 6 μm 이고,

상기 트렌치의 깊이와 상기 에피택셜 층의 깊이는 0.3에서 0.9배 사이에서 형성될 수 있는, 반도체 소자.

청구항 3

제1항에 있어서,

상기 게이트 전극의 상면은 상기 제1 도전형 에피택셜 층 상면보다 낮은 위치에 있는, 반도체 소자.

청구항 4

제1항에 있어서,

상기 제2 도전형 바디의 길이는 상기 제1 도전형 에피택셜 층 상면에서 상기 게이트 전극의 바닥면까지의 길이의 1/2 이하인, 반도체 소자.

청구항 5

제1항에 있어서,

상기 제2 도전형 바디 영역의 최대 폭과 상기 트렌치의 깊이의 비율은 1:2에서 1:20의 비율의 범위인, 반도체 소자.

청구항 6

제1항에 있어서,

상기 제1 도전형 드리프트 층은,

상기 기판에 인접하여 형성되는 제1 도전형 고농도 드리프트 층;

상기 제1 도전형 고농도 드리프트 층과 상기 윌드 산화막 사이에 형성되는 제1 도전형 중간 농도 드리프트 층;
및

상기 제1 도전형 중간 농도 드리프트 층과 상기 제2 도전형 바디 영역 사이에 형성되는 제1 도전형 저농도 드리프트 층을 포함하는, 반도체 소자.

청구항 7

제6항에 있어서,

상기 제1 도전형 고농도 드리프트 층, 상기 제1 도전형 중간 농도 드리프트 층, 상기 제1 도전형 저농도 드리프트 층의 깊이는 서로 상이한, 반도체 소자.

청구항 8

제1항에 있어서,

상기 소스 컨택층은 상기 바디 영역과 상기 소스 영역을 동시에 접촉하는, 반도체 소자.

청구항 9

제1항에 있어서,

상기 게이트 전극 측면 및 하면에 배치되는 게이트 산화막을 포함하는, 반도체 소자.

청구항 10

제9항에 있어서,

상기 바디 영역의 측면은 상기 게이트 산화막과 접촉되고,

상기 바디 영역의 중앙은 상기 소스 컨택층과 접촉되고,

상기 바디 영역의 중앙 부분은 상기 바디 영역의 측면 부분보다 상기 제1 도전형 저농도 드리프트 층 방향으로 더 아래에 배치되는, 반도체 소자.

청구항 11

제6항에 있어서,

상기 제1 도전형 드리프트 층은 상기 제1 도전형 기판과의 접촉면에서 상기 바디 영역으로 가면서 도핑되어 있는 도펀트의 농도가 점진적으로 감소되는, 반도체 소자.

청구항 12

제6항에 있어서,

상기 중간 농도의 드리프트 층의 상면은 상기 트렌치 밑 바닥까지 확산되거나 일부 중첩될 수 있는, 반도체 소자.

청구항 13

제1항에 있어서,

상기 제2 도전형 바디 영역의 깊이와 트렌치 깊이의 비율이 1:2에서 1:30 범위 내에 설정될 수 있는 반도체 소자.

청구항 14

반도체 소자의 제조 방법에 있어서,

제1 도전형 반도체 기판 상에 제1 도전형 에피텍셀 층을 형성하는 단계;

상기 제1 도전형 에피텍셀 층 내에 복수의 트렌치를 형성하는 단계;

상기 복수의 트렌치의 내부 표면에 희생 산화막을 형성하는 단계;

상기 희생 산화막을 제거하는 단계;

상기 복수의 트렌치의 내부 표면 및 상기 에피텍셀 층 상에 쉘드 산화막을 형성하는 단계;

상기 복수의 트렌치 각각의 하부에 쉘드 전극을 형성하는 단계;

상기 복수의 트렌치의 내부 표면, 상기 쉘드 산화막의 위 및 상기 에피텍셀 층상에 게이트 산화막을 증착하는 단계;

상기 복수의 트렌치 각각의 내부에서 상기 쉘드 전극 위에 게이트 전극을 형성하는 단계;

상기 복수의 트렌치 사이에서 상기 에피텍셀 층의 표면을 포함하는 상부에 제2 도전형 바디 영역을 형성하는 단계;

상기 제2 도전형 바디 위에 소스 영역을 형성하는 단계;

상기 게이트 전극 위에 절연층을 형성하는 단계;

상기 소스 영역과 접촉하는 소스 콘택층을 형성하는 단계;

상기 소스 콘택층과 접촉하도록 소스 전극을 형성하는 단계; 및

상기 반도체 기판 아래에 드레인 전극을 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 15

제14항에 있어서,

상기 트렌치의 깊이는 0.5~6 μ m이고,

상기 트렌치의 깊이와 상기 에피텍셀 층의 깊이는 0.3에서 0.9배 사이에서 형성될 수 있는, 반도체 소자의 제조 방법.

청구항 16

제14항에 있어서,
 상기 복수의 트렌치의 내부 표면에 희생 산화막을 형성하는 동작은,
 열공정의 온도를 1000도 이하로 하고, 상기 복수의 트렌치의 내부 표면에 희생 산화막을 형성하는 동작을 포함하는, 반도체 소자의 제조 방법.

청구항 17

제14항에 있어서,
 상기 쉘드 산화막을 형성하는 단계는,
 상기 복수의 트렌치의 내부 표면 및 상기 에피텍셀 층 상에 1차 쉘드 산화막을 형성하는 단계;
 상기 1차 쉘드 산화막을 에칭하는 단계;
 상기 복수의 트렌치의 내부 표면, 상기 쉘드 전극의 표면 및 상기 에피텍셀 층 상에 2차 쉘드 산화막을 형성하는 단계;
 상기 2차 쉘드 산화막을 에칭하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 18

제17항에 있어서,
 상기 1차 쉘드 산화막을 에칭하는 단계는,
 상기 쉘드 전극의 상부 일부가 드러나도록 상기 1차 쉘드 산화막을 에칭하는 단계를 포함하고,
 상기 2차 쉘드 산화막을 에칭하는 단계는,
 상기 2차 쉘드 산화막의 남겨진 부분의 상면과 상기 쉘드 전극의 상면의 위치가 상기 에피텍셀 층의 상면으로부터 깊이가 동일한 면에 위치하도록 상기 2차 쉘드 산화막을 에칭하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 19

제14항에 있어서,
 상기 게이트 전극을 형성하는 단계는,
 게이트 전극 물질을 상기 에피텍셀 층 표면보다 높게 증착하는 단계;
 에치백(etchback) 공정 또는 CMP(chemical mechanical polishing) 공정을 수행하여 상기 게이트 전극의 높이를 상기 에피텍셀 층 표면보다 낮게 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 20

제14항에 있어서,
 상기 제2 도전형 바디를 형성하는 단계는,
 상기 복수의 트렌치 사이에서 상기 에피텍셀 층 표면에 제2 도전형 도펀트를 주입하는 단계; 및
 800도에서 1050도 사이의 온도에서 RTP(rapid thermal processing) 공정으로 진행하는 어닐링(anneal) 동작을

수행하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 21

제14항에 있어서,

상기 제2 도전형 바디를 형성하는 단계는,

상기 제2 도전형 바디의 길이가 상기 에피텍셀 층의 상면에서 상기 게이트 전극의 바닥면까지의 길이의 1/2이하가 되도록 상기 제2 도전형 바디를 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 22

제14항에 있어서,

상기 제2 도전형 바디를 형성하는 단계는,

상기 제2 도전형 바디의 최대 폭과 상기 트렌치의 길치의 비율이 1:2에서 1:20의 비율의 범위에 있도록 상기 제2 도전형 바디를 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 23

제14항에 있어서,

상기 소스 컨택층을 형성하는 단계는,

상기 소스 영역 및 상기 바디 영역의 중앙 부분을 에칭하는 단계; 및

상기 소스 컨택층을 상기 소스 영역과 상기 바디 영역을 동시에 접촉하도록 상기 에칭된 소스 영역 및 상기 바디 영역의 중앙 부분에 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 24

제14항에 있어서,

상기 제2 도전형 바디 영역을 형성 시 진행하는 어닐링 공정 진행 후,

상기 제1 도전형 드리프트 영역을 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 25

제14항에 있어서,

상기 희생 산화막을 형성하는 단계는,

상기 반도체 기판 상에 제1 고농도 드리프트 영역을 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

청구항 26

제20항에 있어서,

상기 제2 도전형 바디 영역을 형성시 진행하는 어닐링 공정 진행 후,

상기 제1 도전형의 제1 고농도 드리프트 층은 어닐링 공정 진행후 형성되는 제1 도전형의 고농도 드리프트 층;

제1 도전형 고농도 드리프트 층 상에 형성되는 중간 농도 드리프트 층;
 상기 중간 농도 드리프트 층 상에 형성되는 저농도 드리프트 층을 포함하는, 반도체 소자 제조 방법.

청구항 27

제26항에 있어서,
 상기 중간 농도 드리프트 층의 상면은 트렌치 하부 바닥까지 확산되거나 일부 중첩되는 특징을 가지고 있는, 반도체 소자의 제조 방법.

청구항 28

제26항에 있어서,
 상기 중간 농도의 도핑 농도는 $1 \times 10^{17}/\text{cm}^3 \sim 1 \times 10^{19}/\text{cm}^3$ 의 도핑 농도로 형성되는 특징을 가지는, 반도체 소자의 제조 방법.

청구항 29

제18항에 있어서,
 상기 2차 셸드 산화막을 에칭하는 단계 진행 후,
 상기 셸드 산화막에 굴곡이 형성되는, 반도체 소자 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전력 반도체 소자 및 제조 방법에 관한 것으로 초단 길이 채널 (super short channel)이 구현된 전력 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

- [0003] 전력용 반도체 소자는 넓은 동작 전압 범위에서 구동하며 그 동작 전압 범위는 주로 10V ~ 1500V 사이이다.
- [0004] 특히 30V 이하의 저 전압 전력 MOSFET 소자(Low Voltage Power MOSFET)는 배터리 보호 회로, PC 메인 보드, 인버터, 컨버터 등 여러 어플리케이션에 적용되는데, 항복 전압을 유지하면서도 전류 도통시 또는 소자 동작시에 드레인-소스간의 낮은 온-저항(low R_{dson}) 값을 확보하는 것이 중요하다.
- [0005] 전력 MOSFET(power MOSFET) 소자는 온(ON)-오프(OFF) 스위칭 소자로, 온 동작 시의 저항(on-resistance)과 오프 동작시의 항복 전압(breakdown voltage)이 중요한 특성이다. 항복 전압과 온-저항 특성은 서로 트레이드 오프(trade-off) 관계가 있다.
- [0006] 종래에는 반도체 기판 상에 두꺼운 에피텍셜 층을 형성하여 드리프트(drift) 영역을 길게 형성함으로써 용이하게 항복 전압을 확보할 수 있었지만, 두꺼운 에피텍셜 층으로 인하여 전류 도통시 또는 소자 동작시의 낮은 온-저항을 확보할 수 없었다. 특히 트렌치 파워 MOSFET 소자에서는 에피텍셜 층의 두께를 증가시키면 항복 전압을 증가시킬 수 있었으나, 트레이드 오프로 인하여 온-저항(on-resistance)이 증가하여 전력 소모가 증가되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명의 다양한 실시 예는 에피텍셀 층의 두께와 트렌치 깊이를 최소화하고 열 공정(thermal process) 조건을 적정화 하여 초단길이의 채널을 구현함으로써 채널 저항과 에피텍셀 층의 저항을 최소화하고, 항복 전압의 감소 없이, 획기적으로 낮은 온 저항을 갖는 반도체 소자 및 그 제조 방법을 제공할 수 있다.
- [0009] 본 문서에서 이루고자 하는 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0011] 본 발명의 다양한 실시 예들에 따르면, 반도체 소자는 드레인 전극, 상기 드레인 전극 상에 배치되는 제1 도전형 기관, 상기 제1 도전형 기관 상에 배치되는 제1 도전형 에피텍셀 층, 상기 제1 도전형 에피텍셀 층 내에 형성되는 제1 도전형 드리프트 층, 상기 제1 도전형 에피텍셀 층에 형성되는 복수의 트렌치, 상기 복수의 트렌치 각각의 하부에 형성되는 쉘드 전극, 상기 복수의 트렌치 각각의 내부에서 상기 쉘드 전극을 둘러싸도록 형성되는 쉘드 산화막, 상기 복수의 트렌치 각각의 내부에서 상기 쉘드 전극 상에 형성되는 게이트 전극, 상기 복수의 트렌치 사이에서 상기 제1 도전형 에피텍셀 층의 표면을 포함하는 상부에 형성되는 제2 도전형 바디 영역, 상기 제2 도전형 바디 영역 상에 형성되는 소스 영역, 상기 게이트 전극 상에 형성되는 절연층, 상기 소스 영역과 접촉하도록 형성되는 소스 콘택층, 상기 소스 콘택층 상에 형성되는 소스 전극을 포함할 수 있다.
- [0012] 본 발명의 다양한 실시 예들에 따르면, 반도체 소자의 제조 방법은 제1 도전형 반도체 기관 상에 제1 도전형 에피텍셀 층을 형성하는 단계, 상기 제1 도전형 에피텍셀 층 내에 복수의 트렌치를 형성하는 단계, 상기 복수의 트렌치의 내부 표면에 희생 산화막을 형성하는 단계, 상기 희생 산화막을 제거하는 단계, 상기 복수의 트렌치의 내부 표면 및 상기 에피텍셀 층 상에 쉘드 산화막을 형성하는 단계, 상기 복수의 트렌치 각각의 하부에 쉘드 전극을 형성하는 단계, 상기 복수의 트렌치의 내부 표면, 상기 쉘드 산화막의 위 및 상기 에피텍셀 층상에 게이트 산화막을 증착하는 단계, 상기 복수의 트렌치 각각의 내부에서 상기 쉘드 전극 위에 게이트 전극을 형성하는 단계, 상기 복수의 트렌치 사이에서 상기 에피텍셀 층의 표면을 포함하는 상부에 제2 도전형 바디 영역을 형성하는 단계, 상기 제2 도전형 바디 위에 소스 영역을 형성하는 단계, 상기 게이트 전극 위에 절연층을 형성하는 단계, 상기 소스 영역과 접촉하는 소스 콘택층을 형성하는 단계, 상기 소스 콘택층과 접촉하도록 소스 전극을 형성하는 단계 및 상기 반도체 기관 아래에 드레인 전극을 형성하는 단계를 포함할 수 있다.

발명의 효과

- [0014] 본 발명의 다양한 실시 예에 따라, 본 발명에서 제안하는 반도체 소자의 제조 방법은 에피텍셀 층의 두께를 최소화하고 열 공정을 적정화하여, 제1 도전형의 초고농도 반도체 기관에서 에피텍셀 층의 확산(out-diffusion) 현상을 최소화하면서도, 항복 전압을 동일하게 유지하고, 채널 영역, 드리프트 영역의 저항을 개선할 수 있다.
- [0015] 본 발명의 다양한 실시 예들에 따라, 본 발명에서 제안하는 전력 반도체 소자는 항복 전압의 감소없이 획기적으로 낮은 온 저항을 가질 수 있다. 즉, 반도체 소자의 항복 전압과 온-저항간 트레이드 오프 관계를 개선할 수 있다.
- [0016] 본 발명의 다양한 실시 예들에 따라, 본 발명에서 제안하는 열 공정 조건을 적정화하여 종래 대비 에피텍셀 층의 두께를 감소시킬 수 있고, 공정 시간을 단축할 수 있으며, 그 결과 공정 비용을 줄일 수 있다.
- [0017] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0019] 도 1a는, 본 발명의 다양한 실시예들에 따른, 반도체 소자의 적층 구조를 도시한 도면이다.
- 도 1b는 본 발명의 다양한 실시예들에 따른, 반도체 소자의 적층 구조에서 공핍층 영역의 전기장을 나타낸 도면이다.
- 도 1c는 도 1a의 일 부분을 확대한 도면이다.
- 도 2a는 본 발명과 종래 기술 대비 트렌치 측면 영역의 깊이에 따른 도핑 프로파일을 비교한 도면이다.
- 도 2b는 본 발명과 종래 기술 대비 트렌치 측면 영역의 바디 영역의 도핑 프로파일을 확대하여 비교한 도면이다.
- 도 3은 반도체 소자의 제조 방법을 설명하기 위한 공정 순서도이다.
- 도 4a 내지 4l은 반도체 소자의 제조 방법을 설명하기 위한 도면이다.
- 도면의 설명과 관련하여, 동일 또는 유사한 구성요소에 대해서는 동일 또는 유사한 참조 부호가 사용될 수 있다.

발명을 실시하기 위한 구체적인 내용

- [0020] 본 문서의 이점 및 특징, 그리고 그것들을 달성하는 장치 및 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 문서는 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 문서의 개시가 완전하도록 하며, 본 문서가 속하는 기술분야에서 통상의 지식을 가진 자에게 문서의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 문서는 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 또는 유사한 구성 요소에 대해서는, 동일 또는 유사한 참조 부호가 사용될 수 있다.
- [0021] 하나의 구성 요소가 다른 구성 요소와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 구성 요소와 직접 연결 또는 커플링된 경우 또는 중간에 다른 구성 요소를 개재한 경우를 모두 포함한다. 반면, 하나의 구성 요소가 다른 구성 요소와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 구성 요소를 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0022] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 문서를 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성 요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성 요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0023] 비록 제 1, 제 2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다.
- [0024] 따라서, 이하에서 언급되는 제 1 구성 요소는 본 문서의 기술적 사상 내에서 제2 구성 요소 일 수도 있음은 물론이다. 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 문서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0025] 반도체 소자의 항복 전압(breakdown voltage)은 트렌치 모스펫(Trench MOSFET)들 사이에 형성되는 P-바디 영역(P-body)과 N-드리프트(N-drift) 영역의 전기장(E-Field) 분포 및 면적, 공핍층의 폭(Depletion layer Width)에 따라 결정될 수 있다.
- [0026] 에피텍셜 층(Epitaxial layer)의 두께를 증가시키면 P-바디 영역과 N-드리프트 영역에 형성되는 공핍층의 폭이 증가되어 반도체 소자의 항복 전압은 증가하나 온-저항(On-Resistance) 또한 증가하여 온 상태의 도통 전력소모(conduction power loss)가 증가할 수 있다. 이를 해결하기 위해 에피텍셜 층의 두께를 감소시키면, 반도체 소자의 온-저항은 감소될 수 있으나 항복 전압도 함께 낮아져 원하는 오프 특성을 얻지 못할 수 있다.

- [0027] 만약 적당한 항복 전압을 구현하지 못하면 반도체 소자의 스위칭 오프(switching-off)시 발생하는 높은 역 전압으로 인하여 소자가 파괴될 수 있다.
- [0028] 도 1a는, 본 발명의 다양한 실시예들에 따른, 반도체 소자의 적층 구조를 도시한 도면이다. 일 실시 예에 따라, 도 1a에 도시된 반도체 소자는 전력용 MOS펫(Power MOSFET) 소자일 수 있고, 특히 전력용 스위칭 소자일 수 있다.
- [0029] 도 1a를 참조하면, 반도체 소자(10)는 드레인 전극(390), 드레인 전극(390) 상에 배치되는 제1 도전형 반도체 기판(100), 제1 도전형 반도체 기판(100) 상에 배치되는 제1 도전형 에피택셜 층(epitaxial layer)(150), 제1 도전형 에피택셜 층(epitaxial layer)(150)에 형성되는 복수의 트렌치(trench)(300), 복수의 트렌치(300) 각각의 하부에 형성되는 쉴드 전극(shield electrode)(310), 복수의 트렌치(300) 각각의 내부에서 쉴드 전극(310)을 둘러싸도록 형성된 쉴드 산화막(440), 상기 복수의 트렌치(300) 각각의 내부에서 쉴드 전극(310) 및 쉴드 산화막(440) 상에 형성되는 게이트 전극(330), 상기 복수의 트렌치(300) 사이에서 제1 도전형 에피택셜 층(150)의 표면을 포함하는 상부에 형성되는 제2 도전형 바디 영역(340), 제2 도전형 바디 영역(340) 상에 형성되는 소스 영역(350), 게이트 전극(330), 게이트 전극 측면에 형성되는 게이트 산화막(450) 및 소스 영역(350) 상에 형성되는 절연층(insulator layer)(360), 소스 영역(350)과 접촉하여 형성되는 소스 컨택층(370) 및 소스 컨택층 상에 형성되는 소스 전극(380)을 포함할 수 있다.
- [0030] 또한 다양한 실시 예들에 따르면, 파워 트렌치 MOS펫 소자는 싱글 게이트 폴리실리콘(Single Gate Polysilicon) 구조로도 형성할 수 있다. 즉 트렌치(300) 내에 쉴드 전극(310)을 형성하지 않고 싱글 폴리실리콘 구조로 게이트 전극만을 형성할 수도 있다. 이러한 경우 싱글 폴리실리콘 하부에는 두꺼운 산화막이 형성될 수 있다.
- [0031] 다양한 실시 예들에 따르면, 에피택셜 층(150)은 초 고농도의 제1 도전형 도펀트(dopant)가 도핑된 반도체 기판(100) 상에 에피택셜 층을 성장하여 형성하고, 추후 공정에서 진행되는 열 공정(thermal process)으로 인하여 반도체 기판(100)에 도핑된 초 고농도의 제1 도전형 도펀트가 에피택셜 층으로 확산(out-diffusion)될 수 있다. 그에 따라, 에피택셜 층(150) 내에는 고 농도, 중간 농도, 저 농도의 도펀트 층이 형성될 수 있다.
- [0032] 이로 인해 에피택셜 층(150)은 드리프트 층(drift layer)(200)을 포함할 수 있다. 또한, 드리프트 층(200)은 고 농도 드리프트 층(210), 중간 농도 드리프트 층(220), 저농도 드리프트 층(230)으로 형성될 수 있다.
- [0033] 각각의 고농도 드리프트 층(210), 중간 농도 드리프트 층(220) 및 저농도 드리프트 층(230)의 깊이는 서로 상이하게 형성될 수 있으며, 고 농도 드리프트 층(210)은 초 고농도 반도체 기판(100)과 중간 농도 드리프트 층(220) 사이에 배치되며, 중간 농도 드리프트 층(220)은 고농도 드리프트 층(210)과 쉴드 전극(310) 하부 영역이나 쉴드 전극이 적용되지 않는 트렌치 싱글 게이트 MOS펫 구조에서는 트렌치 하부(bottom) 영역 사이에 배치되며, 낮은 온저항을 구현하기 위해서는 중간 농도 드리프트 층(220)의 상면이 트렌치 밑 바닥까지 확산되거나 일부 중첩되게 형성될 수 있다. 저농도 드리프트 층(230)은 중간 농도 드리프트 층(220)과 제2 도전형 바디 영역(340) 사이에 배치된다. 저농도 드리프트 층(230)은 트렌치(300)와 트렌치(300) 사이에 배치된다.
- [0034] 또한, 위와 같이 각각의 드리프트 농도 차이를 고려하여 고농도의 드리프트 층(210)은 N+, 중간 농도의 드리프트 층(220)은 N, 저농도 드리프트 층(230)은 N- 영역으로 표기할 수 있다.
- [0035] 도 1b는 본 발명의 다양한 실시예들에 따른, 반도체 소자의 적층 구조에서 공핍층 영역의 전기장(E-field)을 나타낸 도면이다.
- [0036] 도 1b의 전기장(E-field)(610)은 바디 영역과 드리프트 층 사이의 공핍층(Depletion layer)의 전기장(610)을 확인한 그래프이다. 반도체 소자의 항복 전압은 전기장 세기의 적분 값에 따라 결정될 수 있는데, 종래 기술 대비하여 에피택셜 층의 깊이(B), 즉 드리프트 층의 깊이를 감소시켰음에도 공핍층의 깊이(A) 및 상응하는 전기장(E-field) 세기는 동일하게 유지하여 동일한 항복 전압을 확보할 수 있다. 반도체 소자 온-오프시 안정적인 항복 전압을 확보하여 역 전압 발생으로 인한 소자 파괴를 방지할 수 있다.
- [0037] 공핍층 깊이(A)와 에피택셜 층(150) 깊이(B)의 비율은 1:4 ~ 1:8의 비율을 가질 수 있다.
- [0038] 도 1a와 도 1b를 참조하면, 트렌치(300)의 깊이는 0.5 μ m 와 6 μ m 사이에서 형성될 수 있다. 또한, 트렌치(300)의 깊이는 에피택셜 층(150) 깊이(B)의 0.3~0.9배 사이에서 형성될 수 있다. 이로 인해 얇은 두께의 에피택셜 층 및 트렌치를 확보할 수 있다. 에피택셜 층의 두께에 따라 에피택셜 층의 비저항이 감소되어 더 낮은 온저항(Low R_{dson})을 확보할 수 있다.

- [0039] 본 발명의 다양한 실시 예에 따르면, 게이트 전극(330)의 상면은 제1 도전형 에피택셜 층(150)의 상면보다 낮은 위치에 있을 수 있다. 일 실시 예에 따라, 게이트 전극(330)의 상면은 제1 도전형 에피택셜 층(150)의 상면보다 약 60nm에서 120nm 아래에 위치할 수 있다.
- [0040] 본 발명의 다양한 실시 예에 따른 도 1c를 참조하면, 제2 도전형 바디 영역(340)의 측면과 게이트 산화막(450)과 인접하는 부분의 깊이(D)는 제1 도전형 에피택셜 층(150) 상면에서 게이트 전극(330)의 바닥면까지의 길이(E)의 1/2이하일 수 있다. 그리고 제2 도전형 바디 영역의 깊이(D)는 본 발명에서 정의하는 채널 길이(channel length)가 될 수 있다.
- [0041] 본 발명의 다양한 실시 예에 따르면, 제2 도전형 바디 영역(340)의 최대 폭(maximum width)(F)은 트렌치(300) 깊이(H)의 1/2 내지 1/20의 범위내에 있을 수 있다.
- [0042] 본 발명의 다양한 실시 예에 따르면, 제2 도전형 바디 영역 깊이(D)와 트렌치 깊이(H)의 비율이 1:2에서 1:30의 범위 내에 있을 수 있다.
- [0043] 본 발명의 다양한 실시 예에 따르면, 소스 컨택층(370)은 바디 영역(340)과 소스 영역(350)을 동시에 접촉하도록 구비될 수 있다.
- [0044] 본 발명의 다양한 실시 예에 따르면, 싱글 게이트 폴리실리콘으로 이루어지는 트렌치 파워 MOS펫 소자에서는 싱글 폴리실리콘 게이트 전극의 측면에 게이트 산화막이 형성될 수 있다.
- [0045] 본 발명의 다양한 실시 예에 따르면, 바디 영역(340)의 측면은 게이트 산화막(450)과 접촉되고, 바디 영역(340)의 중앙은 소스 컨택층(370)과 접촉되고, 바디 영역(340)의 중앙 부분은 바디 영역(340)의 측면 부분보다 저농도 드리프트 층(230) 방향으로 더 아래에 배치될 수 있다.
- [0046] 본 발명의 다양한 실시 예에 따르면, 에피택셜 층(150)은 반도체 기판(100)과의 접촉면에서 바디 영역(340)으로 가면서 도핑되어 있는 도펀트의 도핑 농도가 점진적으로 감소될 수 있다.
- [0047] 본 발명의 다양한 실시 예에 따르면, 반도체 소자(10)는 싱글 폴리실리콘으로 이루어진 트렌치 파워 MOS펫 구조로 형성될 수 있으며, 이 경우 별도의 쉘드 전극(310)은 형성되지 않고 싱글 폴리로 이루어진 게이트 전극만을 포함하는 트렌치 파워 MOS펫 구조로 형성될 수 있다.
- [0048] 본 발명의 다양한 실시예에 따르면, 트렌치(300)를 깊게 하여 쉘드 전극(310) 및 게이트 전극(330)을 더 깊게 형성할 수 있다.
- [0049] 도 2a는 본 발명과 종래 기술 대비 트렌치(300) 측면 영역의 깊이(도 1a의 C-C' 선)에 따른 도핑 프로파일을 비교한 도면이고 도 2b는 도 2a의 바디 영역의 도핑 프로파일(550)을 확대된 것을 나타낸다. 본 발명의 적정화 된 열공정으로 진행된 바디 영역은 가선으로 표기되었으며, 종래 기술의 공정을 적용한 바디 영역은 굵은 선으로 표기된다.
- [0051] 도 2a를 참고하면 선(510)은 본 발명이 제안하는 열 적정화 공정 진행 전의 도핑 프로파일을 나타내고, 선(515)은 본 발명이 제안하는 열 적정화 공정 진행 후의 도핑 프로 파일을 나타낸다.
- [0052] 도 2a에서, y방향은 도핑 농도 프로파일을 나타내며, x방향은 에피택셜 층(150)의 상부로부터 기판 방향으로 깊이에 따라 형성된 소스 영역, 바디 영역, 드리프트 영역, 반도체 기판 등을 나타낸다.
- [0053] 한편 선(520)은 종래 기술에 따른 열 공정 진행 전의 도핑 프로 파일을 나타내고, 선(525)은 종래 기술에 따른 열 공정 진행 후의 도핑 프로 파일을 나타낸다.
- [0054] 선(510)과 선(515)을 참조하면, 본 발명에서 제안하는 적정화된 열 공정을 진행하면, 종래 기술 대비 드리프트 영역의 깊이가 작아짐을 알 수 있다.
- [0055] 본 발명의 드리프트 층(200)의 농도 프로파일의 기울기는 종래 기술에 비하여 급격히 변화하며 이로 인하여 드리프트 영역의 깊이는 최소화하면서도 공핍층의 깊이(A) 및 전기장의 세기는 종래 기술과 동일하게 유지하여 동일한 항복 전압을 유지할 수 있다. 또한 이러한 드리프트 영역의 깊이의 감소를 통해 낮은 온저항(Low Rdson)을 확보할 수 있다.
- [0056] 도 2b의 바디 영역(340)의 확대된 도핑 프로파일(550)을 참고하면, 본 발명에서 제안하는 바디 영역 어닐링

(annealing) 시 공정 조건을 적정화하여, 본 발명에 의한 채널길이(551)가 종래 방법에 의한 채널 길이(553)보다 감소된 것을 확인할 수 있으며, 이로 인해 본 발명의 특징인 초단 채널 길이의 반도체 소자를 구현하고, 낮은 온저항을 실현하면서 동시에 항복 전압의 열화를 최소화할 수 있다.

- [0057] 도 1a에 도시된 전력 반도체 소자는 도 3의 공정 순서도(flow chart)에 따라 그리고 도 4a 내지 4i에 도시된 제조 방법 또는 공정에 기초하여 제조될 수 있다.
- [0058] 도 3은 본 발명에서 제안하는 반도체 소자의 제조 방법을 설명하기 위한 공정 순서도(flow chart)이고, 도 4a 내지 도 4i는 본 발명의 반도체 소자의 제조 방법을 설명하기 위한 도면이다.
- [0059] 도 3 및 도 4a를 참조하면, 동작 S11에서, 반도체 소자(10)를 제조하기 위한 제조 장치는 반도체 기판(100) 상에 에피택셜 층(150)을 형성할 수 있다. 이는 에피택셜 성장(epitaxial growth) 공정을 통해 형성할 수 있다. 일 실시예에 따라, 반도체 기판(100)이 제1 도전형(예: N-type) 고농도 기판일 경우에, 반도체 기판(100)에는 초고 농도의 제1 도전형 도펀트가 분포할 수 있다. 제1 도전형 도펀트로 인(Phosphorous), 비소(Arsenic) 등이 사용될 수 있다. 반도체 기판(100)은 제1 도전형 초 고농도 기판으로 표기할 수 있다.
- [0060] 반도체 기판(100)의 두께는 약 10um에서 50um 두께로 형성될 수 있다.
- [0061] 도 3 및 도 4b를 참조하면, 동작 S13에서, 복수의 트렌치(300)들이 형성될 수 있다. 일 실시 예에 따라, 복수의 트렌치(300)는 에칭 공정에 의하여 형성될 수 있다.
- [0062] 에칭 공정을 위하여 에피택셜 층(150)의 표면에는 하드 마스크(hard mask) 절연막(410)이 증착될 수 있다. 하드 마스크 절연막(410)이 증착된 후에 포토 레지스트 마스크를 사용하여 트렌치를 에칭할 영역에 증착된 하드 마스크 절연막(410)에 대한 에칭을 진행할 수 있다. 이후에는 트렌치를 형성하기 위한 에칭 공정을 진행할 수 있다.
- [0063] 이때 형성되는 복수의 트렌치(300)의 깊이는 0.5um 와 6um 사이일 수 있고, 에피택셜 층(150) 두께의 0.3배에서 0.9배 사이일 수 있다.
- [0064] 도 3 및 도 4c를 참조하면, 동작 S15에서, 희생 산화막(sacrificial oxide)(430)을 트렌치(300) 내에 형성한 후 제거할 수 있다. 희생 산화막(430)을 형성하고 제거하는 공정에 의하여 트렌치 에칭으로 인하여 발생한 트렌치(300) 내의 거친 표면 및 이물질이 제거될 수 있다. 또한, 이로 인해 추후 쉴드 산화막(440) 형성 공정 시 균일한 두께의 쉴드 산화막(440)을 형성할 수 있다.
- [0065] 본 발명의 일 실시 예에 따라, 희생 산화막(430)을 형성하기 위하여 높은 온도의 열공정을 진행하는데, 온도가 높을수록 고농도의 반도체 기판 상에 주입된 제1 도전형 도펀트(예: 인 또는 아세닉)가 에피택셜 층(150) 내로 고농도로 확산되어 공핍 영역의 폭(depletion width)이 감소될 수 있고, 그 결과 적정한 항복 전압을 확보하는데 어려움이 있을 수도 있다. 이와 같은 현상을 방지하고자 희생 산화막(430) 형성시의 열 공정 온도를 종래의 방법보다는 낮은 1100도 이하의 온도에서 50분 이내로 진행한다. 이와 같이 열 공정의 온도 및 공정시간을 적절히 감소시킴으로써 항복 전압의 열화를 최소화할 수 있다.
- [0066] 희생 산화막(430) 형성 시에 하드 마스크 절연막(410) 일부가 남아 있을 수 있으며, 희생 산화막(430) 제거 공정 시 같이 제거될 수 있다.
- [0067] 도 4c에서 희생 산화막(430) 형성 시 진행한 열 공정으로 인하여 반도체 기판(100) 내에 배치된 고농도 도펀트가 에피택셜 층(150)으로 확산되어 제1 고농도 드리프트 영역(212)이 형성될 수 있다.
- [0068] 제1 고농도 드리프트 영역(212)은 추후 공정 시 제1 도전형 드리프트 층(200) 내에 포함될 수 있다.
- [0069] 도 3 및 도 4d를 참조하면, 동작 S17에서, 1차 쉴드 산화막(first shield oxide)(441)을 형성할 수 있다.
- [0070] 도 3 및 도 4e를 참조하면, 동작 S19에서, 1차 쉴드 산화막(441) 상에 쉴드 전극(310)을 형성할 수 있다. 일 실시 예에 따라, 쉴드 전극(310)은 트렌치(300) 하부에 형성될 수 있다. 쉴드 전극(310) 물질은 폴리 실리콘(poly silicon), 폴리사이드(polycide), 메탈(metal) 등일 수 있다. 쉴드 전극(310)은 게이트 전극(330) 또는 소스 전극(380)과 연결될 수 있다.
- [0071] 도 3 및 도 4f를 참조하면, 동작 S21에서, 1차 쉴드 산화막(441)의 일부를 에칭하여 제거할 수 있다. 이때, 쉴드 전극(310)의 상부 일부가 드러나도록 1차 쉴드 산화막(441)을 에칭할 수 있다.
- [0072] 도 3 및 도 4g를 참조하면, 동작 S23에서, 2차 쉴드 산화막(442)을 형성할 수 있다. 2차 쉴드 산화막(442)은 1차 쉴드 산화막의 남겨진 부분과 연결되며, 쉴드 전극(310)을 전체적으로 감싸고, 트렌치(300) 내부의 측면 및

에피텍셀 층(150)의 표면에 형성될 수 있다. 이로 인하여 트렌치(300) 내부의 취약 구조를 제거할 수 있다.

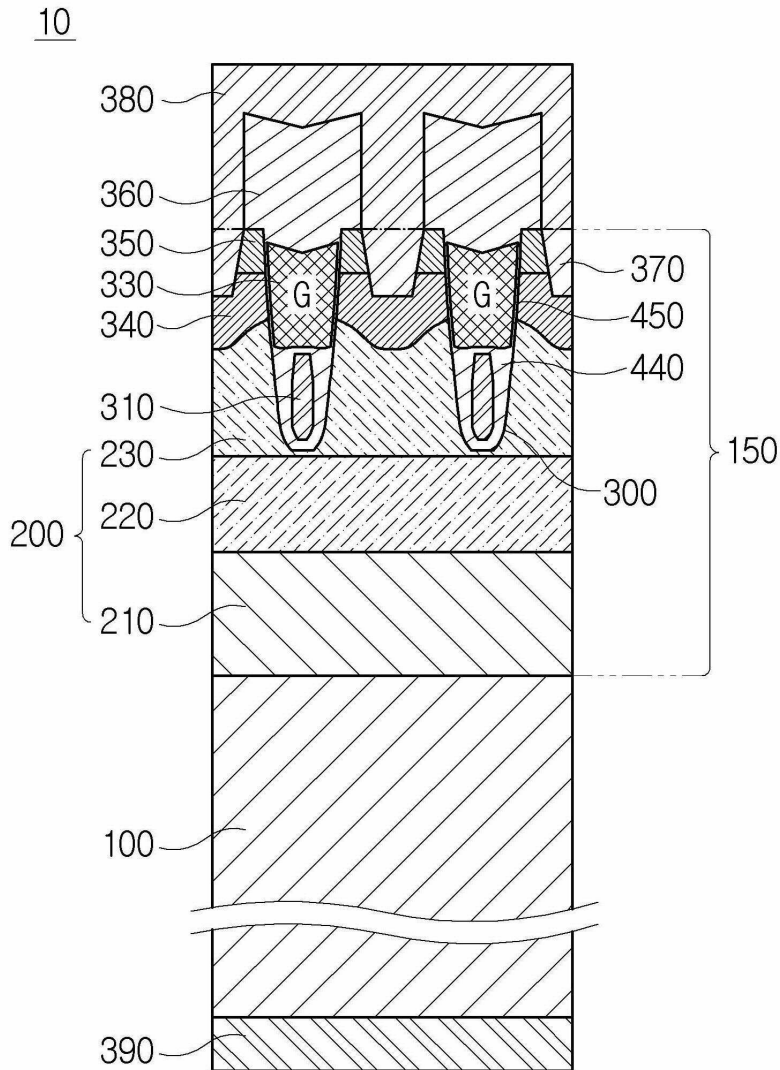
- [0073] 1차 및 2차 섀드 산화막(441,442) 형성 시에는 제1 도전형의 제1 고농도 드리프트 영역(212)의 확산을 최소화하기 위하여 1000도 이하의 저온에서 진행할 수 있다.
- [0074] 2차 섀드 산화막(442) 형성 후 제1 도전형의 제1 고농도 드리프트 영역(212)은 에피텍셀 층 표면 방향으로 확산될 수 있다.
- [0075] 도 3 및 도 4h를 참조하면, 동작 S25에서, 2차 섀드 산화막(442)의 일부를 제거하기 위한 에칭 공정을 수행할 수 있다. 일 실시 예에 따라, 2차 섀드 산화막(442)의 남겨진 부분의 상면과 섀드 전극(310)의 상면이 실질적으로 동일한 면에 위치하도록 에칭 공정을 수행할 수 있다.
- [0076] 2차 섀드 산화막(442) 에칭 시, 트렌치 측벽과 맞닿는 섀드 산화막(440)에 굴곡이 형성되어 누설 전류(leakage current) 발생이 감소됨으로 게이트와 소스간의 특성을 개선할 수 있다. 도 3 및 도 4i를 참조하면, 동작 S27에서, 게이트 산화막(450)을 증착하고 게이트 전극(330)을 형성할 수 있다. 일 실시 예에 따라, 게이트 전극(330)은 증착 공정에 의하여 형성될 수 있다. 게이트 전극 물질로 폴리 실리콘이 사용될 수 있다. 일 실시 예에 따라, 게이트 전극 물질을 에피텍셀 층(150)의 표면보다 높게 증착한 후 에치백(etchback) 공정이나 CMP(chemical mechanical polishing) 공정을 수행하여 게이트 전극을 형성할 수 있다. 이로 인하여 형성된 게이트 전극(330)의 상부는 에피텍셀 층(150)의 표면보다 낮게 형성될 수 있다. 일 실시 예에 따라, 게이트 전극은 게이트 폴리(gate poly), 게이트 폴리사이드(polycide), 메탈(metal) 등 여러 물질로 구성될 수도 있다.
- [0077] 도 3 및 도 4j를 참조하면, 동작 S29에서, 바디 영역(340)이 형성될 수 있다. 바디 영역(340) 형성을 위하여, 트렌치(300)와 트렌치(300) 사이에 제2 도전형의 도펀트를 주입하는 공정을 수행하고, 어닐링(annealing) 공정을 수행할 수 있다. 800도에서 1050도 사이의 낮은 온도에서 어닐링 공정이 진행되는데, 일 실시 예에 따라, RTP(rapid thermal processing)로 진행할 수도 있다. 제2 도전형의 도펀트는 보론(boron) 등의 이온으로 복수 회 이온 주입 과정을 통하여 바디 영역(340)이 형성될 수 있다. 적절한 온도의 열처리 및 복수 회 이온 주입 과정을 통한 공정의 적정화로 바디 영역(340)이 에피텍셀 층(150)으로 깊게 확산되는 것을 최소화함으로써 초단 길이 채널을 구현할 수 있으며, 이로 인해 낮은 온-저항이 확보될 수 있다.
- [0078] 바디 영역(340) 형성 공정 시 적용되는 열 공정으로 인하여 제1 도전형의 제1 고농도 드리프트 영역(212)이 추가 확산되어 중간 농도 드리프트 층(220) 및 저농도 드리프트 층(230)이 형성된다. 중간 농도 드리프트 층(220)은 섀드 산화막(440) 하부 영역까지 확산될 수 있다. 또한 중간 농도 드리프트 층과 바디 영역 사이에 제1 도전형의 저농도 드리프트 층(230)이 형성된다. 결과적으로 도 1a에서 설명된 제1 도전형 고농도 드리프트 층(210), 중간 농도 드리프트 층(220), 저농도 드리프트 층(230)의 농도 차이가 발생하는 현상이 바디 영역(340) 형성 시 적용되는 열 공정에 의해 나타날 수 있다.
- [0079] 본 발명의 일 실시 예에 따라, 낮은 온저항을 구현하기 위해서는 중간 농도 드리프트 층(220)의 상면이 트렌치 밑바닥까지 확산되거나 일부 증착되게 형성될 수 있다. 여기서, 중간 농도는 약 $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ 의 도핑 농도일 수 있다.
- [0080] 도 3 및 도 4k를 참조하면, 동작 S31에서, 소스 영역(350)이 형성될 수 있다. 일 실시 예에 따라, 소스 영역(350)은 바디 영역(340) 상에 형성될 수 있다. 이로 인하여 형성되는 채널 길이(바디 영역의 깊이(D))는 에피텍셀 층(150)의 표면에서 게이트 전극 하부까지의 깊이(E)의 1/2이하일 수 있다. 또한, 채널 길이(바디 영역의 깊이(D))와 트렌치 깊이(H)의 비율이 1:2에서 1:30 사이가 되도록 형성될 수 있다.
- [0081] 도 3 및 도 4l을 참조하면, 동작 S33에서, 절연층(360) 및 소스 컨택층(370)이 형성될 수 있다. 일 실시 예에 따라, 게이트 전극(330) 상면에 절연층(360)을 증착하고, 포토레지스트 마스크(photoresist mask)를 사용하여 소스 컨택층(370)이 형성될 영역의 절연층(360)을 에칭하고, 컨택 리세스 에치(contact recess etch) 공정을 진행하여, 트렌치(300)와 트렌치(300) 사이의 바디 영역(340)과 소스 영역(350)의 중앙 부분을 제거하고, 제거된 부분에 소스 컨택층(370)을 형성할 수 있다. 소스 컨택층(370)은 텅스텐(Tungsten) 증착 후 에치백 공정 및 CMP(Chemical-Mechanical Planarization) 공정을 진행하여 소스 컨택층 상면을 평탄화하여 형성할 수 있다.
- [0082] 소스 컨택층(370) 형성 후 소스 컨택층(370) 상에 소스 전극(380)을 형성한다. 일 실시 예에 따라, 소스 전극(380)은 알루미늄(Al)이나 다른 금속 물질로 형성될 수 있다. 이후 동작 S37에서, 반도체 기판(100) 하부에 드레인 전극(390)을 형성할 수 있다.
- [0083] 상술한 바와 같은 반도체 소자 제조 공정에서, 확산을 통해 드리프트 층(200)을 형성함에 있어 종래에서 사용하

는 온도보다 낮은 적절한 온도 및 공정 시간, 방법을 사용함으로써 드리프트 층(200)의 길이가 길어지는 것을 방지할 수 있다. 또한, 적절한 온도의 열처리 및 복수 회의 이온 주입 과정을 통한 공정의 적정화로 바디 영역이 드리프트 층(200)으로 깊게 확산되는 것을 최소화함으로써 채널의 길이 또한 최소화할 수 있다.

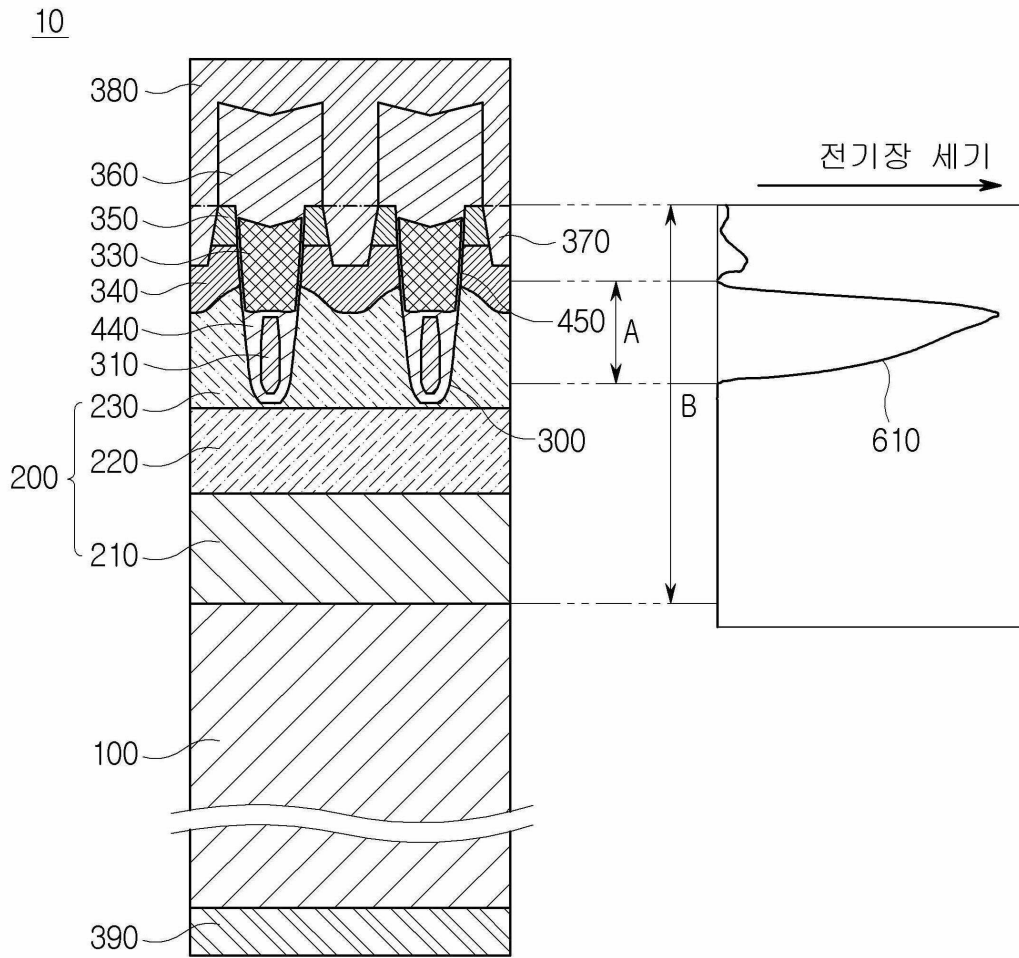
[0084] 이러한 일련의 동작을 통해, 항복 전압은 그대로 유지하면서도 온-저항 특성을 종래의 방법보다 크게 개선할 수 있다.

도면

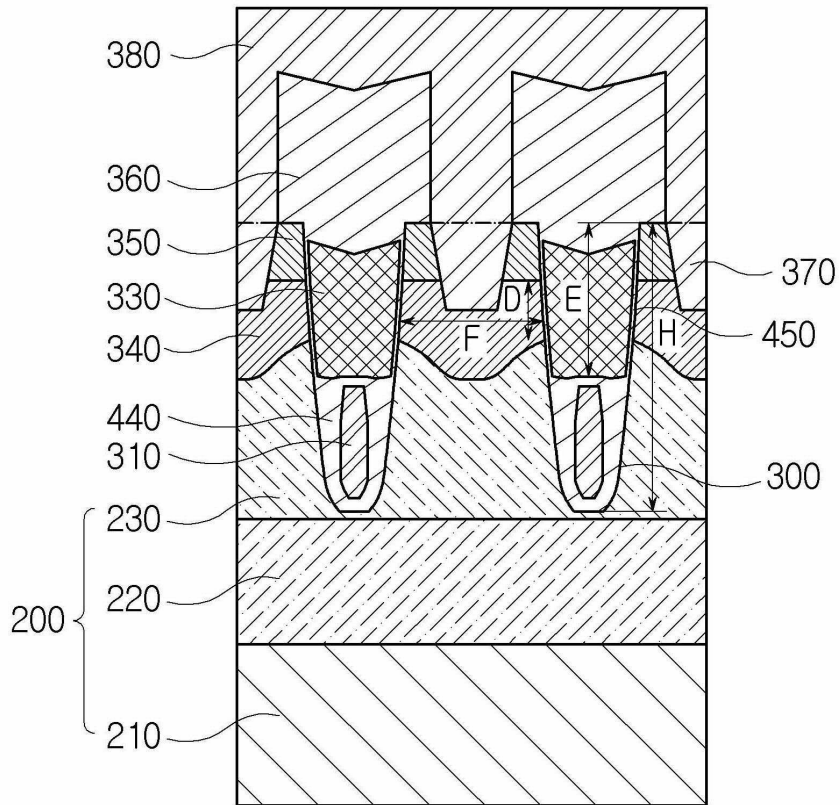
도면1a



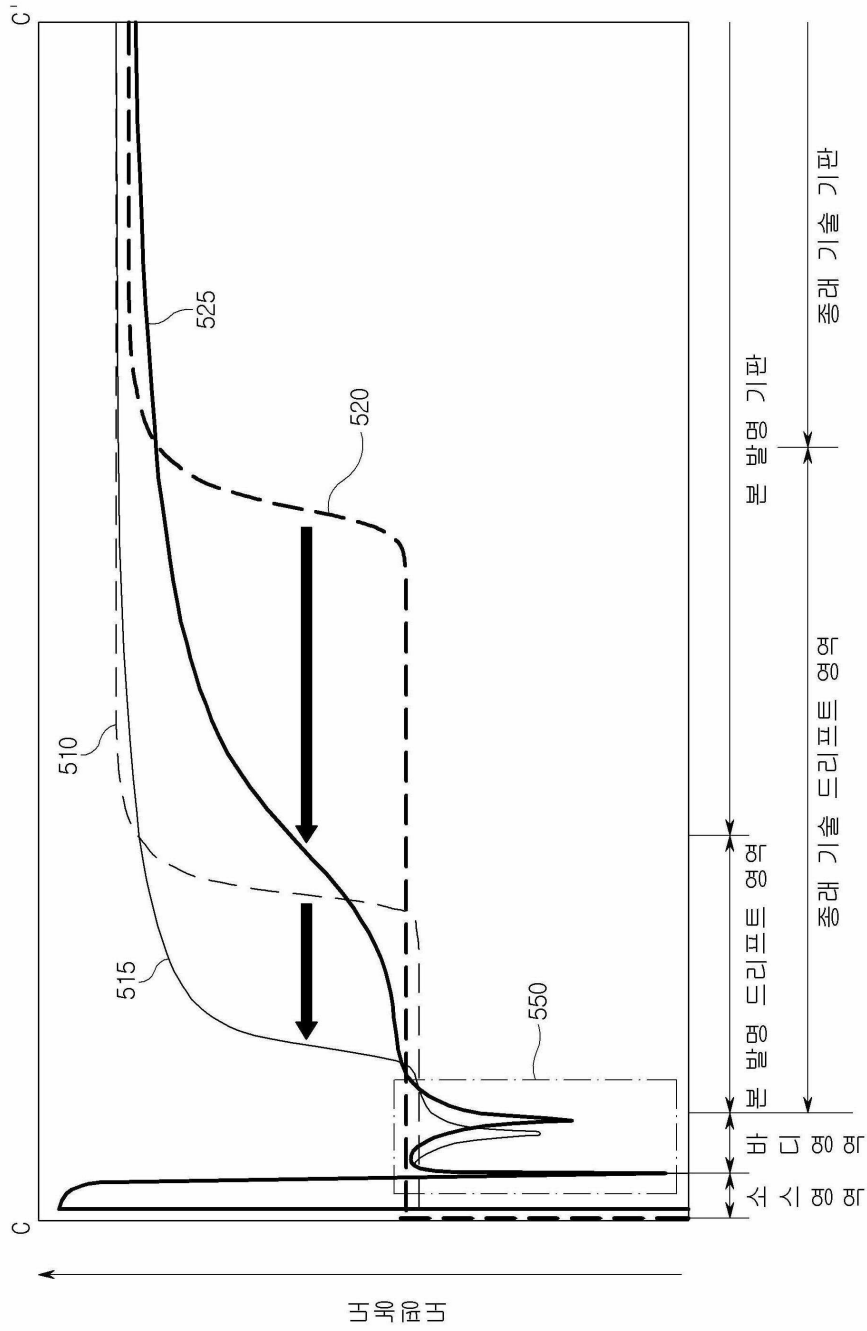
도면1b



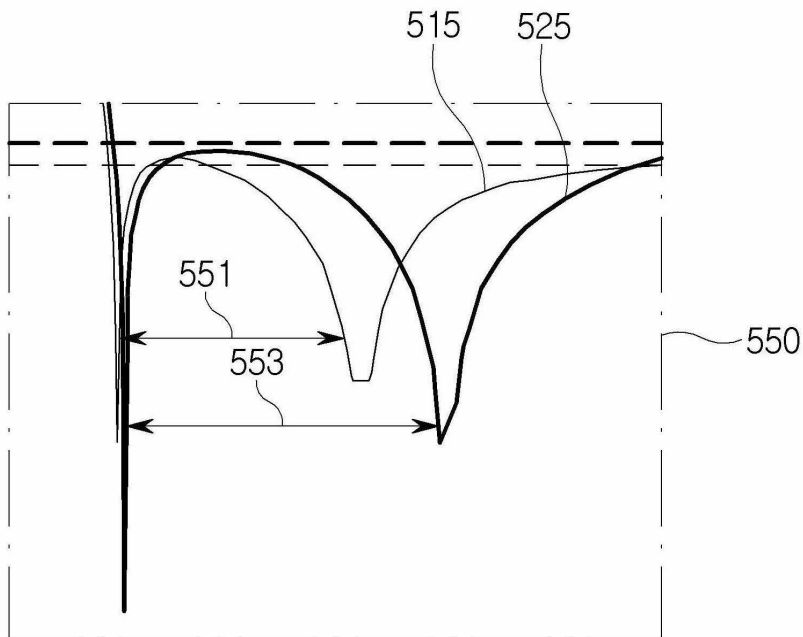
도면1c



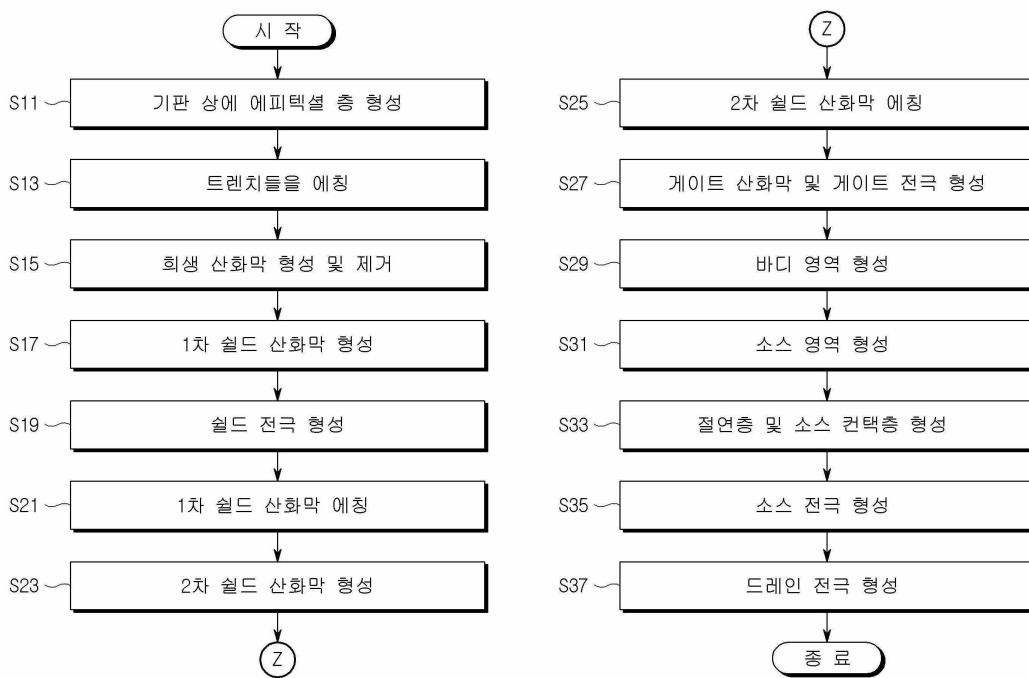
도면2a



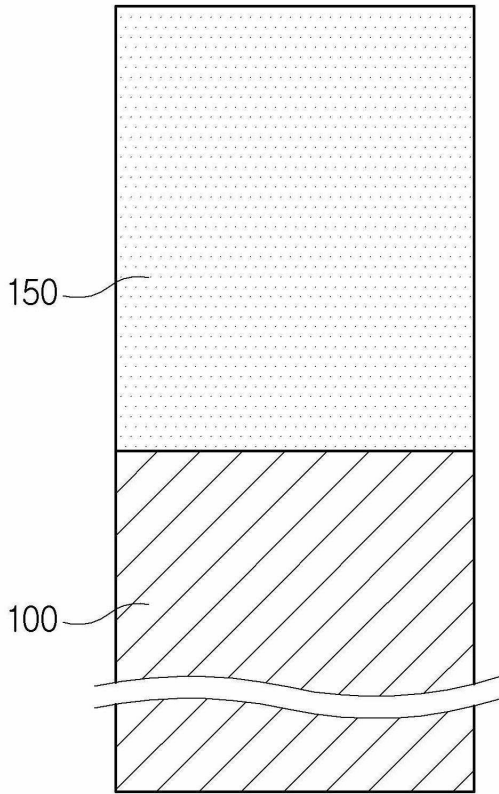
도면2b



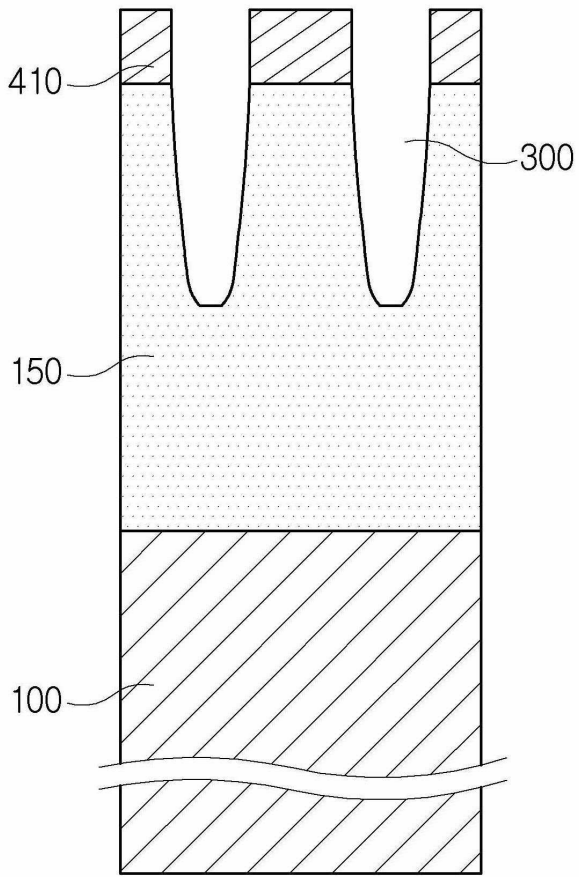
도면3



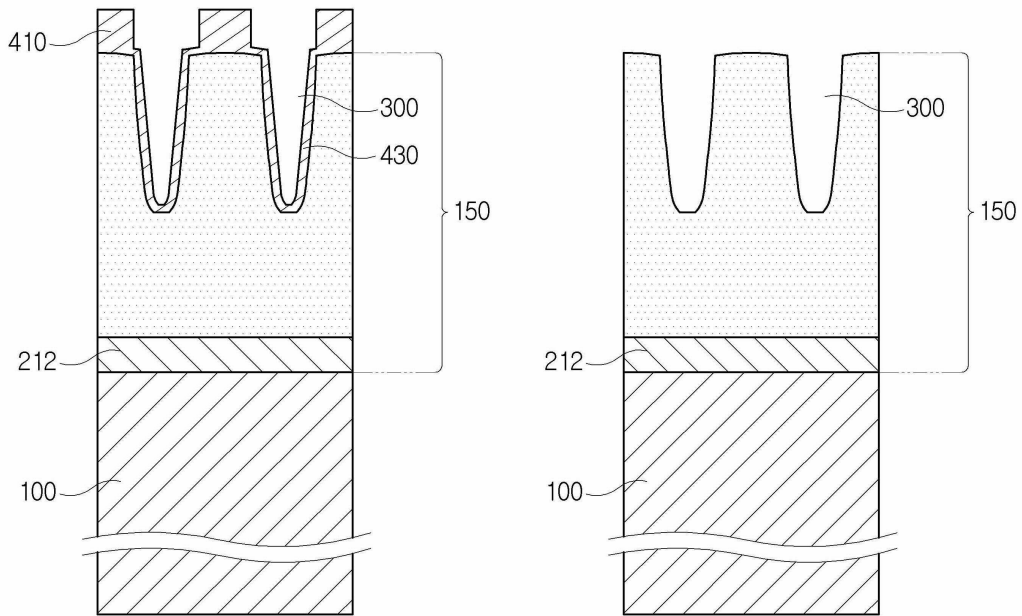
도면4a



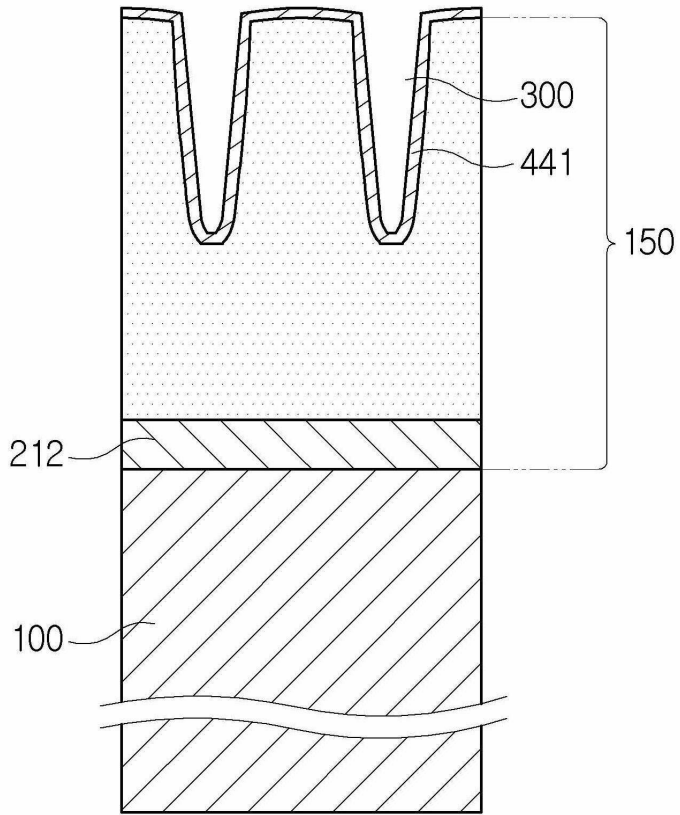
도면4b



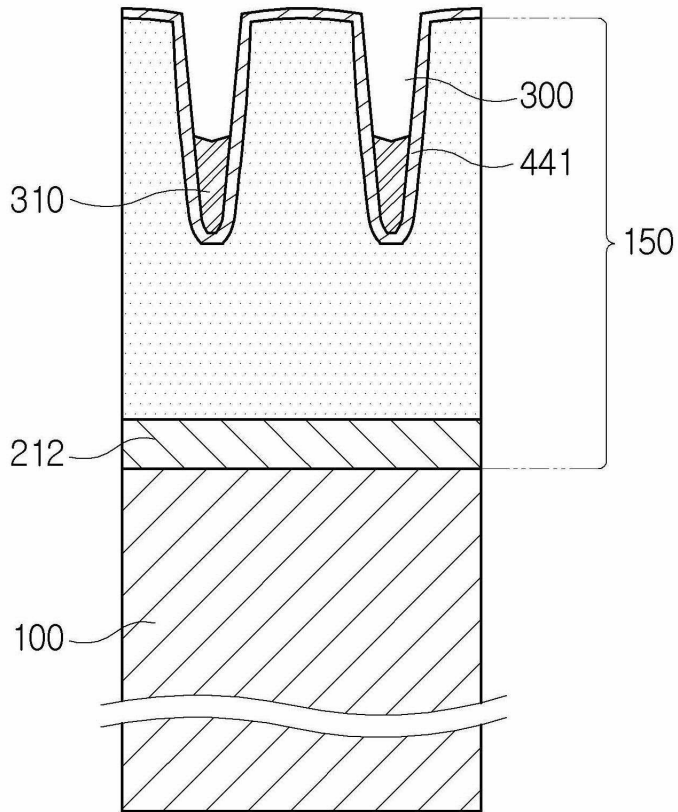
도면4c



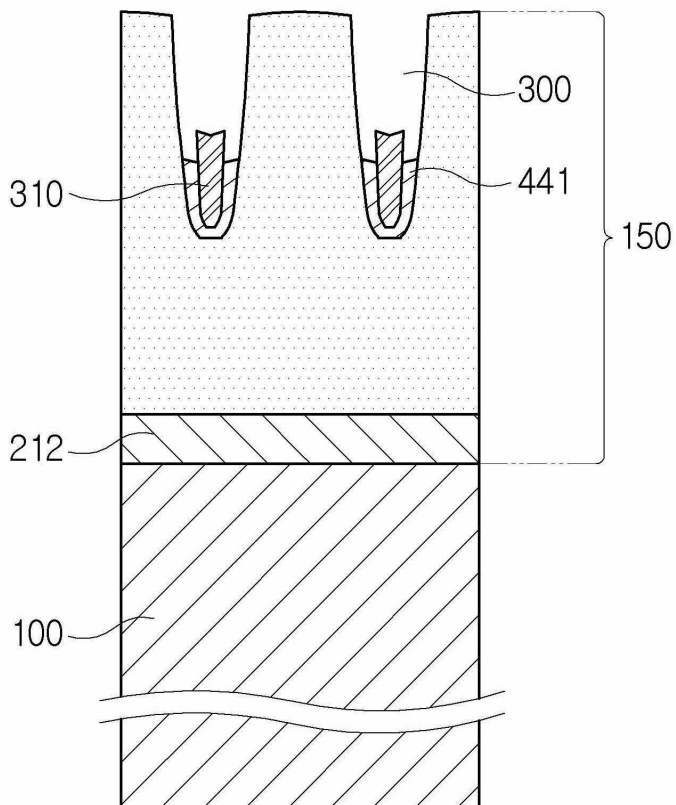
도면4d



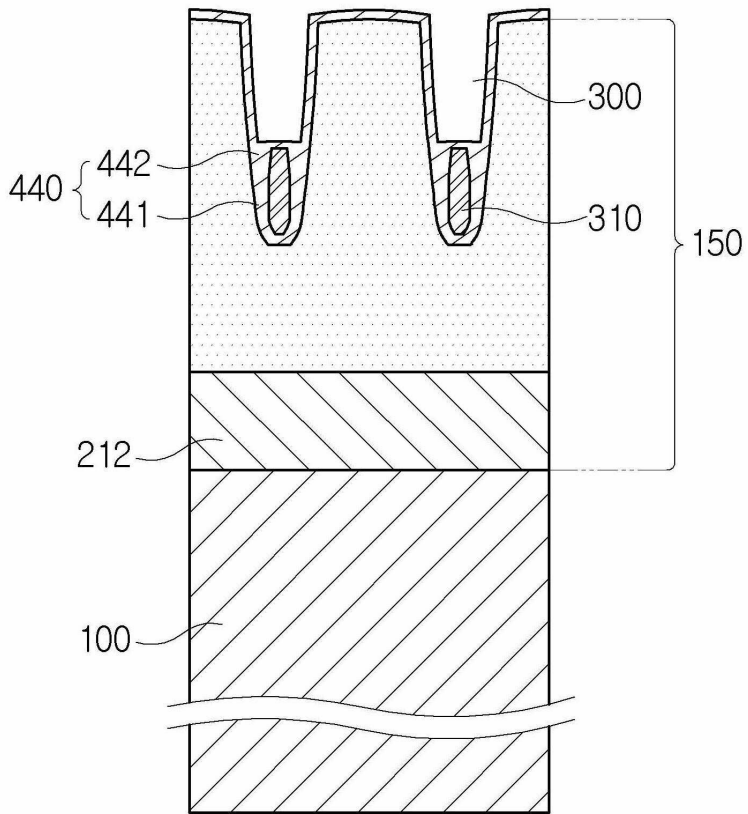
도면4e



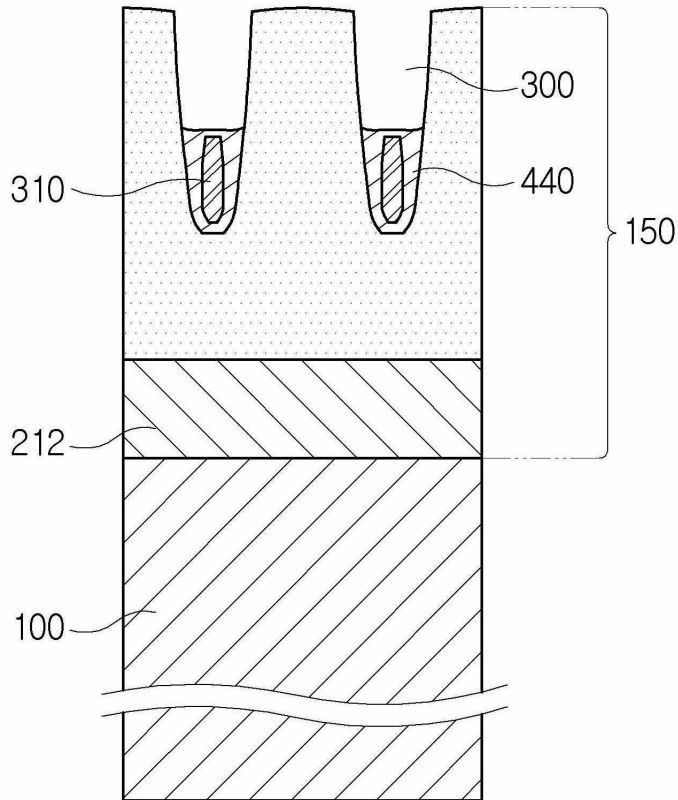
도면4f



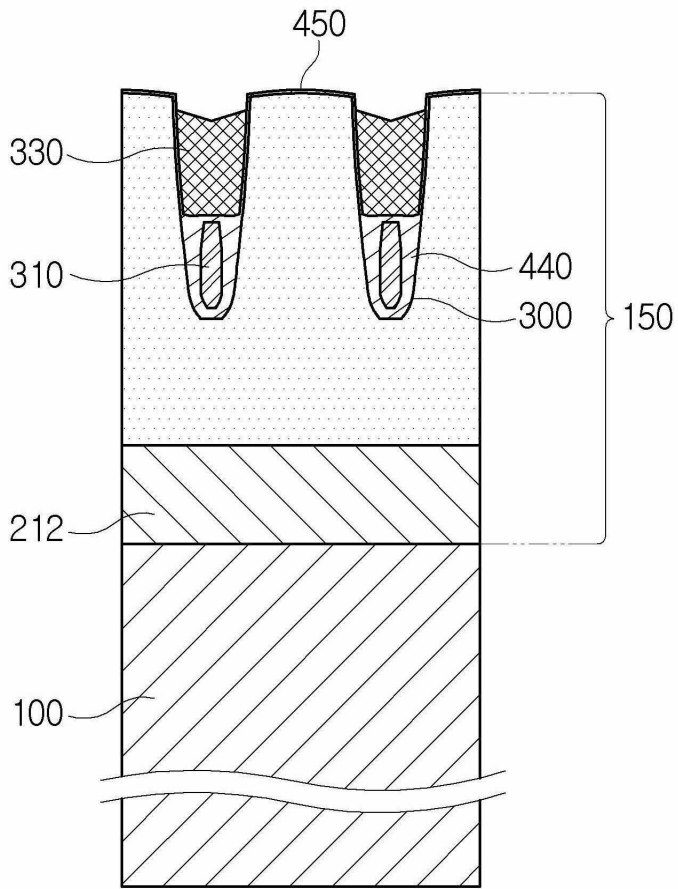
도면4g



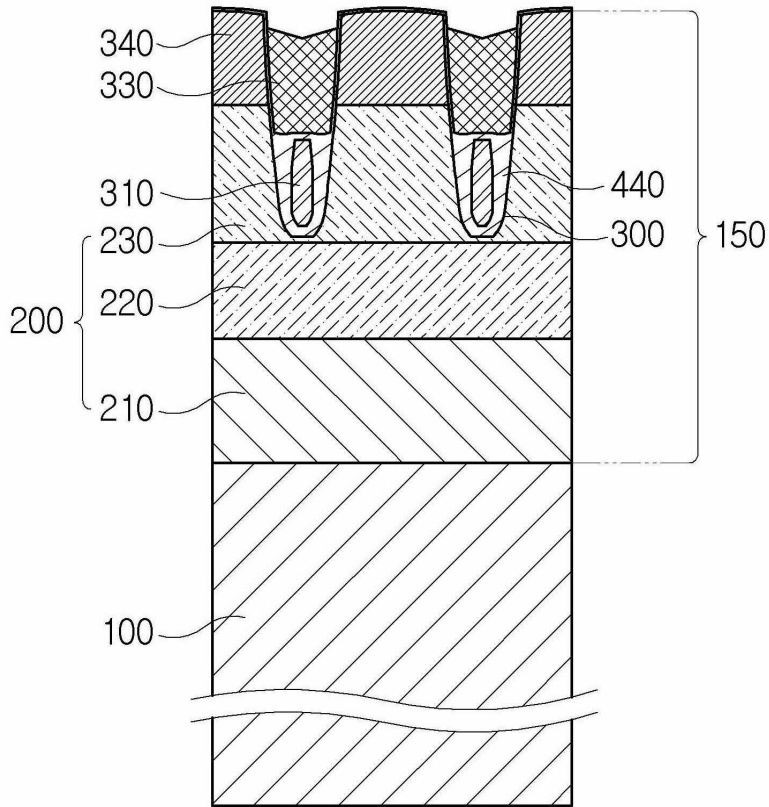
도면4h



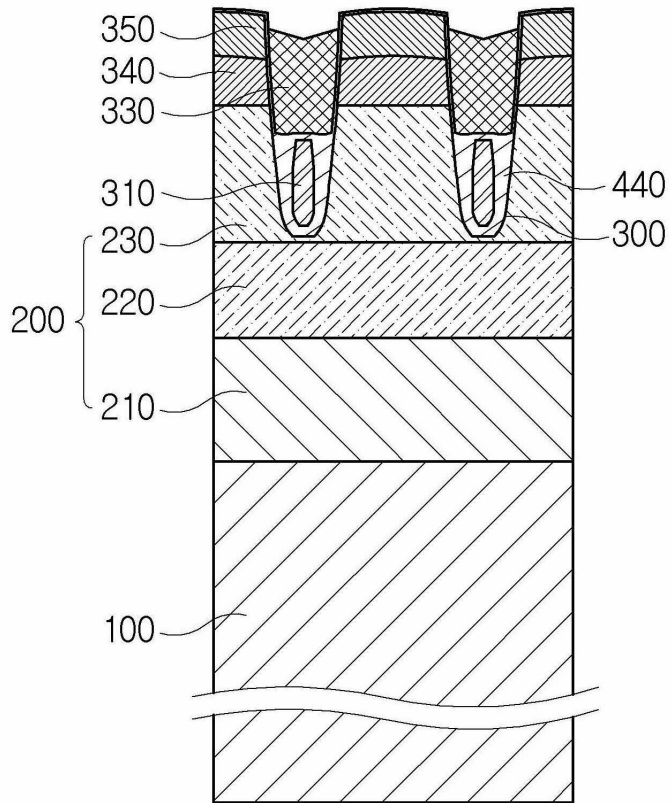
도면4i



도면4j



도면4k



도면41

