



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I837475 B

(45)公告日：中華民國 113 (2024) 年 04 月 01 日

(21)申請案號：110117117

(22)申請日：中華民國 110 (2021) 年 05 月 12 日

(51)Int. Cl. : **H10B43/27 (2023.01)****H10B41/27 (2023.01)****H01L21/336 (2006.01)**

(30)優先權：2020/08/28 日本

2020-144747

(71)申請人：日商鎧俠股份有限公司 (日本) KIOXIA CORPORATION (JP)

日本

(72)發明人：九鬼知博 KUKI, TOMOHIRO (JP)；濱田龍文 HAMADA, TATSUFUMI (JP)；五月女真一 SOTOME, SHINICHI (JP)；滿野陽介 MITSUNO, YOSUKE (JP)；津田宗幸 TSUDA, MUNHEYUKI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201926575A

US 2016/0141299A1

US 2017/0148805A1

US 2017/0263623A1

審查人員：劉漢胤

申請專利範圍項數：10 項 圖式數：9 共 40 頁

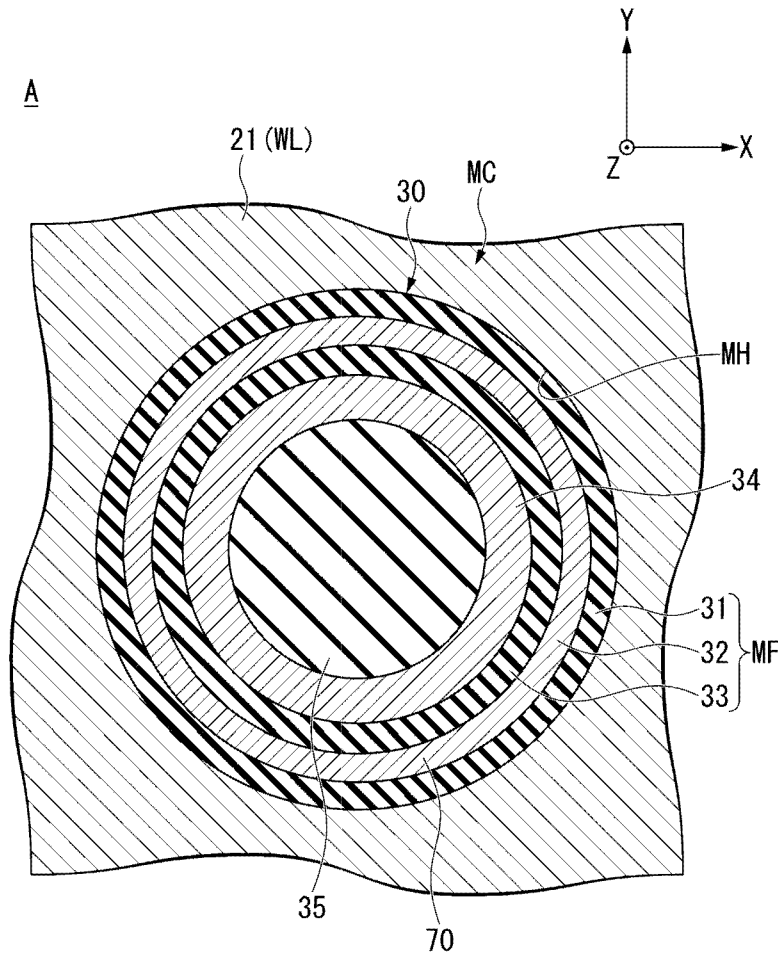
(54)名稱

半導體記憶裝置及半導體記憶裝置之製造方法

(57)摘要

實施方式提供可改善電性特性之半導體記憶裝置、及半導體記憶裝置之製造方法。實施方式之半導體記憶裝置具有基板、電荷保持部、及通道層。上述電荷保持部於沿上述基板之表面之剖面中至少一部分彎曲。上述通道層於上述剖面中位於上述電荷保持部之內側，且至少一部分彎曲。上述電荷保持部於上述剖面中曲率根據位置而不同。上述通道層於上述剖面中膜厚根據上述電荷保持部之曲率而不同。

指定代表圖：



符號簡單說明：

21:導電層

30:記憶體柱

31:阻擋絕緣膜

32:記憶體膜

33:隧道絕緣膜

34:通道層

35:核心絕緣部

70:電荷保持部

A:剖面

MC:記憶體單元

MH:記憶體孔

MF:多層膜

WL:字元線

【圖2】



公告本

I837475

【發明摘要】

【中文發明名稱】

半導體記憶裝置及半導體記憶裝置之製造方法

【中文】

實施方式提供可改善電性特性之半導體記憶裝置、及半導體記憶裝置之製造方法。

實施方式之半導體記憶裝置具有基板、電荷保持部、及通道層。上述電荷保持部於沿上述基板之表面之剖面中至少一部分彎曲。上述通道層於上述剖面中位於上述電荷保持部之內側，且至少一部分彎曲。上述電荷保持部於上述剖面中曲率根據位置而不同。上述通道層於上述剖面中膜厚根據上述電荷保持部之曲率而不同。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

21:導電層

30:記憶體柱

31:阻擋絕緣膜

32:記憶體膜

33:隧道絕緣膜

34:通道層

35:核心絕緣部

70:電荷保持部

A:剖面

MC:記憶體單元

MH:記憶體孔

MF:多層膜

WL:字元線

【發明說明書】

【中文發明名稱】

半導體記憶裝置及半導體記憶裝置之製造方法

【技術領域】

【0001】本發明之實施方式係關於一種半導體記憶裝置、及半導體記憶裝置之製造方法。

【先前技術】

【0002】已知有如下半導體記憶裝置，其包含：積層體，其絕緣層與字元線交替積層而成；及複數個記憶體柱，其在積層體之厚度方向上貫通積層體。人們期待該半導體記憶裝置之電性特性能得到進一步改善。

【發明內容】

【0003】本發明之實施方式提供一種可改善電性特性之半導體記憶裝置、及半導體記憶裝置之製造方法。

【0004】實施方式之半導體記憶裝置具有基板、電荷保持部、及通道層。上述電荷保持部於沿上述基板之表面之剖面中至少一部分彎曲。上述通道層於上述剖面中位於上述電荷保持部之內側，且至少一部分彎曲。上述電荷保持部於上述剖面中，其曲率根據位置而不同。上述通道層於上述剖面中，其膜厚根據上述電荷保持部之曲率而不同。

【圖式簡單說明】

【0005】

圖1係表示實施方式之半導體記憶裝置的剖視圖。

圖2係圖1中所示之半導體記憶裝置之沿F2-F2線的剖視圖。

圖3係圖1中所示之半導體記憶裝置之沿F3-F3線的剖視圖。

圖4係表示實施方式之記憶體單元之一例的剖視圖。

圖5係圖1中所示之半導體記憶裝置之沿F5-F5線的剖視圖。

圖6(a)~(d)係表示實施方式之半導體記憶裝置之製造方法的剖視圖。

圖7(a)~(c)係表示實施方式之半導體記憶裝置之製造方法的剖視圖。

圖8(a)、(b)係用以說明實施方式之半導體記憶裝置之作用的剖視圖。

圖9係表示實施方式之變化例之半導體記憶裝置的剖視圖。

【實施方式】

【0006】以下，參照附圖對實施方式之半導體記憶裝置、及半導體記憶裝置之製造方法進行說明。以下說明中，對具有同一或類似功能之構成附上同一符號。而且，有時省去該等構成之重複說明。本說明書中，「平行」包含「大致平行」之情況。本說明書中，「正交」包含「大致正交」之情況。本說明書中，「連接」不僅包含2個部件間不介置任意物件而相鄰之情況，亦包含2個部件之間介置有其它部件之情況。本說明書中，「環狀」並不限定於圓環狀，亦包含矩形狀或三角形狀之環狀。本說明書中，「XX設置於YY上」並不限定於XX與YY相接之情況，還包含XX與YY之間介置其它部件之情況。

【0007】首先，對X方向、Y方向、及Z方向進行定義。X方向及Y方向係沿下述矽基板10之表面10a(參照圖1)之方向。X方向係下述字元線WL(參照圖1)延伸之方向。Y方向係與X方向交叉(例如正交)之方向。Y方向係下述位元線BL(參照圖1)延伸之方向。Z方向係與X方向及Y方向交叉

(例如正交)之方向。Z方向係矽基板10(參照圖1)之厚度方向。本說明書中，有時將Z方向上的從矽基板10朝向下述積層體20之方向稱為「上」，將其相反方向稱為「下」。但該等表述係為了方便而採用的，並不規定重力方向。

【0008】 半導體記憶裝置包含：積層體，其絕緣層與字元線交替積層而成；及複數個記憶體柱，其在積層體之厚度方向上貫通積層體。該半導體記憶裝置中，字元線與記憶體柱之交叉部分作為記憶體單元發揮功能。該半導體記憶裝置中，當積層體之積層數變多時，因製造上的原因等，而存在記憶體單元之剖面形狀變形為非真圓狀之情況。該情形時，半導體記憶裝置之電性特性(例如寫入特性)有時會降低。

【0009】 藉此，實施方式之半導體記憶裝置中，將記憶體柱中所含之通道層之特定部分形成得較厚。藉此，可提高半導體記憶裝置之電性特性。以下，對上述半導體記憶裝置進行說明。然而，本發明並不受以下說明之實施方式限定。

【0010】 (實施方式)

< 1. 半導體記憶裝置之構成 >

首先，對實施方式之半導體記憶裝置1之構成進行說明。半導體記憶裝置1係非揮發性之半導體記憶裝置，例如為NAND(與非)型快閃記憶體。

【0011】 < 1.1 半導體記憶裝置之整體構成 >

圖1係表示半導體記憶裝置1的剖視圖。半導體記憶裝置1例如具有矽基板10、積層體20、複數個記憶體柱30、複數個觸點40、複數個觸點50、複數個位元線BL、及複數個支撐柱60(圖1中僅圖示1個)。從另一觀

點出發，半導體記憶裝置1具有：記憶體區域1a，其設置有下述記憶體單元MC；及觸點區域1b，其階梯狀配置有下述複數個導電層21。

【0012】 矽基板10係作為半導體記憶裝置1之基底的基板。矽基板10之至少一部分形成為沿X方向及Y方向之板狀。矽基板10具有面向積層體20之表面10a。矽基板10由包含矽(Si)之半導體材料形成。矽基板10例如具有作為源極線SL之一部分發揮功能之源極區域10b，該源極區域10b中擴散有雜質。然而，源極線SL亦可設置於積層在矽基板10上之絕緣層上而非設置於矽基板10上。矽基板10為「基板」之一例。

【0013】 積層體20設置於矽基板10上。積層體20例如包含複數個導電層21與複數個絕緣層22。複數個導電層21及複數個絕緣層22於Z方向上逐層交替積層。圖1中僅例示10層導電層21，但實際上積層有更多的導電層21及絕緣層22。

【0014】 導電層21形成為沿X方向及Y方向之板狀。導電層21於X方向上延伸。導電層21由鎢(W)之類的導電材料形成。複數個導電層21中距矽基板10最近的1個(或2個)導電層21作為第1選擇閘極線SGL1發揮功能。第1選擇閘極線SGL1與記憶體柱30之交叉部分作為第1選擇電晶體ST1發揮功能。第1選擇閘極線SGL1於使第1選擇電晶體ST1為接通狀態而將記憶體柱30與源極線SL電性連接之情形時，被施加特定電壓。相對於複數個記憶體柱30而共通地設置第1選擇閘極線SGL1。

【0015】 另一方面，複數個導電層21中距矽基板10最遠的1個(或2個)導電層21作為第2選擇閘極線SGL2發揮功能。第2選擇閘極線SGL2與記憶體柱30之交叉部分作為第2選擇電晶體ST2發揮功能。第2選擇閘極線SGL2於使第2選擇電晶體ST2為接通狀態而將記憶體柱30與位元線BL電

性連接之情形時，被施加特定電壓。相對於複數個記憶體柱30而共通地設置第2選擇閘極線SGL2。

【0016】複數個導電層21中隔在作為第1選擇閘極線SGL1或第2選擇閘極線SGL2發揮功能之導電層21之間的其餘導電層21則作為字元線WL發揮功能。字元線WL與記憶體柱30之交叉部分作為記憶體單元(記憶體單元電晶體)MC發揮功能。藉此，複數個記憶體單元MC於X方向、Y方向、及Z方向隔開間隔而配置成矩陣狀。下文將詳細說明記憶體單元MC。於對記憶體單元MC寫入資料之情形時、從記憶體單元MC讀出資料之情形時、及從記憶體單元MC抹除資料之情形時，對字元線WL施加電壓。相對於於Z方向上位於相同高度處之複數個記憶體單元MC而共通地設置各字元線WL。

【0017】導電層21跨及記憶體區域1a與觸點區域1b。就位於觸點區域1b中之導電層21之長度而言，導電層21越遠離矽基板10則其長度越短。藉此，複數個導電層21配置成階梯狀。於觸點區域1b中，觸點50分別連接於複數個導電層21。藉此，可獨立地對複數個導電層21施加電壓。

【0018】絕緣層22形成為沿X方向及Y方向之板狀。絕緣層22由氧化矽(SiO₂)之類的絕緣材料形成。

【0019】複數個記憶體柱30設置於記憶體區域1a中。複數個記憶體柱30沿Z方向延伸，且於Z方向上貫通積層體20。複數個記憶體柱30於X方向及Y方向上配置成矩陣狀。各記憶體柱30具有多層膜MF、通道層34、核心絕緣部35。本實施方式中，各記憶體柱30之下端部經由設置於矽基板10上之連接部10c而連接於矽基板10之源極區域10b。連接部10c例

如由非晶矽(a-Si)之單晶體形成。對於記憶體柱30之構成，將在與記憶體單元MC之構成相關之說明中詳細說明。

【0020】複數個觸點40設置於複數個記憶體柱30之上。複數個觸點40相對於複數個記憶體柱30以1對1之關係連接。

【0021】複數個位元線BL設置於複數個觸點40之上。各位元線BL經由觸點40而連接於對應之記憶體柱30。藉此，藉由字元線WL與位元線BL之組合，可從三維狀配置之複數個記憶體單元MC中選擇任意的記憶體單元MC。

【0022】複數個支撐柱60設置於觸點區域1b中。各支撐柱60沿Z方向延伸，且於Z方向上貫通1個以上的導電層21並經由連接部10c連接於矽基板10。複數個支撐柱60係於作為半導體記憶裝置1之一個製造工序的取代(replace)工序(下述)中，在觸點區域1b支撐複數個導電層21之結構體。本實施方式中，支撐柱60以與記憶體柱30相同的製程形成，且具有與記憶體柱30相同的結構。即，如下所述，通道層34之膜厚局部性地變厚。

【0023】 < 1.2 記憶體單元之構成 >

繼而，對記憶體單元MC之構成進行說明。

【0024】圖2係圖1所示之半導體記憶裝置1之沿F2-F2線的剖視圖。記憶體柱30係藉由在沿Z方向貫通積層體20之記憶體孔MH內部成膜複數個功能層而形成。本實施方式中，記憶體柱30例如具有多層膜MF、通道層34、核心絕緣部35。多層膜MF包含阻擋絕緣膜31、記憶體膜32、及隧道絕緣膜33。

【0025】阻擋絕緣膜31設置於記憶體孔MH之內周面。例如，阻擋絕緣膜31為沿記憶體孔MH之內周面的環狀。阻擋絕緣膜31由字元線WL包

圍，且與字元線WL相接。阻擋絕緣膜31設置於字元線WL與記憶體膜32之間。阻擋絕緣膜31為抑制反向穿隧之絕緣膜。反向穿隧係電荷從字元線WL返回記憶體膜32之現象。阻擋絕緣膜31以跨及記憶體柱30之Z方向之大部分之方式於Z方向上延伸。阻擋絕緣膜31例如為氧化矽膜或金屬氧化物膜等複數個絕緣膜積層而成的積層結構。金屬氧化物之一例為氧化鋁(Al_2O_3)。阻擋絕緣膜31亦可包含氮化矽(SiN)或氧化鈣(HfO)之類的高介電常數材料(High-k材料)。

【0026】記憶體膜32設置於阻擋絕緣膜31之內側。本實施方式中，「設置於內側」係指於沿X方向及Y方向之剖面中，相對於某彎曲部而設置於其內周側，例如係指設置於記憶體柱30之中心側。該定義對於其它構成(例如隧道絕緣膜33及核心絕緣部35)亦相同。

【0027】本實施方式中，記憶體膜32設置於阻擋絕緣膜31之內周面。例如，記憶體膜32為沿阻擋絕緣膜31之內周面的環狀。記憶體膜32設置於阻擋絕緣膜31與隧道絕緣膜33之間。本實施方式中，記憶體膜32以跨及記憶體柱30之大部分之方式於Z方向上延伸。記憶體膜32為可於結晶缺陷中儲存電荷之電荷捕獲膜。電荷捕獲膜例如由氮化矽(Si_3N_4)形成。記憶體膜32亦可稱為「電荷保持膜」。

【0028】本實施方式中，在記憶體膜32中，於Z方向上位於與字元線WL相同高度處之區域作為電荷保持部70發揮功能。電荷保持部70根據所保持之電荷之量來記憶資料。電荷保持部70於沿X方向及Y方向之剖面中至少一部分彎曲。本實施方式中，電荷保持部70形成為環狀，於上述剖面中整體彎曲。然而，電荷保持部70可形成為圓弧狀，亦可於一部分具有直線部。

【0029】隧道絕緣膜33設置於記憶體膜32之內側。本實施方式中，隧道絕緣膜33設置於記憶體膜32之內周面。隧道絕緣膜33為沿記憶體膜32之內周面的環狀。隧道絕緣膜33設置於記憶體膜32與通道層34之間。本實施方式中，隧道絕緣膜33以跨及記憶體柱30之大部分之方式於Z方向上延伸。隧道絕緣膜33為記憶體膜32與通道層34之間的電位障壁。隧道絕緣膜33包含氧化矽(SiO_2)、或氧化矽(SiO_2)與氮化矽(SiN)。

【0030】通道層34設置於隧道絕緣膜33之內側。本實施方式中，通道層34設置於隧道絕緣膜33之內周面。例如，通道層34形成為沿隧道絕緣膜33之內周面的環狀。通道層34設置於隧道絕緣膜33與核心絕緣部35之間。通道層34以跨及記憶體柱30之全長(全高)之方式於Z方向上延伸。通道層34之下端經由上述連接部10c而連接於矽基板10之源極區域10b。通道層34之上端經由觸點40而連接於位元線BL。通道層34由多晶矽(Poly-Si)之類的半導體材料形成。通道層34亦可摻雜雜質。通道層34中所含之雜質例如為選自由碳、磷、硼、銻所組成之群中的任一種。於對字元線WL施加電壓之情形時，通道層34形成通道而將位元線BL與矽基板10電性連接。

【0031】通道層34於沿X方向及Y方向之剖面中，至少一部分彎曲。本實施方式中，通道層34形成環狀，於上述剖面中整體彎曲。然而，根據電荷保持部70之形狀，通道層34可形成為圓弧狀，或可一部分具有直線部。

【0032】核心絕緣部35設置於通道層34之內側。本實施方式中，核心絕緣部35形成為沿通道層34之內周面的圓柱狀(或倒圓錐台形狀)，填埋於通道層34之內周側。核心絕緣部35以跨及記憶體柱30之大部分之方式

於Z方向上延伸。核心絕緣部35由氧化矽(SiO₂)之類的絕緣材料形成。核心絕緣部35為「絕緣部」之一例。

【0033】本實施方式中，由與記憶體柱30相鄰之字元線WL之端部、阻擋絕緣膜31、電荷保持部70、隧道絕緣膜33、及通道層34構成MANOS(Metal-Al-Nitride-Oxide-Silicon，金屬/氧化鋁/氮化物/氧化物/矽)型的記憶體單元MC。

【0034】此處，說明對記憶體單元MC進行之資料寫入動作及讀出動作。資料寫入動作中，對與作為資料寫入對象之記憶體單元MC相鄰之字元線WL施加編程脈衝。編程脈衝係指電壓逐一週期地慢慢升高之脈衝。藉此，電子被從通道層34吸取至電荷保持部70中而於電荷保持部70中儲存電荷。半導體記憶裝置1中所含之感測放大器電路(未圖示)於編程脈衝之每1週期中，判定作為寫入對象之記憶體單元MC之閾值電壓是否達到根據作為寫入對象之資料(以下稱為「寫入資料」)而預先設定的電壓。而且，於感測放大器電路之判定結果為記憶體單元MC之閾值電壓達到與寫入資料對應之電壓之前，繼續施加編程脈衝。

【0035】另一方面，資料讀出動作中，對與作為資料讀出對象之記憶體單元MC對應之位元線BL預充電荷。然後，依序施加用以判定作為讀出對象之記憶體單元MC之閾值電壓的複數種判定電位(閾值判定電壓)。感測放大器電路藉由偵測利用預充電而儲存在位元線BL中的電荷在施加何種判定電壓時將會通過通道層34流出到源極線SL，而判定作為讀出對象之記憶體單元MC中所記憶的資料。以下，有時將在讀出動作中從位元線BL通過通道層34流到源極線SL之電流稱為「讀出電流」。

【0036】〈1.3記憶體單元之剖面形狀〉

如圖2所示，在以某剖面(例如沿圖1中之F2-F2線之剖面，以下稱為「剖面A」)觀察之情形時，記憶體單元MC之剖面形狀為真圓狀。即，阻擋絕緣膜31、記憶體膜32、隧道絕緣膜33、及通道層34各者於剖面A中為真圓或接近真圓的環狀。核心絕緣部35於剖面A中為真圓狀。然而，記憶體柱30並不限定於包含形成為真圓狀之部分。記憶體柱30之剖面形狀亦可遍及記憶體柱30之Z方向全長為橢圓狀。

【0037】另一方面，當以比剖面A更靠近矽基板10之另一剖面觀察時，記憶體單元MC之剖面形狀因製造上的原因等而變形為橢圓狀。以下，對該內容進行說明。

【0038】圖3係圖1中所示之半導體記憶裝置1之沿F3-F3線的剖視圖。以下，將沿圖1中之F3-F3線之剖面稱為「剖面B」。剖面B係沿著矽基板10之表面10a之剖面。剖面B為「第1剖面」之一例。

【0039】阻擋絕緣膜31、記憶體膜32、及隧道絕緣膜33各者於剖面B中為橢圓狀之環狀，且包含彎曲部。阻擋絕緣膜31、記憶體膜32、及隧道絕緣膜33各自具有曲率較小之部分與曲率較大之部分。

【0040】此處，參照圖4對本實施方式中所述之「曲率」進行說明。

【0041】圖4係表示記憶體單元MC之一例的剖視圖。如圖4所示，於實際製品中，記憶體單元MC中所含之各種層並非為完全的環狀，而是包含著變形、起伏。因此，於本實施方式中，將記憶體單元MC劃分成若干區域，將宏觀觀察各區域時的「曲率」定義為各部之曲率。

【0042】具體而言，針對橢圓狀之記憶體單元MC設定長軸A1及短軸A2。長軸A1定義為通過記憶體膜32之外周緣上相距最遠之2點P1、P2的直線。短軸A2定義為於與長軸A1正交之方向通過長軸A1上之2點P1、

P2之中點P3的直線。而且，藉由設定相對於長軸A1傾斜45度之2條分界線B1、B2，而將記憶體單元MC劃分為4個區域R1、R2、R3、R4。

【0043】區域R1、R3為短軸A2通過之區域。詳細而言，區域R1為包含位於短軸A2上之記憶體單元MC之一端的區域。區域R3為包含位於短軸A2上之記憶體單元MC之另一端的區域。區域R3為相對於記憶體單元MC之中心(例如長軸A1與短軸A2之交點(中點P3))而位於區域R1之相反側的區域。

【0044】另一方面，區域R2、R4為長軸A1通過之區域。詳細而言，區域R2為包含位於長軸A1上之記憶體單元MC之一端的區域。區域R4為包含位於長軸A1上之記憶體單元MC之另一端的區域。區域R4相對於記憶體單元MC之中心(例如長軸A1與短軸A2之交點(中點P3))而位於區域R2之相反側。從另一觀點來看，4個區域R1、R2、R3、R4相對於記憶體單元MC之中心依序排列於記憶體單元MC之周向上。

【0045】以下說明中，與阻擋絕緣膜31、記憶體膜32、隧道絕緣膜33、通道層34、及核心絕緣部35相關之「曲率」，是指上述4個區域R1、R2、R3、R4之平均曲率。「曲率」可指上述各層之外周緣之曲率，亦可指內周緣之曲率。以下，除特別說明之情況以外，「曲率」係指上述各層之外周緣之曲率。

【0046】再者，以下說明中，除特別說明之情況以外，與阻擋絕緣膜31、記憶體膜32、隧道絕緣膜33、及通道層34相關之「膜厚」皆指上述4個區域R1、R2、R3、R4之平均膜厚。然而，於有特別說明之情形時，有時亦指「最大膜厚」或「最小膜厚」。

【0047】此處，長軸A1及短軸A2如圖4所示可為與X方向及Y方向不

同之方向。但以下，為便於說明，參照長軸A1沿X方向、短軸A2沿Y方向之圖進行說明。

【0048】 返回圖3繼續進行說明。記憶體膜32具有剖面B中所表現之電荷保持部70(以下稱為「電荷保持部70__B」)。電荷保持部70__B於剖面B中曲率根據位置而不同。例如，電荷保持部70__B具有第1部分70a、第2部分70b、第3部分70c、及第4部分70d。第1部分70a、第2部分70b、第3部分70c、及第4部分70d分別為包含於區域R1、R2、R3、R4中之部分。本實施方式中，第2部分70b之曲率分別大於第1部分70a之曲率及第3部分70c之曲率。第4部分70d之曲率分別大於第1部分70a之曲率及第3部分70c之曲率。

【0049】 本實施方式中，電荷保持部70__B之曲率(例如外周緣之曲率及內周緣之曲率)，隨著從第1部分70a朝向第2部分70b前進而慢慢變大(連續變大)，隨著從第2部分70b朝向第3部分70c前進而慢慢變小(連續變小)，隨著從第3部分70c朝向第4部分70d前進而慢慢變大(連續變大)，且隨著從第4部分70d朝向第1部分70a前進而慢慢變小(連續變小)。電荷保持部70__B為「第1電荷保持部」之一例。

【0050】 電荷保持部70__B之膜厚於電荷保持部70__B之周向上固定。即，第1部分70a、第2部分70b、第3部分70c、及第4部分70d之膜厚互為相同。本實施方式中，「膜厚固定」或「膜厚相同」係指最大膜厚與最小膜厚之差低於1 nm。

【0051】 通道層34於剖面B中膜厚根據電荷保持部70__B之曲率而不同。例如，通道層34具有第1部分34a、第2部分34b、第3部分34c、及第4部分34d。第1部分34a、第2部分34b、第3部分34c、及第4部分34d分別為

包含於區域R1、R2、R3、R4中的部分(參照圖4)。第1部分34a係隔著隧道絕緣膜33而與電荷保持部70__B之第1部分70a並排。第2部分34b係隔著隧道絕緣膜33而與電荷保持部70__B之第2部分70b並排。第3部分34c係隔著隧道絕緣膜33而與電荷保持部70__B之第3部分70c並排。第4部分34d係隔著隧道絕緣膜33而與電荷保持部70__B之第4部分70d並排。

【0052】從另一觀點出發，第1部分34a在短軸A2上位於通道層34之一端。第1部分34a為「第1薄膜部」之一例。第3部分34c在短軸A2上位於通道層34之另一端。第3部分34c為「第2薄膜部」之一例。第2部分34b在長軸A1上位於通道層34之一端。第2部分34b為「第1厚膜部」之一例。第4部分34d在長軸A1上位於通道層34之另一端。第4部分34d為「第2厚膜部」之一例。

【0053】本實施方式中，第2部分34b之膜厚(例如平均膜厚)厚於第1部分34a之膜厚(例如平均膜厚)，且厚於第3部分34c之膜厚(例如平均膜厚)。從另一觀點出發，第2部分34b之最大膜厚厚於第1部分34a之最大膜厚，且厚於第3部分34c之最大膜厚。此外，從另一觀點出發，第2部分34b之最小膜厚厚於第1部分34a之最小膜厚，且厚於第3部分34c之最小膜厚。例如，第2部分34b之最大膜厚分別比第1部分34a之最小膜厚及第3部分34c之最小膜厚厚1 nm以上(進一步而言2 nm以上)。

【0054】同樣，第4部分34d之膜厚(例如平均膜厚)厚於第1部分34a之膜厚(例如平均膜厚)，且厚於第3部分34c之膜厚(例如平均膜厚)。從另一觀點出發，第4部分34d之最大膜厚厚於第1部分34a之最大膜厚，且厚於第3部分34c之最大膜厚。此外，從另一觀點出發，第4部分34d之最小膜厚厚於第1部分34a之最小膜厚，且厚於第3部分34c之最小膜厚。例

如，第4部分34d之最大膜厚分別比第1部分34a之最小膜厚及第3部分34c之最小膜厚厚1 nm以上(進一步而言2 nm以上)。

【0055】本實施方式中，通道層34之膜厚隨著從第1部分34a朝向第2部分34b前進而慢慢變大(連續變大)，隨著從第2部分34b朝向第3部分34c前進而慢慢變小(連續變小)，隨著從第3部分34c朝向第4部分34d前進而慢慢變大(連續變大)，且隨著從第4部分34d朝向第1部分34a前進而慢慢變小(連續變小)。

【0056】一例中，於剖面B中，通道層34之第1部分34a之最大膜厚及第3部分34c之最大膜厚各自小於阻擋絕緣膜31之最大膜厚與記憶體膜32之最大膜厚的合計。另一方面，於剖面B中，通道層34之第2部分34b之最大膜厚及第4部分34d之最大膜厚各自大於阻擋絕緣膜31之最大膜厚與記憶體膜32之最大膜厚的合計。

【0057】一例中，於剖面B中，通道層34之第1部分34a之最大膜厚及第3部分34c之最大膜厚各自小於記憶體膜32之最大膜厚與隧道絕緣膜33之最大膜厚的合計。另一方面，於剖面B中，通道層34之第2部分34b之最大膜厚及第4部分34d之最大膜厚各自大於記憶體膜32之最大膜厚與隧道絕緣膜33之最大膜厚的合計。

【0058】從另一觀點出發，電荷保持部70__B在電荷保持部70__B之周向上之膜厚固定。另一方面，通道層34之膜厚在通道層34之周向上以比電荷保持部70__B之膜厚之變化率大的變化率變化。

【0059】此外，從另一觀點出發，通道層34具有於剖面B上所表現之內周緣e1與外周緣e2。內周緣e1為與核心絕緣部35相鄰之周緣。外周緣e2係位於內周緣e1之相反側且與隧道絕緣膜33相鄰之周緣。而且，內周緣

e1之真圓度高於外周緣e2。

【0060】核心絕緣部35於剖面B中具有第1部分35a、第2部分35b、第3部分35c、及第4部分35d。第1部分35a、第2部分35b、第3部分35c、及第4部分35d分別為包含於區域R1、R2、R3、R4中的部分(參照圖4)。第1部分35a隔著通道層34及隧道絕緣膜33而與電荷保持部70__B之第1部分70a並排。第2部分35b隔著通道層34及隧道絕緣膜33而與電荷保持部70__B之第2部分70b並排。第3部分35c隔著通道層34及隧道絕緣膜33而與電荷保持部70__B之第3部分70c並排。第4部分35d隔著通道層34及隧道絕緣膜33而與電荷保持部70__B之第4部分70d並排。核心絕緣部35之第1部分35a與第2部分35b之曲率之差小於電荷保持部70__B之第1部分70a與第2部分70b之曲率之差。

【0061】圖5係圖1中所示之半導體記憶裝置1之沿F5-F5線的剖視圖。以下，將沿圖1中之F5-F5線之剖面稱為「剖面C」。剖面C為沿矽基板10之表面10a之剖面，且為比剖面B更遠離矽基板10之剖面。剖面C為「第2剖面」之一例。

【0062】阻擋絕緣膜31、記憶體膜32、及隧道絕緣膜33各自於剖面C中為比剖面B平緩的橢圓狀之環狀，包含彎曲部。阻擋絕緣膜31、記憶體膜32、及隧道絕緣膜33各自具有曲率較小的部分與曲率較大的部分。

【0063】記憶體膜32具有於剖面C上所表現之電荷保持部70(以下稱為「電荷保持部70__C」)。電荷保持部70__C於剖面C中曲率根據位置而不同。例如，電荷保持部70__C具有第1部分70a、第2部分70b、第3部分70c、及第4部分70d。即便是在電荷保持部70__C中，第2部分70b之曲率亦分別大於第1部分70a之曲率及第3部分70c之曲率。第4部分70d之曲率

分別大於第1部分70a之曲率及第3部分70c之曲率。電荷保持部70__C為「第2電荷保持部」之一例。

【0064】另一方面，通道層34於剖面C中具有第1部分34a、第2部分34b、第3部分34c、及第4部分34d。第1部分34a隔著隧道絕緣膜33而與電荷保持部70__C之第1部分70a並排。第2部分34b隔著隧道絕緣膜33而與電荷保持部70__C之第2部分70b並排。第3部分70c隔著隧道絕緣膜33而與電荷保持部70__C之第3部分70c並排。第4部分70d隔著隧道絕緣膜33而與電荷保持部70__C之第4部分70d並排。於從某觀點出發之情形時，電荷保持部70__C之第1部分70a為「第3部分」之一例，電荷保持部70__C之第2部分70b為「第4部分」之一例。

【0065】本實施方式中，剖面B中之通道層34之第1部分34a與第2部分34b之膜厚差(例如第1部分34a之最小膜厚與第2部分34b之最大膜厚之差)，大於剖面C中之通道層34之第1部分34a與第2部分34b之膜厚差(例如第1部分34a之最小膜厚與第2部分34b之最大膜厚之差)。本實施方式中，越接近矽基板10，通道層34之第1部分34a與第2部分34b之膜厚差越大。

【0066】<2.半導體記憶裝置之製造方法>

圖6係表示半導體記憶裝置1之製造方法的剖視圖，且為表示整體流程的圖。首先，如圖6中之(a)所示，於矽基板10之上交替積層由氧化矽(SiO₂)形成之絕緣層22、及由氮化矽(SiN)形成之絕緣層81。藉此，形成中間積層體20A。由氮化矽(SiN)形成之絕緣層81係於後續工序中被導電層21取代之犧牲層。

【0067】繼而，如圖6中之(b)所示，對中間積層體20A設置記憶體孔MH。記憶體孔MH為於Z方向上延伸之孔。繼而，於記憶體孔MH之底部

生長單晶體之非晶矽(a-Si)而形成連接部10c。

【0068】繼而，如圖6中之(c)所示，向記憶體孔MH之內周面依序供給阻擋絕緣膜31之材料、記憶體膜32之材料、隧道絕緣膜33之材料、通道層34之材料，而形成阻擋絕緣膜31、記憶體膜32、隧道絕緣膜33、及通道層34。繼而，向通道層34之內側供給氧化矽(SiO₂)而形成核心絕緣部35。

【0069】繼而，如圖6中之(d)所示，進行由導電層21取代中間積層體20A中之絕緣層81的取代工序。詳細而言，藉由設置於中間積層體20A中之未圖示之孔而將形成絕緣層81之氮化矽(SiN)去除。繼而，向已去除絕緣層81中空間供給鎢(W)導電材料，而形成字元線WL、第1選擇閘極線SGL1、及第2選擇閘極線SGL2。藉此，形成積層體20。其後，形成觸點40及位元線BL等而完成半導體記憶裝置1。

【0070】圖7係表示半導體記憶裝置1之製造方法的剖視圖，且表示參照圖6中之(c)而說明之工序(即形成記憶體柱30之工序)的詳情。圖7係表示剖面B之剖視圖，省去了記憶體單元MC周圍之構成的圖示。

【0071】如圖7中之(a)所示，若向隧道絕緣膜33之內周面供給半導體材料即非晶矽(a-Si)作為通道層34之材料，進行用以將非晶矽結晶化之熱處理，則形成成為通道層34之基礎的通道層中間體91。於該階段，通道層中間體91之膜厚形成得比通道層34厚。於通道層中間體91之內周側，形成例如氧化矽(SiO₂)之熱氧化膜92。

【0072】繼而，如圖7中之(b)所示，藉由使用第1溶液(第1藥液)進行濕式蝕刻，將熱氧化膜92去除而保留熱氧化膜92之一部分。第1溶液為比下述第2溶液易於溶解熱氧化膜92之溶液，且對熱氧化膜92之蝕刻速率為

特定速度以上。第1溶液例如為稀氫氟酸(DHF)。本實施方式中，以於使用第1溶液之濕式蝕刻工序之後、熱氧化膜92之一部分留在通道層中間體91內側之方式，調整第1溶液之濕式蝕刻時間、第1溶液之濃度等。

【0073】此處，於藉由濕式蝕刻去除橢圓環狀之熱氧化膜92之情形時，會因應力依存性或其它原因而導致熱氧化膜92中長軸方向之兩端部92b、92d比短軸方向之兩端部92a、92c難以蝕刻。因此，於以保留熱氧化膜92之一部分之方式去除熱氧化膜92之情形時，熱氧化膜92會以端部92b、92d之膜厚較厚而端部92a、92c之膜厚較薄的狀態保留於通道層中間體91之內側。另外，本工序中，亦可將熱氧化膜92之端部92a、92c去除，只要將熱氧化膜92之端部92b、92d保留於通道層中間體91內側即可。

【0074】繼而，如圖7中之(c)所示，在熱氧化膜92之一部分留在通道層中間體91內側的狀態下，使用與第1溶液不同的第2溶液(第2藥液)進行濕式蝕刻，將通道層中間體91細化(slimming)而形成通道層34。第2溶液為比第1溶液易於溶解通道層中間體91的溶液。即，第2溶液對通道層中間體91之蝕刻速率高於第1溶液。另一方面，第2溶液為比第1溶液難以溶解熱氧化膜92的溶液。即，第2溶液對熱氧化膜92之蝕刻速率低於第1溶液。第2溶液例如為過氧化氫水、膽鹼及水之混合液。

【0075】當使用第2溶液進行濕式蝕刻時，首先，將熱氧化膜92之端部92a、92c去除，在通道層中間體91中位於短軸上之部分開始細化。其後，在有時間差地去除熱氧化膜92之端部92b、92d後，在通道層中間體91中位於長軸上之部分開始細化。藉此，獲得膜厚根據周向位置而不同的通道層34。其後，於通道層34之內側設置核心絕緣部35，結束圖6中之(c)

工序。

【0076】 <3.優點>

於半導體記憶裝置中，難以將所有記憶體柱從上層至下層加工成真圓。因此，例如於下層區域中記憶體單元之剖面形狀會成為橢圓狀。該情形時，存在電性特性(例如寫入特性)降低之情形。

【0077】 圖8係用以說明半導體記憶裝置1之作用的剖視圖。圖8中之(a)表示作為比較例之記憶體單元MCX，該記憶體單元MCX中，阻擋絕緣膜31、記憶體膜32、隧道絕緣膜33、及通道層34分別為橢圓環狀，且通道層34之膜厚為固定。於上述記憶體單元MCX中，當在資料寫入動作時對字元線WL施加電壓時，記憶體單元MCX中容易在曲率較大的區域J2、J4產生電場，而記憶體單元MC中電荷e容易集中儲存在曲率較大的區域J2、J4中。

【0078】 另一方面，當在資料讀出動作時讀出電流流經通道層34之情形時，讀出電流將於通道層34中通過電荷e較少之區域J1、J3而流動。即，記憶體單元MC中，寫入動作時發揮功能之區域J2、J4、與讀出動作時發揮功能之區域J1、J3不同。該情形時，即便在記憶體單元MC之區域J2、J4中儲存有充足的電荷e，仍會被判定為未儲存充足的電荷e。其結果，存在寫入動作時需要在記憶體單元MC中儲存更多的電荷e而使得寫入速度變慢之情況。因此，真圓度良好的記憶體單元MC與真圓度較差的記憶體單元MC中之寫入速度之差異變大，因而寫入特性降低。

【0079】 藉此，本實施方式之半導體記憶裝置1具有膜厚根據電荷保持部70之曲率而不同的通道層34。根據該構成，如圖8中之(b)所示，讀出電流因電流密度之關係而容易流經通道層34之膜厚部分(即，儲存較多電

荷 e 之區域附近)。即，可在記憶體單元MC中，使讀出動作時發揮功能之區域J1、J3接近寫入動作時發揮功能之區域J2、J4。其結果，與比較例之構成相比，於記憶體單元MC中儲存更多電荷 e 之必要性減少，可提高寫入速度。藉此，真圓度良好的記憶體單元MC與真圓度較差的記憶體單元MC中之寫入速度之差異變小，因而寫入特性良好。

【0080】(變化例)

圖9係表示實施方式之變化例之半導體記憶裝置1A的剖視圖。圖9表示半導體記憶裝置1A之剖面B。本變化例中，記憶體單元MC為三角形狀。阻擋絕緣膜31、記憶體膜32、及隧道絕緣膜33分別沿三角形狀之記憶體孔MH之內周面形成為三角形狀之環狀。電荷保持部70包含第1部分100a、及曲率比第1部分100a大的第2部分100b。第1部分100a為與三角形之邊之中央部對應的部分。另一方面，第2部分100b為與三角形之角部對應的部分。

【0081】本變化例中，通道層34具有薄膜部110a、及膜厚厚於薄膜部110a之厚膜部110b。薄膜部110a設置於與三角形之邊的中央部對應之區域，隔著隧道絕緣膜33而與電荷保持部70之第1部分100a並排。另一方面，厚膜部110b設置於與三角形之角部對應之區域，隔著隧道絕緣膜33而與電荷保持部70之第2部分100b並排。即便為該構成，亦與實施方式同樣可改善電性特性。

【0082】以上，對實施方式之半導體記憶裝置、及半導體記憶裝置之製造方法進行了說明。然而，實施方式並不限定於上述例。上述實施方式中，說明了電荷保持部70由作為電荷捕獲膜的記憶體膜32形成的例。然而，記憶體單元MC之電荷保持部70亦可為能夠根據電荷儲存量來儲存

資料之浮動閘極、或能夠根據極化之配向方向來儲存資料之強介電膜 (FeFET(ferroelectric field-effect transistor, 鐵電場效應電晶體))。電荷保持部70亦可配置在積層體20中於Z方向上相鄰之2個絕緣層22之間，而非設置為記憶體柱30之一部分。

【0083】 根據以上說明之至少一個實施方式，半導體記憶裝置具有膜厚根據電荷保持部之曲率而不同之通道層。根據該構成，可提供能改善電性特性的半導體記憶裝置、及半導體記憶裝置之製造方法。

【0084】 對本發明之幾個實施方式進行了說明，但該等實施方式係作為示例提出，並未意圖限定發明之範圍。該等實施方式可用其它各種方式實施，且可於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施方式及其變化包含於發明之範圍或主旨中，同樣包含於專利申請範圍中所記載之發明及與其等同之範圍內。

【0085】 [相關申請案]

本申請案享有以日本專利申請案2020-144747號(申請日：2020年8月28日)為基礎申請案之優先權。本申請案藉由參考該基礎申請案而包含基礎申請案之全部內容。

【符號說明】

【0086】

1: 半導體記憶裝置

1a: 記憶體區域

1b: 觸點區域

1A: 半導體記憶裝置

10: 矽基板

- 10a:表面
- 10b:源極區域
- 10c:連接部
- 20:積層體
- 20A:中間積層體
- 21:導電層
- 22:絕緣層
- 30:記憶體柱
- 31:阻擋絕緣膜
- 32:記憶體膜
- 33:隧道絕緣膜
- 34:通道層
- 34a:第1部分
- 34b:第2部分
- 34c:第3部分
- 34d:第4部分
- 35:核心絕緣部
- 35a:第1部分
- 35b:第2部分
- 35c:第3部分
- 35d:第4部分
- 40:觸點
- 50:觸點

60:支撐柱

70,70__B,70__C:電荷保持部

70a:第1部分

70b:第2部分

70c:第3部分

70d:第4部分

81:絕緣層

91:通道層中間體

92:熱氧化膜

92a:端部

92b:端部

92c:端部

92d:端部

100a:第1部分

100b:第2部分

110a:薄膜部

110b:厚膜部

A:剖面

A1:長軸

A2:短軸

B:剖面

B1:分界線

B2:分界線

BL:位元線

e:電荷

e1:內周緣

e2:外周緣

J1:區域

J2:區域

J3:區域

J4:區域

MC:記憶體單元

MCX:記憶體單元

MH:記憶體孔

MF:多層膜

P1:點

P2:點

P3:點

R1:區域

R2:區域

R3:區域

R4:區域

SGL1:第1選擇閘極線

SGL2:第2選擇閘極線

SL:源極線

ST1:第1選擇電晶體

ST2:第2選擇電晶體

WL:字元線

【發明申請專利範圍】

【請求項1】

一種半導體記憶裝置，其具備：

第1電荷保持部，其於第1剖面中為環狀；及

通道層，其於上述第1剖面中位於上述第1電荷保持部之內側，為橢圓之環狀，且具有：第1厚膜部，其位於上述橢圓之長軸上；及第1薄膜部，其位於上述橢圓之短軸上；且

上述第1厚膜部係：膜厚較上述第1薄膜部厚。

【請求項2】

如請求項1之半導體記憶裝置，其中

上述第1電荷保持部於上述第1剖面中，包含第1部分、及曲率大於上述第1部分的第2部分，

上述第1薄膜部係：於上述第1剖面中，與上述第1電荷保持部之上述第1部分並排，

上述第1厚膜部係：於上述第1剖面中，與上述第1電荷保持部之上述第2部分並排。

【請求項3】

如請求項2之半導體記憶裝置，其中

上述第1厚膜部之最大膜厚比上述第1薄膜部之最小膜厚厚1 nm以上。

【請求項4】

如請求項1至3中任一項之半導體記憶裝置，其中

上述通道層於上述第1剖面中，其膜厚以比上述第1電荷保持部之膜

厚之變化率更大的變化率變化。

【請求項5】

如請求項1之半導體記憶裝置，其中具有設置於上述通道層內側的絕緣部，

上述第1電荷保持部於上述第1剖面中，包含第1部分、及曲率大於上述第1部分的第2部分，

上述絕緣部於上述第1剖面中，包含隔著上述通道層而與上述第1電荷保持部之上述第1部分並排之第1部分、及隔著上述通道層而與上述第1電荷保持部之上述第2部分並排之第2部分，

上述絕緣部之上述第1部分與上述第2部分之曲率之差，小於上述第1電荷保持部之上述第1部分與上述第2部分之曲率之差。

【請求項6】

如請求項2或3之半導體記憶裝置，其中具有設置於上述通道層內側的絕緣部，

上述絕緣部於上述第1剖面中，包含隔著上述通道層而與上述第1電荷保持部之上述第1部分並排之第1部分、及隔著上述通道層而與上述第1電荷保持部之上述第2部分並排之第2部分，

上述絕緣部之上述第1部分與上述第2部分之曲率之差，小於上述第1電荷保持部之上述第1部分與上述第2部分之曲率之差。

【請求項7】

如請求項1至3中任一項之半導體記憶裝置，其中

上述通道層於上述第1剖面中具有外周緣與內周緣，

上述內周緣之真圓度高於上述外周緣。

【請求項8】

如請求項1至3中任一項之半導體記憶裝置，其中

上述通道層進而具有：第2厚膜部，其於上述橢圓之長軸上與上述第1厚膜部隔著上述橢圓之中心而位於相反側；及第2薄膜部，其於上述橢圓之短軸上與上述第1薄膜部隔著上述橢圓之中心而位於相反側；

上述第1厚膜部之膜厚厚於上述第2薄膜部，

上述第2厚膜部之膜厚厚於上述第1薄膜部及上述第2薄膜部各者。

【請求項9】

如請求項1之半導體記憶裝置，其進而具備：

基板；及

第2電荷保持部，該第2電荷保持部設置於比上述第1電荷保持部更遠離上述基板的位置，且至少一部分彎曲；且

上述第1電荷保持部於上述第1剖面中，包含第1部分、及曲率大於上述第1部分的第2部分，

上述第2電荷保持部於比上述第1剖面更遠離上述基板且沿上述基板之上述表面之第2剖面中，包含第1部分、及曲率大於上述第1部分的第2部分，

上述第1薄膜部係：於上述第1剖面中，與上述第1電荷保持部之上述第1部分並排，

上述第1厚膜部係：於上述第1剖面中，與上述第1電荷保持部之上述第2部分並排，

上述通道層於上述第2剖面中，包含與上述第2電荷保持部之上述第1部分並排之第3部分、及與上述第2電荷保持部之上述第2部分並排之第4

部分，

上述第1薄膜部與上述第1厚膜部之膜厚差大於上述第3部分與上述第4部分之膜厚差。

【請求項10】

如請求項3之半導體記憶裝置，其進而具備：

基板；及

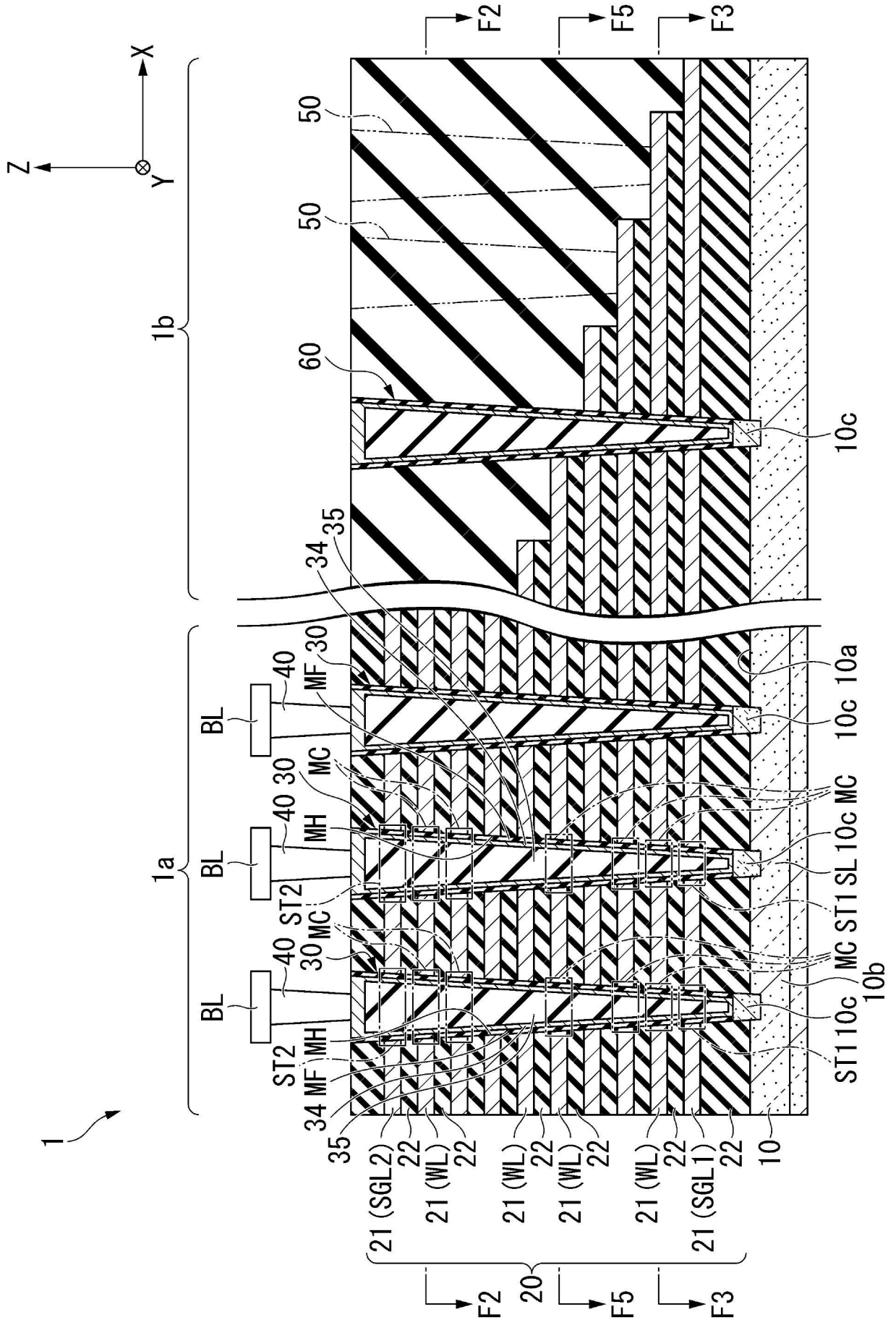
第2電荷保持部，該第2電荷保持部設置於比上述第1電荷保持部更遠離上述基板的位置，且至少一部分彎曲；且

上述第2電荷保持部於比上述第1剖面更遠離上述基板且沿上述基板之上述表面之第2剖面中，包含第1部分、及曲率大於上述第1部分的第2部分，

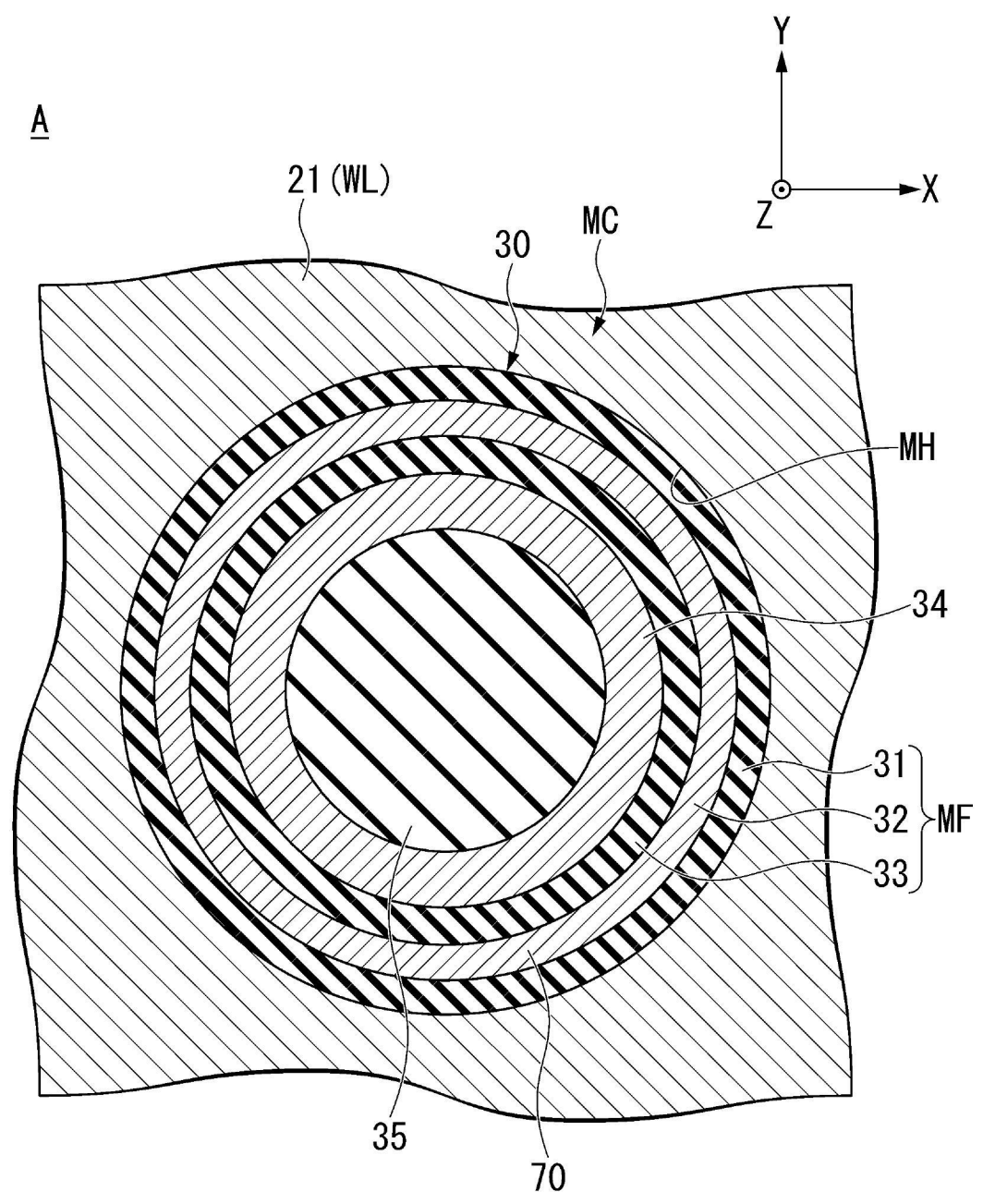
上述通道層於上述第2剖面中，包含與上述第2電荷保持部之上述第1部分並排之第3部分、及與上述第2電荷保持部之上述第2部分並排之第4部分，

上述第1薄膜部與上述第1厚膜部之膜厚差大於上述第3部分與上述第4部分之膜厚差。

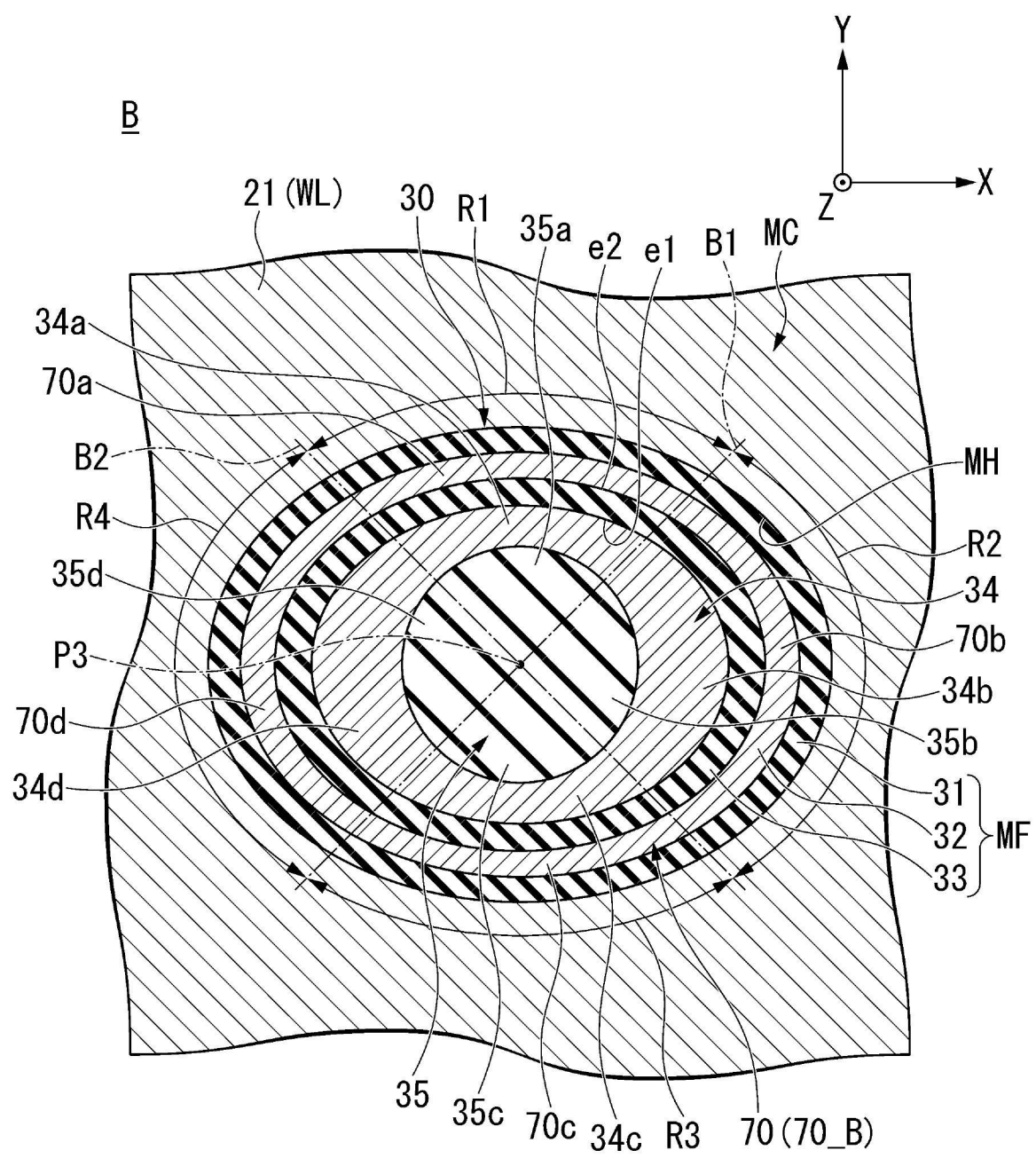
【發明圖式】



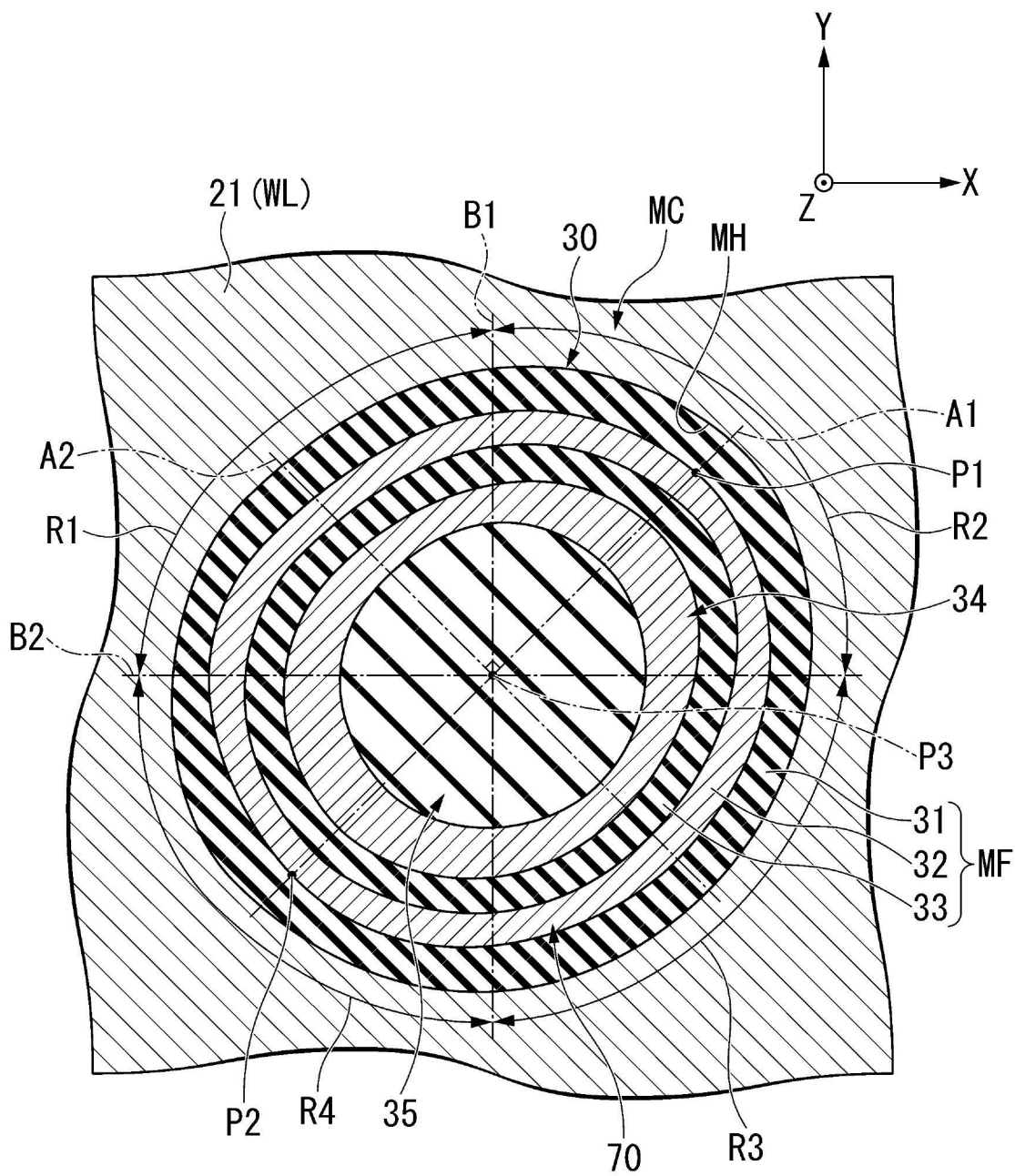
【圖1】



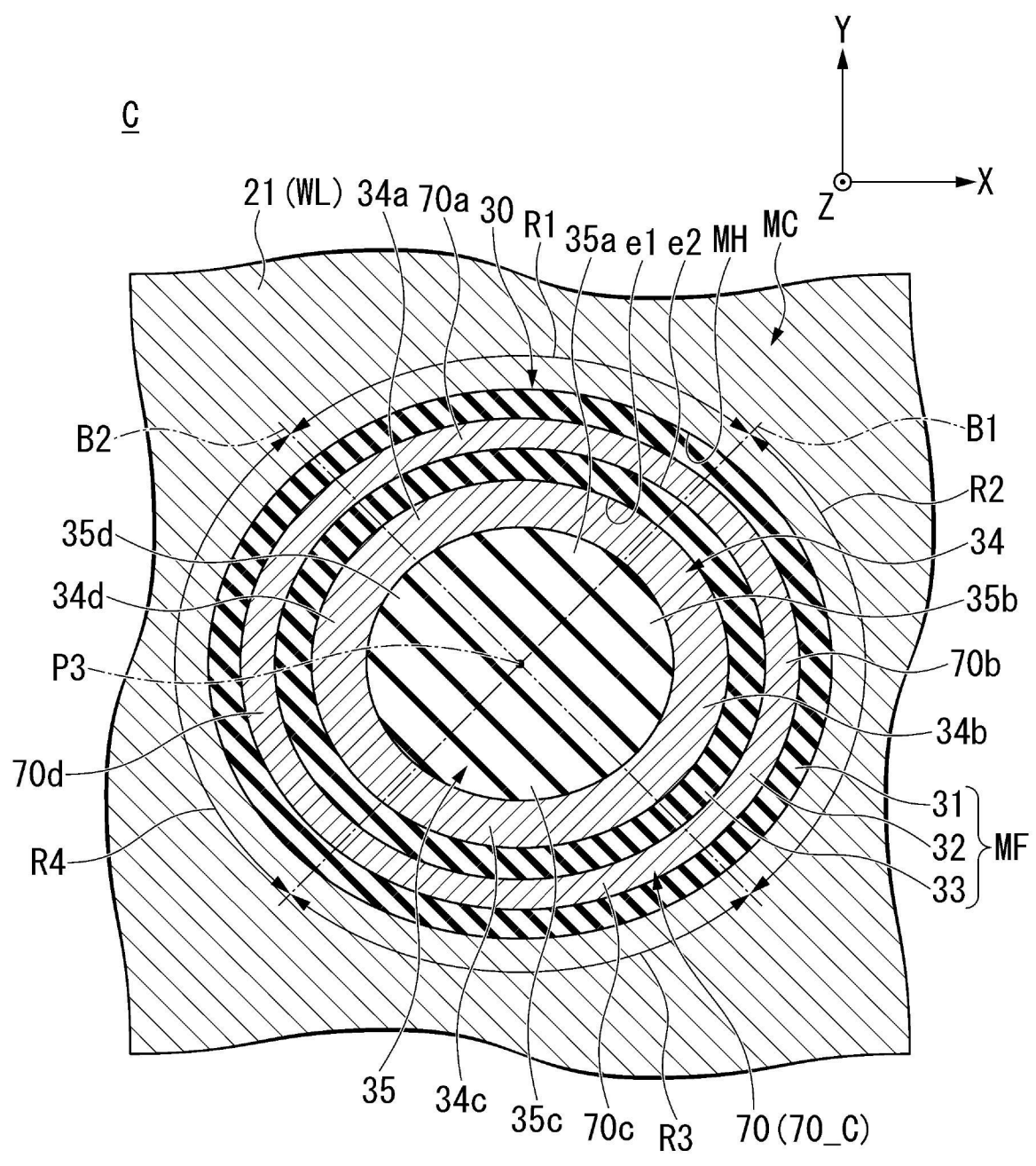
【圖2】



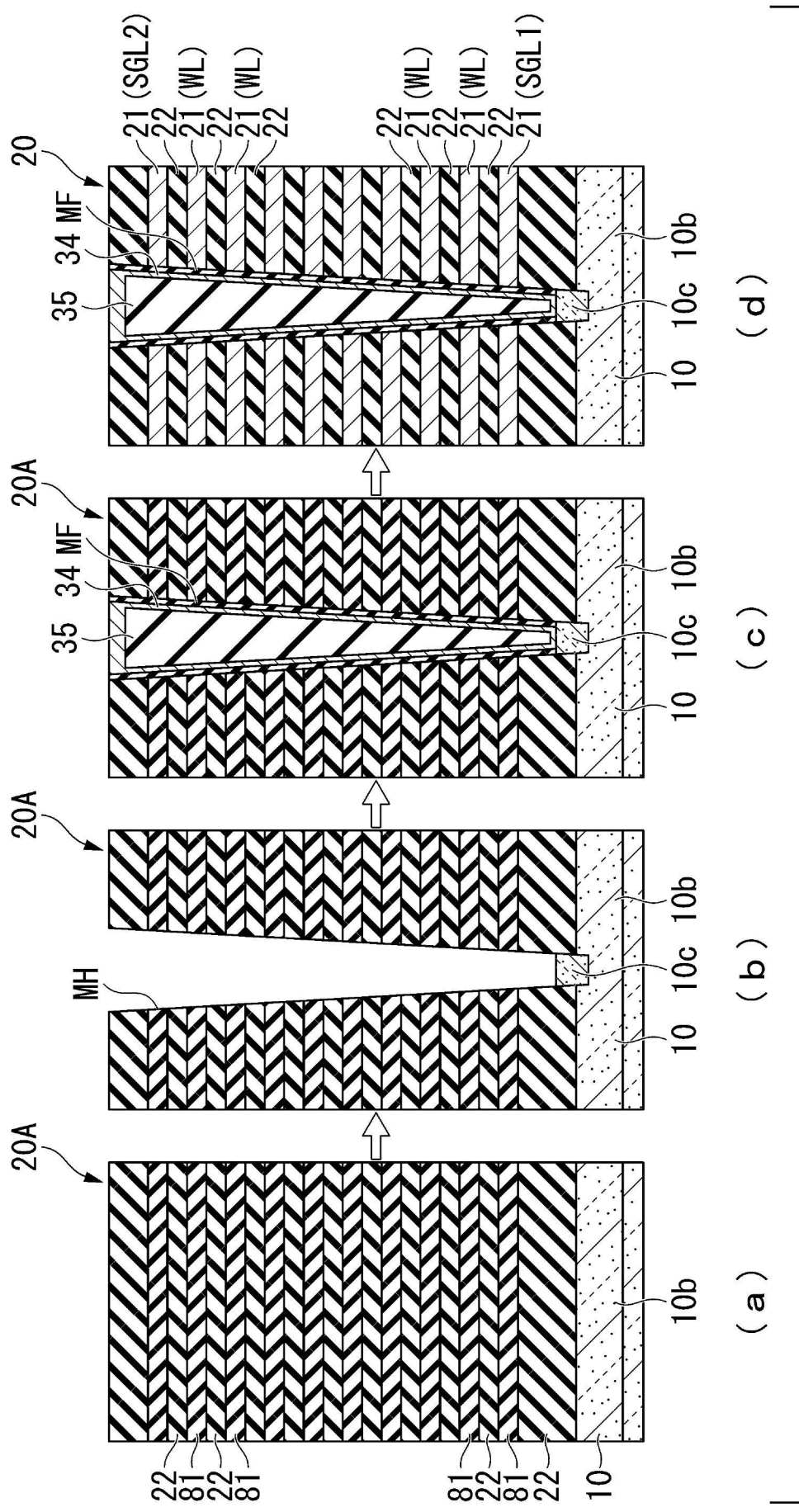
【圖3】



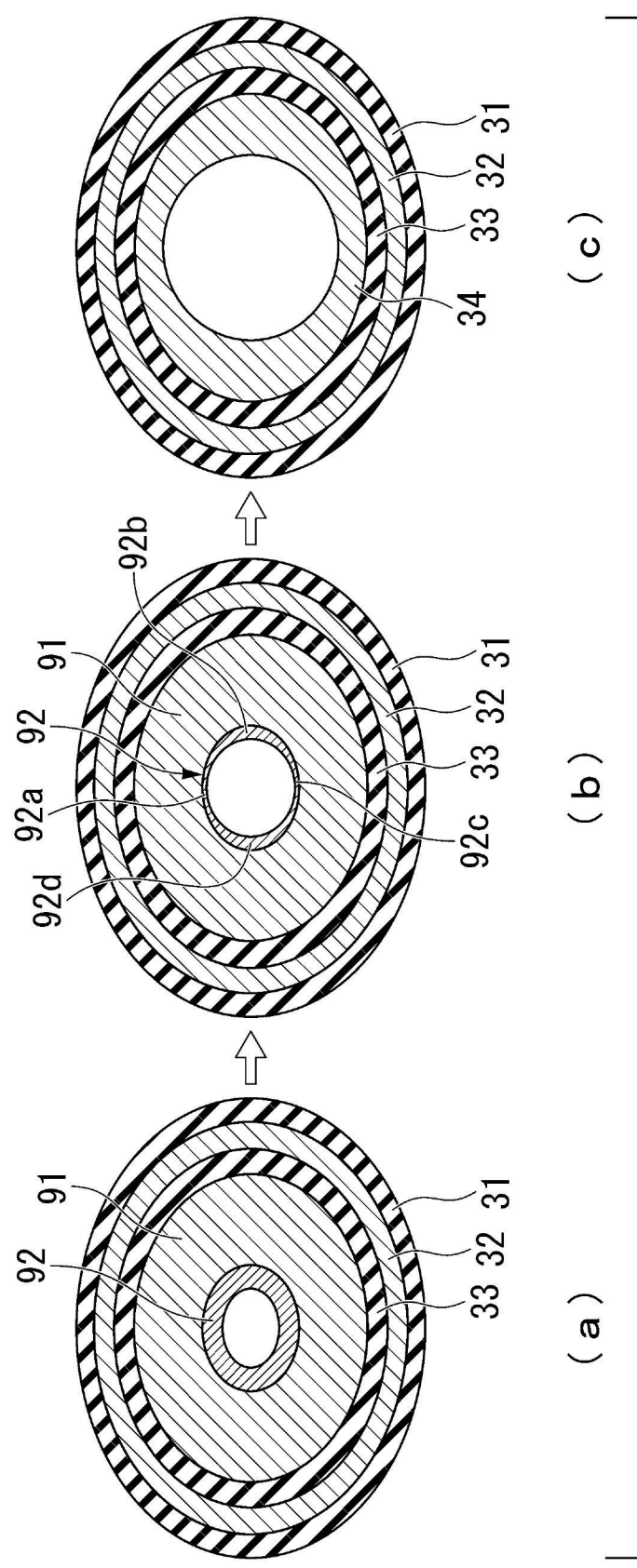
【圖4】



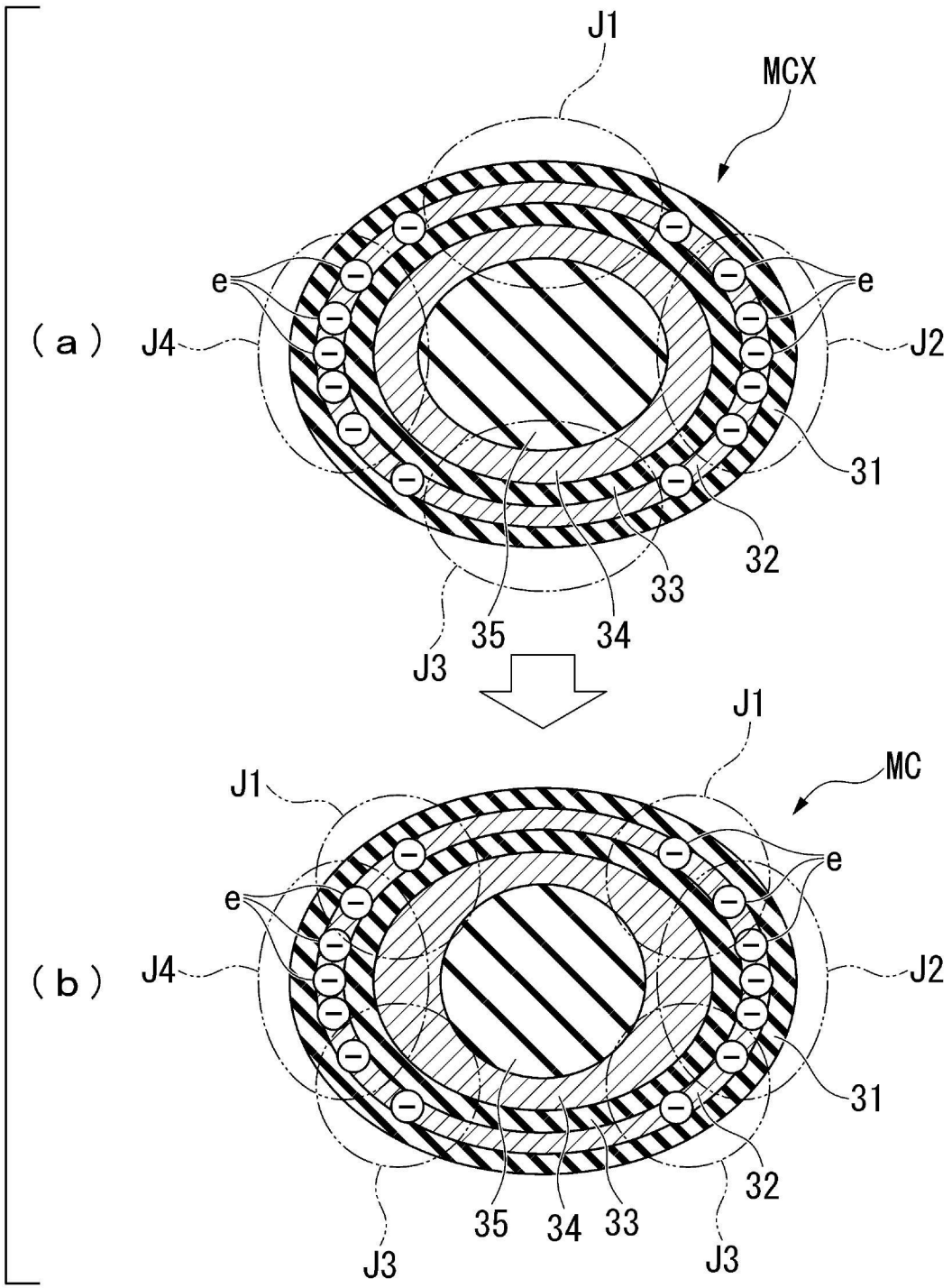
【圖5】



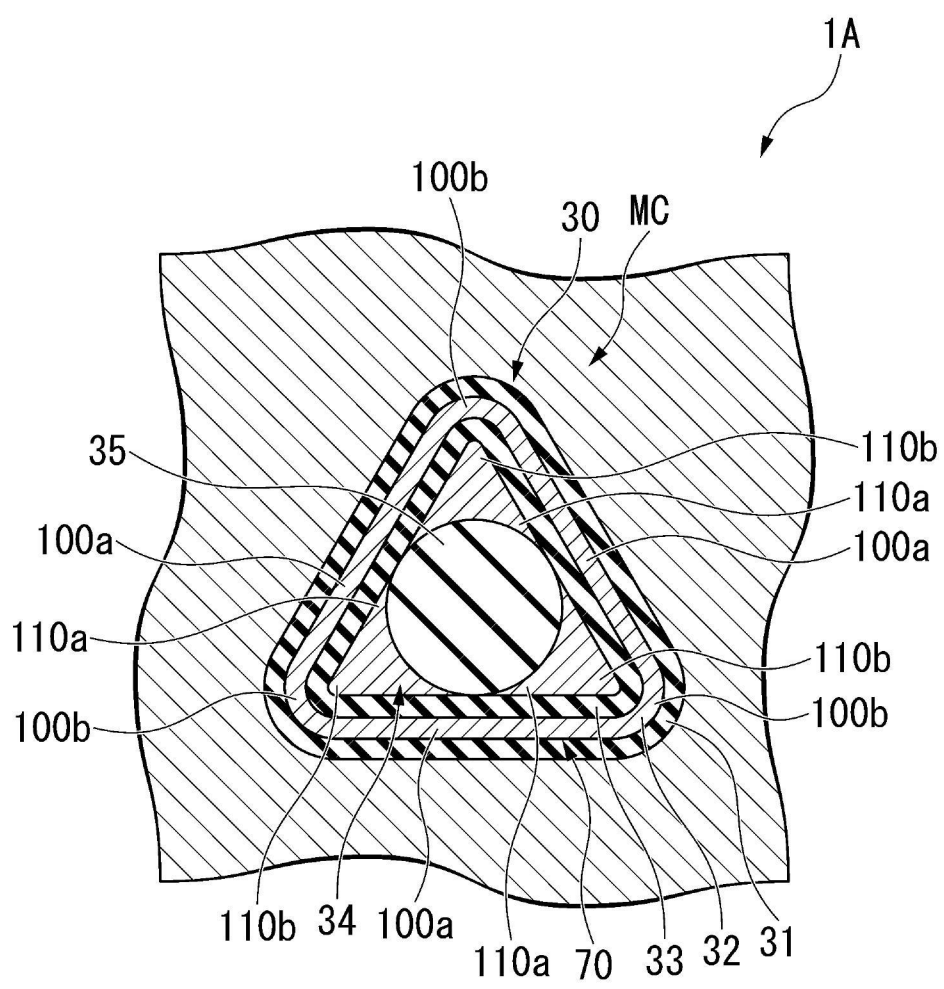
【圖6】



【圖7】



【圖8】



【圖9】