

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4494083号
(P4494083)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月16日(2010.4.16)

(51) Int.Cl.		F I			
H03K	17/695	(2006.01)	H03K	17/687	B
H02M	1/08	(2006.01)	H02M	1/08	A
H03K	17/16	(2006.01)	H03K	17/16	L

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2004-148780 (P2004-148780)	(73) 特許権者	503121103
(22) 出願日	平成16年5月19日(2004.5.19)		株式会社ルネサステクノロジ
(65) 公開番号	特開2005-333314 (P2005-333314A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成17年12月2日(2005.12.2)	(74) 代理人	100088672
審査請求日	平成19年4月13日(2007.4.13)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	宮崎 勝己
			兵庫県伊丹市東野四丁目61番地5 株式
			会社ルネサスデバイスデザイン内
		審査官	矢頭 尚之

最終頁に続く

(54) 【発明の名称】 スイッチング制御回路

(57) 【特許請求の範囲】

【請求項1】

モータの駆動を制御するスイッチング制御回路であって、
 電源電位に接続された第1のスイッチング素子と、
 GND電位に接続された第2のスイッチング素子と、
 前記第1のスイッチング素子と前記第2のスイッチング素子との接続点に接続された誘導性負荷と、
 前記第1のスイッチング素子のオン/オフ制御する第1の制御信号を出力する第1の駆動回路と、
 前記第2のスイッチング素子のオン/オフ制御する第2の制御信号を出力する第2の駆動回路と、
 前記接続点の電位である出力電位を検出する第1の検出回路と、
 前記第2の制御信号の電位を検出する第2の検出回路とを備え、
 前記第1の駆動回路は、
 前記第2のスイッチング素子をオフさせた後に前記第1のスイッチング素子をオンさせる際に、前記電源電位より所定値だけ低い第1の電位よりも前記出力電位が高くなったことを示す第1の信号を前記第1の検出回路から受けた場合、もしくは前記電源電位より所定値だけ低い第2の電位よりも前記第2の制御信号の電位が低くなったことを示す第2の信号を前記第2の検出回路から受けた場合に、前記第1のスイッチング素子をオンさせる、
 スイッチング制御回路。

10

20

【請求項 2】

前記第 1 の信号を前記第 1 の検出回路から受けて、前記第 1 のスイッチング素子の駆動インピーダンスを、第 1 の値から、それよりも低い第 2 の値に切り替える、第 1 のインピーダンス切り替え回路をさらに備える、請求項 1 に記載のスイッチング制御回路。

【請求項 3】

前記第 1 の制御信号の電位を検出する第 3 の検出回路を、さらに備え、

前記第 2 の駆動回路は、

前記第 1 のスイッチング素子をオフさせた後に前記第 2 のスイッチング素子をオンさせる際に、前記 GND 電位より所定値だけ高い第 3 の電位よりも前記出力電位が低くなったことを示す第 3 の信号を前記第 1 の検出回路から受けた場合、もしくは前記 GND 電位より所定値だけ高い第 4 の電位よりも前記第 1 の制御信号の電位が高くなったことを示す第 4 の信号を前記第 3 の検出回路から受けた場合に、前記第 2 のスイッチング素子をオンさせる、請求項 1 又は 2 に記載のスイッチング制御回路。

10

【請求項 4】

前記第 3 の信号を前記第 1 の検出回路から受けて、前記第 2 のスイッチング素子の駆動インピーダンスを、第 3 の値から、それよりも低い第 4 の値に切り替える、第 2 のインピーダンス切り替え回路をさらに備える、請求項 3 に記載のスイッチング制御回路。

【請求項 5】

モータの駆動を制御するスイッチング制御回路であって、

電源電位に接続された第 1 のスイッチング素子と、

GND 電位に接続された第 2 のスイッチング素子と、

前記第 1 のスイッチング素子と前記第 2 のスイッチング素子との接続点に接続された誘導性負荷と、

20

前記第 1 のスイッチング素子のオン/オフ制御する第 1 の制御信号を出力する第 1 の駆動回路と、

前記第 2 のスイッチング素子のオン/オフ制御する第 2 の制御信号を出力する第 2 の駆動回路と、

前記接続点の電位である出力電位を検出する第 1 の検出回路と、

前記第 1 の制御信号の電位を検出する第 2 の検出回路とを備え、

前記第 2 の駆動回路は、

前記第 1 のスイッチング素子をオフさせた後に前記第 2 のスイッチング素子をオンさせる際に、前記 GND 電位より所定値だけ高い第 1 の電位よりも前記出力電位が低くなったことを示す第 1 の信号を前記第 1 の検出回路から受けた場合、もしくは前記 GND 電位より所定値だけ高い第 2 の電位よりも前記第 2 の制御信号の電位が高くなったことを示す第 2 の信号を前記第 2 の検出回路から受けた場合に、前記第 2 のスイッチング素子をオンさせる、スイッチング制御回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同期整流方式のスイッチング制御回路に関する。

40

【背景技術】

【0002】

同期整流の主目的は、誘導性負荷の放電時に放電パス上に発生する半導体基板内部の寄生ダイオード等による電力損失を低減させることである。

【0003】

同期整流を行う際には、負荷電流供給用の出力トランジスタと負荷電流吸引用の出力トランジスタとが同時にオンされることによる貫通電流の発生を防止する目的で、デッドタイムを設ける必要がある。

【0004】

なお、同期整流方式のスイッチング制御回路に関する従来技術は、下記非特許文献 1

50

に開示されている。

【0005】

【非特許文献1】「トランジスタ技術 1998年7月号」、CQ出版社、1998年7月1日発行、第1章～第3章

【発明の開示】

【発明が解決しようとする課題】

【0006】

デッドタイムの最適値は、負荷電流、負荷インダクタンス、又は出力電圧のスルーレートに依存するため、その設定には工夫が必要である。デッドタイムの設定には様々な方法が知られているが、デッドタイムが短すぎれば貫通電流が発生するリスクが増大し、一方、デッドタイムが長すぎれば以下に述べるような問題が発生する。

10

【0007】

PチャンネルMOSトランジスタとNチャンネルMOSトランジスタとから成るCMOSトランジスタを用いて、コイルやモータ等の誘導性負荷を駆動する場合を考える。この場合、同期整流方式であっても、上記デッドタイムの期間中、インダクタンスの誘導電流やモータの回生電流の作用により、出力電位（つまり、PチャンネルMOSトランジスタ及びNチャンネルMOSトランジスタのドレイン電位）が電源電位以上又はGND電位以下となる時に、寄生バイポーラトランジスタが活性化し、問題となる場合がある。

【0008】

PチャンネルMOSトランジスタ及びNチャンネルMOSトランジスタともにバルクノードをソースに接続している一般的なソース接地である場合、PチャンネルMOSトランジスタのドレイン電位がそのソース電位よりも十分に高くなれば、P⁺型のドレインとN型のバルクとP⁺型の基板とで構成される寄生の垂直PNPバイポーラトランジスタが動作する。その結果、誘導性負荷から流れ出た電流の多くは、垂直PNPバイポーラトランジスタのコレクタ電流として基板に漏れてしまい、再利用できない。このことは、負荷駆動時のエネルギー効率を低下させるのみならず、集積回路の不要な発熱の要因となったり、垂直PNPバイポーラトランジスタのコレクタ電流によって上昇した基板電位をトリガとする寄生サイリスタの動作（いわゆるラッチアップ）の要因ともなる。

20

【0009】

また、NチャンネルMOSトランジスタのドレイン電位がそのソース電位よりも十分に小さくなれば、N⁺型のドレインと、P型のバルクと、バルクに隣接するN型のウェルとで構成される寄生のNPNバイポーラトランジスタが動作する。その結果、P型のバルクがN型のウェルから電荷を吸引することにより、上記と同様にエネルギー効率の低下や不要な発熱が生じるのみならず、NチャンネルMOSトランジスタの周辺の回路の誤動作の原因となる場合がある。

30

【0010】

従って、特にCMOSトランジスタを同期整流方式によって駆動する際には、デッドタイムを極力小さくすることが必要となる。

【0011】

本発明は、かかる問題を解決するために成されたものであり、デッドタイムを短縮化し得る同期整流方式のスイッチング制御回路を得ることを目的とする。

40

【課題を解決するための手段】

【0012】

第1の発明に係るスイッチング制御回路は、モータの駆動を制御するスイッチング制御回路であって、電源電位に接続された第1のスイッチング素子と、GND電位に接続された第2のスイッチング素子と、前記第1のスイッチング素子と前記第2のスイッチング素子との接続点に接続された誘導性負荷と、前記第1のスイッチング素子のオン/オフ制御する第1の制御信号を出力する第1の駆動回路と、前記第2のスイッチング素子のオン/オフ制御する第2の制御信号を出力する第2の駆動回路と、前記接続点の電位である出力電位を検出する第1の検出回路と、前記第2の制御信号の電位を検出する第2の検出回路

50

とを備え、前記第1の駆動回路は、前記第2のスイッチング素子をオフさせた後に前記第1のスイッチング素子をオンさせる際に、前記電源電位より所定値だけ低い第1の電位よりも前記出力電位が高くなったことを示す第1の信号を前記第1の検出回路から受けた場合、もしくは前記電源電位より所定値だけ低い第2の電位よりも前記第2の制御信号の電位が低くなったことを示す第2の信号を前記第2の検出回路から受けた場合に、前記第1のスイッチング素子をオンさせる。

【0014】

第2の発明に係るスイッチング制御回路は、モータの駆動を制御するスイッチング制御回路であって、電源電位に接続された第1のスイッチング素子と、GND電位に接続された第2のスイッチング素子と、前記第1のスイッチング素子と前記第2のスイッチング素子との接続点に接続された誘導性負荷と、前記第1のスイッチング素子のオン/オフ制御する第1の制御信号を出力する第1の駆動回路と、前記第2のスイッチング素子のオン/オフ制御する第2の制御信号を出力する第2の駆動回路と、前記接続点の電位である出力電位を検出する第1の検出回路と、前記第1の制御信号の電位を検出する第2の検出回路とを備え、前記第2の駆動回路は、前記第1のスイッチング素子をオフさせた後に前記第2のスイッチング素子をオンさせる際に、前記GND電位より所定値だけ高い第1の電位よりも前記出力電位が低くなったことを示す第1の信号を前記第1の検出回路から受けた場合、もしくは前記GND電位より所定値だけ高い第2の電位よりも前記第2の制御信号の電位が高くなったことを示す第2の信号を前記第2の検出回路から受けた場合に、前記第2のスイッチング素子をオンさせる。

【発明の効果】

【0016】

第1および第2の発明に係るスイッチング制御回路によれば、デッドタイムを短縮化することができる。

【発明を実施するための最良の形態】

【0017】

図1は、本発明の実施の形態に係るスイッチング制御回路の構成を示す回路図である。第1のスイッチング素子であるPチャンネルMOSトランジスタ(以下「PMOS」と称す)1のソースは、電源電位(VDD)21に接続されている。PMOS1のドレインは、第2のスイッチング素子であるNチャンネルMOSトランジスタ(以下「NMOS」と称す)2のドレインに接続されている。NMOS2のソースは、GND電位22に接続されている。PMOS1とNMOS2との接続点ND1には、コイル等の誘導性負荷6が接続されている。接続点ND1の電位が、PMOS1とNMOS2とから成るCMOSトランジスタの出力電位となる。PMOS1及びNMOS2は、誘導性負荷6を駆動するためのトランジスタであり、特に、PMOS1は負荷電流供給用のトランジスタであり、NMOS2は負荷電流吸引用のトランジスタである。

【0018】

信号入力端子5には、外部から駆動パルス信号が入力される。信号入力端子5は、NOR回路3の第1入力端子と、NAND回路4の第1入力端子とに接続されている。

【0019】

センサ101の入力端子は、接続点ND1に接続されている。センサ101は、接続点ND1の電位を検出し、接続点ND1の電位がVDD - Vaよりも高くなったことを検出した場合に、「H(High)」の信号を出力する。ここで、電位Vaは、GND電位22と電源電位21との間で予め設定された任意の値であり、例えば、VDDが5.0Vである場合には、VDD - Vaは4.3Vに設定されている。センサ101の回路構成は任意であるが、例えば、MOSトランジスタのゲート-ソース間のしきい値電圧Vthを利用して、当該しきい値電圧VthがVDD - Vaに設定されたMOSトランジスタを用いた構成を採用することができる。

【0020】

センサ101の出力端子は、NOR回路103の第1入力端子と、インピーダンス切り

替え回路104とに接続されている。

【0021】

NOR回路103の第2入力端子は、NMOS2のゲート電圧を検出するためのセンサ102の出力端子に接続されている。センサ102は、NMOS2のゲート電圧が所定値よりも低くなると「H」の信号を出力するよう構成されている。NOR回路103の出力端子は、NOR回路3の第2入力端子に接続されている。

【0022】

NOR回路3の出力端子は、PMOS1のゲート電圧を制御するためのゲート駆動回路107に接続されている。PMOS106のソースは、電源電位21に接続されている。PMOS106のドレインは、抵抗105の第1端に接続されている。抵抗105は、PMOS1のゲート電圧の上昇速度を緩和することにより、PMOS1が急激にオフされることを回避するために設けられている。PMOS106のゲートは、ゲート駆動回路107に接続されている。抵抗105の第2端は、接続点ND2を介して、インピーダンス切り替え回路104に接続されている。インピーダンス切り替え回路104は、ゲート駆動回路107及びGND電位22にも接続されている。接続点ND2は、PMOS1のゲートに接続されている。

【0023】

インピーダンス切り替え回路104の構成は任意であるが、例えば図2に示すように、抵抗R1及びMOSトランジスタTr1の直列接続体と、抵抗R2 (> R1) 及びMOSトランジスタTr2の直列接続体とを、接続点ND2とGND電位22との間で並列に接続し、センサ101からの出力信号によってスイッチ50を切り替える構成を採用することができる。図2において、センサ101から「H」の出力信号を受けている場合はスイッチ50の端子Sと端子Tとが接続され、センサ101から「L (Low)」の出力信号を受けている場合はスイッチ50の端子Sと端子Uとが接続される。つまり、インピーダンス切り替え回路104は、センサ101から「H」の信号を受けると、PMOS1のゲート電圧を降下させるための駆動インピーダンスを、R2から、それよりも低いR1に切り替える。なお、図2では2個のMOSトランジスタTr1, Tr2を用いる例を示したが、例えばMOSトランジスタTr2の形成を省略して、抵抗R2をMOSトランジスタTr1に接続する構成としてもよい。

【0024】

図1, 2を参照して、ゲート駆動回路107は、NOR回路3から「H」の出力信号を受けている場合には、MOSトランジスタTr1, Tr2をオンさせる。これにより、PMOS1がオンされる。一方、ゲート駆動回路107は、NOR回路3から「L」の出力信号を受けている場合には、PMOS106をオンさせる。これにより、PMOS1がオフされる。かかる機能が実現できれば、ゲート駆動回路107の構成はどのようなものであってもよい。

【0025】

センサ201の入力端子は、接続点ND1に接続されている。センサ201は、接続点ND1の電位を検出し、接続点ND1の電位がGND + Vbよりも低くなったことを検出した場合に、「L」の信号を出力する。ここで、電位Vbは、GND電位22と電源電位21との間で予め設定された任意の値であり、例えば、GNDが0Vである場合には、GND + Vbは0.7Vに設定されている。センサ201の回路構成は任意であるが、例えば、MOSトランジスタのゲート - ソース間のしきい値電圧Vthを利用して、当該しきい値電圧VthがGND + Vbに設定されたMOSトランジスタを用いた構成を採用することができる。

【0026】

センサ201の出力端子は、NAND回路203の第1入力端子と、インピーダンス切り替え回路204とに接続されている。

【0027】

NAND回路203の第2入力端子は、PMOS1のゲート電圧を検出するためのセン

10

20

30

40

50

サ 2 0 2 の出力端子に接続されている。センサ 2 0 2 は、P M O S 1 のゲート電圧が所定値よりも高くなると「L」の信号を出力するよう構成されている。N A N D 回路 2 0 3 の出力端子は、N A N D 回路 4 の第 2 入力端子に接続されている。

【 0 0 2 8 】

N A N D 回路 4 の出力端子は、N M O S 2 のゲート電圧を制御するためのゲート駆動回路 2 0 7 に接続されている。N M O S 2 0 6 のソースは、G N D 電位 2 2 に接続されている。N M O S 2 0 6 のドレインは、抵抗 2 0 5 の第 1 端に接続されている。抵抗 2 0 5 は、N M O S 2 のゲート電圧の降下速度を緩和することにより、N M O S 2 が急激にオフされることを回避するために設けられている。N M O S 2 0 6 のゲートは、ゲート駆動回路 2 0 7 に接続されている。抵抗 2 0 5 の第 2 端は、接続点 N D 3 を介して、インピーダンス切り替え回路 2 0 4 に接続されている。インピーダンス切り替え回路 2 0 4 は、ゲート駆動回路 2 0 7 及び電源電位 2 1 にも接続されている。接続点 N D 3 は、N M O S 2 のゲートに接続されている。

10

【 0 0 2 9 】

インピーダンス切り替え回路 2 0 4 の構成は任意であるが、例えば図 3 に示すように、抵抗 R 3 及び M O S トランジスタ T r 3 の直列接続体と、抵抗 R 4 ($> R 3$) 及び M O S トランジスタ T r 4 の直列接続体とを、接続点 N D 3 と電源電位 2 1 との間で並列に接続し、センサ 2 0 1 からの出力信号によってスイッチ 5 1 を切り替える構成を採用することができる。図 3 において、センサ 2 0 1 から「L」の出力信号を受けている場合はスイッチ 5 1 の端子 X と端子 Y とが接続され、センサ 2 0 1 から「H」の出力信号を受けている場合はスイッチ 5 1 の端子 X と端子 Z とが接続される。つまり、インピーダンス切り替え回路 2 0 4 は、センサ 2 0 1 から「L」の信号を受けると、N M O S 2 のゲート電圧を上昇させるための駆動インピーダンスを、R 4 から、それよりも低い R 3 に切り替える。なお、図 3 では 2 個の M O S トランジスタ T r 3 , T r 4 を用いる例を示したが、例えば M O S トランジスタ T r 4 の形成を省略して、抵抗 R 4 を M O S トランジスタ T r 3 に接続する構成としてもよい。

20

【 0 0 3 0 】

図 1 , 3 を参照して、ゲート駆動回路 2 0 7 は、N A N D 回路 4 から「L」の出力信号を受けている場合には、M O S トランジスタ T r 3 , T r 4 をオンさせる。これにより、N M O S 2 がオンされる。一方、ゲート駆動回路 2 0 7 は、N A N D 回路 4 から「H」の出力信号を受けている場合には、N M O S 2 0 6 をオンさせる。これにより、N M O S 2 がオフされる。かかる機能の実現できれば、ゲート駆動回路 2 0 7 の構成はどのようなものであってもよい。

30

【 0 0 3 1 】

以下、動作について説明する。

【 0 0 3 2 】

まず初めに、オン状態の N M O S 2 をオフさせた後に P M O S 1 をオンさせる際の動作について説明する。

【 0 0 3 3 】

P W M 等によって誘導性負荷 6 のスイッチング駆動を行った際に負荷電流が流れる経路の例は、図 4 ~ 6 で示される。図 4 は P M O S 1 がオフされ N M O S 2 がオンされている状態を、図 5 は、その後に N M O S 2 がオフされた状態を、図 6 は、さらにその後に P M O S 1 がオンされた状態を、それぞれ示している。図 4 ~ 6 に示したバイポーラトランジスタ 2 8 は、図 7 に示すように、P⁺型のドレインと N 型のバルク 6 0 と P⁻型の基板 6 1 とで構成される寄生の垂直 P N P バイポーラトランジスタである。

40

【 0 0 3 4 】

また、図 8 は、本発明を適用しない場合の出力電位（接続点 N D 1 の電位）の波形を示し、図 9 は、本発明を適用した場合の出力電位の波形を示している。

【 0 0 3 5 】

負荷電流吸引用の N M O S 2 がオフされると、誘導性負荷 6 から流れ込む負荷電流によ

50

って出力電位は上昇し始める（図8のS1点）。一般的に、出力電位のスルーレートは無制限ではない場合が多いため、NMOS2とPMOS1との動作切り替えは瞬時には行わない。

【0036】

緩やかなスルーレートを実現するための一般的な手法としては、NMOS2のゲート電圧を低下させるための駆動インピーダンス（図1に示した抵抗205）をある程度大きな値に設定しておき、NMOS2のゲート-ドレイン間のカップリング容量を積極的に利用して、NMOS2のゲート電圧の降下速度に制限をかける方法が知られている。これによって、NMOS2のオン抵抗の変化が滑らかになり、誘導性負荷6から流れ込んだ負荷電流がPMOS1とNMOS2とに一定時間分流されるため、出力電位が急激に上昇することが回避される。

10

【0037】

このとき、PMOS1及びNMOS2が同時にオン状態となることを防止すべく、NMOS2がオフされたことをNMOS2のゲート電圧の検出によって確認した後に、PMOS1のオンを許可するという回路（図1に示したセンサ102及びNOR回路3）が機能している。ところが、上記の通りNMOS2のゲート電圧の降下速度は制限されているため、センサ102によるNMOS2のオフ検出が遅れ、その結果PMOS1をオンさせる動作も遅れる。その間、誘導性負荷6から流れ込んだ負荷電流は、図5,7の矢印L1で示すように、基板61に流れ出る。図8に示した期間R2がこれに対応する期間であり、この期間R2では、上述した通り、エネルギー効率の低下、集積回路の発熱、ラッチアップといった、様々な問題が発生する。

20

【0038】

これに対して、本発明では、出力電位がVDD - Vaよりも高くなったことをセンサ101によって検出することにより、センサ102によるNMOS2のオフ検出を待たずして、PMOS1をオンさせている。具体的には、出力電位がVDD - Vaよりも高くなったことをセンサ101が検出すると、センサ101から「H」の信号がNOR回路103の第1入力端子に入力され、NOR回路103から「L」の信号がNOR回路3の第2入力端子に入力され、NOR回路3から「H」の信号がゲート駆動回路107に入力される。これにより、図2に示したMOSTランジスタTr1, Tr2がオンされて、その結果PMOS1もオンされる。

30

【0039】

従って、図8と図9とを比較すると明らかなように、本発明を適用した場合（図9）は、適用しない場合（図8）に比べて期間R2の長さが短くなるため、所望のスルーレートを確保しつつもデッドタイムが短縮化され、エネルギー効率の低下、集積回路の発熱、ラッチアップといった様々な問題の発生を抑制することができる。

【0040】

また、図2を参照して、出力電位がVDD - Vaよりも高くなったことをセンサ101が検出すると、センサ101から「H」の出力信号を受け取ったインピーダンス切り替え回路104は、PMOS1のゲート電圧を低下させるための駆動インピーダンスを、R2から、それよりも低いR1に切り替える。その結果、PMOS1をより早期にオンさせることができ、上記の様々な問題の発生を効果的に抑制することができる。

40

【0041】

次に、オン状態のPMOS1をオフさせた後にNMOS2をオンさせる際の動作について説明する。

【0042】

負荷電流が流れる経路の例は、図10~12で示される。図10はNMOS2がオフされPMOS1がオンされている状態を、図11は、その後にPMOS1がオフされた状態を、図12は、さらにその後にNMOS2がオンされた状態を、それぞれ示している。図10~12に示したバイポーラトランジスタ29は、図13に示すように、N+型のドレインと、P型のバルク62と、バルク62に隣接するN型のウェル63とで構成される寄

50

生のNPNバイポーラトランジスタである。

【0043】

また、図14は、本発明を適用しない場合の出力電位（接続点ND1の電位）の波形を示し、図15は、本発明を適用した場合の出力電位の波形を示している。

【0044】

負荷電流供給用のPMOS1がオフされると、接続点ND1から誘導性負荷6に流れ出る負荷電流によって出力電位は低下し始める（図14のS2点）。一般的に、出力電位のスルーレートは無制限ではない場合が多いため、PMOS1とNMOS2との動作切り替えは瞬時には行わない。

【0045】

緩やかなスルーレートを実現するための一般的な手法としては、PMOS1のゲート電圧を上昇させるための駆動インピーダンス（図1に示した抵抗105）をある程度大きな値に設定しておき、PMOS1のゲート-ドレイン間のカップリング容量を積極的に利用して、PMOS1のゲート電圧の上昇速度に制限をかける方法が知られている。これによって、PMOS1のオン抵抗の変化が滑らかになり、誘導性負荷6に流れ出る負荷電流がPMOS1とNMOS2とに一定時間分担されるため、出力電位が急激に低下することが回避される。

【0046】

このとき、PMOS1及びNMOS2が同時にオン状態となることを防止すべく、PMOS1がオフされたことをPMOS1のゲート電圧の検出によって確認した後に、NMOS2のオンを許可するという回路（図1に示したセンサ202及びNAND回路4）が機能している。ところが、上記の通りPMOS1のゲート電圧の上昇速度は制限されているため、センサ202によるPMOS1のオフ検出が遅れ、その結果NMOS2をオンさせる動作も遅れる。その間、誘導性負荷6に流れ出る負荷電流は、図11, 13の矢印L2で示すように、ウェル63から吸引される。図14に示した期間R2がこれに対応する期間であり、この期間R2では、上述した通り、エネルギー効率の低下、集積回路の発熱、NMOS2の周辺の回路の誤動作といった、様々な問題が発生する。

【0047】

これに対して、本発明では、出力電位がGND+Vbよりも低くなったことをセンサ201によって検出することにより、センサ202によるPMOS1のオフ検出を待たずして、NMOS2をオンさせている。具体的には、出力電位がGND+Vbよりも低くなったことをセンサ201が検出すると、センサ201から「L」の信号がNAND回路203の第1入力端子に入力され、NAND回路203から「H」の信号がNAND回路4の第2入力端子に入力され、NAND回路4から「L」の信号がゲート駆動回路207に入力される。これにより、図3に示したMOSトランジスタTr3, Tr4がオンされて、その結果NMOS2もオンされる。

【0048】

従って、図14と図15とを比較すると明らかなように、本発明を適用した場合（図15）は、適用しない場合（図14）に比べて期間R2の長さが短くなるため、所望のスルーレートを確保しつつもデッドタイムが短縮化され、エネルギー効率の低下、集積回路の発熱、NMOS2の周辺の回路の誤動作といった様々な問題の発生を抑制することができる。

【0049】

また、図3を参照して、出力電位がGND+Vbよりも低くなったことをセンサ201が検出すると、センサ201から「L」の出力信号を受け取ったインピーダンス切り替え回路204は、NMOS2のゲート電圧を上昇させるための駆動インピーダンスを、R4から、それよりも低いR3に切り替える。その結果、NMOS2をより早期にオンさせることができ、上記の様々な問題の発生を効果的に抑制することができる。

【0050】

なお、負荷電流が小さい場合又は無負荷の場合には、負荷電流による出力電位の上昇又

10

20

30

40

50

は降下の影響は無視できるため、センサ101, 201による機構は動作せず、センサ102, 202による機構と同様な動作となる。

【0051】

図16, 17は、図1に示したスイッチング制御回路の部分回路をそれぞれ示す回路図である。図16に示した部分回路は、PMOS1の駆動回路に関する部分のみの回路であり、図17に示した部分回路は、NMOS2の駆動回路に関する部分のみの回路である。図16, 17に示した部分回路では、図1に示したセンサ102, 202による機構は省略されている。また、図1に示したNOR回路103及びNAND回路203が、それぞれインバータ回路103a, 203aに置き換えられている。

【0052】

図16を参照して、出力電位が $V_{DD} - V_a$ よりも高くなったことをセンサ101が検出すると、センサ101から「H」の信号がインバータ回路103aの入力端子に入力され、インバータ回路103aから「L」の信号がNOR回路3の第2入力端子に入力され、NOR回路3から「H」の信号がゲート駆動回路107に入力される。これにより、図2に示したMOSトランジスタ T_{r1} , T_{r2} がオンされて、その結果PMOS1がオンされる。図16に示した部分回路によっても、PMOS1の駆動に関しては、図1に示したスイッチング制御回路と同様の効果を得ることができる。

【0053】

図17を参照して、出力電位が $GND + V_b$ よりも低くなったことをセンサ201が検出すると、センサ201から「L」の信号がインバータ回路203aの入力端子に入力され、インバータ回路203aから「H」の信号がNAND回路4の第2入力端子に入力され、NAND回路4から「L」の信号がゲート駆動回路207に入力される。これにより、図3に示したMOSトランジスタ T_{r3} , T_{r4} がオンされて、その結果NMOS2がオンされる。図17に示した部分回路によっても、NMOS2の駆動に関しては、図1に示したスイッチング制御回路と同様の効果を得ることができる。

【図面の簡単な説明】

【0054】

【図1】本発明の実施の形態に係るスイッチング制御回路の構成を示す回路図である。

【図2】インピーダンス切り替え回路の構成を示す回路図である。

【図3】インピーダンス切り替え回路の構成を示す回路図である。

【図4】負荷電流が流れる経路の例を示す回路図である。

【図5】負荷電流が流れる経路の例を示す回路図である。

【図6】負荷電流が流れる経路の例を示す回路図である。

【図7】PMOSの構造を示す断面図である。

【図8】本発明を適用しない場合の出力電位の波形を示す図である。

【図9】本発明を適用した場合の出力電位の波形を示す図である。

【図10】負荷電流が流れる経路の例を示す回路図である。

【図11】負荷電流が流れる経路の例を示す回路図である。

【図12】負荷電流が流れる経路の例を示す回路図である。

【図13】NMOSの構造を示す断面図である。

【図14】本発明を適用しない場合の出力電位の波形を示す図である。

【図15】本発明を適用した場合の出力電位の波形を示す図である。

【図16】図1に示したスイッチング制御回路の部分回路を示す回路図である。

【図17】図1に示したスイッチング制御回路の部分回路を示す回路図である。

【符号の説明】

【0055】

1 PMOS、2 NMOS、3 NOR回路、4 NAND回路、6 誘導性負荷、
101, 102 センサ、104, 204 インピーダンス切り替え回路、107, 108
ゲート駆動回路。

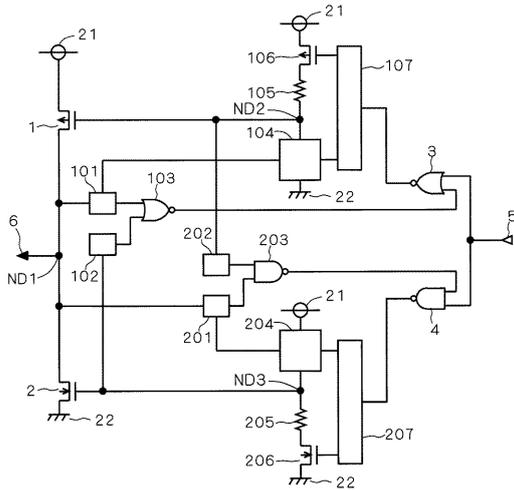
10

20

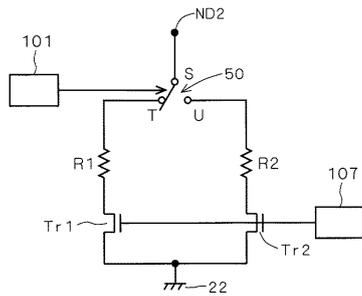
30

40

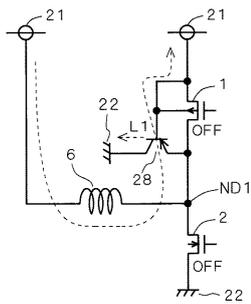
【図1】



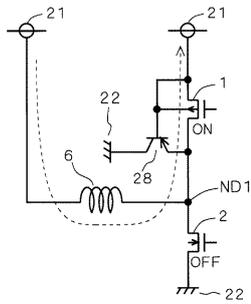
【図2】



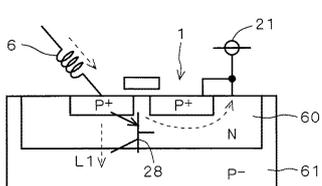
【図5】



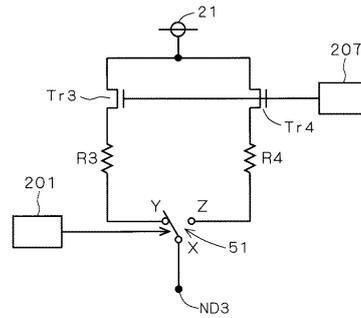
【図6】



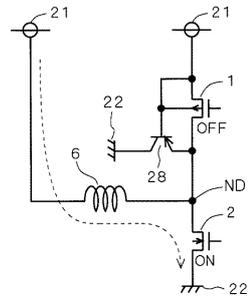
【図7】



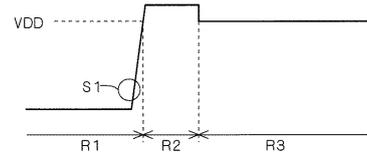
【図3】



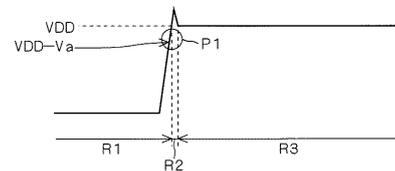
【図4】



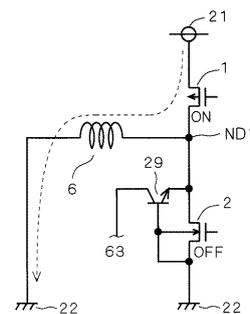
【図8】



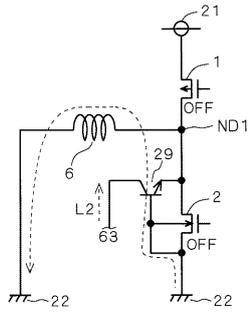
【図9】



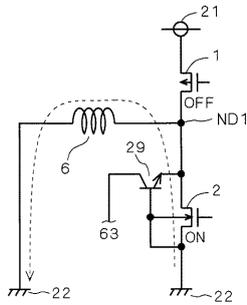
【図10】



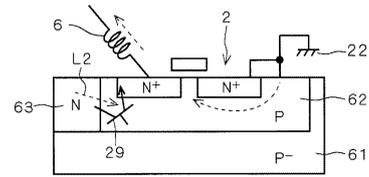
【図 1 1】



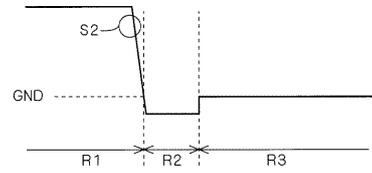
【図 1 2】



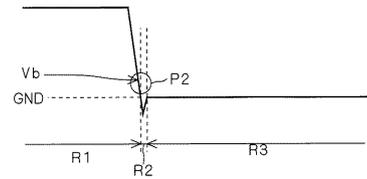
【図 1 3】



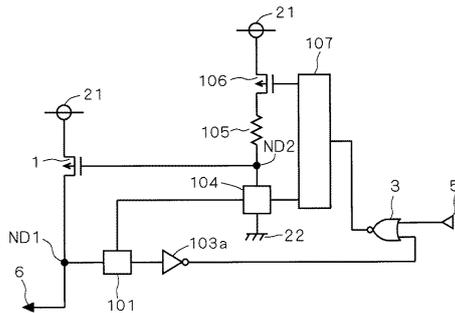
【図 1 4】



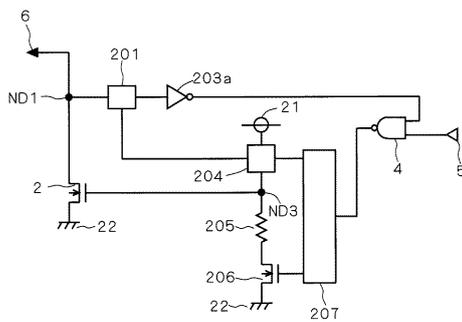
【図 1 5】



【図 1 6】



【図 1 7】



フロントページの続き

(56)参考文献 特開2004-056983(JP,A)
特開2004-056982(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/695

H02M 1/08

H03K 17/16