



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I455261 B

(45) 公告日：中華民國 103 (2014) 年 10 月 01 日

(21) 申請案號：100108994

(22) 申請日：中華民國 100 (2011) 年 03 月 16 日

(51) Int. Cl. : **H01L23/31 (2006.01)**(71) 申請人：華東科技股份有限公司 (中華民國) WALTON ADVANCED ENGINEERING INC.
(TW)

高雄市高雄加工出口區北一路 18 號

(72) 發明人：李國源 LEE, KUO YUAN (TW)；陳永祥 CHEN, YUNG HSIANG (TW)；邱文俊
CHIU, WEN CHUN (TW)

(74) 代理人：許慶祥

(56) 參考文獻：

TW 200636850

TW 200830502

TW 200921813

TW 201032307

US 5776798

US 5817569

審查人員：張添智

申請專利範圍項數：10 項 圖式數：25 共 0 頁

(54) 名稱

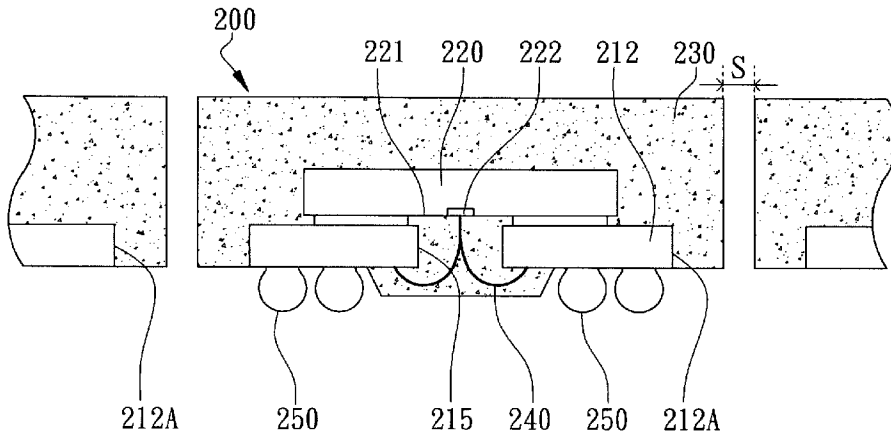
包覆基板側邊之模封陣列處理方法

METHOD FOR MOLD ARRAY PROCESS TO ENCAPSULATE SUBSTRATE SIDES

(57) 摘要

揭示一種包覆基板側邊之模封陣列處理方法。基板條之複數個基板單元排列成一矩陣。在相鄰基板單元間與矩陣周邊係各定義有一切割道，並沿著切割道形成有一寬度大於對應切割道之預切槽孔。模封形成一封膠體於基板條上，以連續地覆蓋基板單元與切割道，更使封膠體填入至預切槽孔內，以更覆蓋基板單元之側邊。在單體化分離為個別的半導體封裝構造時，在切割後基板單元側邊仍被封膠體所包覆。因此，可解決習知模封陣列處理時基板單元之電鍍線路外露，進而提升半導體封裝構造的耐濕性。

Disclosed is a method for mold array process to encapsulate substrate sides. A plurality of substrate units in a substrate strip are arranged in an array. There is a cutting line defined between the substrate units and on the periphery of the array. A pre-cutting slot is formed along the cutting line with a width greater than the corresponding cutting line. An encapsulant is formed on the substrate strip to continuously cover the substrate units and the cutting lines and further to fill in the pre-cutting slot so that the sides of the substrate units are encapsulated. After the singulation step to form individual semiconductor packages, the cut sides of the substrate units are still encapsulated by the encapsulant. There can be solved the exposed issue of plating circuits in the substrate units to promote the moisture resistance of the semiconductor package.



第 4F 圖

- S . . . 封膠體切割移除之間隙寬度
- 200 . . . 半導體封裝構造
- 212 . . . 基板單元
- 212A . . . 側邊
- 215 . . . 中央槽孔
- 220 . . . 晶片
- 221 . . . 主動面
- 222 . . . 電極
- 230 . . . 封膠體
- 240 . . . 鐳線
- 250 . . . 鐳球

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100108994

※申請日：100-7-16

※IPC 分類：H01L 23/31 (2006.01)

一、發明名稱：(中文/英文)

包覆基板側邊之模封陣列處理方法

METHOD FOR MOLD ARRAY PROCESS TO ENCAPSULATE SUBSTRATE SIDES

二、中文發明摘要：

揭示一種包覆基板側邊之模封陣列處理方法。基板條之複數個基板單元排列成一矩陣。在相鄰基板單元間與矩陣周邊係各定義有一切割道，並沿著切割道形成有一寬度大於對應切割道之預切槽孔。模封形成一封膠體於基板條上，以連續地覆蓋基板單元與切割道，更使封膠體填入至預切槽孔內，以更覆蓋基板單元之側邊。在單體化分離為個別的半導體封裝構造時，在切割後基板單元側邊仍被封膠體所包覆。因此，可解決習知模封陣列處理時基板單元之電鍍線路外露，進而提升半導體封裝構造的耐濕性。

三、英文發明摘要：

Disclosed is a method for mold array process to encapsulate substrate sides. A plurality of substrate units in a substrate strip are arranged in an array. There is a cutting line defined between the substrate units and on the periphery of the array. A pre-cutting slot is formed along the cutting line with a width greater than the corresponding cutting line. An encapsulant is formed on the substrate strip to continuously cover the substrate units and the cutting lines and further to fill in the pre-cutting slot so that the sides of the substrate units are encapsulated. After the

singulation step to form individual semiconductor packages, the cut sides of the substrate units are still encapsulated by the encapsulant. There can be solved the exposed issue of plating circuits in the substrate units to promote the moisture resistance of the semiconductor package.

四、指定代表圖：

(一)本案指定代表圖為：第 (4F) 圖。

(二)本代表圖之元件符號簡單說明：

S 封膠體切割移除之間隙寬度

200 半導體封裝構造

212 基板單元

212A 側邊

215 中央槽孔

220 晶片

221 主動面

222 電極

230 封膠體

240 鐳線

250 鐳球

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體裝置之封裝製造技術，特別係有關於一種包覆基板側邊之模封陣列處理方法。

【先前技術】

傳統在半導體封裝技術中基於成本考量與量產需求普遍採用模封陣列處理(Mold Array Process, MAP)製程。以一基板條(substrate strip)作為多個晶片之載體，基板條包含有複數個排列成一矩陣之基板單元，在經過設置晶片、電性連接等半導體封裝作業後，一形成面積大於矩陣之模封膠體係連續覆蓋基板單元及基板單元之間的切割道，再沿著切割道進行單體化切割，便可製得複數個半導體封裝構造。

第 1 圖為一種利用模封陣列處理製得之習知窗口球格陣列型態之半導體封裝構造，第 2 圖為模封陣列處理中所使用之基板條。如第 1 圖所示，習知半導體封裝構造 100 係主要包含一基板單元 113、一晶片 120、一封膠體 130。該晶片 120 係設置於該基板單元 113 之上表面 111。如為窗口球格陣列型態時，該基板單元 113 更具有貫穿上表面 111 與下表面 112 之中央槽孔 117，並且位於該晶片 120 之主動面 121 之複數個電極 122 係對準於該中央槽孔 117 內。該晶片 120 係常見地藉由複數個打線形成之鐸線 150 通過該中央槽孔 117 電性連接該些電極 122 至該基板單元 113。而該封膠體 130 係形成於

該基板單元 113 之該上表面 111 上與該中央槽孔 117 內，以密封該晶片 120 與該些鐳線 150，並且該基板單元 113 之該下表面 112 係可設有複數個鐳球 160，以作為該半導體封裝構造 100 對外電性連接之端子。然而依目前習知模封陣列處理技術，該封膠體 130 係無法覆蓋至該基板單元 113 之側邊 116，不可避免地造成該基板單元 113 內部的核心層與金屬線路外露，使得水氣容易入侵到封裝內部，導致產品可靠度不佳。

如第 2 圖所示，上述的基板單元 113 在習知模封陣列處理過程中係為多個一體形成並呈矩陣排列在一習知基板條 110 內。在相鄰基板單元 113 之間與周邊係定義有複數個縱橫交錯的切割道 114。配合參閱第 1 圖，在黏晶與電性連接之後，上述的封膠體 130 為模封形成並連續地覆蓋在該些基板單元 113 與該些切割道 114 上。而在每一基板單元 113 之間的切割道 114 在製程後段必須被移除，以達到單體化分離，故基板條 110 之切割道 114 部位與在該些切割道 114 上的封膠體不會存在於最終的封裝產品內。當依據該些切割道 114 切離該基板單元 113 時，會同時切穿該封膠體 130 與該基板條 110，使得該基板單元 113 具有切齊於該封膠體 130 被切側面之顯露側邊 116，即該基板單元 113 之側邊 116 無法被該封膠體 130 保護。因此，在單體化分離之後，該基板單元 113 之側邊 116 的電鍍線路與核心層會呈現外露狀態，導致耐濕性較差，且易受到外界異物之干擾。此外，在單體

化分離過程中切割工具容易拉扯或是破壞到位於該基板單元 113 的周邊線路，而造成後續的不良影響。

【發明內容】

有鑒於此，本發明之主要目的係在於提供一種包覆基板側邊之模封陣列處理方法，利用基板條具有特定預切槽孔之型態，解決習知模封陣列處理方法中基板側邊外露的問題，可避免在單體化分離過程中切割到基板單元內部之線路，並防止基板單元之電鍍線路外露，進而提升半導體封裝構造的耐濕性。

本發明的目的及解決其技術問題是採用以下技術方案來實現的。本發明揭示一種包覆基板側邊之模封陣列處理方法，包含：提供一基板條，係具有複數個排列成一 N 乘以 M 矩陣之基板單元，每一基板單元的尺寸係對應於一半導體封裝構造，在相鄰基板單元之間與該矩陣之周邊係各定義有一切割道，並且在相鄰基板單元之間與該矩陣之周邊係形成有一寬度大於對應切割道之預切槽孔，使該些基板單元之側邊呈內凹地顯露於該些預切槽孔內。設置複數個晶片至該些基板單元上。電性連接該些晶片至對應之該些基板單元。模封形成一封膠體於該基板條上，以連續地覆蓋在該矩陣內之該些基板單元以及該些切割道，使該封膠體填入至該些預切槽孔內，以更覆蓋該些基板單元之側邊。以切割方式移除在該些切割道處之該封膠體，以單體化分離該些基板單元為個別的半導體封裝構造，並且在切割後該些基板單元之側

邊係仍被該封膠體所包覆。

本發明的目的及解決其技術問題還可採用以下技術措施進一步實現。

在前述的模封陣列處理方法中，該基板條在每一基板單元內可另形成有一中央槽孔，在設置該些晶片之步驟中，該些晶片之主動面係貼附至該基板條，並且該些晶片之複數個電極係顯露在該中央槽孔內。

在前述的模封陣列處理方法中，所述的電性連接該些晶片與該些基板單元之步驟係可包含以打線方式形成複數個鐸線，該些鐸線係經由該些中央槽孔連接該些晶片與該些基板單元。

在前述的模封陣列處理方法中，所述的電性連接該些晶片與該些基板單元之步驟係可包含以該基板條之複數個內引線通過該些中央槽孔接合至該些晶片之複數個電極。

在前述的模封陣列處理方法中，在所述的模封形成步驟之前，可另包含之步驟為：貼附一保護膠帶於該基板條之下表面。

在前述的模封陣列處理方法中，該基板條在該些基板單元的角隅係可形成有一十字連接條，以對角線方式連接該些基板單元，並使該些預切槽孔不相互連通。

在前述的模封陣列處理方法中，在所述的模封形成步驟之後與在所述的單體化分離步驟之前，可另包含之步驟為：形成複數個鐸球於該些基板單元之下表面。

在前述的模封陣列處理方法中，該封膠體所切割移除之間隙寬度係可相同於該些切割道之寬度。

由以上技術方案可以看出，本發明之包覆基板側邊之模封陣列處理方法，具有以下優點與功效：

- 一、可藉由在相鄰基板單元之間與矩陣之周邊形成寬度大於對應切割道之預切槽孔作為其中之一技術手段，由於封膠體係填入預切槽孔內，而更覆蓋基板單元之側邊，並且在切割後基板單元之側邊仍被封膠體所包覆。因此，在單體化分離步驟時，只會切穿封裝材料，不會切到基板結構，解決習知模封陣列處理方法中基板側邊外露的問題，可避免基板單元周邊之金屬線路與核心層外露，進而使封裝產品達到抗氧化、抗濕氣及對抗其它環境侵害的作用，並提升半導體封裝產品的耐用度。
- 二、可藉由 MAP 製程中封膠體填入寬度大於對應切割道之預切槽孔作為本發明之其中一技術手段，在模封陣列處理之單體化分離步驟中不會切到基板結構，避免單體化分離步驟的厚切割應力作用於基板而造成內部線路變形或位移。

【實施方式】

以下將配合所附圖示詳細說明本發明之實施例，然應注意的是，該些圖示均為簡化之示意圖，僅以示意方法來說明本發明之基本架構或實施方法，故僅顯示與本案有關之元件與組合關係，圖中所顯示之元件並非以實際

實施之數目、形狀、尺寸做等比例繪製，某些尺寸比例與其他相關尺寸比例或已誇張或是簡化處理，以提供更清楚的描述。實際實施之數目、形狀及尺寸比例為一種選置性之設計，詳細之元件佈局可能更為複雜。

依據本發明之第一具體實施例，一種包覆基板側邊之模封陣列處理方法舉例說明於第 3 圖繪示其所製成的半導體封裝構造之截面示意圖、第 4A 至 4F 圖之各步驟中元件截面示意圖以及第 5 圖繪示其基板條之局部上視圖。詳細說明如下。

首先，請參閱第 4A 與 5 圖所示，提供一基板條 210，係具有複數個基板單元 212，其係在製程中為該基板條 210 內部之一體連接部分並在製程後為保留於半導體封裝構造內的基板部位，用以承載與電性連接晶片。其中該些基板單元 212 係排列成一 N 乘以 M 之矩陣 211。如第 5 圖所示， N 為 2， M 為 3，由多個基板單元構成 2×3 矩陣型態，僅是為了便於理解而減少 N 與 M 的數目。在一實際產品中， N 可為 5，而 M 可為 8，以構成 5×8 矩陣型態，其中 N 與 M 值的選擇係可適當的調整，以符合不同種類之自動組裝設備的要求。詳細而言，通常該基板條 210 係為一印刷電路板並設有單面或雙面電性導通之金屬線路。該基板條 210 亦可為一軟性電路薄膜或陶瓷電路板。該基板條 210 的核心層材料係可選用高分子樹脂材料，例如：FR-4 環氧樹脂 (FR-4 epoxy)。或者，為了適合特殊應用需求，亦可選用其它高性能的樹脂材

料，例如：聚亞醯胺 (PI) 樹脂、三氮雜苯雙馬來醯亞胺 (BT) 樹脂。此外，當適用於窗口球柵陣列封裝類型，該基板條 210 在每一基板單元 212 內可另形成有一中央槽孔 215，其係對準在該些基板單元 212 之中央部位，並且該些中央槽孔 215 係由該基板條 210 之上表面 216 貫穿至下表面 217，用以作為打線連接之通道，以適用於窗口型球格陣列封裝。此外，在相鄰基板單元 212 之間與該矩陣 211 之周邊係各定義有一切割道 213。如第 3 與 5 圖所示，該矩陣 211 之每一基板單元 212 的尺寸係具體界定為對應於一半導體封裝構造 200，即第 4A 圖與第 5 圖之基板單元 212 在兩平行切割道 213 之間之一寬度係相同於第 3 圖半導體封裝構造 200 之同一截面方向之寬度。並且，在相鄰基板單元 212 之間與該矩陣 211 之周邊係形成有一寬度大於對應切割道 213 之預切槽孔 214，使該些基板單元 212 之側邊 212A 呈內凹地顯露於該些預切槽孔 214 內。也就是說，在一完整且未切割的基板條 210 中，該些預切槽孔 214 之兩側係作為相鄰的基板單元 212 的側邊 212A。在一較佳型態中，該些預切槽孔 214 之寬度係為該些切割道 213 之寬度的 1.2 至 2 倍，可與該些中央槽孔 215 在同一成孔步驟中形成。較佳地，該基板條 210 在該些基板單元 212 的角隅係可形成有一十字連接條 218，以對角線方式連接該些基板單元 212，並使該些預切槽孔 214 不相互連通。所稱之「對角線方式連接」係指每一十字連接條 218 之十字端部連

接於該些基板單元 212 之角隅並對準該些基板單元 212 之對角線，使得該些十字連接條 218 能夠以最小連接面積的方式連接相鄰的基板單元。

接著，請參閱第 4B 圖所示，設置複數個晶片 220 至該些基板單元 212 上，例如可以利用既有的黏晶操作達成。詳細而言，該些晶片 220 係可為形成有積體電路 (integrated circuit, IC) 之半導體元件，例如：記憶體晶片、邏輯晶片及特殊應用晶片等等，可由一晶圓分割而成。該些晶片 220 之主動面 221 係可具有複數個電極 222，作為該些晶片 220 傳輸內部訊號至外界的端點。通常該些電極 222 係為鋁或銅材質之鐳墊，或可為突出於該些主動面 221 之導電凸塊。該些電極 222 係可設置於該些晶片 220 之該些主動面 221 之單一側邊、兩對應側邊、四周側邊或是中央位置。通常該些晶片 220 係設置於對應基板單元 212 內的中央位置。在本實施例中，每一基板單元上 212 皆設有一晶片 220，但不受限定地，亦可應用至多晶片堆疊之封裝，在每一基板單元 212 上可疊設複數個晶片。在本實施例中，在設置該些晶片 220 之步驟中，該些晶片 220 之主動面 221 係貼附至該基板條 210，並且該些晶片 220 之該些電極 222 係顯露在該中央槽孔 215 內。在一較佳型態中，每一晶片 220 與對應之基板單元 212 之間係可設有一黏晶材料 223，用以接合該些晶片 220 與該些基板單元 212。一般而言，該黏晶材料 223 係可預先塗佈於該基板條 210 之上表面

216，或者是預先形成於該些晶片 220 之主動面 221，但不覆蓋位於該主動面 221 中央之該些電極 222。該黏晶材料 223 係可為一雙面 PI 膠帶、液態環氧膠、預型片、B 階黏膠 (B-stage adhesive) 或是晶片貼附物質 (Die Attach Material, DAM)，以黏接該些晶片 220 至該些基板單元 212 上。

請參閱第 4C 圖所示，電性連接該些晶片 220 至對應之該些基板單元 212。在本實施例中，所述的電性連接該些晶片 220 與該些基板單元 212 之步驟係可包含以打線方式形成複數個鉚線 240，該些鉚線 240 係經由該些中央槽孔 215 連接該些晶片 220 與該些基板單元 212 內部線路之接指。其中，由於該些鉚線 240 之一部分係可隱藏於該些中央槽孔 215 之內，使得該些鉚線 240 之打線線弧突出於該基板條 210 之下表面 217 的高度降低，進而減少了整體封裝厚度。該些鉚線 240 係可利用打線製程所形成之金屬細線，其材質可為金、或是採用類似的高導電性的金屬材料(例如銅或鋁)，可利用該些鉚線 240 係作為該些晶片 220 至該些基板單元 212 之間的訊號傳遞與接地/電源的連接。然不受限地，該些晶片 220 除了可以打線電性連接之外，亦可以覆晶接合 (flip chip bonding)、引腳接合 (lead bond) 或是其它已知電性連接方式完成該些晶片 220 與該些基板單元 212 之電性互連。

之後，請參閱第 4D 圖所示，模封形成一封膠體 230 於該基板條 210 上，以連續地覆蓋在該矩陣 211 內之該

些基板單元 212 以及該些切割道 213，使該封膠體 230 填入至該些預切槽孔 214 內，以更覆蓋該些基板單元 212 之側邊 212A。請配合參酌第 5 圖所示，位於該基板條 210 內的斜線部位即為模封區域，相當或大於該矩陣 211，在模封過程中呈現流動態之封膠體 230 會主動地填滿於該些預切槽孔 214 內，直到完全包覆該些基板單元 212 之側邊 212A。此外，該封膠體 230 係可更填入至該些中央槽孔 215 內，而經由該些中央槽孔 215 突出於該基板條 210 之下表面 217 且包覆該些鐳線 240，進而保護該些鐳線 240 不會受到外界的干擾與損害。但不受限定地，該些晶片 220 亦可為裸晶型態而顯露出該些晶片 220 之背面以利散熱。具體而言，該封膠體 230 係可為一環氧模封化合物 (epoxy molding compound, EMC)，通常具有絕緣性與熱固性。該封膠體 230 係能以轉移成型 (transfer molding) 或稱壓模的技術加以形成，或者該封膠體 230 亦可使用其他已知的模封製程形成，例如壓縮模封、使用一模具之印刷或噴塗等等。

請參閱第 4E 圖所示，在所述的模封形成步驟之後與在所述的單體化分離步驟之前，可另形成複數個鐳球 250 於該些基板單元 212 之下表面 217，以作為半導體封裝構造對外電性連接之通道。在一較佳實施例中，該些鐳球 250 之材質係可為錫膏或其它適當的無鉛材料。該些鐳球 250 係可呈柵狀陣列排列，使相同單位面積之基板單元 212 可以容納更多輸入 / 輸出連接端 (I/O

Connection)以符合高度集積化(Integration)之半導體晶片所需。然而不受限定地，在不同的實施例中，該些錫球 250 亦可替換為錫膏、接觸墊或接觸針。

請參閱第 4F 圖所示，以切割方式移除在該些切割道 213 處之該封膠體 230，以單體化分離該些基板單元 212 為個別的半導體封裝構造 200，由於該些預切槽孔 214 之寬度係大於該些切割道 213，故可避免在單體化分離過程中直接切割到該些基板單元 212，並且在切割後該些基板單元 212 之側邊 212A 係仍被該封膠體 230 所包覆。在已完成封裝之該些基板單元 212 由該基板條 210 單體化分離之後，即可得到個別的半導體封裝構造 200(如第 3 圖所示)。請配合參酌第 4E 與 4F 圖所示，該封膠體 230 所切割移除之間隙寬度 S 係可相同於該些切割道 213 之寬度 W ，所以在該封膠體 230 切割之後，仍可使該封膠體 230 包覆於該些基板單元 212 之側邊 212A。在模封陣列處理之單體化分離步驟中不會切到基板結構，避免單體化分離步驟的厚切割應力作用於該基板條 210 而造成內部線路變形或位移。

在本發明中，可藉由在相鄰之該些基板單元 212 之間與該矩陣 211 之周邊形成寬度大於對應該些切割道 213 之預切槽孔 214 作為其中之一技術手段，由於該封膠體 230 係填入該些預切槽孔 214 內，而更覆蓋該些基板單元 212 之側邊 212A，並且該些預切槽孔 214 之寬度係大於該些切割道 213 之寬度，故當切割刀具依據該些切割

道 213 切穿該封膠體 230 時，可避免切割刀具直接切割到該些基板單元 212 內部之線路。此外，由於在切割後該些基板單元 212 之側邊 212A 仍被該封膠體 230 所包覆，故解決習知模封陣列處理製程中基板側邊外露的問題，能防止該些基板單元 212 內部的電鍍線路與核心層外露，進而提升半導體封裝構造的耐濕性。

依據本發明之第二具體實施例，另一種包覆基板側邊之模封陣列處理方法舉例說明於第 6A 至 6H 圖各步驟中元件之截面示意圖，用以說明本發明可適用於不同封裝類型，其中主要元件與第一實施例相同者以相同符號標示並不再詳予贅述。

請參閱第 6A 圖所示，提供一基板條 210，係具有複數個排列成一 N 乘以 M 矩陣 211 之基板單元 212。在本實施例中，除了內部線路結構，該基板條 210 係可另具有複數個內引線 319，並顯露於該些基板單元 212 之中央槽孔 215 內。該些內引線 319 係可為該基板條 210 內部金屬線路層之延伸部份或由外附加的懸空內引線 (lead)，通常係為表面有電鍍層之銅線，可利用蝕刻銅箔等的金屬箔或導電箔再經電鍍而形成，故具有可撓曲性。在未電性連接之前，該些內引線 319 係可通過上述之該些中央槽孔 215 而為騰空。

請參閱第 6B 圖所示，設置複數個晶片 220 至該些基板單元 212 上，並使該些晶片 220 之主動面 221 朝向該基板條 210 之上表面 216，其中該些晶片 220 之複數個

電極 222 係對準於對應之基板單元 212 之中央槽孔 215。

請參閱第 6C 圖所示，藉由該基板條 210 之該些內引線 319 通過該些中央槽孔 215 接合至該些晶片 220 之該些電極 222，所以不會有打線線弧突出於該基板條 210 之下表面 217，更加降低了整體的封裝厚度。可利用內引腳壓合治具 (ILB bonding head) 打斷該些內引線 319 的預斷點並使該些內引線 319 壓合接觸至該些晶片 220 之該些電極 222，而與該些晶片 220 達到訊號溝通之電性連接。

請參閱第 6D 圖所示，較佳地可貼附一保護膠帶 360 於該基板條 210 之下表面 217，並緊密地封住該些中央槽孔 215 與該些預切槽孔 214 之下方開口，以避免在後續模封形成步驟中發生封膠體由該些中央槽孔 215 與該些預切槽孔 214 溢流至基板條下表面之情況。

請參閱第 6E 圖所示，模封形成一封膠體 230 於該基板條 210 上，以密封該些晶片 220。該封膠體 230 係填入至該些中央槽孔 215 與該些預切槽孔 214 內，並包覆該些基板單元 212 之側邊 212A。在模封形成步驟之後，如第 6F 圖所示，由該基板條 210 之下表面 217 移除該保護膠帶 360。

請參閱第 6G 圖所示，形成複數個錫球 250 於該些基板單元 212 之下表面 217。之後，如第 6H 圖所示，單體化分離該基板條 210 之該些基板單元 212，進而形成為個別的半導體封裝構造 300。

依據本發明之第三具體實施例，另一種包覆基板側邊之模封陣列處理方法舉例說明於第 7A 至 7G 圖各步驟中之元件截面示意圖，用以說明預切槽孔非必要形成於基板條提供步驟，其中主要元件與第一實施例相同者以相同符號標示並不再詳予贅述。

請參閱第 7A 圖所示，提供一基板條 210，係具有複數個排列成一 N 乘以 M 矩陣 211 之基板單元 212。請參閱第 7B 圖所示，設置複數個晶片 220 至該些基板單元 212，並使該些晶片 220 電性連接至該些基板單元 212。請參閱第 7C 圖所示，可貼附一切割膠帶 470 於該基板條 210 之下表面 217，用以承載該基板條 210，並作為後續切割承載之用。

請參閱第 7D 圖所示，形成該些預切槽孔 214 於該基板條 210。在本實施例中，可藉由切割刀具沿著該些切割道 213 切割形成該些預切槽孔 214 於該些基板單元 212 之周邊，並且由於該基板條 210 之下表面 217 設置有該切割膠帶 470，在形成該些預切槽孔 214 而切穿該基板條 210 之後，仍可保持該些基板單元 212 在該切割膠帶 470 上的固定位置而不散離，故使得該些預切槽孔 214 係可相互連通。

請參閱 7E 圖所示，模封形成一封膠體 230 於該基板條 210 上，以連續地覆蓋在該矩陣 211 內之該些基板單元 212 與在該些基板單元 212 之間之該些預切槽孔 214，以密封該些晶片 220。在模封形成步驟中，該封膠

體 230 係填入至該些預切槽孔 214 內，以更覆蓋該些基板單元 212 之側邊 212A。

請參閱第 7F 圖所示，以切割方式移除在該些切割道 213 處之該封膠體 230，以單體化分離該些基板單元 212 為個別的半導體封裝構造 400，並且在切割後該些基板單元 212 之側邊 212A 係仍被該封膠體 230 所包覆。在單體化分離過程中，所使用之刀具並不會切穿該切割膠帶 470，以確保該切割膠帶 470 在切割後能發揮承載該些基板單元 212 之作用。之後，如第 7F 與 7G 圖所示，移除該切割膠帶 470 之後，即可得到個別的半導體封裝構造 400。由於每一半導體封裝構造 400 皆個別獨立地黏貼於該切割膠帶 470 上，故可輕易地由該切割膠帶 470 上剝離該半導體封裝構造 400。

以上所述，僅是本發明的較佳實施例而已，並非對本發明作任何形式上的限制，雖然本發明已以較佳實施例揭露如上，然而並非用以限定本發明，任何熟悉本項技術者，在不脫離本發明之技術範圍內，所作的任何簡單修改、等效性變化與修飾，均仍屬於本發明的技術範圍內。

【圖式簡單說明】

第 1 圖：一種以習知模封陣列處理製造之半導體封裝構造之截面示意圖。

第 2 圖：一種基板條之局部俯視示意圖。

第 3 圖：依據本發明之第一具體實施例的一種包覆基板

側邊之模封陣列處理方法所製成之半導體封裝構造之截面示意圖。

第 4A 至 4F 圖：依據本發明之第一具體實施例的包覆基板側邊之模封陣列處理方法各步驟中之元件截面示意圖。

第 5 圖：依據本發明之第一具體實施例的包覆基板側邊之模封陣列處理方法繪示其基板條之局部上視圖。

第 6A 至 6H 圖：依據本發明之第二具體實施例的另一種包覆基板側邊之模封陣列處理方法各步驟中之元件截面示意圖。

第 7A 至 7G 圖：依據本發明之第三具體實施例的另一種包覆基板側邊之模封陣列處理方法各步驟中之元件截面示意圖。

【主要元件符號說明】

S 封膠體切割移除之間隙寬度

W 切割道之寬度

100 半導體封裝構造

110 基板條 111 上表面 112 下表面

113 基板單元 114 切割道

116 側邊 117 中央槽孔

120 晶片 121 主動面 122 電極

130 封膠體 150 鐳線 160 鐳球

200 半導體封裝構造

- 210 基板條
- 211 矩陣
- 212 基板單元
- 212A 側邊
- 213 切割道
- 214 預切槽孔
- 215 中央槽孔
- 216 上表面
- 217 下表面
- 218 十字連接條
- 220 晶片
- 221 主動面
- 222 電極
- 223 黏晶材料
- 230 封膠體
- 240 鐳線
- 250 鐳球
- 300 半導體封裝構造
- 319 內引線
- 360 保護膠帶
- 400 半導體封裝構造
- 470 切割膠帶

七、申請專利範圍：

1、一種包覆基板側邊之模封陣列處理方法，包含：

提供一基板條，係具有複數個排列成一 N 乘以 M 矩陣之基板單元，每一基板單元的尺寸係對應於一半導體封裝構造，在相鄰基板單元之間與該矩陣之周邊係各定義有一切割道，並且在相鄰基板單元之間與該矩陣之周邊係形成有一寬度大於對應切割道之預切槽孔，使該些基板單元之側邊呈內凹地顯露於該些預切槽孔內，其中該基板條在該些基板單元的角隅係形成有一十字連接條，以對角線方式連接該些基板單元，並使該些預切槽孔不相互連通；

設置複數個晶片至該些基板單元上；

電性連接該些晶片至對應之該些基板單元；

模封形成一封膠體於該基板條上，以連續地覆蓋在該矩陣內之該些基板單元以及該些切割道，使該封膠體填入至該些預切槽孔內，以更覆蓋該些基板單元之側邊；以及

以切割方式移除在該些切割道處之該封膠體，以單體化分離該些基板單元為個別的半導體封裝構造，並且在切割後該些基板單元之側邊係仍被該封膠體所包覆。

2、根據申請專利範圍第 1 項所述之包覆基板側邊之模封陣列處理方法，其中該基板條在每一基板單元內

- 另形成有一中央槽孔，在設置該些晶片之步驟中，該些晶片之主動面係貼附至該基板條，並且該些晶片之複數個電極係顯露在該中央槽孔內。
- 3、根據申請專利範圍第2項所述之包覆基板側邊之模封陣列處理方法，其中所述的電性連接該些晶片與該些基板單元之步驟係包含以打線方式形成複數個鐳線，該些鐳線係經由該些中央槽孔連接該些晶片與該些基板單元。
 - 4、根據申請專利範圍第2項所述之包覆基板側邊之模封陣列處理方法，其中所述的電性連接該些晶片與該些基板單元之步驟係包含以該基板條之複數個內引線通過該些中央槽孔接合至該些晶片之複數個電極。
 - 5、根據申請專利範圍第4項所述之包覆基板側邊之模封陣列處理方法，在所述的模封形成步驟之前，另包含之步驟為：貼附一保護膠帶於該基板條之下表面。
 - 6、根據申請專利範圍第1項所述之包覆基板側邊之模封陣列處理方法，在所述的模封形成步驟之後與在所述的單體化分離步驟之前，另包含之步驟為：形成複數個鐳球於該些基板單元之下表面。
 - 7、根據申請專利範圍第1項所述之包覆基板側邊之模封陣列處理方法，其中該封膠體所切割移除之間隙寬度係相同於該些切割道之寬度。

8、一種包覆基板側邊之模封陣列處理方法，包含：

模封形成一封膠體於一基板條上，以連續地覆蓋在一矩陣內之複數個基板單元以及在該些基板單元之間之複數個切割道，其中在相鄰基板單元之間與該矩陣之周邊係形成有一寬度大於對應切割道之預切槽孔，使該些基板單元之側邊呈內凹地顯露於該些預切槽孔內，在所述的模封形成步驟中，該封膠體係更填入至該些預切槽孔內，以更覆蓋該些基板單元之側邊，其中在形成該些預切槽孔之前，另包含之步驟為：貼附一切割膠帶於該基板條之下表面，並且該些預切槽孔係相互連通；以及

以切割方式移除在該些切割道處之該封膠體，以單體化分離該些基板單元為個別的半導體封裝構造，並且在切割後該些基板單元之側邊係仍被該封膠體所包覆。

9、根據申請專利範圍第8項所述之包覆基板側邊之模封陣列處理方法，在所述的模封形成步驟之前，另包含之步驟為：

設置複數個晶片至該些基板單元，並使該些晶片電性連接至該些基板單元；以及

在設置晶片與電性連接步驟之後，形成該些預切槽孔於該基板條。

10、一種包覆基板側邊之模封陣列處理方法，包含：

提供一基板條，係具有複數個排列成一 N 乘以 M 矩陣之基板單元，每一基板單元的尺寸係對應於一半導體封裝構造，在相鄰基板單元之間與該矩陣之周邊係各定義有一切割道，並且在相鄰基板單元之間與該矩陣之周邊係形成有一寬度大於對應切割道之預切槽孔，使該些基板單元之側邊呈內凹地顯露於該些預切槽孔內，其中該基板條在每一基板單元內另形成有一中央槽孔；

設置複數個晶片至該些基板單元上，其中在設置該些晶片之步驟中，該些晶片之主動面係貼附至該基板條，並且該些晶片之複數個電極係顯露在該中央槽孔內；

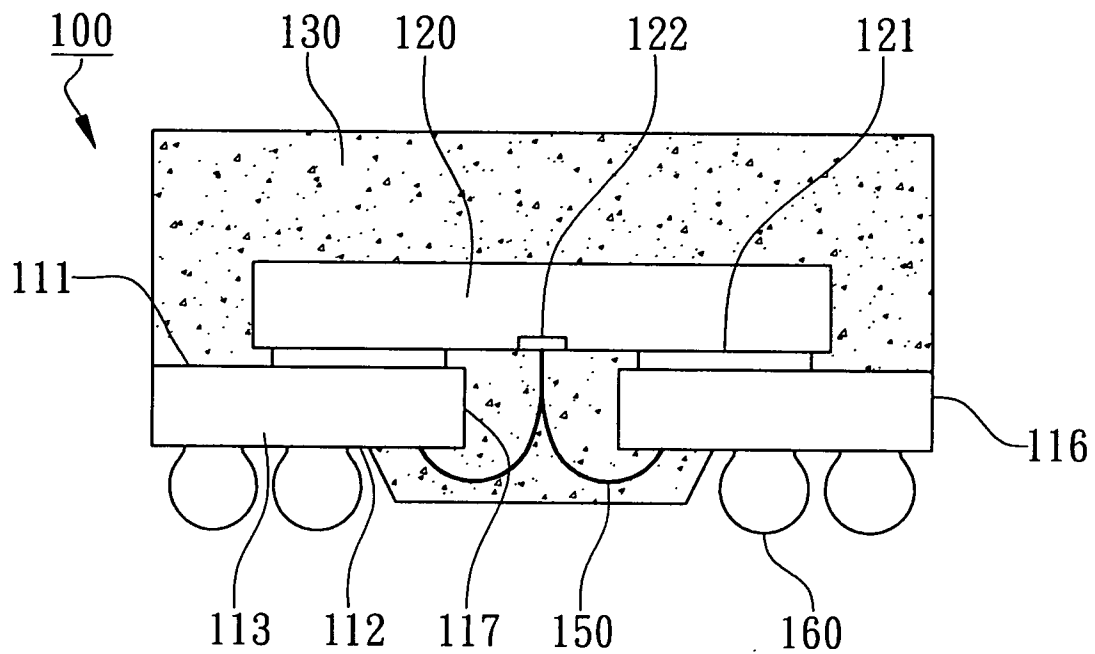
電性連接該些晶片至對應之該些基板單元，其中所述的電性連接該些晶片與該些基板單元之步驟係包含以該基板條之複數個內引線通過該些中央槽孔接合至該些晶片之複數個電極；

模封形成一封膠體於該基板條上，以連續地覆蓋在該矩陣內之該些基板單元以及該些切割道，使該封膠體填入至該些預切槽孔內，以更覆蓋該些基板單元之側邊，其中在所述的模封形成步驟之前，另包含之步驟為：貼附一保護膠帶於該基板條之下表面；以及

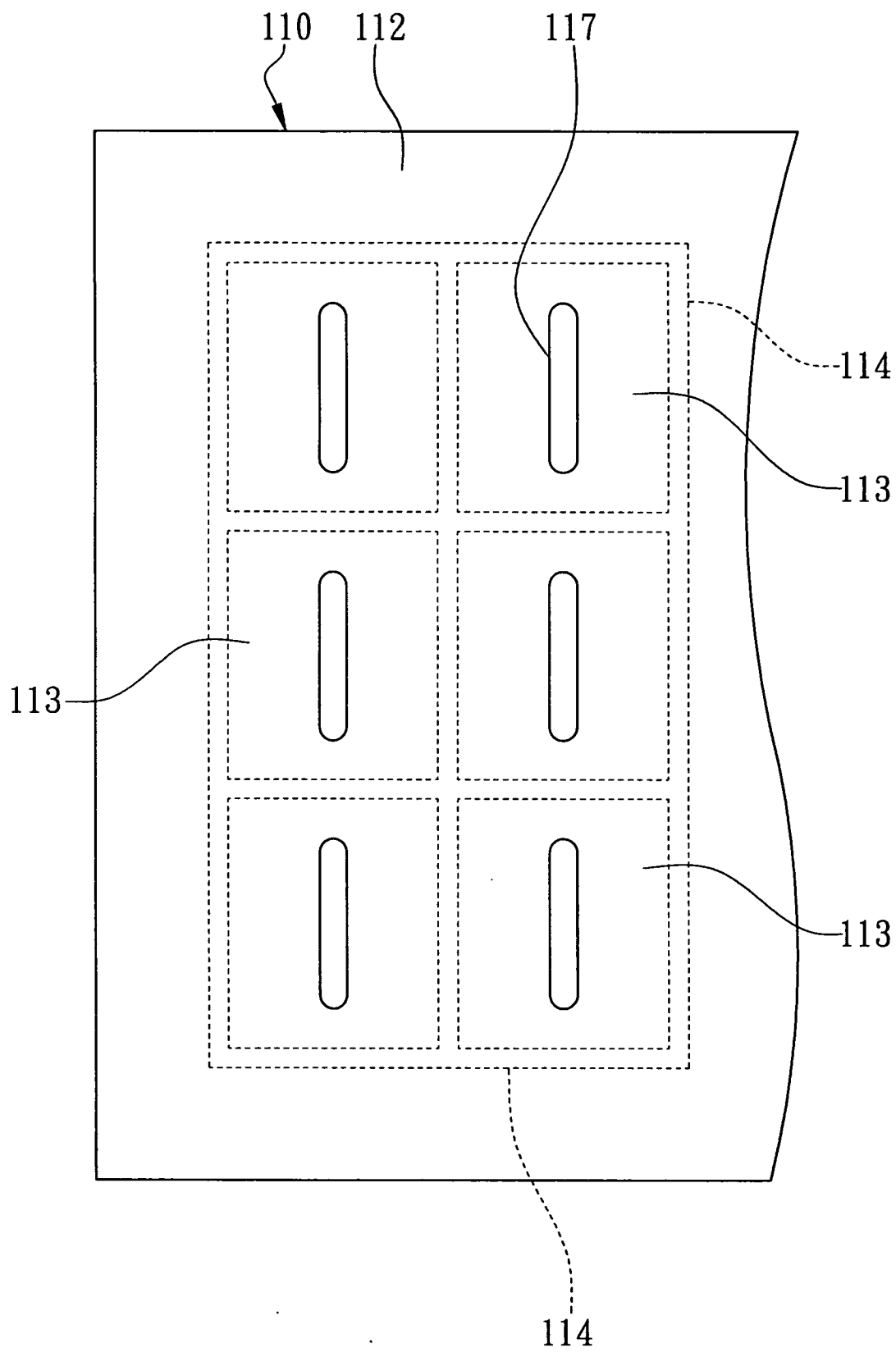
以切割方式移除在該些切割道處之該封膠體，以單體化分離該些基板單元為個別的半導體封裝構造，

並且在切割後該些基板單元之側邊係仍被該封膠體所包覆。

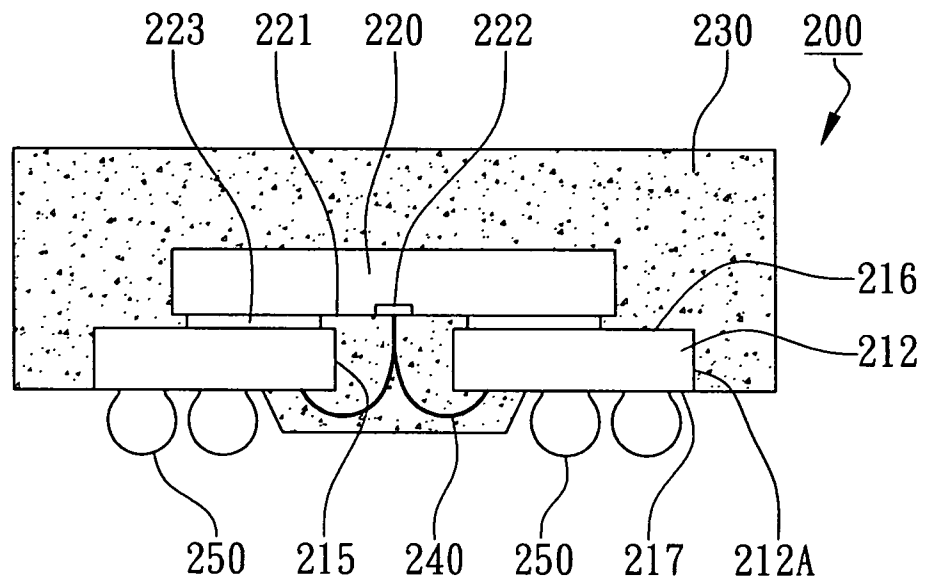
八、圖式：



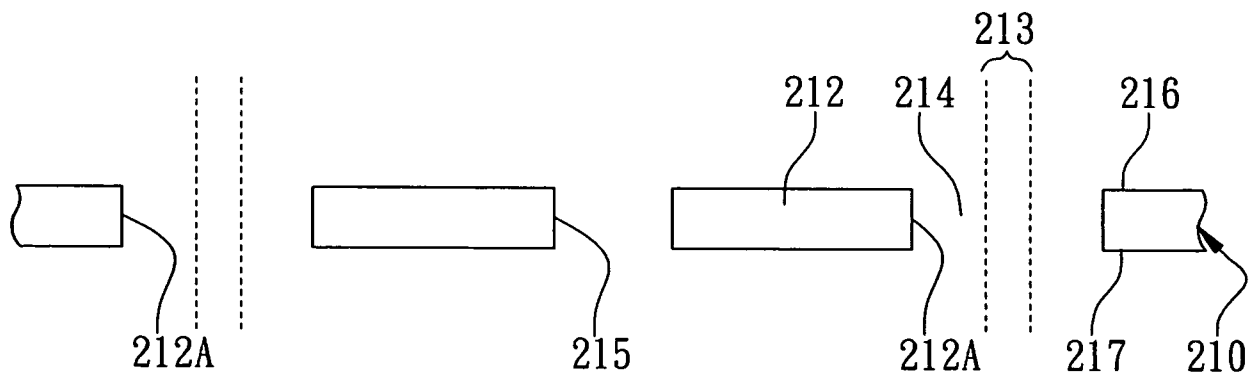
第 1 圖



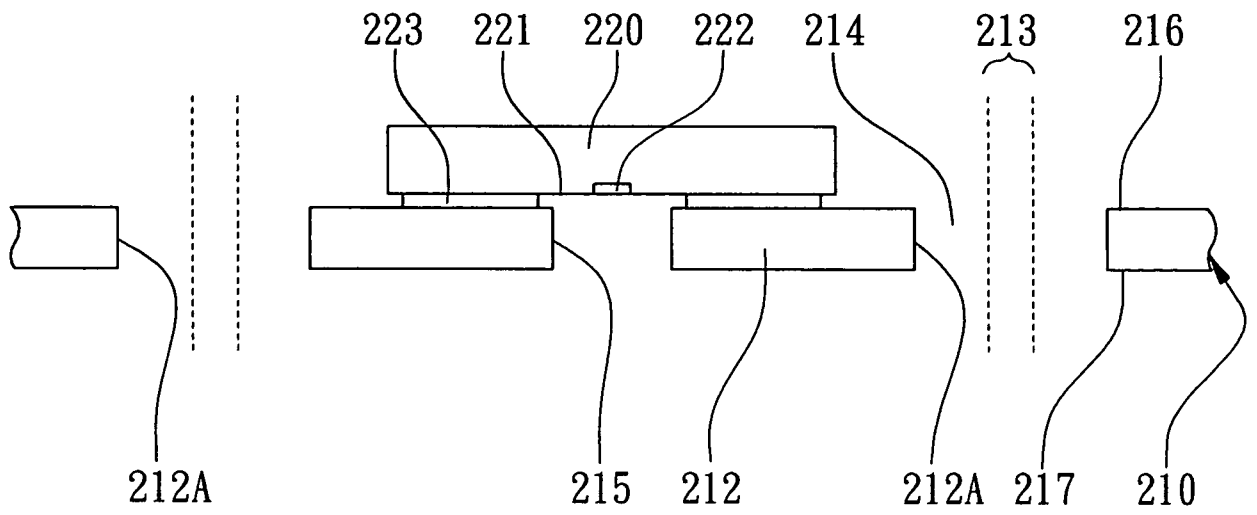
第 2 圖



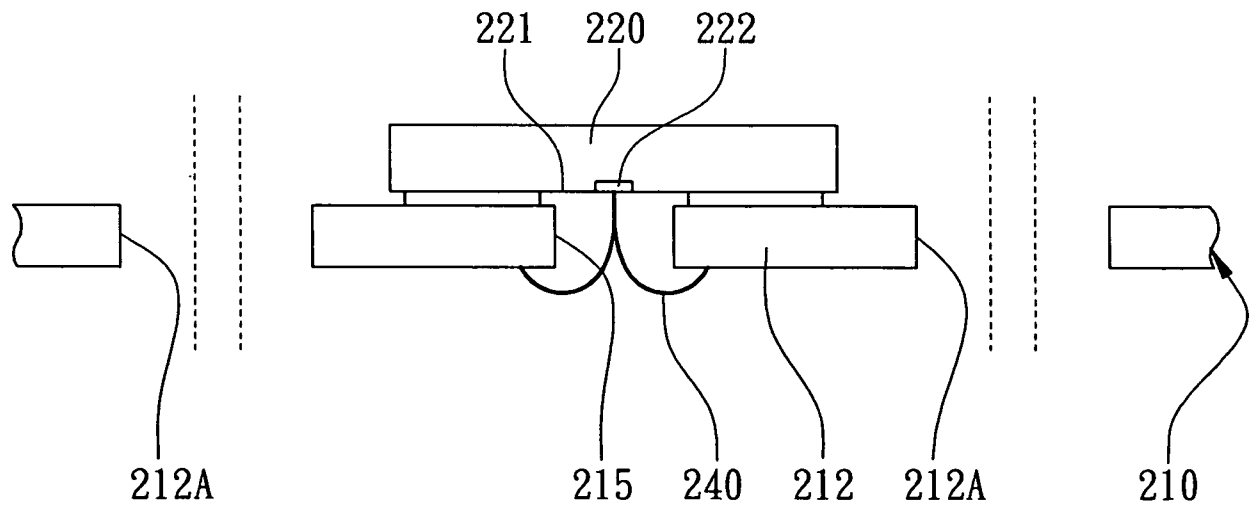
第 3 圖



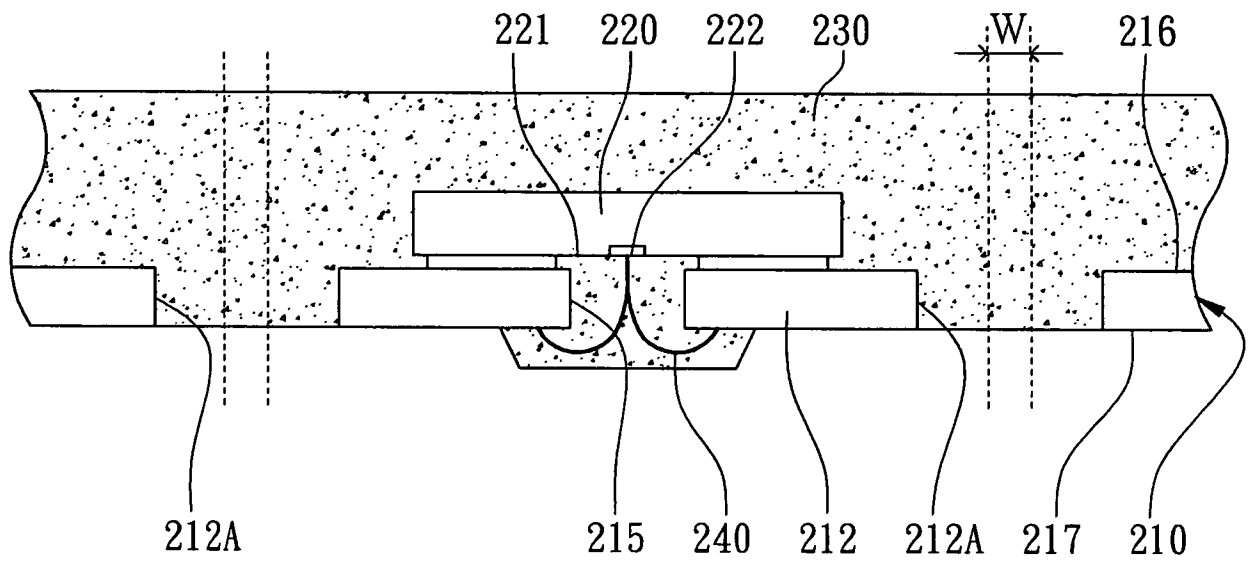
第 4A 圖



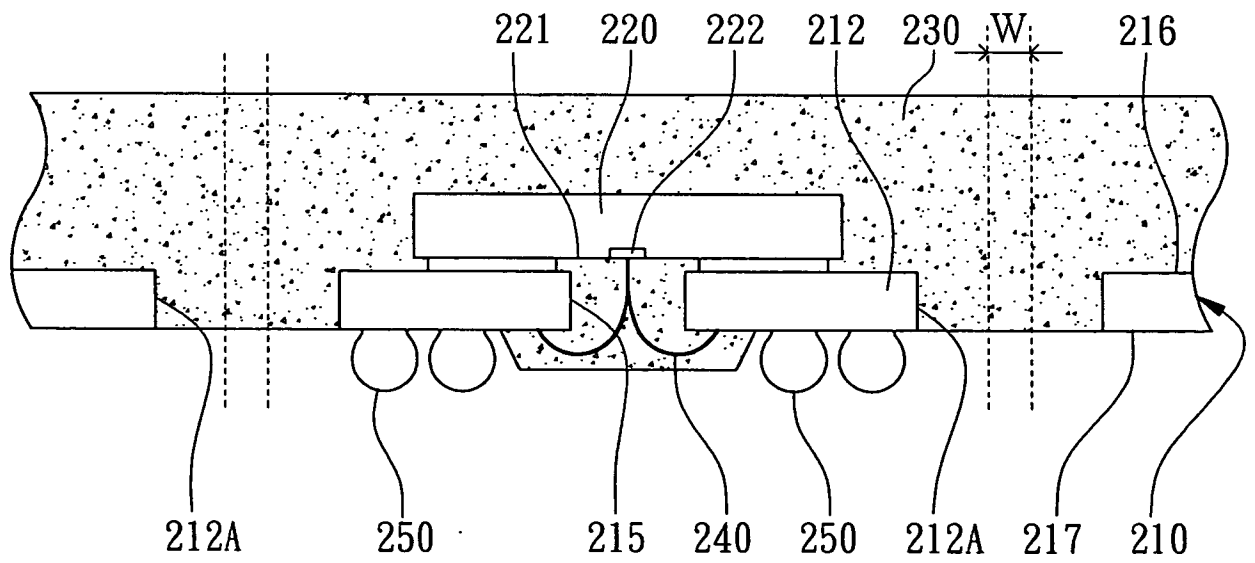
第 4B 圖



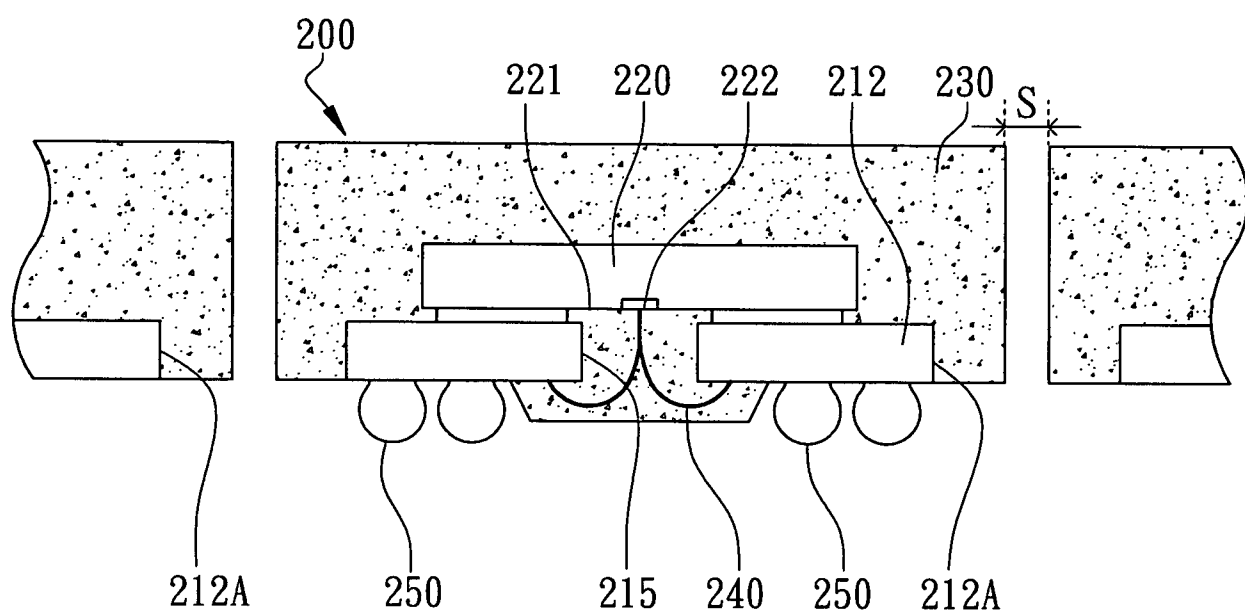
第 4C 圖



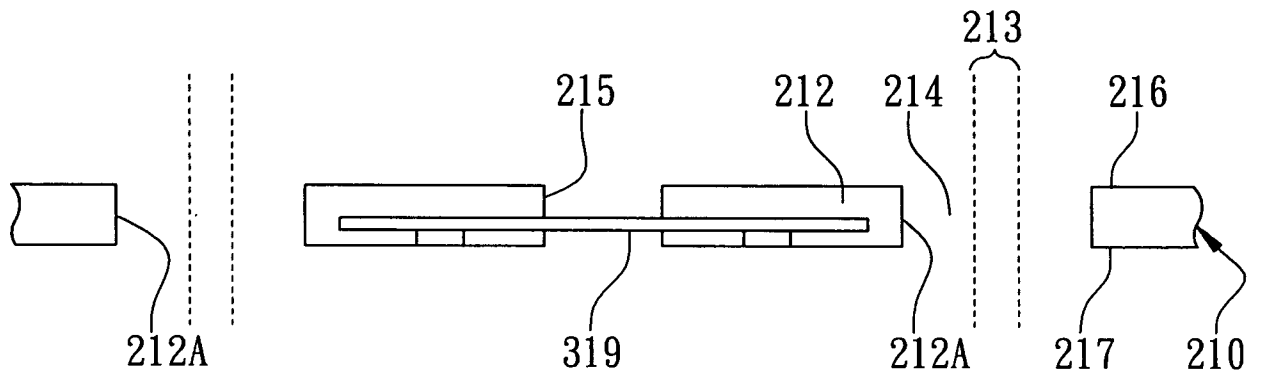
第 4D 圖



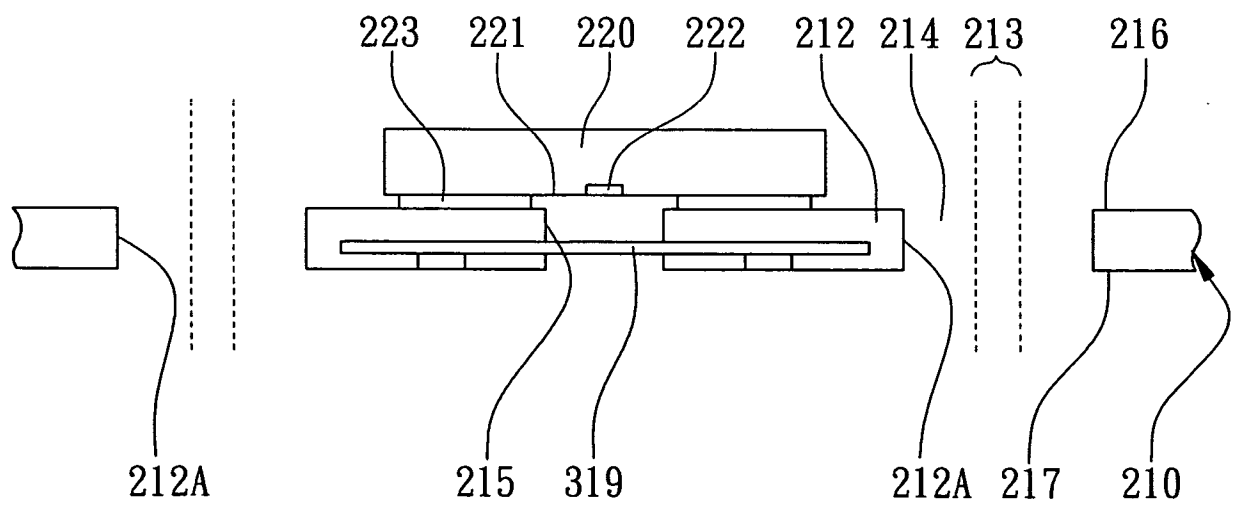
第 4E 圖



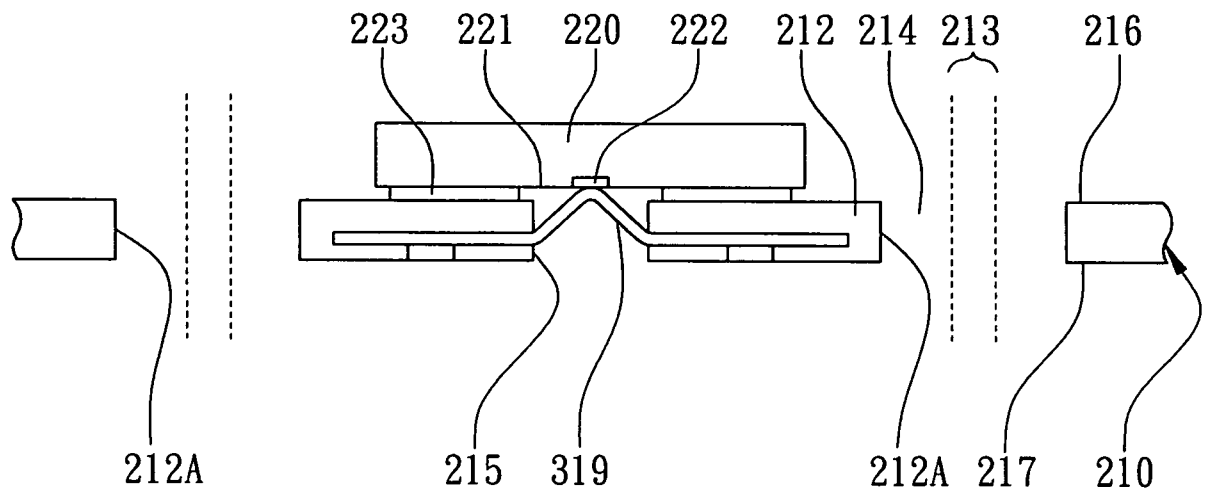
第 4F 圖



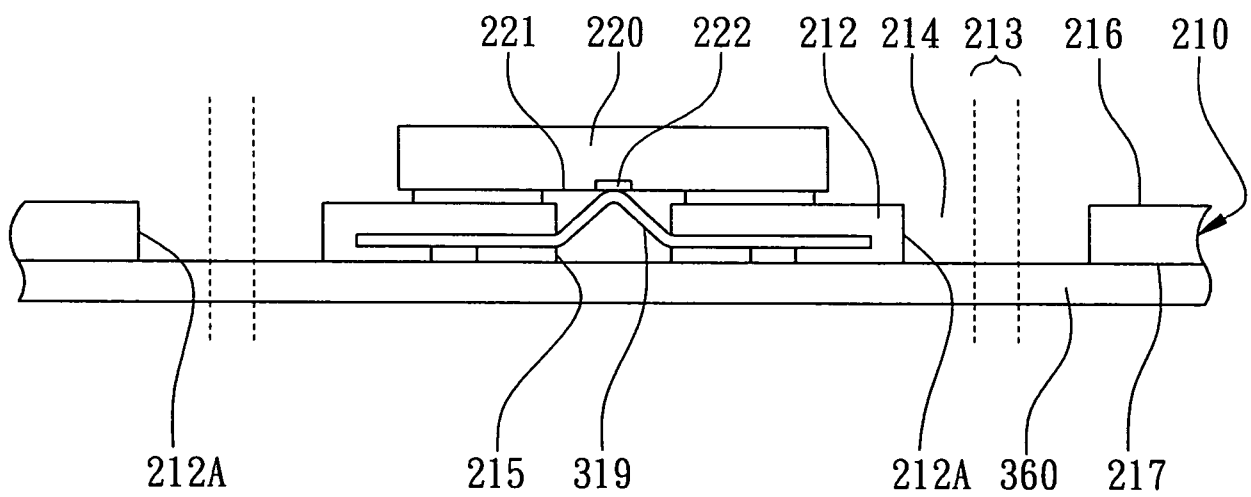
第 6A 圖



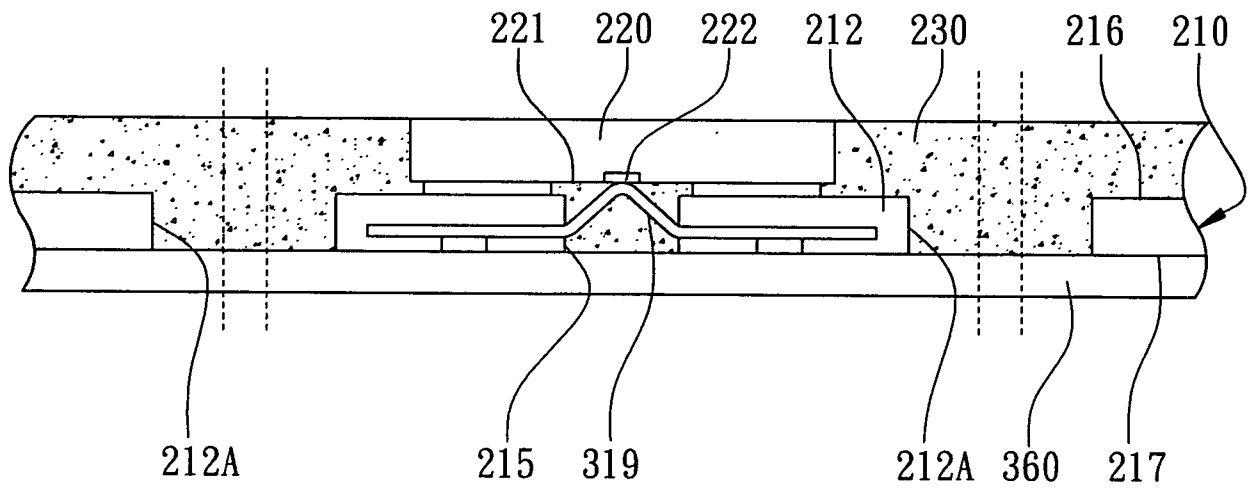
第 6B 圖



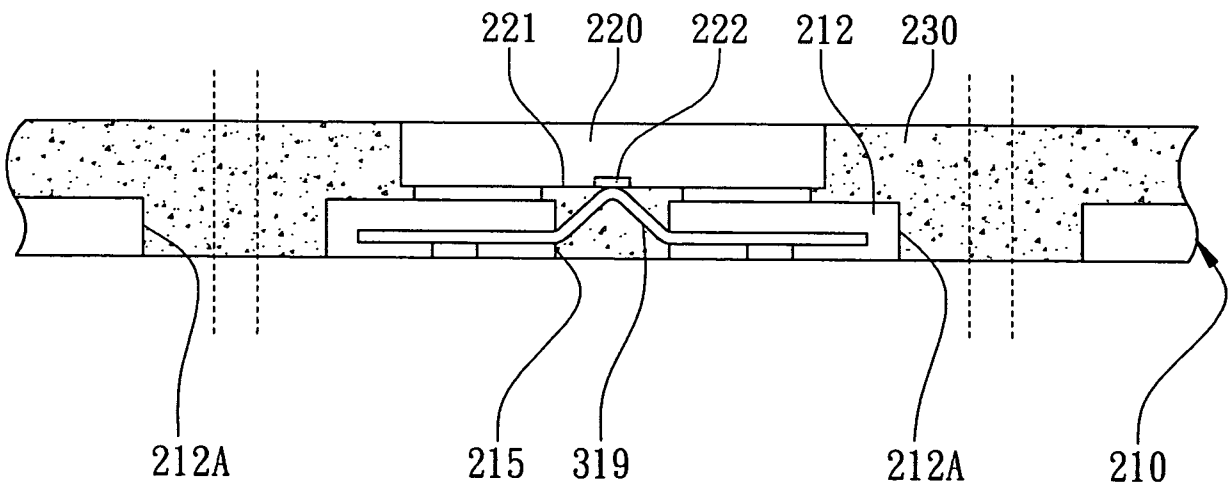
第 6C 圖



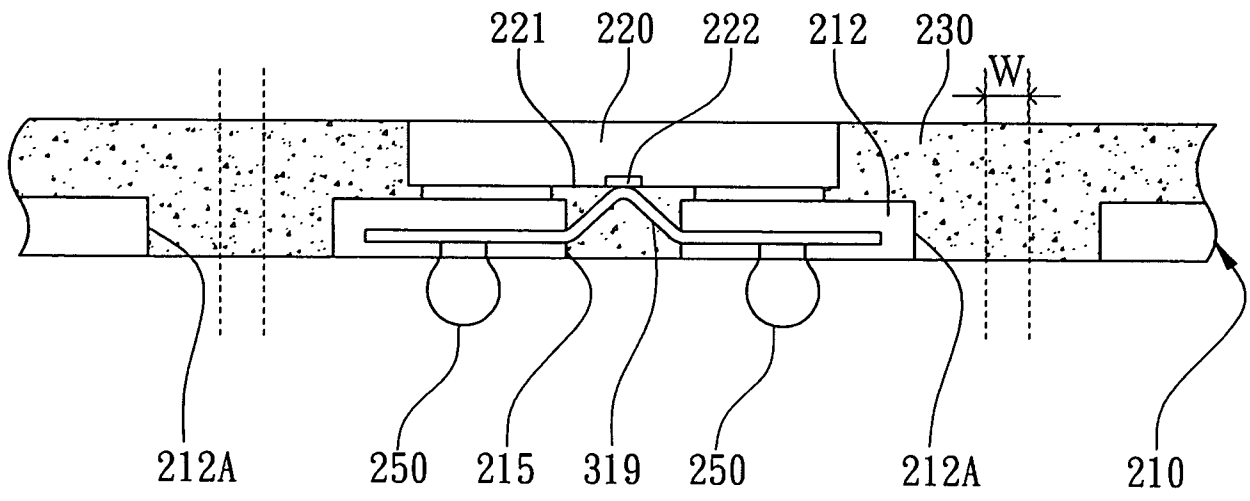
第 6D 圖



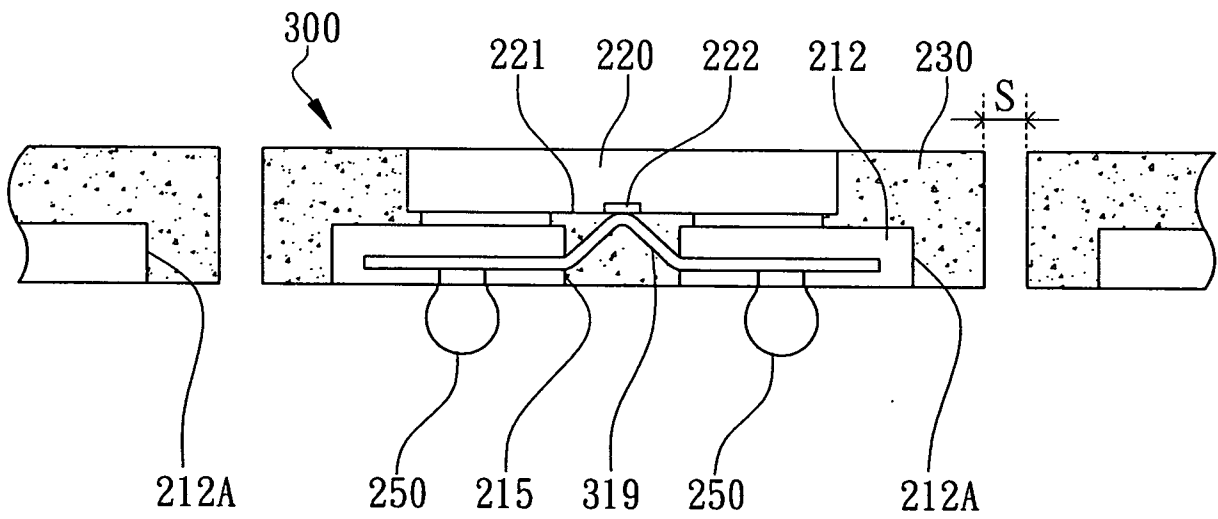
第 6E 圖



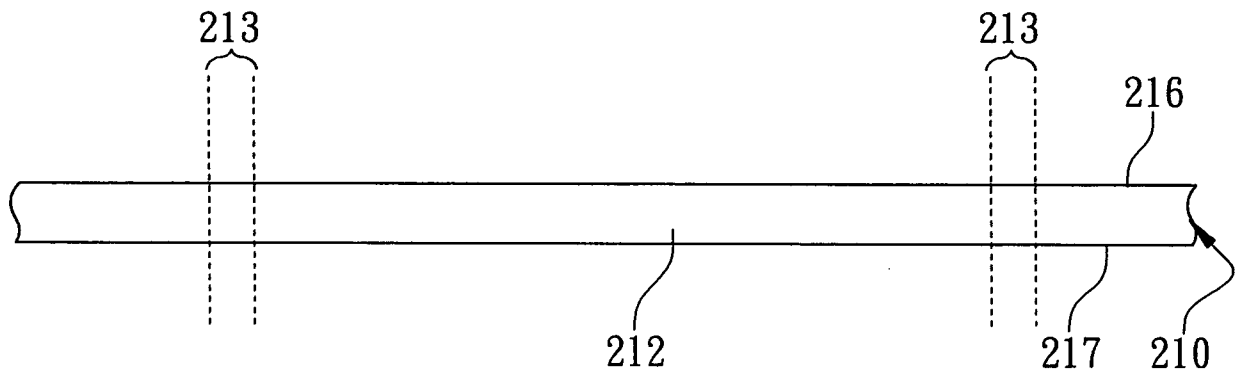
第 6F 圖



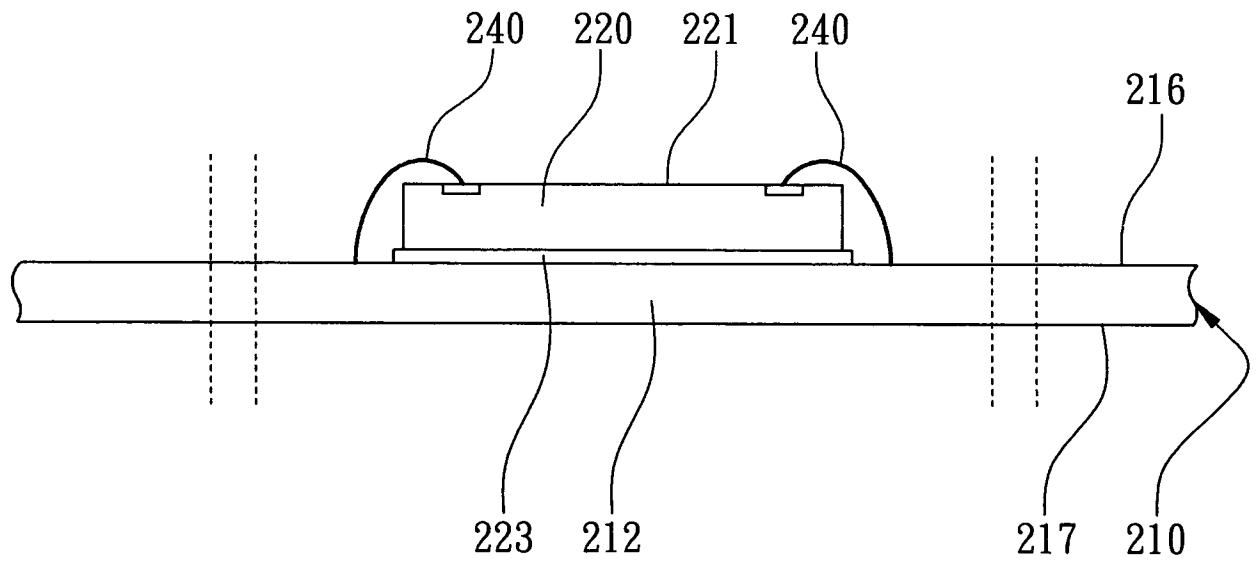
第 6G 圖



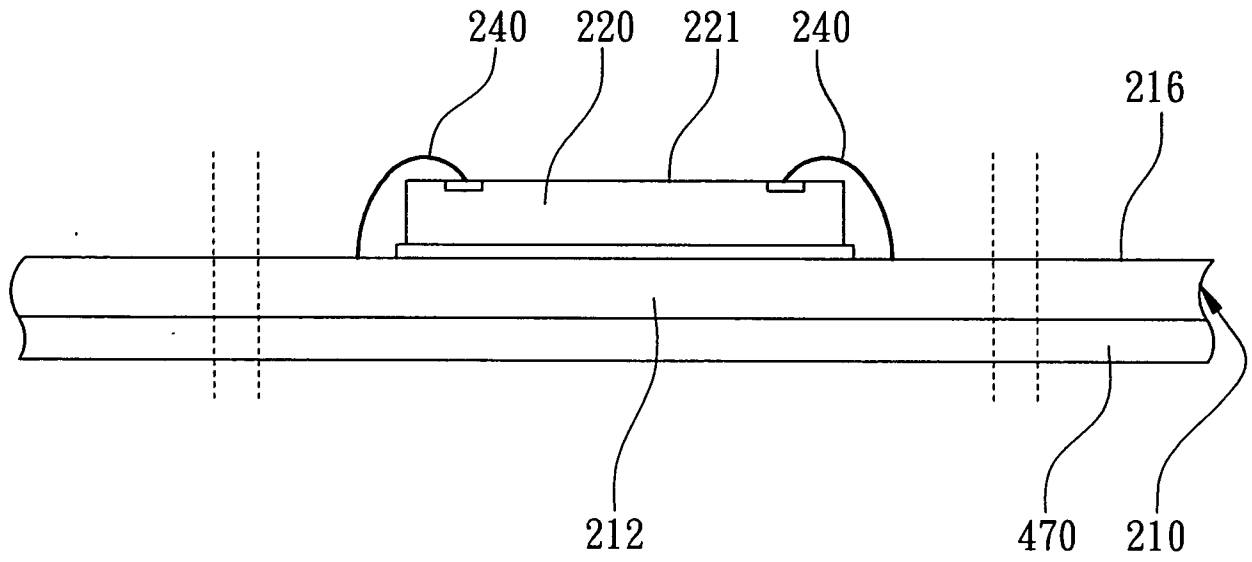
第 6H 圖



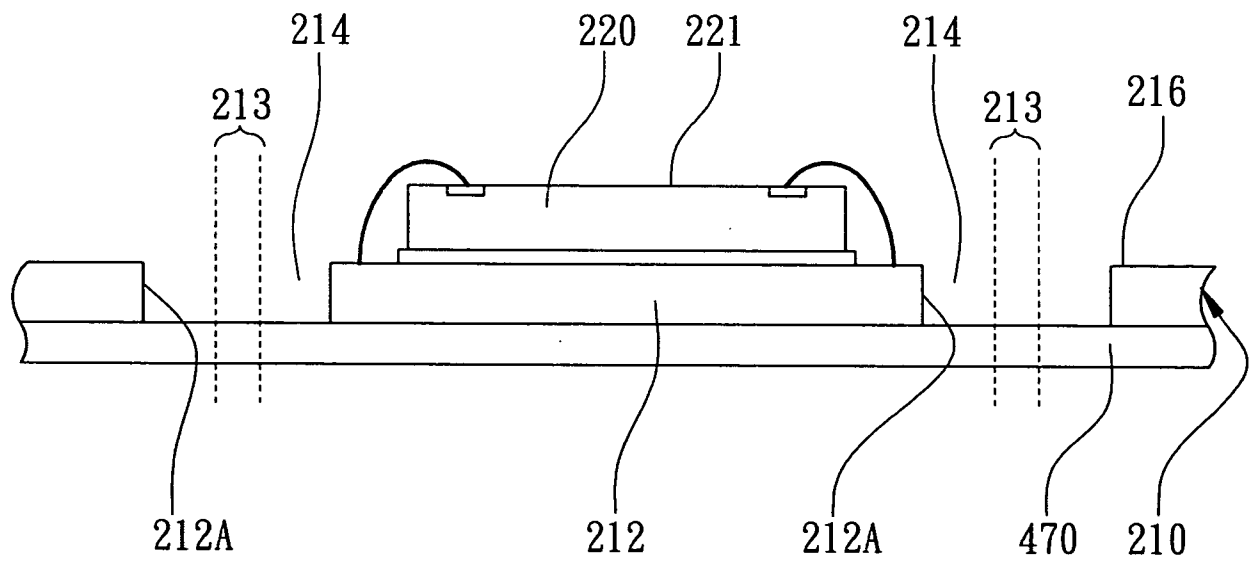
第 7A 圖



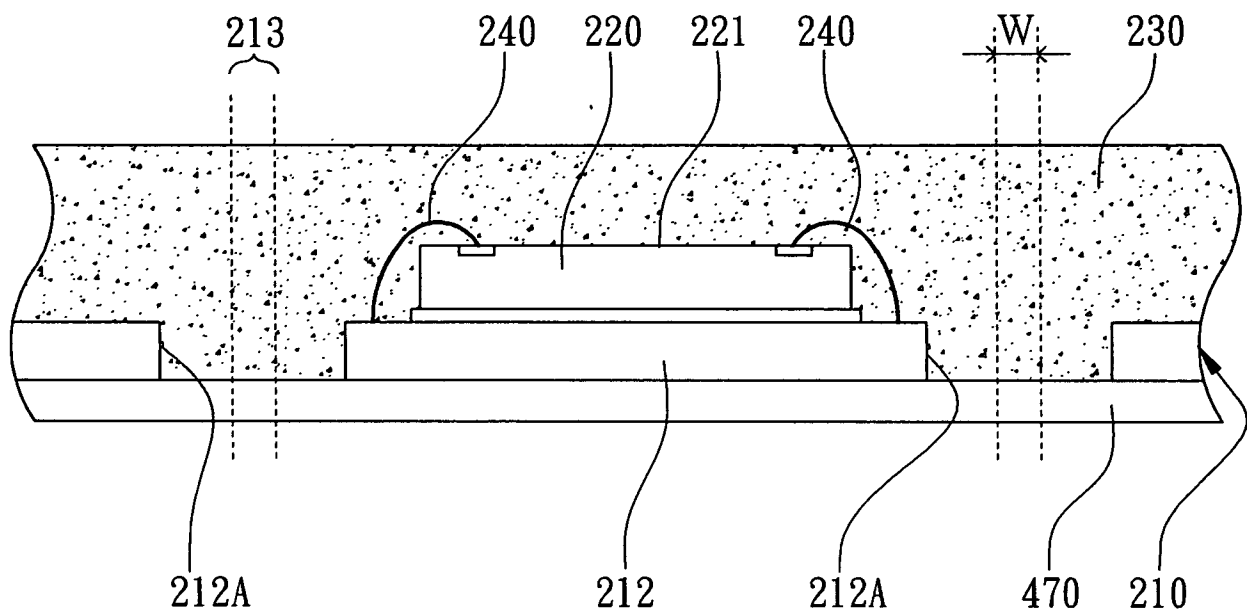
第 7B 圖



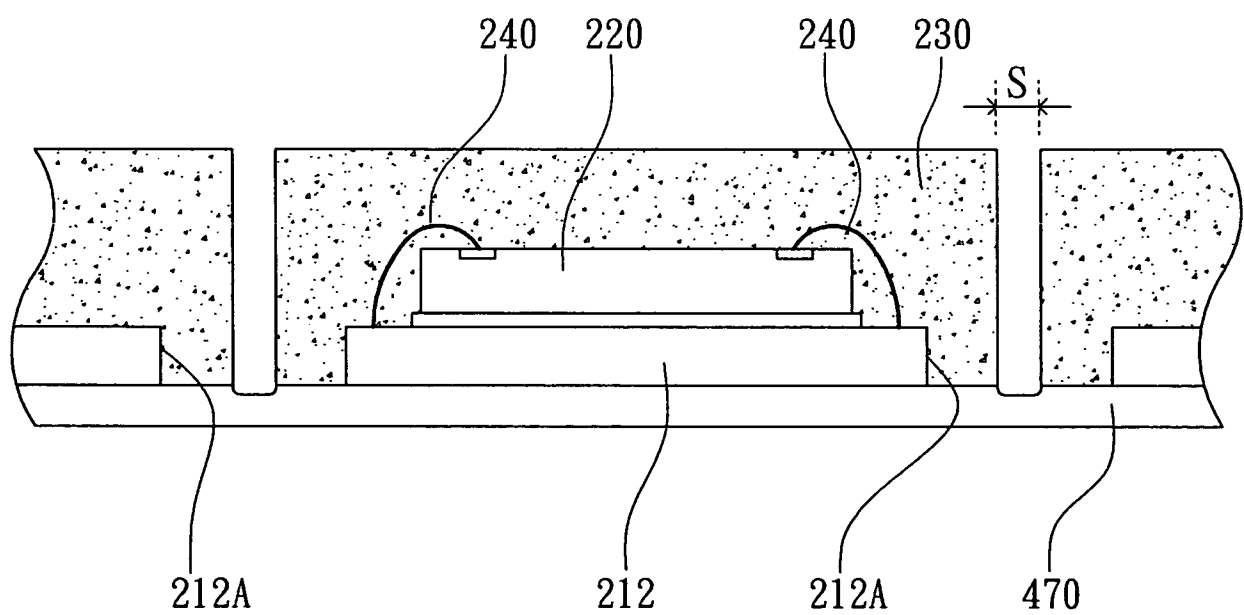
第 7C 圖



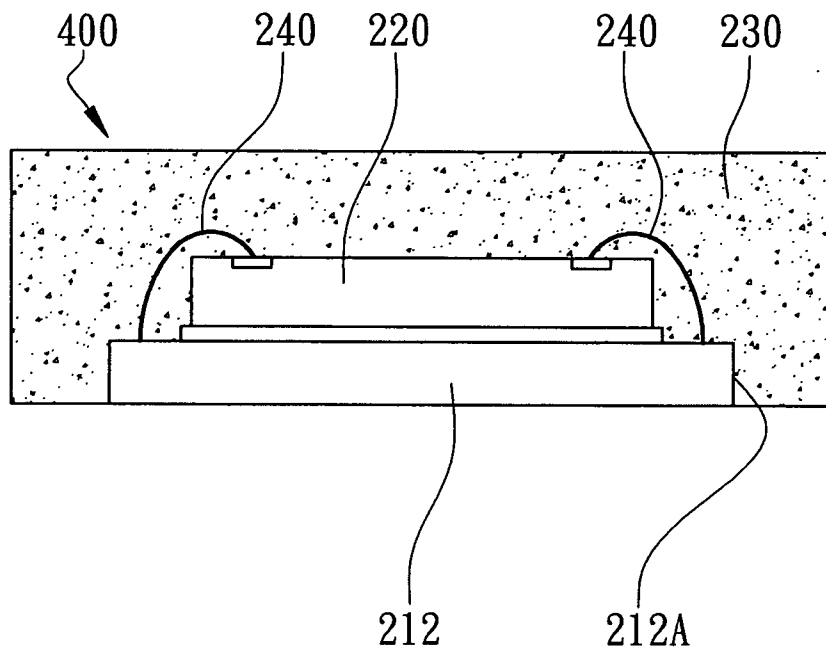
第 7D 圖



第 7E 圖



第 7F 圖



第 7G 圖