

Beschreibung

Stand der Technik

[0001] Die Erfindung betrifft eine Halbleiter-Bauelement-Test-Einrichtung, insbesondere ein Daten-Zwischenspeicher-Bauelement mit einer derartigen Einrichtung, sowie ein Halbleiter-Bauelement-Test-Verfahren.

[0002] Halbleiter-Bauelemente, z.B. entsprechende, integrierte (analoge bzw. digitale) Rechenschaltkreise, Halbleiter-Speicherbauelemente wie z.B. Funktionsspeicher-Bauelemente (PLAs, PALs, etc.) und Tabellenspeicher-Bauelemente (z.B. ROMs oder RAMs, insbesondere SRAMs und DRAMs), etc. werden im Verlauf des Herstellprozesses umfangreichen Tests unterzogen.

[0003] Zur gemeinsamen Herstellung von jeweils einer Vielzahl von (i.A. identischen) Halbleiter-Bauelementen wird jeweils ein sog. Wafer (d.h. eine dünne, aus einkristallinem Silizium bestehende Scheibe) verwendet. Der Wafer wird entsprechend bearbeitet (z.B. nacheinander einer Vielzahl von Beschichtungs-, Belichtungs-, Ätz-, Diffusions-, und Implantations-Prozess-Schritten, etc. unterzogen), und daraufhin z.B. zersägt (oder z.B. geritzt, und gebrochen), so dass dann die einzelnen Bauelemente zur Verfügung stehen.

[0004] Bei der Herstellung von Halbleiter-Bauelementen (z.B. von DRAMs (Dynamic Random Access Memories bzw. dynamische Schreib-Lese-Speicher), insbesondere von DDR-DRAMs (Double Data Rate – DRAMs bzw. DRAMs mit doppelter Datenrate)) können – noch bevor am Wafer sämtliche gewünschten, o.g. Bearbeitungsschritte durchgeführt wurden – (d.h. bereits in einem halbfertigen Zustand der Halbleiter-Bauelemente) an einer oder mehreren Test-Stationen mit Hilfe eines oder mehrerer Testgeräte die (noch auf dem Wafer befindlichen, halbfertigen) Bauelemente entsprechenden Testverfahren unterzogen werden (z.B. sog. Kerf-Messungen am Waferritzrahmen).

[0005] Nach der Fertigstellung der Halbleiter-Bauelemente (d.h. nach der Durchführung sämtlicher der o.g. Wafer-Bearbeitungsschritte) werden die Halbleiter-Bauelemente an einer oder mehreren (weiteren) Test-Stationen weiteren Testverfahren unterzogen – beispielsweise können mit Hilfe entsprechender (weiterer) Testgeräte die – noch auf dem Wafer befindlichen, fertiggestellten – Bauelemente entsprechend getestet werden („Scheibentests“).

[0006] Auf entsprechende Weise können ein oder mehrere weitere Tests (an entsprechenden weiteren Test-Stationen, und unter Verwendung entsprechender, weiterer Testgeräte) z.B. nach dem Einbau der

Halbleiter-Bauelemente in die entsprechenden Halbleiter-Bauelement-Gehäuse durchgeführt werden, und/oder z.B. nach dem Einbau der Halbleiter-Bauelement-Gehäuse (samt den darin jeweils eingebauten Halbleiter-Bauelementen) in entsprechende elektronische Module (sog. „Modultests“).

[0007] Beim Testen von Halbleiter-Bauelementen können als Testverfahren (z.B. bei den o.g. Scheibentests, Modultests, etc.) jeweils z.B. sog. „DC-Test“, und/oder z.B. sog. „AC-Tests“ eingesetzt werden.

[0008] Bei einem DC-Test kann z.B. an einen entsprechenden Anschluß eines zu testenden Halbleiter-Bauelements eine Spannung (oder Strom) bestimmter – insbesondere gleichbleibender – Höhe angelegt werden, und dann die Höhe von – sich ergebenden – Strömen (bzw. Spannungen) gemessen werden – insbesondere überprüft werden, ob diese Ströme (bzw. Spannungen) innerhalb vorbestimmter, gewünschter Grenzwerte liegen.

[0009] Demgegenüber können bei einem AC-Test an entsprechende Anschlüsse eines Halbleiter-Bauelements beispielsweise – in der Höhe wechselnde – Spannungen (oder Ströme) angelegt werden, insbesondere entsprechende Test-Muster-Signale, mit deren Hilfe am jeweiligen Halbleiter-Bauelement entsprechende Funktionstest durchgeführt werden können.

[0010] Mit Hilfe der o.g. Testverfahren können defekte Halbleiter-Bauelemente bzw. -Module identifiziert, und dann aussortiert (oder teilweise auch repariert) werden, und/oder es können – entsprechend den erzielten Test-Ergebnissen – die bei der Herstellung der Bauelemente jeweils verwendeten Prozess-Parameter entsprechend modifiziert bzw. optimal eingestellt werden, etc., etc.

[0011] Bei einer Vielzahl von Anwendungen – z.B. bei Server- oder Workstationrechnern, etc., etc. – können Speichermodule mit vorgeschalteten Daten-Zwischenspeicher-Bauelementen (sog. Buffer) eingesetzt werden, z.B. sog. „buffered DIMMs“.

[0012] Derartige Speichermodule weisen i.A. ein oder mehrere Halbleiter-Speicherbauelemente, insbesondere DRAMs, auf, sowie ein oder mehrere – den Halbleiter-Speicherbauelementen vorgeschaltete – Daten-Zwischenspeicher-Bauelemente (die z.B. auf derselben Platine angeordnet sein können, wie die DRAMs).

[0013] Die Speichermodule sind – insbesondere unter Zwischenschaltung eines entsprechenden (z.B. extern vom jeweiligen Speichermodul angeordneten) Memory Controllers – mit einem oder mehreren Mikro-Prozessoren des jeweiligen Server- oder Worksta-

tionrechners, etc. verbunden.

[0014] Bei „teilweise“ gepufferten Speichermodulen können die – z.B. vom Memory Controller, oder vom jeweiligen Prozessor ausgegebenen – Adress- und Steuer-Signale von entsprechenden Daten-Zwischenspeicher-Bauelementen (kurz) zwischengespeichert, und – auf zeitlich koordinierte, ggf. geoder de-multiplexte Weise – an die Speicherbauelemente, z.B. DRAMs, weitergeleitet werden.

[0015] Demgegenüber können die – vom Memory Controller, bzw. vom jeweiligen Prozessor ausgegebenen – (Nutz-)Daten-Signale direkt, d.h. ohne Zwischenspeicherung durch ein entsprechendes Daten-Zwischenspeicher-Bauelement (Buffer) an die Speicherbauelemente weitergeleitet werden (und – umgekehrt – auch die von den Speicherbauelementen ausgegebenen (Nutz-)Daten-Signale direkt – ohne Zwischenschaltung eines entsprechenden Daten-Zwischenspeicher-Bauelements (Buffer) – an den Memory Controller, bzw. den jeweiligen Prozessor).

[0016] Demgegenüber werden bei voll gepufferten („fully buffered“) Speichermodulen sowohl die zwischen dem Memory Controller, bzw. dem jeweiligen Prozessor, und den Speicherbauelementen ausgetauschten Adress- und Steuer-Signale, als auch die entsprechenden (Nutz-)Daten-Signale von entsprechenden Daten-Zwischenspeicher-Bauelementen zwischengespeichert, und erst dann an die Speicherbauelemente bzw. den Memory Controller oder den jeweiligen Prozessor weitergeleitet.

[0017] Sollen die o.g. Speichermodule einem entsprechenden Modultest unterzogen werden (z.B. zum Testen der Lötverbindungen und Leiterbahnen auf dem Speichermodul, z.B. der Leiterbahnen zwischen den Speicherbauelementen/Daten-Zwischenspeicher-Bauelementen) können auf den Daten-Zwischenspeicher-Bauelementen entsprechende MBIST-Einrichtungen (MBIST = Memory Built In Self Test) vorgesehen sein, und entsprechende LSFR-Einrichtungen (LSFR = Linear Feedback Shift Register).

[0018] Zur Durchführung eines entsprechenden Modultests können von den LSFR-Einrichtungen entsprechende Pseudo-Random-Test-(Nutz-)Daten-Signale erzeugt, und über entsprechende Daten-Leitungen an die Speicherbauelemente weitergeleitet werden, sodaß in den Speicherbauelementen entsprechende quasizufällige Test-(Nutz-)Daten abgespeichert werden.

[0019] Die zur Durchführungen des entsprechenden Modultests notwendigen (Test-)Adress- und (Test-)Steuer-Signale können von den o.g. MBIST-Einrichtungen erzeugt, und über entspre-

chende Adress- und Steuer-Leitungen an die Speicherbauelemente weitergeleitet werden.

[0020] Die o.g. Vorgehensweise (insbesondere die Verwendung von von den LSFR-Einrichtungen erzeugten Pseudo-Random-Test-Daten-Signalen) führt dazu, dass – anders als bei den an den Adress- und Steuer-Leitungen anliegenden (Test-)Adress- und (Test-)Steuer-Signalen – in den an den Daten-Leitungen anliegenden Test-(Nutz-)Daten-Signalen eine relativ große Zahl unterschiedlicher Frequenzanteile auftritt, bzw. die Test-(Nutz-)Daten-Signale aus einem relativ breitbandigem Frequenz-Gemisch bestehen.

Aufgabenstellung

[0021] Die Erfindung hat zur Aufgabe, eine neuartige Halbleiter-Bauelement-Test-Einrichtung, insbesondere ein neuartiges Daten-Zwischenspeicher-Bauelement mit einer derartigen Einrichtung, zur Verfügung zu stellen, sowie ein neuartiges Halbleiter-Bauelement-Test-Verfahren.

[0022] Sie erreicht dieses und weitere Ziele durch die Gegenstände der Ansprüche 1 und 9.

[0023] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0024] Gemäß einem ersten Aspekt der Erfindung wird eine Halbleiter-Bauelement-Test-Einrichtung zur Verfügung gestellt, welche aufweist:

- eine Einrichtung zum Erzeugen von an entsprechende Adress-Eingänge eines zu testenden Halbleiter-Bauelements, insbesondere Speicherbauelements anzulegenden Pseudo-Zufalls-Adress-Werten.

[0025] Weiterhin wird – gemäß einem zweiten Aspekt der Erfindung – ein Halbleiter-Bauelement-Test-Verfahren zur Verfügung gestellt, wobei das Verfahren die Schritte aufweist:

- (a) Erzeugen eines Pseudo-Zufall-Werts, und
- (b) Anlegen des Pseudo-Zufall-Werts an entsprechende Adress-Eingänge eines zu testenden Halbleiter-Bauelements.

[0026] Die Verwendung von Pseudo-Zufalls-(Test-)Adress-Werten (anstelle von auf herkömmliche Weise erzeugten Test-Adress-Werten) kann u.a. den Vorteil haben, dass bei der Durchführung eines entsprechenden Tests in den an entsprechenden Adress-Leitungen dann anliegenden Signalen eine relativ große Zahl unterschiedlicher Frequenzanteile auftreten kann (bzw. die entsprechenden Test-Adress-Signale (und nicht nur z.B. entsprechende Test-(Nutz-)Daten-Signale) aus einem relativ breitbandigem Frequenz-Gemisch bestehen können).

Ausführungsbeispiel

[0027] Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt

[0028] [Fig. 1](#) eine schematische Darstellung eines teilweise gepufferten Speichermoduls, mit entsprechenden Speicherbauelementen, und entsprechenden Daten-Zwischenspeicher-Bauelementen;

[0029] [Fig. 2](#) eine schematische Darstellung eines voll gepufferten Speichermoduls, mit entsprechenden Speicherbauelementen, und entsprechenden Daten-Zwischenspeicher-Bauelementen;

[0030] [Fig. 3](#) eine beispielhafte, schematische Detail-Darstellung eines Abschnitts eines bei dem Speichermodul gemäß [Fig. 2](#) verwendeten Daten-Zwischenspeicher-Bauelements, das zur Durchführung eines Halbleiter-Bauelement-Test-Verfahrens gemäß einem Ausführungsbeispiel der Erfindung verwendet werden kann; und

[0031] [Fig. 4](#) eine beispielhafte, schematische Detail-Darstellung der in [Fig. 3](#) gezeigten LSFR-Einrichtung.

[0032] In [Fig. 1](#) ist eine schematische Darstellung eines „teilweise“ gepufferten Speichermoduls **1a** gezeigt (hier: ein „buffered DIMM“ **1a**).

[0033] Dieses weist eine Vielzahl von Speicherbauelementen **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** auf, und einen oder mehrere – den Speicherbauelementen **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** vorgeschaltete – Daten-Zwischenspeicher-Bauelemente („Buffer“) **10a**.

[0034] Bei den Speicherbauelementen **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** kann es sich z.B. um Funktionspeicher- oder Tabellenspeicher-Bauelemente (z.B. ROMs oder RAMs) handeln, insbesondere um DRAMs.

[0035] Wie aus [Fig. 1](#) hervorgeht, können die Speicherbauelemente **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** auf derselben Platine **12a** angeordnet sein, wie die Buffer **10a**.

[0036] Das Speichermodul **1a** kann – insbesondere unter Zwischenschaltung eines entsprechenden (z.B. extern vom Speichermodul **1a**, insbesondere extern von der o.g. Platine **12a** angeordneten) Memory Controllers (hier nicht gezeigt) – mit einem oder mehreren Mikro-Prozessoren verbunden werden, insbesondere einem oder mehreren Mikro-Prozessoren eines Server- oder Workstationrechners (oder einem beliebigen anderen Mikro-Prozessor, z.B. eines PCs, Laptops, etc.).

[0037] Wie aus [Fig. 1](#) hervorgeht, werden bei dem dort gezeigten teilweise gepufferten Speichermodul **1a** die – z.B. vom Memory Controller, oder vom jeweiligen Prozessor ausgegebenen – Adress- und Steuer-Signale nicht direkt an die Speicherbauelemente **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** weitergeleitet.

[0038] Stattdessen werden die Adress-Signale – z.B. über einen entsprechenden Adress-Bus **13a** (bzw. entsprechende Adress-Leitungen) –, und die Steuer-Signale – z.B. über einen entsprechenden Steuer-Bus **14a** (bzw. entsprechende Steuer-Leitungen) – zunächst den Buffern **10a** zugeführt.

[0039] Bei den Steuer-Signalen kann es sich um beliebige, bei herkömmlichen Speichermodulen verwendete Steuer-Signale handeln, z.B. um entsprechende Lese-, und/oder Schreib-, und/oder Chip-Select (Speicherbauelement-Auswahl-)Signale, etc., etc.

[0040] In den Buffern **10a** werden die entsprechenden Signale (Adress-Signale, Steuer-Signale) – kurz – zwischengespeichert, und – auf zeitlich koordinierte, ggf. ge- oder de-multiplexte Weise – an die Speicherbauelemente **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** weitergeleitet (z.B. über einen entsprechenden – zentralen – Speicher-Bus **15a** (mit entsprechenden Adress- und Steuer-Leitungen)).

[0041] Demgegenüber können bei dem in [Fig. 1](#) gezeigten teilweise gepufferten Speichermodul **1a** die – z.B. vom o.g. Memory Controller, oder vom jeweiligen Prozessor ausgegebenen – (Nutz-)Daten-Signale direkt, d.h. ohne Zwischenspeicherung durch ein entsprechendes Daten-Zwischenspeicher-Bauelement (Buffer) an die Speicherbauelemente **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** weitergeleitet werden (z.B. über einen – direkt mit dem o.g., zentralen Speicher-Bus **15a** verbunden – (Nutz-)Daten-Bus **21a** (bzw. entsprechende (Nutz-)Daten-Leitungen).

[0042] Entsprechend umgekehrt können auch die – von den Speicherbauelementen **2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a** ausgegebenen – (Nutz-)Daten-Signale direkt – ohne Zwischenschaltung eines entsprechenden Daten-Zwischenspeicher-Bauelements (Buffer) – an den Memory Controller, bzw. den jeweiligen Prozessor weitergeleitet werden (z.B. wiederum über den o.g. – direkt mit dem zentralen Speicher-Bus **15a** verbunden – (Nutz-)Daten-Bus **21a**).

[0043] In [Fig. 2](#) ist eine schematische Darstellung eines voll gepufferten Speichermoduls **1b** gezeigt (hier: ein „buffered DIMM“ **1b**).

[0044] Dieses weist – entsprechend wie das teilweise gepufferte Speichermodul **1a** gemäß [Fig. 1](#) – eine Vielzahl von Speicherbauelementen **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** auf, und ein oder mehrere – den

Speicherbauelementen **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** vorgeschaltete – Daten-Zwischenspeicher-Bauelemente („Buffer“) **10b**.

[0045] Wie aus [Fig. 2](#) hervorgeht, können die Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** auf derselben Platine **12b** angeordnet sein, wie die Buffer **10b**.

[0046] Das Speichermodul **1b** kann (entsprechend ähnlich wie das in [Fig. 1](#) gezeigte Speichermodul **1a**) – insbesondere unter Zwischenschaltung eines entsprechenden (z.B. extern vom Speichermodul **1b**, insbesondere extern von der o.g. Platine **12** angeordneten) Memory Controllers (hier nicht gezeigt) – mit einem oder mehreren Mikro-Prozessoren verbunden werden, insbesondere einem oder mehreren Mikro-Prozessoren eines Server- oder Workstationrechners (oder einem beliebigen anderen Mikro-Prozessor, z.B. eines PCs, Laptops, etc.).

[0047] Wie aus [Fig. 1](#) und [Fig. 2](#) hervorgeht, ist das in [Fig. 2](#) gezeigte Speichermodul **1b** entsprechend ähnlich bzw. identisch aufgebaut, und arbeitet entsprechend ähnlich bzw. identisch, wie das in [Fig. 1](#) gezeigte Speichermodul **1a**, außer dass mit dem Buffer **10b** – entsprechend wie bei herkömmlichen, voll gepufferten („fully buffered“) Speichermodulen – (zusätzlich zu den entsprechend ähnlich wie beim im [Fig. 1](#) gezeigten Speichermodul **12a** gebufferten Adress- und Steuer-Signalen) auch die zwischen dem Memory Controller, bzw. dem jeweiligen Prozessor, und den Speicherbauelementen **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** ausgetauschten (Nutz-)Daten-Signale gebuffert werden.

[0048] In dem Buffer **10b** können die entsprechenden, z.B. vom Memory Controller, bzw. vom jeweiligen Prozessor stammenden, z.B. über einen Daten-Bus **21b** weitergeleiteten Daten-Signale – kurz – zwischengespeichert, und – auf zeitlich koordinierte, ggf. ge- oder de-multiplexte Weise – an die Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** weitergeleitet werden (z.B. über einen (dem o.g., in Bezug auf [Fig. 1](#) erläuterten zentralen Bus **15a** entsprechenden) – zentralen – Speicher-Bus **15b** (mit entsprechenden Adress-, Steuer-, und Daten-Leitungen **23a, 23b, 23c**)).

[0049] Entsprechend umgekehrt können in dem Buffer **10b** auch die von den Speicherbauelementen **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** z.B. am o.g. zentralen Speicher-Bus **15b** ausgegebenen Daten-Signale – kurz – zwischengespeichert, und – auf zeitlich koordinierte, ggf. ge- oder de-multiplexte Weise – an den Memory Controller, bzw. den jeweiligen Prozessor weitergeleitet werden, z.B. über den o.g. Daten-Bus **21b**.

[0050] [Fig. 3](#) zeigt – beispielhaft – eine schemati-

sche Detail-Darstellung eines Abschnitts eines bei dem Speichermodul **1b** gemäß [Fig. 2](#) verwendeten (und in entsprechend ähnlicher Ausgestaltung auch bei dem in [Fig. 1](#) gezeigten Speichermodul **1a** verwendbaren) Daten-Zwischenspeicher-Bauelements bzw. Buffers **10b**.

[0051] Wie aus [Fig. 3](#) hervorgeht, weist der Buffer **10b** zur Durchführung entsprechender Modultests – entsprechend ähnlich wie herkömmliche Daten-Zwischenspeicher-Bauelemente – eine MBIST-Einrichtung **41** auf (MBIST = Memory Built In Self Test, bzw. eingebaute Speicher-Selbst-Test-Einrichtung), und eine Speicher-Schnittstellen-Logik-Einrichtung **42**.

[0052] Die Speicher-Schnittstellen-Logik-Einrichtung **42** ist an den o.g. Speicher-Bus **15b** angeschlossen (insbesondere die o.g. Adress-, Steuer- und Daten-Leitungen **23a, 23b, 23c**), kann also – zu Test-Zwecken – entsprechende Adress-, Steuer- und (Nutz-)Daten-Signale an den Speicherbauelementen **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** anlegen.

[0053] Sollen als Test-(Nutz-)Daten-Signale entsprechende Pseudo-Random-Test-(Nutz-)Daten-Signale verwendet werden, kann in der MBIST-Einrichtung **41** – entsprechend wie bei herkömmlichen Daten-Zwischenspeicher-Bauelementen – ein (hier nicht dargestelltes) LSFR vorgesehen sein (LSFR = Linear Feedback Shift Register, bzw. lineares, rückgekoppeltes Schieberegister). Die von diesem erzeugten Pseudo-Random-Test-(Nutz-)Daten-Signale können – über die o.g. Daten-Leitungen **23c**, und unter Zwischenschaltung der Speicher-Schnittstellen-Logik-Einrichtung **42** – an die Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** weitergeleitet, und dort als entsprechende quasi-zufällige Test-(Nutz-)Daten abgespeichert werden.

[0054] Dies hat den Vorteil, dass bei der Durchführung eines entsprechenden Modultests in den an den entsprechenden Daten-Leitungen **23c** anliegenden Test-(Nutz-)Daten-Signalen eine relativ große Zahl unterschiedlicher Frequenzanteile auftritt, bzw. die Test-(Nutz-)Daten-Signale aus einem relativ breitbandigem Frequenz-Gemisch bestehen.

[0055] Beim vorliegenden Ausführungsbeispiel kann – wie im folgenden noch genauer erläutert wird – bei der Durchführung eines entsprechenden Modultests der gleiche bzw. ein ähnlicher Effekt (alternativ oder zusätzlich) u.a. auch für die über die o.g. Adress-Leitungen **23a** (ebenfalls unter Zwischenschaltung der Speicher-Schnittstellen-Logik-Einrichtung **42**) an die Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** weitergeleiteten Test-Adress-Signale erreicht werden:

Hierzu ist – wie in [Fig. 3](#) gezeigt ist – eine quasizufällige Adress-Daten bzw. Pseudo-Random-Adress-Daten erzeugende LSFR-Einrichtung **43** vorgesehen

(LSFR = Linear Feedback Shift Register, bzw. lineares, rückgekoppeltes Schieberegister) (welche bzw. welches entsprechend ähnlich aufgebaut sein kann, wie herkömmliche – zur Erzeugung von quasi-zufälligen Test-(Nutz-)Daten verwendete – LSFRs (z.B. entsprechend ähnlich, wie das in der o.g. MBIST-Einrichtung **41** ggf. vorgesehene LSFR)).

[0056] Wie in [Fig. 4](#) gezeigt ist, weist die LSFR-Einrichtung **43** mehrere, hintereinandergeschaltete, eine Speicher-Einrichtungs-Kette bildende Speicher-Einrichtungen **43a, 43b, 43c, 43d, 43e** auf (z.B. mehr als zehn oder zwanzig hintereinandergeschaltete Speicher-Einrichtungen), in denen jeweils eine entsprechende Binär-Zahl („logisch eins“, oder „logisch null“) gespeichert werden kann.

[0057] Eine – in der o.g. Speicher-Einrichtungs-Kette relativ weit „hinten“ liegende – Speicher-Einrichtung **43d** der Speicher-Einrichtungen **43a, 43b, 43c, 43d, 43e** ist über eine Leitung **44a** mit einem ersten Eingang eines XOR-Glieds (Exklusiv-Oder-Glied) **45** verbunden, und eine – in der o.g. Speicher-Einrichtungs-Kette bezogen auf die Speicher-Einrichtung **43d** noch weiter „hinten“ liegende – Speicher-Einrichtung **43e** der Speicher-Einrichtungen **43a, 43b, 43c, 43d, 43e** über eine Leitung **44b** mit einem zweiten Eingang des XOR-Glieds **45**.

[0058] Entsprechend ähnlich wie bei herkömmlichen LSFRs wird bei der LSFR-Einrichtung **43** bei jedem Schritt die in einer bestimmten der hintereinandergeschalteten Speicher-Einrichtungen **43a, 43b, 43c, 43d, 43e** jeweils gespeicherte Binär-Zahl jeweils in die nächstfolgende, in der Speicher-Einrichtungs-Kette um einen Schritt weiter „hinten“ liegende Speicher-Einrichtung **43d** geschrieben, und die von dem XOR-Glied **45** über eine Leitung **44c** ausgegebene Binärzahl in die (erste) Speicher-Einrichtung **43a**.

[0059] An mehreren, mit einer ersten Gruppe A von Speicher-Einrichtungen verbundenen Leitungen **46a** kann somit ein erster Pseudo-Random-Wert A abgegriffen werden, an mit einer zweiten Gruppe B von Speicher-Einrichtungen verbundenen Leitungen **46b** ein zweiter Pseudo-Random-Wert B, und an mit einer dritten Gruppe C von Speicher-Einrichtungen verbundenen Leitungen **46b** ein dritter Pseudo-Random-Wert C.

[0060] Der an den Leitungen **46a** abgreifbare Pseudo-Random-Wert A kann eine Breite aufweisen, die der Zeilen-Adress-Breite der o.g. Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** entspricht. Auf entsprechend ähnliche Weise kann der an den Leitungen **46b** abgreifbare Pseudo-Random-Wert B eine Breite aufweisen, die der Spalten-Adress-Breite der o.g. Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** entspricht, und der an den Leitungen **46c** ab-

greifbare Pseudo-Random-Wert C eine Breite, die der Bank-Adress-Breite der o.g. Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b** entspricht.

[0061] Der an den Leitungen **46a** abgreifbare Pseudo-Random-Wert A kann – wie im folgenden noch genauer erläutert wird – zur Ansteuerung entsprechender Zeilen-Adress-Leitungen der o.g. Adress-Leitungen **23a** des Speicher-Busses **15b** verwendet werden.

[0062] Entsprechend kann der an den Leitungen **46b** abgreifbare Pseudo-Random-Wert B – wie im folgenden noch genauer erläutert wird – zur Ansteuerung entsprechender Spalten-Adress-Leitungen der o.g. Adress-Leitungen **23a** des Speicher-Busses **15b** verwendet werden.

[0063] Auf ähnliche Weise kann – wie im folgenden noch genauer erläutert wird – der an den Leitungen **46c** abgreifbare Pseudo-Random-Wert B zur Ansteuerung entsprechender Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a** des Speicher-Busses **15b** verwendet werden.

[0064] Wie aus [Fig. 3](#) weiter hervorgeht, weist das Daten-Zwischenspeicher-Bauelement **10b** ein weiteres Register **47** auf, sowie mehrere Multiplexer **48, 49, 50**, ein AND-Glied **54** (Und-Glied) und – entsprechend ähnlich wie herkömmliche Daten-Zwischenspeicher-Bauelemente – ein Zeilen-Register **51**, ein Spalten-Register **52**, und ein Bank-Register **53**.

[0065] Gemäß [Fig. 3](#) sind die Leitungen **46a** mit entsprechenden – ersten – Eingängen des AND-Glieds **54** verbunden, und entsprechende Register-Ausgabe-Leitungen **55** des weiteren Registers **47** mit entsprechenden – zweiten – Eingängen des AND-Glieds **54**.

[0066] Die Anzahl an Register-Ausgabe-Leitungen **55** kann gleich groß sein, wie die Anzahl an Leitungen **46a** (entsprechend z.B. der Zeilen-Adress-Breite der o.g. Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b**).

[0067] Sind – in einem ersten Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** – in dem weiteren Register lediglich binäre „1“-en gespeichert, liegen an sämtlichen Leitungen der Register-Ausgabe-Leitungen **55** des weiteren Registers **47** jeweils „logisch hohe“ Signale an.

[0068] Dies führt dazu, dass die an den Leitungen **46a** anliegenden Signale (also der o.g. erste Pseudo-Random-Wert A) – i.W. unverändert – an entsprechenden, mit entsprechenden Ausgängen des AND-Glieds **54** verbundene Leitungen **56** weitergeleitet werden.

[0069] Sind demgegenüber – in einem zweiten Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** – in dem weiteren Register lediglich binäre „0“-en gespeichert, liegen an sämtlichen Leitungen der Register-Ausgabe-Leitungen **55** des weiteren Registers **47** jeweils „logisch niedrige“ Signale an.

[0070] Dies führt dazu, dass die an den Leitungen **46a** anliegenden Signale (also der o.g. erste Pseudo-Random-Wert A) nicht an die entsprechenden, mit entsprechenden Ausgängen des AND-Glieds **54** verbundenen Leitungen **56** weitergeleitet werden; stattdessen liegen dort dann sämtlich jeweils „logisch niedrige“ Signale an.

[0071] Wie aus [Fig. 3](#) weiter hervorgeht, sind die mit den o.g. Ausgängen des AND-Glieds **54** verbundenen Leitungen **56** mit entsprechenden – zweiten – Eingängen (S2) des Multiplexers **50** verbunden.

[0072] Des weiteren sind mit entsprechenden Ausgängen des Zeilen-Registers **51** verbundene Leitungen **57** mit entsprechenden – ersten – Eingängen (S1) des Multiplexers **50** verbunden.

[0073] Die Anzahl an Leitungen **57** kann gleich groß sein, wie die Anzahl an Leitungen **56** (und damit z.B. auch gleich groß, wie die Anzahl an Leitungen **46a**, bzw. **55** (entsprechend z.B. der Zeilen-Adress-Breite der o.g. Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b**)).

[0074] Wie in [Fig. 3](#) dargestellt, sind die o.g. Leitungen **46b** (über die der o.g. zweite Pseudo-Random-Wert B übertragen werden kann) mit entsprechenden – zweiten – Eingängen (S2) des Multiplexers **49** verbunden.

[0075] Des weiteren sind mit entsprechenden Ausgängen des Spalten-Registers **52** verbundene Leitungen **58** mit entsprechenden – ersten – Eingängen (S1) des Multiplexers **49** verbunden.

[0076] Die Anzahl an Leitungen **58** kann gleich groß sein, wie die Anzahl an Leitungen **46b** (entsprechend z.B. der Spalten-Adress-Breite der o.g. Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b**).

[0077] Wie weiter aus [Fig. 3](#) hervorgeht, sind die o.g. Leitungen **46c** (über die der o.g. dritte Pseudo-Random-Wert C übertragen werden kann) mit entsprechenden – zweiten – Eingängen (S2) des Multiplexers **48** verbunden.

[0078] Des weiteren sind mit entsprechenden Ausgängen des Bank-Registers **53** verbundene Leitungen **59** mit entsprechenden – ersten – Eingängen (S1) des Multiplexers **48** verbunden.

[0079] Die Anzahl an Leitungen **59** kann gleich groß

sein, wie die Anzahl an Leitungen **46c** (entsprechend z.B. der Bank-Adress-Breite der o.g. Speicherbauelemente **2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b**).

[0080] Im o.g. – im folgenden genauer erläuterten – ersten (und zweiten) Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** kann an entsprechenden LSFR-Freigabe-Leitungen **60** ein „logisch hohes“ Freigabe-Signal (LSFR enable) angelegt werden, und ansonsten (insbesondere in einem dritten – im folgenden genauer erläuterten – Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b**) ein „logisch niedriges“ Signal.

[0081] Die Freigabe-Leitungen **60** sind mit entsprechenden Steuer-Eingängen der Multiplexer **48, 49, 50** verbunden.

[0082] Liegt – beim o.g. ersten und zweiten Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** – an den LSFR-Freigabe-Leitungen **60** ein „logisch hohes“ Freigabe-Signal an, werden die an den mit den jeweils „zweiten“ Eingängen (S2) der Multiplexer **48, 49, 50** verbundenen Leitungen **56, 46b, 46c** anliegenden Signale (also z.B. – beim ersten Betriebsmodus – der o.g. erste Pseudo-Random-Wert A (oder alternativ – beim o.g. zweiten Betriebsmodus – der Wert „0“), der o.g. zweite Pseudo-Random-Wert B, und der o.g. dritte Pseudo-Random-Wert C) – i.W. unverändert – an entsprechende, mit entsprechenden Ausgängen der Multiplexer **48, 49, 50** verbundene Leitungen **61, 62, 63** weitergeleitet (und damit entsprechend auch – wie unten erläutert – an entsprechende Zeilen-Adress-, Spalten-Adress- und Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a**).

[0083] Liegt demgegenüber – z.B. beim o.g. dritten Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** – an den LSFR-Freigabe-Leitungen **60** ein „logisch niedriges“ Signal an, werden stattdessen die an den mit den jeweils „ersten“ Eingängen (S1) der Multiplexer **48, 49, 50** verbundenen Leitungen **57, 58, 59** anliegenden Signale (also die im Zeilen-Register **51**, bzw. im Spalten-Register **52**, bzw. im Bank-Register **53** abgespeicherten, von der MBIST-Einrichtung **41** mittels über entsprechende Leitungen **64, 65, 66** an die entsprechenden Register **51, 52, 53** übertragener Steuersignale bestimmten Werte) – i.W. unverändert – an die o.g., mit entsprechenden Ausgängen der Multiplexer **48, 49, 50** verbundene Leitungen **61, 62, 63** weitergeleitet (und damit entsprechend auch – wie unten erläutert – an entsprechende Zeilen-Adress-, Spalten-Adress- und Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a**).

[0084] Wie sich aus den Ausführungen oben ergibt, liegen im o.g. ersten Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** also sowohl an den

Zeilen-Adress-, als auch an den Spalten-Adress- und Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a** entsprechende – von der LSFR-Einrichtung **43** gelieferte – Pseudo-Random-Test-Adress-Signale an (nämlich an den Zeilen-Adress-Leitungen der o.g. Adress-Leitungen **23a** der o.g. erste Pseudo-Random-Wert A, an den Spalten-Adress-Leitungen der o.g. Adress-Leitungen **23a** der o.g. zweite Pseudo-Random-Wert B, und an den Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a** der o.g. dritte Pseudo-Random-Wert C).

[0085] Demgegenüber liegen im o.g. zweiten Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** lediglich an den Spalten-Adress- und Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a** entsprechende – von der LSFR-Einrichtung **43** gelieferte – Pseudo-Random-Test-Adress-Signale an (nämlich an den Spalten-Adress-Leitungen der o.g. Adress-Leitungen **23a** der o.g. zweite Pseudo-Random-Wert B, und an den Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a** der o.g. dritte Pseudo-Random-Wert C), an den Zeilen-Adress-Leitungen der o.g. Adress-Leitungen **23a** jedoch – aufgrund des „Sperrens“ der an den Leitungen **46a** anliegenden Signale (durch an den Register-Ausgabe-Leitungen **55** anliegende, „logisch niedrige“ Signale) ein jeweils konstanter Wert (hier „0“).

[0086] Die o.g. Vorgehensweisen haben den Vorteil, dass bei der Durchführung eines entsprechenden Modultests (ausgelöst bzw. zentral gesteuert durch ein das Daten-Zwischenspeicher-Bauelement **10b**, insbesondere z.B. das o.g. LSFR-Freigabe-Signal, und/oder das weitere Register **47**, und/oder die MBIST-Einrichtung **41** entsprechend ansteuerndes, externes Testgerät **31a**, **31b** (z.B. ein entsprechender ATE-Tester (ATE = Automated Test Equipment))) – im o.g. ersten und zweiten Betriebsmodus – in den an den entsprechenden Adress-Leitungen **23c** anliegenden Test-Adress-Signalen (insbesondere im ersten Betriebsmodus in den an den Zeilen-, Spalten- und Bank-Adress-Leitungen, und im zweiten Betriebsmodus in den an den Spalten- und Bank-Adress-Leitungen anliegenden Signalen) eine relativ große Zahl unterschiedlicher Frequenzanteile auftritt, bzw. die entsprechenden Test-Adress-Signale aus einem relativ breitbandigem Frequenz-Gemisch bestehen.

[0087] Demgegenüber liegen – wie sich ebenfalls aus den Ausführungen oben ergibt – im o.g. dritten Betriebsmodus des Daten-Zwischenspeicher-Bauelements **10b** an den Zeilen-Adress-, Spalten-Adress-, und Bank-Adress-Leitungen der o.g. Adress-Leitungen **23a** statt der o.g. – von der LSFR-Einrichtung **43** (bzw. dem weiteren Register **47**) gelieferten – (Pseudo-Random-Werte die o.g. von dem Zeilen-Register **51**, dem Spalten-Register **52**, bzw. dem Bank-Register **53** gelieferten Werte an

(nämlich an den Zeilen-Adress-Leitungen der o.g. Adress-Leitungen **23a** der vom Zeilen-Register **51** gelieferte Wert, an den Spalten-Adress-Leitungen der o.g. Adress-Leitungen **23a** der vom Spalten-Register gelieferte Wert, und an den Bank-Adress-Leitungen der vom Bank-Register gelieferte Wert – also keine Pseudo-Zufalls-Werte, sondern auf herkömmliche Weise von der MBIST-Einrichtung **41** gelieferte Werte (z.B. entsprechend jeweils schrittweise erhöhte bzw. inkrementierte, oder erniedrigte bzw. dekrementierte (Adress-) Werte).

[0088] Entsprechend wie bei herkömmlichen Daten-Zwischenspeicher-Bauelementen wird auch bei dem Daten-Zwischenspeicher-Bauelement **10b** durch die MBIST-Einrichtung **41**, bzw. die Speicher-Schnittstellen-Logik-Einrichtung **42** sichergestellt, dass die an den Adress-Leitungen **23a** ausgegebenen (den an den Leitungen **61**, **62**, **63** anliegenden Signalen entsprechenden) Adress-Signale in zeitlich korrekter Koordination ausgegeben werden, zusammen bzw. vor/nach entsprechenden (gesteuert durch die MBIST-Einrichtung **41**, bzw. die Speicher-Schnittstellen-Logik-Einrichtung **42**) an den Daten-Leitungen **23c** und den Steuer-Leitungen **23b** ausgegebenen Test-(Nutz)Daten-Signalen und Test-Steuer-Signalen:

Beispielsweise wird zunächst mit Hilfe eines an den Steuer-Leitungen **23b** ausgegebenen Wortleitungs-Aktivier-Befehls (activate Befehl (ACT)) eine entsprechende – durch die o.g. an den Adress-Leitungen **23a** ausgegebene Zeilen-Adresse (ggf. Pseudo-Random-Zeilen-Adresse) definierte – Wortleitung eines entsprechenden – durch die o.g. an den o.g. Adress-Leitungen **23a** ausgegebene Bank-Adresse (ggf. Pseudo-Random-Bank-Adresse) definierten – Sub-Arrays („Bank“) eines entsprechenden Speicherbauelements **2b**, **3b**, **4b**, **5b**, **6b**, **7b**, **8b**, **9b** aktiviert.

[0089] Daraufhin wird – mit Hilfe eines entsprechenden an den Steuer-Leitungen **23b** ausgegebenen Les- oder Schreib-Befehls (Read- (RD-) bzw. Write- (WT-) Befehl) – veranlasst, dass die entsprechenden – durch die o.g. an den Adress-Leitungen **23a** ausgegebene Spalten-Adresse (ggf. Pseudo-Random-Spalten-Adresse) dann genau spezifizierten – Daten aus dem entsprechenden Speicherbauelements **2b**, **3b**, **4b**, **5b**, **6b**, **7b**, **8b**, **9b** ausgegeben (oder in diese eingelesen) werden.

[0090] Die jeweilige Wortleitung wird zunächst in einem aktivierten Zustand belassen.

[0091] Wird dann – was im Normal-Betrieb des Speichermoduls **1a**, **1b** statistisch gesehen relativ häufig der Fall ist – bei dem entsprechenden Sub-Array („Bank“) als nächstes wiederum auf die bereits aktivierte Wortleitung zugegriffen, kann auf die Ausgabe eines weiteren Wortleitungs-Aktivier-Befehls

(ACT-Befehls) verzichtet werden (Fall A).

[0092] Stattdessen kann an den Steuer-Leitungen **23b** unmittelbar ein entsprechender Lese- (oder Schreib-) Befehl (RD- (oder WT-) Befehl) ausgegeben werden (und an den Adress-Leitungen **23a** eine die jeweiligen Daten dann genau spezifizierende (neue) Spalten-Adresse(ggf. Pseudo-Random-Spalten-Adresse)).

[0093] Erst dann, wenn – was im Normal-Betrieb des Speichermoduls **1a**, **1b** statistisch gesehen seltener der Fall ist – bei dem entsprechenden Sub-Array („memory bank“) als nächstes auf. eine andere als die zuletzt aktivierte Wortleitung zugegriffen wird, wird die entsprechende – zuletzt verwendete – Wortleitung mittels eines an den Steuer-Leitungen **23b** ausgegebenen entsprechenden Wortleitungs-Deaktivier-Befehls (PRE-Befehls) deaktiviert, und dann die – neue – Wortleitung aktiviert (durch Ausgabe eines entsprechenden, weiteren Wortleitungs-Aktivier-Befehls (ACT-Befehls) an den Steuer-Leitungen **23b**) (Fall B).

[0094] Der o.g. – im Normal-Betrieb des Speichermoduls **1a**, **1b** statistisch gesehen relativ häufig auftretende Fall A – einer (zunächst) aktiv belassenen Wortleitung (mit aus den o.g. Gründen relativ schnellen, auf den Adress-Leitungen **23a** auftretenden Adress-Wechseln, insbesondere Spalten-Adress-Wechseln) kann besonders gut mit Hilfe des o.g. zweiten Betriebsmodus simuliert, und getestet werden (da dort, wie erläutert, stets ein- und dieselbe Zeilen-Adresse verwendet wird, d.h. die zugehörige(n) Wortleitung(en) fort dauern aktiviert bleiben).

[0095] Entsprechend ähnlich oder identisch wie die o.g. MBIST-Einrichtung **41**, und/oder die Speicher-Schnittstellen-Logik-Einrichtung **42**, und/oder die Multiplexer **50**, **49**, **48**, und/oder die Register **51**, **52**, **53**, und/oder die LSFR-Einrichtung **43**, etc. aufgebaute und/oder eingerichtete und/oder verschaltete und/oder arbeitende (insbesondere entsprechende Pseudo-Zufalls-Adress-Signale erzeugende/verwendende) Einrichtungen/Multiplexer können statt auf dem o.g. Buffer z.B. auch auf dem o.g. Testgerät **31a**, **31b** (oder einem beliebigen anderen – externen – Testgerät) vorgesehen sein, und/oder auf dem o.g. Speicherbauelement **2a**, **2b** selbst (oder einem beliebigen anderen Halbleiter-, insbesondere Speicherbauelement), etc.

Bezugszeichenliste

1a Speichermodul
1b Speichermodul
2a Speicherbauelement
2b Speicherbauelement
3a Speicherbauelement

3b Speicherbauelement
4a Speicherbauelement
4b Speicherbauelement
5a Speicherbauelement
5b Speicherbauelement
6a Speicherbauelement
6b Speicherbauelement
7a Speicherbauelement
7b Speicherbauelement
8a Speicherbauelement
8b Speicherbauelement
9a Speicherbauelement
9b Speicherbauelement
10a Buffer
10b Buffer
12a Platine
12b Platine
13a Adress-Bus
13b Adress-Bus
14a Steuer-Bus
14b Steuer-Bus
15a Speicher-Bus
15b Speicher-Bus
21a Daten-Bus
21b Daten-Bus
22a Adress-Leitungen
22b Steuer-Leitungen
23a Adress-Leitungen
23b Steuer-Leitungen
23c Daten-Leitungen
31a Testgerät
31b Testgerät
41 MBIST-Einrichtung
42 Speicher-Schnittstellen-Logik-Einrichtung
43 LSFR-Einrichtung
43a Speicher-Einrichtung
43b Speicher-Einrichtung
43c Speicher-Einrichtung
43d Speicher-Einrichtung
43e Speicher-Einrichtung
44a Leitung
44b Leitung
44c Leitung
45 XOR-Glied
46a Leitungen
46b Leitungen
46c Leitungen
47 Register
48 Multiplexer
49 Multiplexer
50 Multiplexer
51 Zeilen-Register
52 Spalten-Register
53 Bank-Register
54 AND-Glied
55 Register-Ausgabe-Leitungen
56 Leitungen
57 Leitungen
58 Leitungen
59 Leitungen

- 60 LFSR-Freigabe-Leitungen
- 61 Leitungen
- 62 Leitungen
- 63 Leitungen
- 64 Leitungen
- 65 Leitungen
- 66 Leitungen

– (b) Anlegen des Pseudo-Zufall-Werts an entsprechende Adress-Eingänge eines zu testenden Halbleiter-Bauelements (**2b**).

10. Speicher-Modul (**1b**) nach Anspruch 8, welches ein – durch das Daten-Zwischenspeicher-Bauelement, und/oder ein oder mehrere weitere Daten-Zwischenspeicher-Bauelemente – voll gepuffertes Speicher-Modul ist.

Patentansprüche

1. Halbleiter-Bauelement-Test-Einrichtung (**10b**), welche aufweist:

– eine Einrichtung (**43**) zum Erzeugen von an entsprechende Adress-Eingänge eines zu testenden Halbleiter-Bauelements (**2b**), insbesondere Speicherbauelements anzulegenden Pseudo-Zufalls-Adress-Werten.

2. Halbleiter-Bauelement-Test-Einrichtung (**10b**) nach Anspruch 1, bei welcher die Pseudo-Zufalls-Adress-Wert-Erzeugungs-Einrichtung ein Schieberegister, insbesondere ein rückgekoppeltes Schieberegister aufweist.

3. Halbleiter-Bauelement-Test-Einrichtung (**10b**) nach Anspruch 1 oder 2, bei welcher die Pseudo-Zufalls-Adress-Werte Pseudo-Zufalls-Spalten-Adress-Werte sind bzw. beinhalten.

4. Halbleiter-Bauelement-Test-Einrichtung (**10b**) nach Anspruch 1, 2 oder 3, bei welcher die Pseudo-Zufalls-Adress-Werte Pseudo-Zufalls-Speicher-Bank-Adress-Werte sind bzw. beinhalten.

5. Halbleiter-Bauelement-Test-Einrichtung (**10b**) nach Anspruch 1, 2, 3 oder 4, bei welcher die Pseudo-Zufalls-Adress-Werte Pseudo-Zufalls-Zeilen-Adress-Werte sind bzw. beinhalten.

6. Halbleiter-Bauelement-Test-Einrichtung (**10b**) nach Anspruch 5, mit einer Auswahl-Einrichtung (**54**) zur wahlweisen Auswahl von – entweder – von der Pseudo-Zufalls-Adress-Wert-Erzeugungs-Einrichtung erzeugten Werten als Zeilen-Adress-Werte, oder von – von einer weiteren Einrichtung (**47**) erzeugten – Werten als Zeilen-Adress-Werte.

7. Daten-Zwischenspeicher-Bauelement, mit einer Halbleiter-Bauelement-Test-Einrichtung (**10b**) nach einem der vorhergehenden Ansprüche.

8. Speicher-Modul (**1b**), mit mindestens einem Speicherbauelement (**2b**), und einer Halbleiter-Bauelement-Test-Einrichtung (**10b**) nach einem der Ansprüche 1 bis 6, bzw. einem Daten-Zwischenspeicher-Bauelement nach Anspruch 7.

9. Halbleiter-Bauelement-Test-Verfahren, wobei das Verfahren die Schritte aufweist:
– (a) Erzeugen eines Pseudo-Zufall-Werts, und

11. Speicher-Modul (**1b**) nach Anspruch 8, welches ein – durch das Daten-Zwischenspeicher-Bauelement, und/oder ein oder mehrere weitere Daten-Zwischenspeicher-Bauelemente – teilweise gepuffertes Speicher-Modul ist.

Es folgen 4 Blatt Zeichnungen

FIG 1

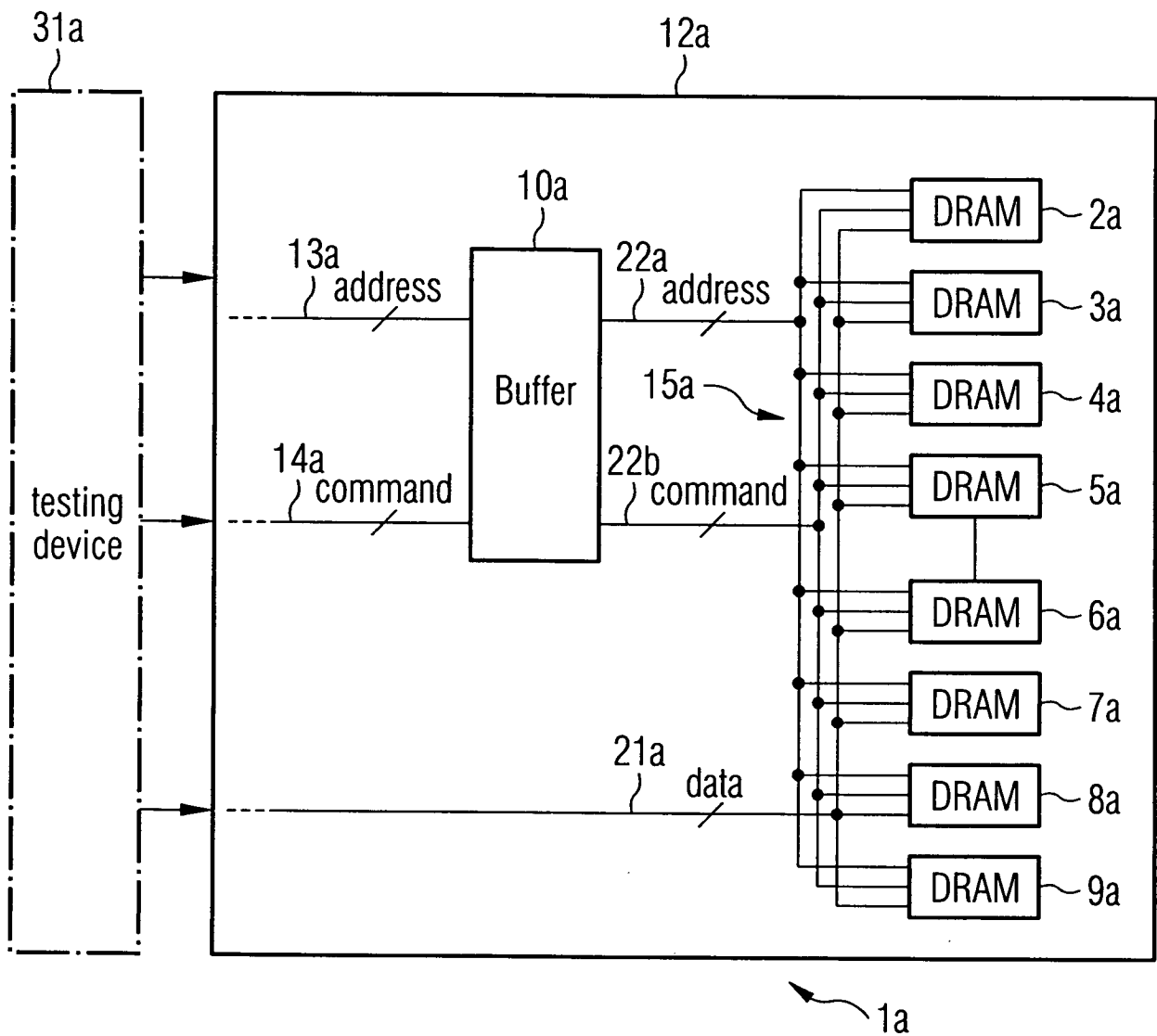


FIG 2

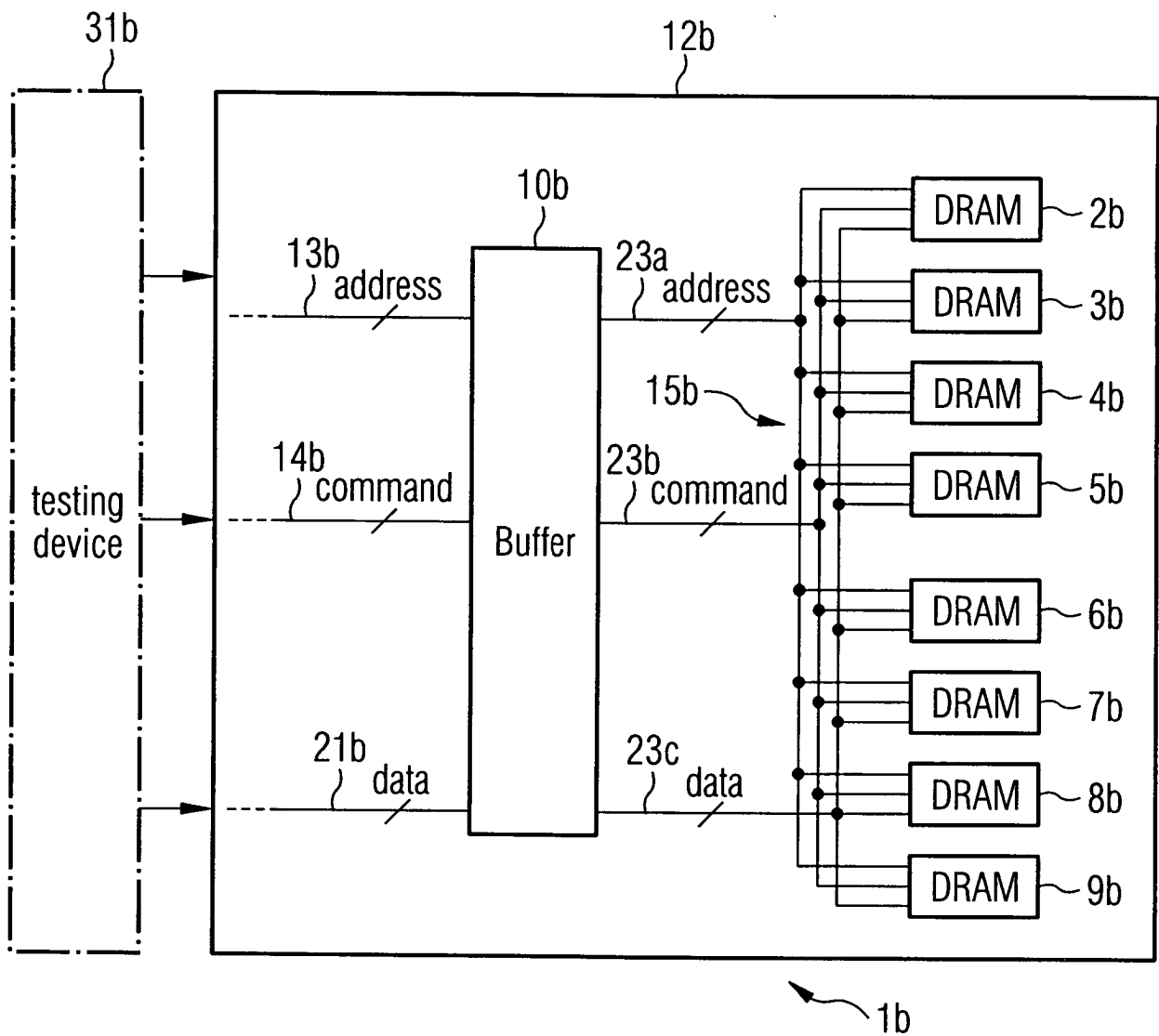


FIG 3

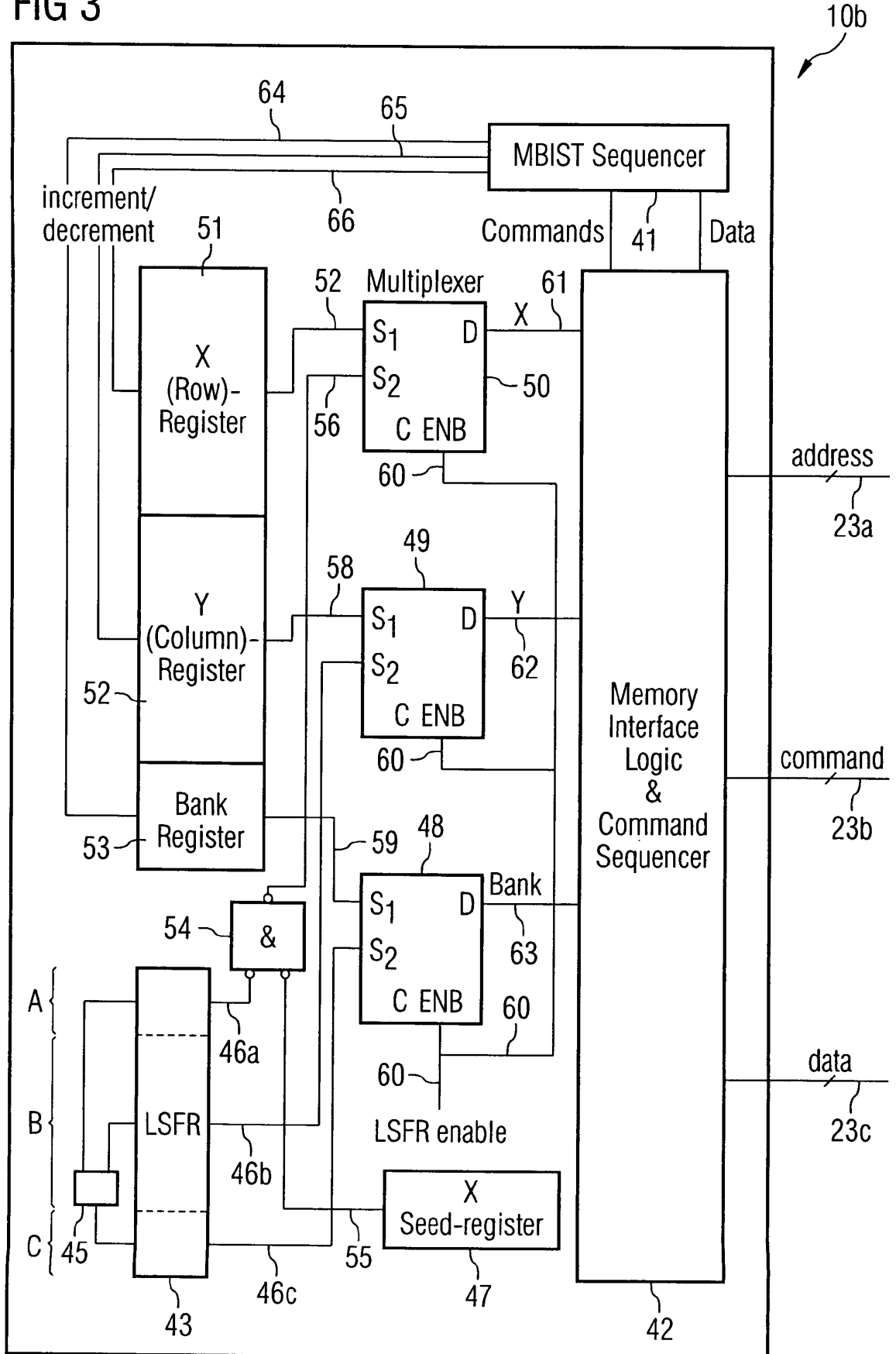


FIG 4

