



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201304002 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101121198

(22)申請日：中華民國 101 (2012) 年 06 月 13 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

(30)優先權：2011/07/15 日本 2011-156533

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本

(72)發明人：久保井信行 KUBOI, NOBUYUKI (JP) ; 深澤正永 FUKASAWA, MASANAGA (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：10 項 圖式數：10 共 49 頁

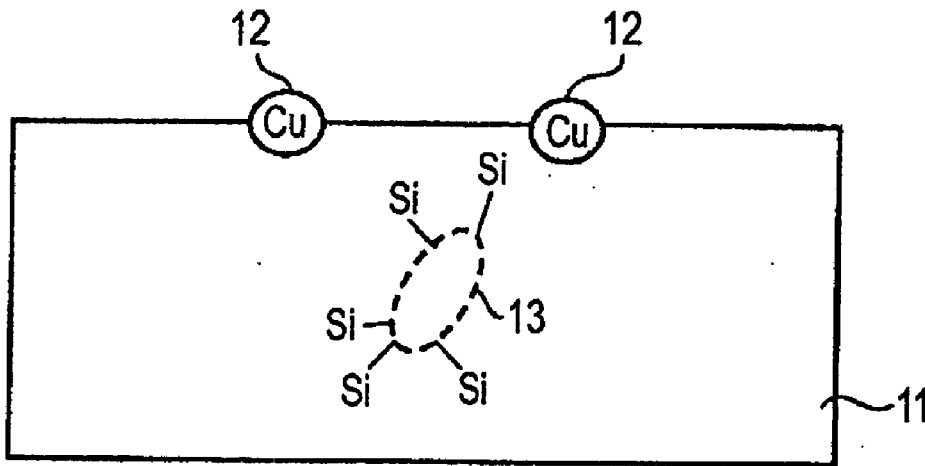
(54)名稱

電漿處理方法、電漿處理裝置及半導體元件製造方法

PLASMA TREATMENT METHOD, PLASMA TREATMENT APPARATUS, AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)摘要

一種電漿處理方法包含：自含有碳及氮之一混合氣體形成一電漿以產生 CN 活性物種，且用該等 CN 活性物種處理一半導體基板之一表面。



- 11：半導體基板/目標
半導體基板
- 12：污染物金屬
- 13：晶體缺陷
- 14：聚合物層

圖 1A

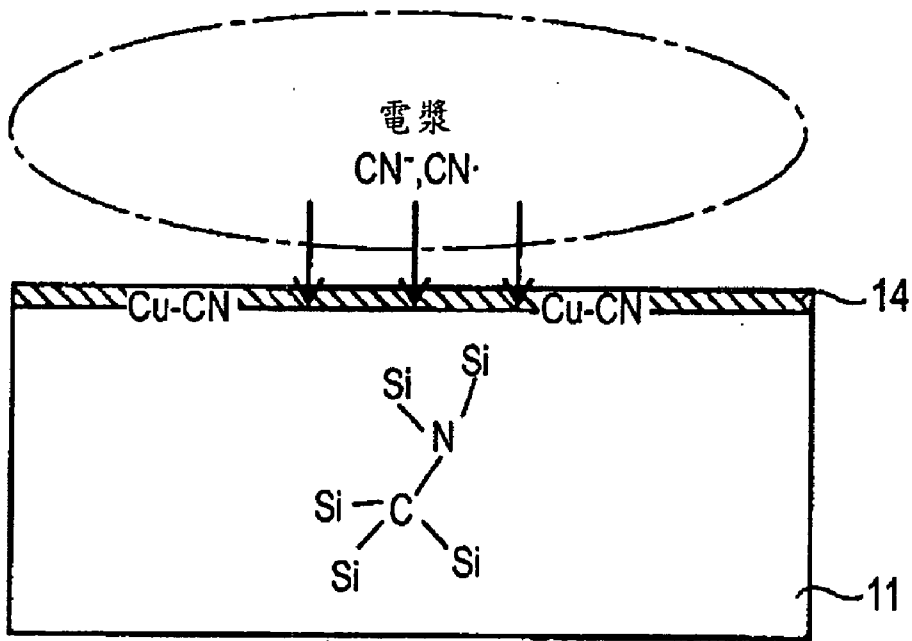


圖 1B

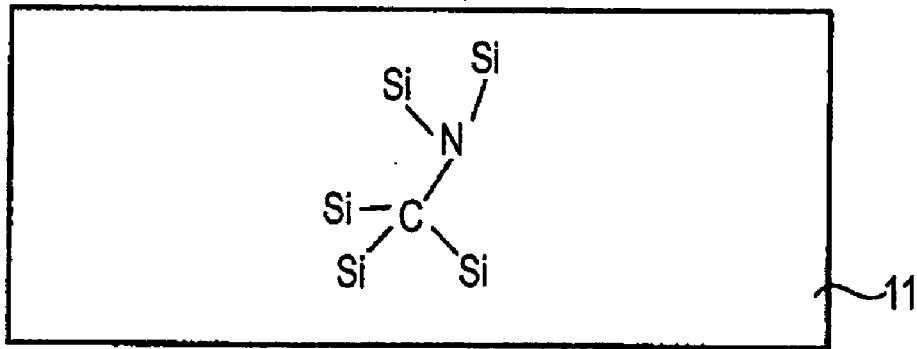


圖 1C



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201304002 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101121198

(22)申請日：中華民國 101 (2012) 年 06 月 13 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

(30)優先權：2011/07/15 日本 2011-156533

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本

(72)發明人：久保井信行 KUBOI, NOBUYUKI (JP) ; 深澤正永 FUKASAWA, MASANAGA (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：10 項 圖式數：10 共 49 頁

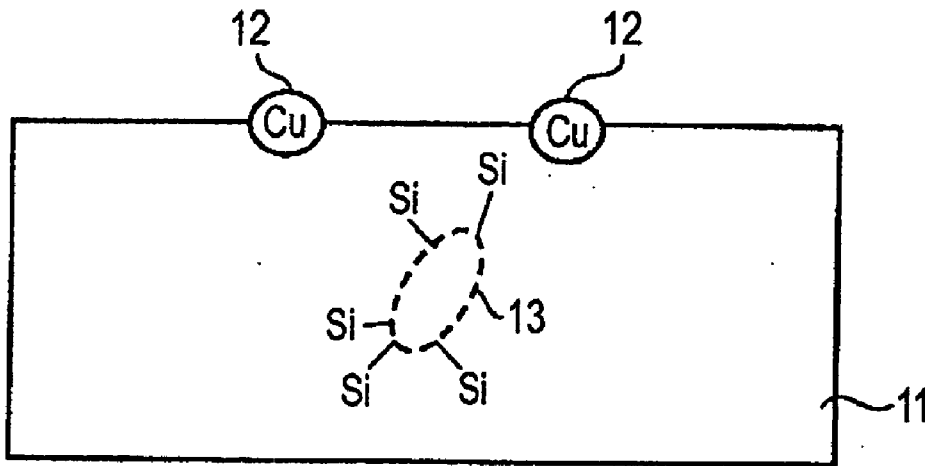
(54)名稱

電漿處理方法、電漿處理裝置及半導體元件製造方法

PLASMA TREATMENT METHOD, PLASMA TREATMENT APPARATUS, AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)摘要

一種電漿處理方法包含：自含有碳及氮之一混合氣體形成一電漿以產生 CN 活性物種，且用該等 CN 活性物種處理一半導體基板之一表面。



- 11：半導體基板/目標
半導體基板
- 12：污染物金屬
- 13：晶體缺陷
- 14：聚合物層

圖 1A

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101121198

※申請日：101.6.17 ※IPC 分類：H01L21/3065 2006.01

一、發明名稱：(中文/英文)

電漿處理方法、電漿處理裝置及半導體元件製造方法

PLASMA TREATMENT METHOD, PLASMA TREATMENT
APPARATUS, AND SEMICONDUCTOR DEVICE MANUFACTURING
METHOD

二、中文發明摘要：

一種電漿處理方法包含：自含有碳及氮之一混合氣體形成一電漿以產生CN活性物種，且用該等CN活性物種處理一半導體基板之一表面。

三、英文發明摘要：

A plasma treatment method includes: creating a plasma from a mixed gas containing carbon and nitrogen to generate CN active species, and treating a surface of a semiconductor substrate with the CN active species.

四、指定代表圖：

(一)本案指定代表圖為：第 (1A-1C) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|----|---------------|
| 11 | 半導體基板/目標半導體基板 |
| 12 | 污染物金屬 |
| 13 | 晶體缺陷 |
| 14 | 聚合物層 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明技術係關於半導體基板電漿處理方法、電漿處理裝置及半導體元件製造方法。

【先前技術】

在半導體生產中已知一半導體基板中之晶體缺陷及發生在製作期間之金屬污染代表元件特性劣化中之一嚴重因素。此等缺陷之已知實例包含在MOS (金屬氧化物半導體)、CCD (電荷耦合元件)及CMOS (互補金屬氧化物半導體)成像感測器中之白斑及暗電流。已知元件特性之此劣化發生在RTS (隨機電報信號雜訊)、閘極I-V特性、太陽能電池轉換效率及雷射輸出特性中。然後半導體元件生產中之大挑戰中之一者係減少一半導體基板中之此等缺陷及污染。

已提出一有效技術，藉此使用存在於一HCN溶液中之 CN^- (氰離子)來極大地減少一半導體基板中之晶體缺陷及金屬污染(參見JP-A-10-74753及JP-A-2005-33038)。在此技術中，允許 CN^- 選擇性地與存在於半導體基板表面上或基板中之金屬及晶體缺陷(懸空鍵)反應。反應形成一穩定錯合物且移除該等金屬，或與懸空鍵形成鍵以鈍化該等缺陷。在此技術中，反應在室溫下即充分發生。已知此技術係極耐紫外光或大約 $800^{\circ}C$ 之高溫。

由於使用一HCN溶液之方法涉及HCN之高毒性，因此自化學處理之觀點看在當前生產線中使用該方法係困難的。

作為一對策，提出一種方法，其中使用一觸媒自甲烷及氮生產HCN，且其中藉由紫外線照射及臭氧水處理對所使用之HCN去毒並將其分解為二氧化碳氣體及氮(見JP-A-2008-729)。

將使用HCN之處理方法視為對晶體缺陷及金屬污染之減少非常有效。事實上，舉例而言，存在在實驗級別有將該方法應用於矽太陽能電池且實際上大限度地改良效率之一報告(參見O. Maida、A. Asano、M. Takahashi、H. Iwasa、H. Kobayashi、Surf. Sci. 542 (2003) 244)。

【發明內容】

然而，在實際生產線上使用HCN之技術之使用涉及生產一指定新穎處理裝置，且因此係不實際的。

因此，需要可減少晶體缺陷及金屬污染之一半導體基板處理方法。

本發明技術之一實施例係針對一電漿處理方法，其自含有碳及氮之一混合氣體形成一電漿以產生CN活性物種，及用該等CN活性物種處理一半導體基板之一表面。

本發明技術之一實施例係針對一半導體元件製造方法，其包含在經受電漿處理之一半導體基板上形成一半導體組件。

本發明技術之又一實施例係針對一電漿處理裝置，其包含自含有碳及氮之一混合氣體形成一電漿，及用該等所產生CN活性物種處理一半導體基板之一表面之一電漿處理單元。

可在不使用高毒性HCN溶液或HCN氣體之情形下將該電漿處理方法及該電漿處理裝置應用於一常見半導體製造製程中之一電漿處理步驟，且該電漿處理方法及該電漿處理裝置可修復一半導體基板中之晶體缺陷且移除金屬污染。此使得可生產其中可抑制由於晶體缺陷及金屬污染所致之各種元件特性之劣化的一半導體元件。

本發明技術之實施例可提供可減少晶體缺陷及金屬污染之一半導體基板處理方法。

【實施方式】

下文將闡述用於實行本發明技術之最佳模式之實例。應注意本發明技術並不限於以下實例。

將以如下次序進行闡述。

1. 電漿處理方法之第一實施例
2. 電漿處理方法之第二實施例
3. 電漿處理方法之第三實施例
4. 電漿處理方法之第四實施例
5. 電漿處理方法之第五實施例
6. 電漿處理方法之第六實施例
7. 電漿處理方法之第七實施例
8. 電漿處理裝置之實施例

<1. 電漿處理方法之第一實施例>

下文闡述一電漿處理方法之一特定實施例。圖1A至圖1C係示意性地表示本實施例之電漿處理方法之步驟的圖式。

如圖1A中所圖解說明，製備一目標半導體基板11。舉例而言，製備一矽基板作為半導體基板11。半導體基板11具有污染物金屬12及諸如矽懸空鍵之晶體缺陷。在圖1A中，展示Cu作為半導體基板11中之污染物金屬12之一實例。

[藉由電漿處理產生CN]

如圖1B中所圖解說明，使用一電漿處理裝置對半導體基板11進行電漿處理。在本實施例中，藉由使用含有一C(碳)元素及一N(氮)元素之一混合分子氣體之電漿處理產生諸如CN自由基(CN·)及CN離子(CN⁻)之CN活性物種。

電漿處理中所使用之混合氣體並非特定限定的，只要其係含有C及N之一混合分子氣體即可。舉例而言，一含C氣體可係製造一半導體元件中所使用之一氣體，諸如CHF₃、CH₂F₂、C₄F₈、C₅F₈、CO、C₂H₅OH及CH₃OH。舉例而言，一含N氣體可係製造一半導體元件中所使用之一氣體，諸如N₂及NH₃。另外，Ar氣體及He氣體可用作用於含有C及N之混合分子氣體之稀釋氣體。

含C及N之混合分子氣體之實例包含CHF₃/N₂/(Ar)、CH₂F₂/N₂/(Ar)、C₄F₈/N₂/(Ar)、C₅F₈/N₂/(Ar)、CO/N₂/(Ar)、CH₃OH/NH₃/(Ar)及C₂H₅OH/N₂/(Ar)之組合。注意稀釋氣體Ar及He不係必需的，只要電漿可穩定地放電。

藉由將高頻功率施加於混合氣體來執行該電漿處理。一CCP(電容耦合電漿)室係用於電漿處理。除CCP裝置外，亦可使用諸如一ICP(感應耦合電漿)裝置及一ECR(電子回旋諧振)裝置之裝置。

包含處理時間 t 、氣壓 P 、室壁溫度 T_w 及晶圓溫度 T 之電漿處理條件經最佳化以使得藉由CN活性物種之處理高度有效。

施加於室之最大功率較佳地應設置為足夠導致氣體解離之一高值，(舉例而言)大約1,000至2,000 W。將偏壓功率設定為一值，該值足夠高以蝕刻沈積於半導體基板11上之一聚合物層14，但足夠低以避免蝕刻目標半導體基板11。舉例而言，將偏壓功率設定為大約50 W或更少，較佳地大約20 W或更少。根據所使用之氣體物種及聚合物層14之厚度最佳化偏壓功率。端視所使用之氣體物種，存在其中聚合物層14難以形成或根本未形成之情況。在此情況下，該電漿處理可在無偏壓功率(0 W)下執行。

下文呈現電漿處理條件之實例。此等條件用於在緊接著製作一CMOS成像感測矽光電二極體之後藉助一CCP蝕刻室執行之電漿處理。

氣體流率：CHF₃/N₂/Ar=100/100/500 sccm

最大功率：1,000 W

偏壓功率：20 W

氣壓：30 m托

壁溫度 T_w ：60°C

晶圓溫度 P_T ：20°C

處理時間 t ：10秒

一電漿係在前述條件下自含C及N之混合分子氣體形成以產生CN活性物種。然後將半導體基板11之表面曝露於

該等CN活性物種。藉由此處理，該等CN活性物種選擇性地與半導體基板11表面上之污染物金屬反應，或與半導體層中之晶體缺陷反應。因此，半導體基板11之表面上之金屬與CN活性物種形成一穩定金屬錯合物，及自半導體基板11之表面移除。

此外，CN活性物種結合至半導體基板11之表面上之晶體缺陷(舉例而言，矽懸空鍵)。舉例而言，矽基板中之懸空鍵結合至CN以形成Si-CN鍵。在矽晶體缺陷之情況下，可與矽懸空鍵選擇性地形成一強Si-CN鍵(4.5 eV)以達成具有比在氫氣燒結(Si-H、3.1 eV)之情況下更高穩定性的一修復。此處，由於矽晶體中之CN，矽帶隙中不發生新能級。此已藉由第一原理計算得到確認。藉由如上文修復半導體基板11中之晶體缺陷，可減少半導體基板11中之。

在上文闡述之電漿處理中，在多晶矽及非晶系矽之情況下CN活性物種滲透至一大約100-nm之深度，在單晶矽及熱氧化膜之情況下滲透至一大約幾個奈米之深度，且在使用(例如)TEOS藉由CVD形成之氧化膜之情況下滲透至數十奈米之深度。因此可由此將晶體缺陷移除。

[聚合物層移除處理]

然後將在電漿處理期間形成於半導體基板11上之聚合物層14移除。

當一氟氣用作含C氣體時，聚合物層14作為一薄層形成於半導體基板11之表面上。因此，如圖1C中所圖解說明，使用諸如SC1 ($\text{NH}_4\text{OH}+\text{H}_2\text{SO}_4$)之一化學物執行一化學處理

達1分鐘以移除沈積於表面上之聚合物層14。濕式化學處理達成在不損壞(例如，蝕刻)半導體基板11之情形下移除聚合物層14。

特定而言，例如，使用氫過氧化氫水($\text{NH}_4\text{OH}+\text{H}_2\text{O}_2$)或硫酸過氧化氫水($\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2$)執行該化學處理。舉例而言，根據聚合物層14之厚度執行化學處理達大約1分鐘。將處理時間提前輸入用於一半導體製造裝置(稍後闡述)之一配方中，且根據聚合物層14之厚度將其最佳化。

注意，端視在電漿處理步驟中選擇之氣體物種可不形成聚合物層14。此外，在最佳電漿處理條件下，可將聚合物層14蝕刻，且甚至在使用一氟氣時亦不可發生沈積。舉例而言，在電漿處理期間所形成之聚合物層14藉由施加大約20 W之一偏壓功率至半導體基板11而藉由電漿激發被同時蝕刻。聚合物層14之形成可藉由最佳化電漿處理步驟中之此等條件而得到抑制。

此外，較佳地最佳化氣體流率(比率)以抑制半導體基板11上之聚合物層14之形成。藉由抑制聚合物層14之形成，可防止聚合物層14干涉半導體基板11與CN活性物種之間的接觸效率。此外，可減少聚合物層14之化學移除所需之勞動。

最終，用去離子水清洗經受化學處理之半導體基板11之表面。

電漿處理方法可藉由使用現有MOS或成像元件製造製程之一電漿處理步驟執行。因此可將電漿處理方法簡單地引

入至現有半導體元件製造步驟。此外，可使用現有生產線之一製造裝置而不需新引入一製造裝置來執行該電漿處理方法。

可藉由使用各種分析技術預測及判定電漿處理之存在或缺失。舉例而言，電漿處理可藉由基板中懸空鍵量之ESR (電子自旋諧振)量測，且藉由N量之XPS (X射線光電子能譜)量測來判定。

[使用該製造方法及製造裝置生產之半導體元件]

可藉由在經受電漿處理之半導體基板上形成諸如各種二極體、電晶體及電子組件之一半導體組件(主動元件)生產一半導體元件。

舉例而言，電漿處理亦可應用於除矽單晶外之諸如Cu₂O及GaAs之化合物半導體及氧化物半導體。電漿處理亦可應用於摻雜有各種雜質之半導體。舉例而言，電漿處理可應用於形成一固態成像元件之像素部分之一光電二極體以修復該光電二極體之雜質區域中之晶體缺陷，且減少白斑及暗電流之產生。此外，舉例而言，電漿處理可應用於形成一pn接面型太陽能電池之一半導體基板以修復晶體缺陷，且因此提高轉換效率。半導體基板可係為包含單晶體、多晶體及非晶系之任何類型。

可藉由使用已知方法生產形成於經受電漿處理之半導體基板上之半導體組件。此外，可在形成半導體組件之前或之後在半導體基板上執行電漿處理。電漿處理可修復亦在形成於半導體基板上之電晶體之間極絕緣膜、閘極電極及

絕緣區域中之晶體缺陷。可修復亦在形成於基板上之多晶矽層及非晶系矽層中及在此等層之含有藉由離子植入注入之雜質之區域中的晶體缺陷。

[電子元件]

可使用藉由應用電漿處理而生產之一半導體元件形成一電子裝置。圖2表示一電子元件之一實例，其展示包含藉由應用電漿處理而生產之一固態成像元件之一靜止影像或運動影像視訊攝影機之一組態。舉例而言，該固態成像元件適用於各種電子元件，其包含諸如數位相機及視訊攝影機之相機系統；具有成像功能之行動電話；及具有成像功能之各種其他元件。

舉例而言，一相機20包含一固態成像元件21、將入射光引導至固態成像元件21之光接收感測器部分之一光學系統22、提供在固態成像元件21與光學系統22之間之一快門單元23及驅動固態成像元件21及快門單元23之一驅動電路24。相機20亦包含處理來自固態成像元件21之輸出信號之一信號處理電路25。

固態成像元件21可由藉由使用經受電漿處理之一半導體基板而生產之一半導體元件實現。

光學系統(光學透鏡)22在固態成像元件21之成像面(未圖解說明)上自被攝體影像(入射光)形成一影像。因此，信號電荷在固態成像元件21中累積達一特定時間段。光學系統22可由包含複數個光學透鏡之光學透鏡構件組態。快門單元23控制入射光在固態成像元件21上之曝光時間。

驅動電路24供應驅動信號至固態成像元件21及快門單元23。藉助該等驅動信號，驅動電路24控制自固態成像元件21至信號處理電路25之信號輸出操作及快門單元23之快門操作。特定而言，在此實例中，自固態成像元件21至信號處理電路25之信號傳輸操作係使用自驅動電路24供應之驅動信號(時序信號)來執行。

信號處理電路25對自固態成像元件21傳送之信號執行各種信號處理。將經受各種信號處理之信號(視訊信號)儲存於諸如記憶體(未圖解說明)之一儲存媒體中或輸出至一監視器(未圖解說明)。

該固態成像元件並不限於作為偵測用於成像之入射可見光數量分佈之一固態成像元件之應用，且亦適用作使用用於成像之紅外線、X射線或粒子之入射數量分佈之一固態成像元件。從廣義上來講，該固態成像元件係適用於偵測諸如用於成像之壓力及電容之其他物理量分佈之廣泛之固態成像元件(物理量分佈偵測器)，諸如一指紋偵測感測器。

此外，該固態成像元件並不限於以列為單位順序地掃描像素陣列部分之單元像素以自每一單元像素讀取像素信號之一固態成像元件。舉例而言，該固態成像元件亦適用作以像素為單位選擇任意像素，且以像素為單位自該等選定像素讀取信號之一X-Y定址固態成像元件。

該固態成像元件可具有一單個晶片之一形式，或可係呈作為一成像區段及一信號處理器或一光學系統之一封裝之

具有成像功能之一模組之一形式。

儘管已使用一相機作為電子元件之一實例來闡述本實施例，但電子元件可係包含(舉例而言)具有高像素特性、高邏輯特性及高能量輸出特性之一半導體元件(舉例而言，諸如一CCD及一CIS (CMOS成像感測器)之感測器元件、記憶體元件、雷射元件、顯示元件及如以太陽能電池為代表之能量元件)。

<2. 電漿處理方法之第二實施例>

下文闡述電漿處理方法之第二實施例。圖3A至圖3C示意性地表示本實施例之電漿處理方法之步驟。

首先，如圖3A中所圖解說明，製備一目標半導體基板11。然後，舉例而言，使用一熱氧化方法在半導體基板11上形成大約2 nm之一個氧化物膜15。當形成安裝於一半導體元件上之一半導體組件(舉例而言，一MOSFET)時，氧化物膜15變為閘極絕緣膜。如圖3A中所圖解說明，半導體基板11具有污染物金屬12及晶體缺陷13。

在本實施例中，半導體基板11之半導體層表面於氧化物膜15上方經受電漿處理。

然後，如圖3B中所圖解說明，自含有一C元素及一N元素之一混合分子氣體形成一電漿，且藉由使用第一實施例中所闡述之相同方法產生諸如CN自由基(CN·)及CN離子(CN⁻)之CN活性物種。然後將具有氧化物膜15之半導體基板11之表面曝露於CN活性物種。

藉由該處理，CN活性物種選擇性地與氧化物膜15之表

面上之污染物金屬反應。半導體基板11之表面上之金屬與CN活性物種形成一穩定金屬錯合物，且自半導體基板11之表面移除。

此外，CN活性物種穿過氧化物膜15，且選擇性地與半導體基板11之半導體層之表面上之晶體缺陷反應。因此，甚至在於該表面上形成氧化物膜15之情形下，CN活性物種可結合至半導體基板11之半導體層之表面上之缺陷(舉例而言，矽懸空鍵)，且修復晶體缺陷。

然後將在電漿處理期間形成於半導體基板11上之聚合物層14移除。

當一氟氣用作含C氣體時，聚合物層14作為一薄層形成於半導體基板11之表面上。因此，如圖3C中所圖解說明，藉由使用一化學物之濕式蝕刻處理半導體基板11以移除沈積於該表面上之聚合物層14。當在不形成聚合物層14之條件下執行電漿處理時聚合物層14之移除係不必要的。

最後，用去離子水清洗半導體基板11之表面。

如上文所闡述，甚至在於半導體基板11上形成氧化物膜15之情形下，半導體基板11中之晶體缺陷亦可藉由在半導體基板11之表面上氧化物膜15上方執行之電漿處理而修復。舉例而言，在諸如上述熱氧化膜之一密集氧化物膜之情況下，可將半導體基板11處理至大約數個奈米之深度。在諸如一TEOS之較不密集氧化物膜之情況下，甚至當氧化物膜具有大約數十奈米之一較大厚度時，亦可處理氧化物膜下面之半導體層。

在半導體基板11之半導體層與氧化物膜15之間的界面處存在之晶體缺陷，舉例而言，在Si/SiO₂界面處之晶體缺陷可藉由其上形成有氧化物膜之半導體基板11之電漿處理而減少。舉例而言，以此方式，可改良電晶體閘極I-V特性且減少RTS雜訊。

<3. 電漿處理方法之第三實施例>

下文闡述電漿處理方法之第三實施例。圖4A至圖4C示意性地表示本實施例之電漿處理方法之步驟。

首先，如圖4A中所圖解說明，製備一目標半導體基板11。然後，舉例而言，藉由使用RIE（反應性離子蝕刻）在半導體基板11中形成一渠溝16。舉例而言，渠溝16係在形成於一半導體元件中之一固態成像元件之像素內變為一遮光結構之一凹槽。舉例而言，亦可將渠溝16提供為用於形成一STI（淺渠溝隔離）之一渠溝，或用於形成一垂直電晶體之一閘極電極之一渠溝。如圖4A中所圖解說明，半導體基板11具有污染物金屬12及晶體缺陷13。

在本實施例中，對半導體基板11之表面，且對渠溝16中所曝露之表面執行電漿處理。

然後，如圖4B中所圖解說明，自含有一C元素及一N元素之一混合分子氣體形成一電漿，且藉由使用第一實施例中所闡述之相同方法產生諸如CN自由基(CN·)及CN離子(CN⁻)之CN活性物種。然後將半導體基板11曝露於CN活性物種以用CN活性物種處理半導體基板11之表面，及渠溝16之內表面。

藉由該處理，CN活性物種選擇性地與半導體基板11之表面上之污染物金屬反應，且與渠溝16中之污染物金屬反應。因此，該等金屬與CN活性物種形成一穩定金屬錯合物，且自半導體基板11移除。

CN活性物種自半導體基板11之表面且自渠溝16內部之經曝露表面進入半導體基板11。因此，該等CN活性物種自半導體基板11之表面一直至深達渠溝16選擇性地與半導體基板11之晶體缺陷反應，且可修復半導體基板11中之晶體缺陷。

然後，將在電漿處理期間形成於半導體基板11上之聚合物層14移除。

在本實施例中，聚合物層14亦沈積於渠溝16中。因此，如圖4C中所圖解說明，藉由使用一化學物濕式蝕刻半導體基板11將聚合物層14移除。當在不形成聚合物層14之條件下執行電漿處理時聚合物層14之移除係不必要的。最後，用去離子水清洗半導體基板11之表面。

如上文所闡述，甚至在於半導體基板11中形成凹槽16之情形下，亦可對包含渠溝16之內表面之半導體基板11執行電漿處理。因此可減少形成於半導體基板11中及渠溝16之側壁及底部處之晶體缺陷及金屬污染。

因此，舉例而言，當該渠溝形成為用於在固態成像元件之像素中形成一遮光結構或用於形成一STI之一凹槽時可減少白斑及暗電流。此外，當提供該渠溝以用於形成一垂直電晶體之一閘極電極時，可減少該閘極電極底部及側表

面上之晶體缺陷及金屬污染，且可期望飽和電荷量(Q)之改良。

注意，在本實施例中，可以第二實施例中所闡述之方式在半導體基板11上及渠溝16之內壁上形成氧化物膜。甚至在具有氧化物膜之情形下，半導體基板11及渠溝16之電漿處理亦係可能的。

端視所使用之氣體物種及處理條件，相同處理裝置可用於用以藉由RIE或諸如此類形成渠溝之蝕刻室，且用於用以用CN活性物種進行表面處理之電漿處理室。替代地，此等處理可使用單獨裝置來執行。

<4. 電漿處理方法之第四實施例>

下文闡述電漿處理方法之第四實施例。圖5A至圖5C示意性地表示本實施例之電漿處理方法之步驟。

首先，如圖5A中所圖解說明，製備一目標半導體基板11。然後，使用一熱氧化方法在半導體基板11上形成(舉例而言)大約2 nm之一個氧化物膜15，後續接著在氧化物膜15上形成一多晶矽層。然後使用光微影蝕刻技術將該多晶矽層製成一閘極電極之一形狀以形成一多晶矽閘極電極19。

舉例而言，氧化物膜15及多晶矽閘極電極19係用於形成安裝於一半導體元件上之諸如一MOSFET之一半導體組件之閘極絕緣膜及閘極電極。如圖5A中所圖解說明，半導體基板11具有污染物金屬12及晶體缺陷13。

在本實施例中，對多晶矽閘極電極19及半導體基板11同

時執行電漿處理。在氧化物膜15上方執行半導體基板11之電漿處理。

然後，如圖5B中所圖解說明，自含有一C元素及一N元素之一混合分子氣體形成一電漿，且以與第一實施例中相同之方式產生諸如CN自由基(CN·)及CN離子(CN⁻)之CN活性物種。然後將具有氧化物膜15之半導體基板11之表面及多晶矽閘極電極19曝露於CN活性物種。

藉由該處理，CN活性物種選擇性地與氧化物膜15及多晶矽閘極電極19之表面上之污染物金屬反應。該等污染物金屬與CN活性物種形成一穩定金屬錯合物，且自半導體基板11移除。

CN活性物種亦選擇性地與多晶矽閘極電極19中之晶體缺陷反應。此外，CN活性物種穿過多晶矽閘極電極19及氧化物膜15，且選擇性地與半導體基板11之表面上之晶體缺陷反應。因此，甚至在於表面上形成多晶矽閘極電極19及氧化物膜15之情形下，CN活性物種亦可結合至半導體基板11之表面上之晶體缺陷(舉例而言,矽懸空鍵)，且可修復該等缺陷。

然後將在電漿處理期間形成於半導體基板11上之聚合物層14移除。

在本實施例中，聚合物層14亦沈積於多晶矽閘極電極19上。因此，如圖5C中所圖解說明，藉由使用一化學物濕式蝕刻半導體基板11來將聚合物層14移除。當在不形成聚合物層14之條件下執行電漿處理時，聚合物層14之移除係不

必要的。最後，用去離子水清洗半導體基板11之表面。

如上文所闡述，甚至在具有多晶矽閘極電極之情形下，亦可藉由在多晶矽閘極電極19及氧化物膜15上方對半導體基板11之表面執行電漿處理來修復半導體基板11中之晶體缺陷。當修復半導體基板11中之晶體缺陷時亦可同時修復多晶矽閘極電極19中之晶體缺陷。

當使用多晶矽或非晶系矽時CN活性物種進入半導體基板11至大約數百奈米之深度。因此，CN活性物種不僅進入多晶矽閘極電極19，而且進入形成於多晶矽閘極電極19下面之閘極絕緣膜15及形成於閘極絕緣膜15下面之半導體基板11。

以此方式，可減少多晶矽閘極電極中之晶體缺陷及在多晶矽閘極電極與閘極絕緣膜之界面處之晶體缺陷。亦可減少半導體基板11與氧化物膜之界面處之晶體缺陷。因此可減少具有多晶矽閘極電極及閘極絕緣膜之一半導體元件中之洩漏電流。舉例而言，亦可改良電晶體閘極之I-V特性且減少RTS雜訊。

此外，具有氧化物膜15及多晶矽閘極電極19之諸如一MOSFET之一半導體元件可係藉由在本實施例之電漿處理之後在半導體基板11中執行離子植入而生產。此外，本實施例之電漿處理可在於提前經受離子植入之半導體基板11上形成氧化物膜15及多晶矽閘極電極19之後執行。

以此方式，可將本實施例之電漿處理應用於一已知半導體製造步驟以生產受益於減少級別之晶體缺陷及污染物金

屬之一半導體元件。

<5. 電漿處理方法之第五實施例>

下文闡述電漿處理方法之第五實施例。圖6A至圖6C示意性地表示本實施例之電漿處理方法之步驟。

首先，如圖6A中所圖解說明，製備一目標半導體基板11。然後，使用一熱氧化方法在半導體基板11上形成(舉例而言)大約2 nm之一個氧化物膜15，後續接著在氧化物膜15上形成之一多晶矽層。然後使用光微影蝕刻技術將該多晶矽層製作成一閘極電極之一形狀以形成一多晶矽閘極電極19。

在形成多晶矽閘極電極19之後，在多晶矽閘極電極19上方，及氧化物膜15之整個表面上方形成三個絕緣層17A、17B及17C(側壁17)。舉例而言，TEOS(矽酸四乙酯)層形成為絕緣層17A及17C。舉例而言，一SiN層形成為絕緣層17B。

然後對絕緣層17A、17B及17C回蝕以在多晶矽閘極電極19之側壁上形成側壁17。然後，將半導體基板11上之氧化物膜15移除，惟在多晶矽閘極電極19及側壁17下面之部分。

將氧化物膜15、多晶矽閘極電極19及側壁17組態為安裝於一半導體元件上之半導體組件。如圖6A中所圖解說明，半導體基板11具有污染物金屬12及晶體缺陷13。

在本實施例中，在形成側壁17之後對多晶矽閘極電極19及半導體基板11同時執行電漿處理。

然後，如圖6B中所圖解說明，自含有一C元素及一N元素之一混合分子氣體形成一電漿，且藉由使用第一實施例中所闡述之相同方法產生諸如CN自由基(CN·)及CN離子(CN⁻)之CN活性物種。然後將半導體基板11、多晶矽閘極電極19及側壁17之表面曝露於CN活性物種。

藉由該處理，CN活性物種選擇性地與半導體基板11、多晶矽閘極電極19及側壁17之表面上之污染物金屬反應。該等污染物金屬與CN活性物種形成一穩定金屬錯合物，且自半導體基板11移除。

CN活性物種亦選擇性地與多晶矽閘極電極19中之晶體缺陷反應。此外，CN活性物種穿過多晶矽閘極電極19、側壁17及氧化物膜15，且選擇性地與半導體基板11之表面上之晶體缺陷反應。因此，甚至在於表面上形成多晶矽閘極電極19及側壁17之情形下，CN活性物種亦可結合至半導體基板11表面上之晶體缺陷(舉例而言，矽懸空鍵)，且可修復該等缺陷。

然後，將在電漿處理期間形成於半導體基板11上之聚合物層14移除。

在本實施例中，聚合物層14亦沈積於多晶矽閘極電極19及側壁17上。因此，如圖6C中所圖解說明，藉由使用一化學物濕式蝕刻半導體基板11來將聚合物層14移除。當在不形成聚合物層14之條件下執行電漿處理時聚合物層14之移除係不必要的。最後，用去離子水將清洗半導體基板11之表面。

如上文所闡述，甚至在具有側壁之情形下，亦可藉由在半導體基板11之表面上、多晶矽閘極電極及側壁上方執行之電漿處理來修復半導體基板11中之晶體缺陷。此外，多晶矽閘極電極中之晶體缺陷可與半導體基板11中之晶體缺陷同時修復。

以此方式，如在第四實施例中，可減少多晶矽閘極電極中之晶體缺陷及多晶矽閘極電極與閘極絕緣膜之界面處之晶體缺陷。亦可減少半導體基板11與閘極絕緣膜之界面處之晶體缺陷。因此可減少具有多晶矽閘極電極及閘極絕緣膜之一半導體元件中之洩漏電流。舉例而言，可改良電晶體閘極之I-V特性且減少RTS雜訊。

此外，可在形成氧化物膜15、多晶矽閘極電極19及側壁17之後，在提前藉由離子植入形成半導體基板11中之雜質區域之後執行本實施例之電漿處理。以此方式，可生產包含(舉例而言)具有減少級別之晶體缺陷及污染物金屬之一MOSFET之一半導體元件。

以此方法，本實施例之電漿處理可應用於一已知半導體製造步驟以生產一半導體元件。

<6. 電漿處理方法之第六實施例>

下文闡述電漿處理方法之第六實施例。圖7A至圖7C示意性地表示本實施例之電漿處理方法之步驟。

首先，如圖7A中所圖解說明，製備一目標半導體基板。然後，使用一熱氧化方法在半導體基板11上形成(舉例而言)大約2 nm之一個氧化物膜15，後續接著在氧化物膜15

上形成一多晶矽層。然後使用光微影蝕刻技術將該多晶矽層製作成一閘極電極之一形狀以形成一多晶矽閘極電極19。

在形成多晶矽閘極電極19之後，在多晶矽閘極電極19上方，及氧化物膜15之整個表面上方形成三個絕緣層17A、17B及17C (側壁17)。舉例而言，TEOS (矽酸四乙酯)層形成為絕緣層17A及17C。舉例而言，一SiN層形成為絕緣層17B。

然後回蝕絕緣層17A、17B及17C以在多晶矽閘極電極19之側壁上形成側壁17。然後，將自側壁17曝露之氧化物膜15移除。

此後，在半導體基板11之整個表面上方形成一層間絕緣層18，從而覆蓋多晶矽閘極電極19及側壁17。在形成層間絕緣層18之後，使用光微影蝕刻技術及各向異性蝕刻在一預定位置處穿過層間絕緣層18至半導體基板11之表面上形成一通孔18A。在圖7A中所圖解說明之實例中，形成通孔18A以便移除側壁17之一部分。

氧化物膜15、多晶矽閘極電極19及側壁17變為安裝於一半導體元件上之半導體組件。可藉由在層間絕緣層18之通孔18A內部形成一導體而將半導體基板11上之一導線及層間絕緣層18上之一導線互相連接(未圖解說明該等導線)。如圖7A中所圖解說明，半導體基板11具有污染物金屬12及晶體缺陷13。

在本實施例中，在於層間絕緣層18中形成通孔18A之後

對在通孔18A底部處曝露之半導體基板11之表面執行電漿處理。

然後，如圖7B中所圖解說明，自含有一C元素及一N元素之一混合分子氣體形成一電漿，且藉由使用第一實施例中所闡述之相同方法產生諸如CN自由基(CN·)及CN離子(CN⁻)之CN活性物種。然後將層間絕緣層18之表面，及在通孔18A之底部處曝露之半導體基板11之表面曝露於CN活性物種。

藉由該處理，CN活性物種選擇性地與層間絕緣層18之表面、通孔18A之內表面及通孔18A中之半導體基板11之表面上存在之污染物金屬反應。污染物金屬與CN活性物種形成一穩定金屬錯合物，且自半導體基板11移除。

CN活性物種亦選擇性地與在通孔18A底部處曝露之半導體基板11之表面上之晶體缺陷反應。因此CN活性物種可結合至半導體基板11之表面上之晶體缺陷(舉例而言，矽懸空鍵)，且可修復該等缺陷。

然後將在電漿處理期間形成於半導體基板11上之聚合物層14移除。

在本實施例中，聚合物層14沈積於層間絕緣層18、通孔18A之內壁及通孔18A底部處之半導體基板11之表面上。因此，如圖7C中所圖解說明，藉由使用一化學物濕式蝕刻半導體基板11來移除聚合物層14。當在不形成聚合物層14之條件下執行電漿處理時聚合物層14之移除係不必要的。最後，用去離子水清洗半導體基板11之表面。

如上文所闡述，電漿處理可減少穿過層間絕緣層18形成之通孔18A中所曝露之半導體基板11之表面上之污染物金屬及晶體缺陷。此使得可減少半導體元件之洩漏電流且改良I-V特性。

<7. 電漿處理方法之第七實施例>

下文闡述電漿處理方法之第七實施例。圖8A至圖8D示意性地表示本實施例之電漿處理方法之步驟。

首先，如圖8A中所圖解說明，製備一目標半導體基板11。在半導體基板11上形成一非晶系層10。舉例而言，非晶系層10係在一半導體元件之一製造步驟中在高功率及高劑量條件下蝕刻一矽基板時沈積於半導體基板11上之一層。

然後，如圖8B中所圖解說明，藉由CDE (化學幹式蝕刻) 移除非晶系層10。舉例而言，在 $CF_4/O_2=50/50$ sccm、20 Pa條件下執行CDE。

此後，如圖8C中所圖解說明，自含有一C元素及一N元素之一混合分子氣體形成一電漿，且藉由使用第一實施例中所闡述之相同方法產生諸如CN自由基(CN·)及CN離子(CN⁻)之CN活性物種。然後將半導體基板11之表面曝露於CN活性物種。

此處，如第一實施例中，使用CN活性物種之電漿處理之溫度係室壁溫度 T_w 為60°C，及晶圓溫度 P_T 為20°C。由於甚至當在半導體基板11上形成具有低耐熱性之材料及組件時處理可在低溫下執行，因此可在不導致損壞之情形下

執行電漿處理。

然後將在電漿處理期間形成於半導體基板11上之聚合物層14移除。當使用一氟氣作為含C氣體時，聚合物層14作為一薄層形成於半導體基板11表面上。因此，如圖8D中所圖解說明，藉由使用一化學物濕式蝕刻半導體基板11來移除聚合物層14。當在不形成聚合物層14之條件下執行電漿處理時，聚合物層14之移除係不必要的。

最後，用去離子水清洗半導體基板11之表面。

在具有一非晶系層之一沈積之半導體基板11的一常見處理方法中，藉由退火恢復半導體基板11之結晶度。然而，當諸如低耐熱性之有機部件及樹脂部件之材料形成於半導體基板11上時高溫退火係不可能的。另一方面，使用CN活性物種之本實施例之電漿處理不導致對此等低耐熱性部件之損壞，此乃因處理溫度低於諸如常見有機部件及樹脂部件之材料之耐熱溫度。因此本實施例之電漿處理方法亦可應用於包含在數個步驟中形成之低耐熱性材料之半導體元件。

<8. 電漿處理裝置之實施例>

下文闡述該電漿處理方法應用於其之一電漿處理裝置之一實施例。圖9圖解說明本實施例之電漿處理裝置之一示意性結構。圖10表示使用圖9之電漿處理裝置之電漿處理方法之一流程。

[電漿處理裝置]

圖9中所圖解說明之一電漿處理裝置30係由批次裝設空

間31及36、一運輸系統(負載鎖定室)37、一電漿處理室32、一聚合物厚度量測室33、一有機材料移除室34及一去離子水處理室35組態。

批次裝設空間31容納待處理之一半導體基板。批次裝設空間36容納一經處理半導體基板。半導體基板經由負載鎖定室37在批次裝設空間31及36與各室之間移動。在負載鎖定室37中及其他室中維持一真空。

電漿處理室32使用一已知電漿處理室。舉例而言，電漿處理室32經組態以包含一OES(光學放射光譜儀)系統、一氣體去毒單元、包含電漿處理之一配方之軟體及一控制系統。

軟體中所含有之電漿處理之配方包含各種條件，諸如最大功率、偏壓功率、室壁溫度、晶圓溫度、氣壓及氣體流率(比率)。使用軟體中之配方及控制系統來控制電漿產生及產生CN活性物種。

OES系統在電漿處理期間監視CN發射強度，且根據發射強度波動藉助軟體及控制系統執行一O₂清潔步驟。

電漿處理室32使用一高毒性氣體，或CN氣體或其他高毒性氣體產生於電漿室中。因此電漿處理室32包含用於此等氣體之一去毒單元。

將一氣體供應單元(未圖解說明)連接至電漿處理室32。該氣體供應單元包含用於產生處理半導體基板所使用之CN活性物種之含C及N之混合氣體之一供應單元。舉例而言，該氣體供應單元亦包含用於諸如用於電漿處理室32中

之其他處理之稀釋 Ar 氣體及其他氣體之氣體的一供應單元。

舉例而言，聚合物厚度量測室 33 經組態以包含一原位量測元件、一控制系統及資料庫。

舉例而言，聚合物厚度量測室 33 包含諸如一 XPS (X 射線光電子光譜) 及一光譜橢圓偏光儀之能夠進行原位量測之量測元件，及用於原位量測元件之一控制系統。資料庫儲存聚合物厚度與化學處理時間之間的關係。

舉例而言，有機材料移除室 34 經組態以包含一化學物單元、含有化學處理之一配方之軟體、一控制系統及一廢液單元。

軟體儲存各種處理條件作為化學處理之一配方。化學處理之各種條件係自儲存在聚合物厚度量測室 33 之資料庫中之聚合物厚度與化學處理時間之間的關係擷取。使用軟體中之配方及控制系統來執行用於移除沈積於半導體基板上之聚合物層之化學處理。化學物單元供應諸如 H_2SO_4 、 H_2O_2 及 NH_4OH 之用於化學處理之化學物至有機材料移除室 34。在化學處理中使用之化學物係由廢液單元收集。

舉例而言，去離子水處理室 35 經組態以包含一化學物單元、含有去離子水處理之一配方之軟體、一控制系統及一廢液單元。

舉例而言，去離子水處理室 35 經提供以使用去離子水清洗及移除半導體基板表面上之污染及異物。化學物單元供應諸如去離子水及用於清洗半導體基板之各種其他清洗液

體之清洗液體至去離子水處理室35。藉由使用儲存在軟體中之配方及控制系統來清洗半導體基板。用於清洗之化學物係藉由廢液單元收集。

[處理流程]

下文參照圖10闡述使用圖9中所展示之電漿處理裝置30之電漿處理方法之一流程。

首先，將放置於批次裝設空間31中之一半導體基板經由安置在中央之負載鎖定室37送至電漿處理室32。然後使自批次裝設空間31傳送至電漿處理室之半導體基板經受電漿處理。

在具有(舉例而言)CCP、ICP及ECR之電漿處理室32中，如在電漿處理方法之前述實施例中，使用藉由根據一配方控制之電漿所產生之CN活性物種執行表面處理，該配方包含最大功率、偏壓功率、室壁溫度、晶圓溫度、氣壓及氣體流率(比率)。

OES系統貫穿電漿處理持續地監視CN發射強度(舉例而言，387 nm波長下之發射)，且根據發射強度波動在經處理晶圓之間自動地執行O₂清潔步驟。舉例而言，針對相對於參照強度之20%或更大之發射強度波動執行O₂清潔步驟。另外，舉例而言，可在500 sccm之一O₂流動速率及一最大功率/偏壓功率= 1,000/100 W下執行O₂清潔步驟達1分鐘。

在電漿處理之後，將半導體基板經由負載鎖定室37送至聚合物厚度量測室33。在聚合物厚度量測室33中，量測沈

積於半導體基板上之聚合物層之厚度。在聚合物厚度量測室33中使用裝設於室內之一厚度量測元件原位量測聚合物層厚度。然後將聚合物層之經量測厚度值與儲存在資料庫中之厚度處理時間關係相比較以自動地決定後續步驟之化學處理時間。

在量測之後，將半導體基板經由負載鎖定室37送至有機材料移除室34，且化學處理該半導體基板達規定時間段。舉例而言，將諸如 H_2SO_4 、 H_2O_2 及 NH_4OH 之處理所需之化學物自儲存此等化學物之一罐供應至該室，且執行該化學處理達如上文自動地決定之處理時間。

在化學處理之後，將半導體基板經由負載鎖定室37送至去離子水處理室35，且清洗基板表面。將經受如上述所有處理之半導體基板經由負載鎖定室37運輸至批次裝設空間36。

在此流程之後半導體基板之電漿處理完成。

注意前述實施例中所闡述之電漿處理條件可係相同於第一實施例中所闡述之條件。亦可適當地改變包含氣體物種、處理時間 t 、氣壓 P 、室壁溫度 T_w 及晶圓溫度 T 之條件。根據半導體基板之類型及所使用之氣體物種最佳化電漿處理條件以使得藉由CN活性物種之處理高度有效。

此外，前述第二至第七實施例之電漿處理方法亦適用於藉由在如第一實施例中之半導體基板上形成一半導體組件或其他組件之一半導體元件製造方法。此外，使用第二至第七實施例之電漿處理方法之一半導體元件可用於形成如

第一實施例中之一電子元件。

本發明技術可經如下組態。

(1) 一種電漿處理方法，其包含：

自含有碳及氮之一混合氣體形成一電漿以產生CN活性物種，及用該等CN活性物種處理一半導體基板之一半導體層之一表面。

(2) 根據(1)之電漿處理方法，其中該等CN活性物種鈍化該半導體基板之一表面上之該半導體層。

(3) 根據(1)或(2)之電漿處理方法，其中該混合氣體含有選自 CHF_3 、 CH_2F_2 、 C_4F_8 、 C_5F_8 、 CO 、 $\text{C}_2\text{H}_5\text{OH}$ 及 CH_3OH 中之至少一者。

(4) 根據(1)至(3)中任一者之電漿處理方法，其中將自 0 W 至 50 W 之一偏壓功率施加至該半導體基板。

(5) 根據(1)至(4)中任一者之電漿處理方法，其中用以形成該電漿之一最大功率在自 1,000 W 至 2,000 W 之範圍。

(6) 根據(1)至(5)中任一者之電漿處理方法，其中在用該等CN活性物種處理該半導體基板之後以化學方式移除沈積於該半導體基板上之一聚合物層。

(7) 一種用於製造一半導體元件之方法，該方法包含：執行(1)至(6)中任一者之電漿處理；及在該半導體基板上形成一半導體組件。

(8) 一電漿處理裝置，其包含執行(1)至(6)中任一者之電漿處理之一電漿處理單元。

(9) 根據(8)之電漿處理裝置，其中該電漿處理單元包含

含有用於產生CN活性物種之電漿處理條件之一配方的軟體。

(10) 根據(8)或(9)之電漿處理裝置，其中該電漿處理單元包含一CN氣體去毒單元。

本發明含有與在2011年7月15日日本專利局提出申請之日本優先權專利申請案JP 2011-156533中所揭示之標的物相關之標的物，該申請案之全部內容以引用方式併入本文。

熟習此項技術者應瞭解，可端視設計要求及其他因素出現各種修改、組合、子組合及變更，只要其在隨附申請專利範圍及其等效範圍之範疇內。

【圖式簡單說明】

圖1A至圖1C係示意性地表示根據第一實施例之一電漿處理方法之步驟之圖式。

圖2係表示根據一實施例之一電子元件之一組態之一圖式。

圖3A至圖3C係示意性地表示根據第二實施例之一電漿處理方法之步驟之圖式。

圖4A至圖4C係示意性地表示根據第三實施例之一電漿處理方法之步驟之圖式。

圖5A至圖5C係示意性地表示根據第四實施例之一電漿處理方法之步驟之圖式。

圖6A至圖6C係示意性地表示根據第五實施例之一電漿處理方法之步驟之圖式。

圖 7A 至圖 7C 係示意性地表示根據第六實施例之一電漿處理方法之步驟之圖式。

圖 8A 至圖 8D 係示意性地表示根據第七實施例之一電漿處理方法之步驟之圖式。

圖 9 係表示根據一實施例之一電漿處理裝置之一組態之一圖式。

圖 10 係表示使用圖 9 之電漿處理裝置之一處理的一流程圖。

【主要元件符號說明】

10	非晶系層
11	半導體基板/目標半導體基板
12	污染物金屬
13	晶體缺陷
14	聚合物層
15	氧化物膜/閘極絕緣膜
16	渠溝
17	側壁
17A	絕緣層
17B	絕緣層
17C	絕緣層
18	層間絕緣層
18A	通孔
19	多晶矽閘極電極
20	相機

- 21 固態成像元件
- 22 光學系統/光學系統(光學透鏡)
- 23 快門單元
- 24 驅動電路
- 25 信號處理電路
- 30 電漿處理裝置
- 31 批次裝設空間
- 32 電漿處理室
- 33 聚合物厚度量測室
- 34 有機材料移除室
- 35 去離子水處理室
- 36 批次裝設空間
- 37 運輸系統(負載鎖定室)/負載鎖定室

七、申請專利範圍：

1. 一種電漿處理方法，其包括：

自含有碳及氮之一混合氣體形成一電漿以生產CN活性物種，且用該等CN活性物種處理一半導體基板之一表面。

2. 如請求項1之電漿處理方法，其中該等CN活性物種鈍化該半導體基板之該表面上之一半導體層。

3. 如請求項1之電漿處理方法，其中該混合氣體含有選自 CHF_3 、 CH_2F_2 、 C_4F_8 、 C_5F_8 、 CO 、 $\text{C}_2\text{H}_5\text{OH}$ 及 CH_3OH 中之至少一者。

4. 如請求項1之電漿處理方法，其中將自0 W至50 W之一偏壓功率施加至該半導體基板。

5. 如請求項1之電漿處理方法，其中用於形成該電漿之一最大功率在自1,000 W至2,000 W之範圍。

6. 如請求項1之電漿處理方法，其中在用該等CN活性物種處理該半導體基板之後以化學方式移除沈積於該半導體基板上之一聚合物層。

7. 一種用於製造一半導體元件之方法，該方法包括：

自含有碳及氮之一混合氣體形成一電漿以產生CN活性物種，且用該等CN活性物種處理一半導體基板之一表面；及

在該半導體基板上形成一半導體組件。

8. 一種電漿處理裝置，其包括自含有碳及氮之一混合氣體形成一電漿以產生CN活性物種，且用該等CN活性物種

處理一半導體基板之一表面之一電漿處理單元。

9. 如請求項8之電漿處理裝置，其中該電漿處理單元包括含有用於產生該等CN活性物種之電漿處理條件之一配方的軟體。
10. 如請求項8之電漿處理裝置，其中該電漿處理單元包括一CN氣體去毒單元。

八、圖式：

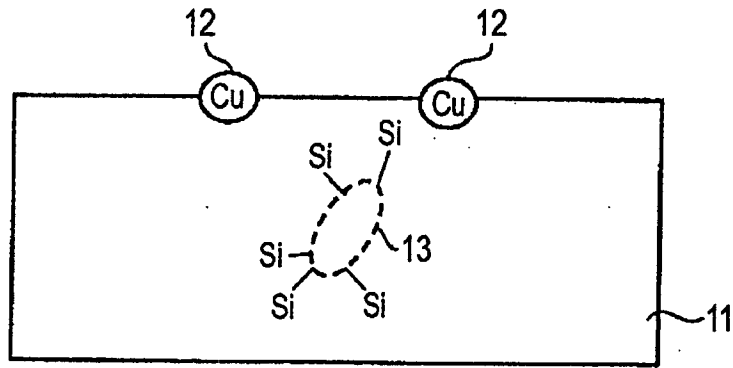


圖 1A

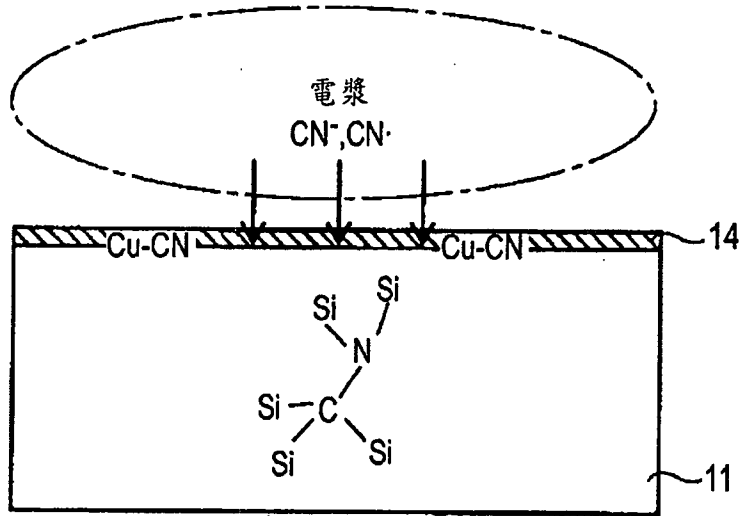


圖 1B

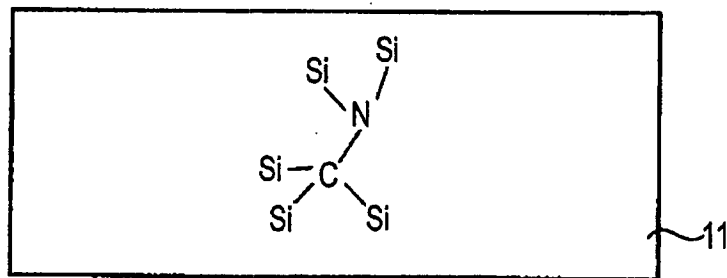


圖 1C

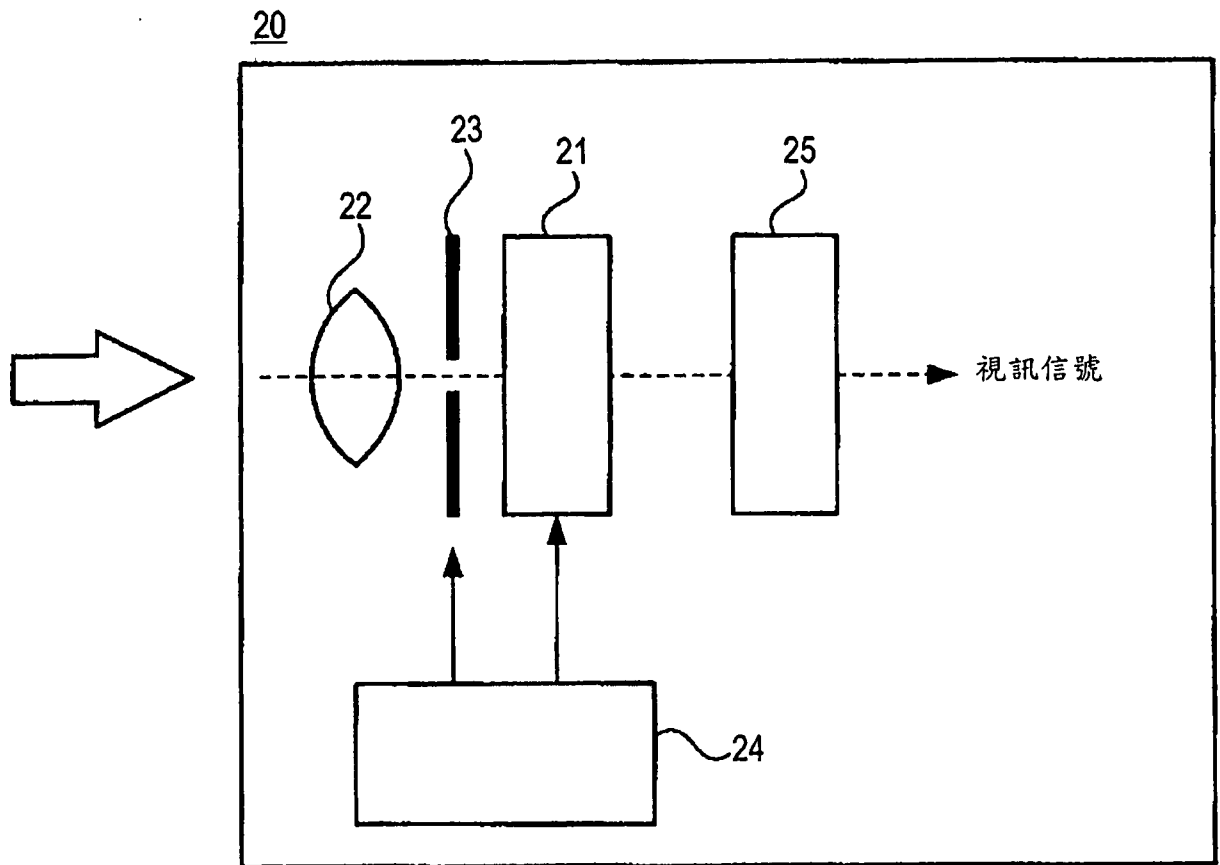


圖 2

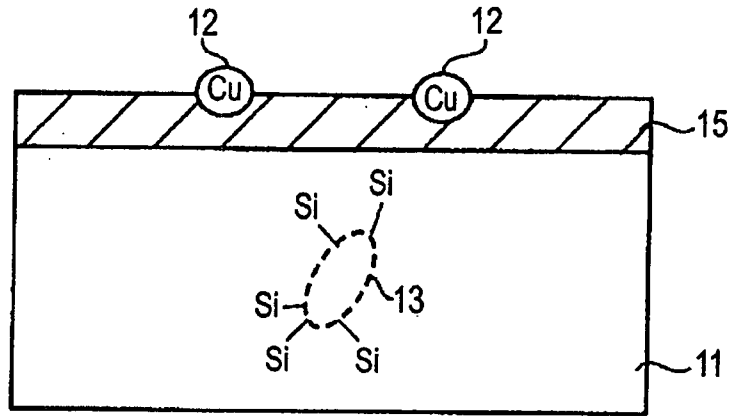


圖 3A

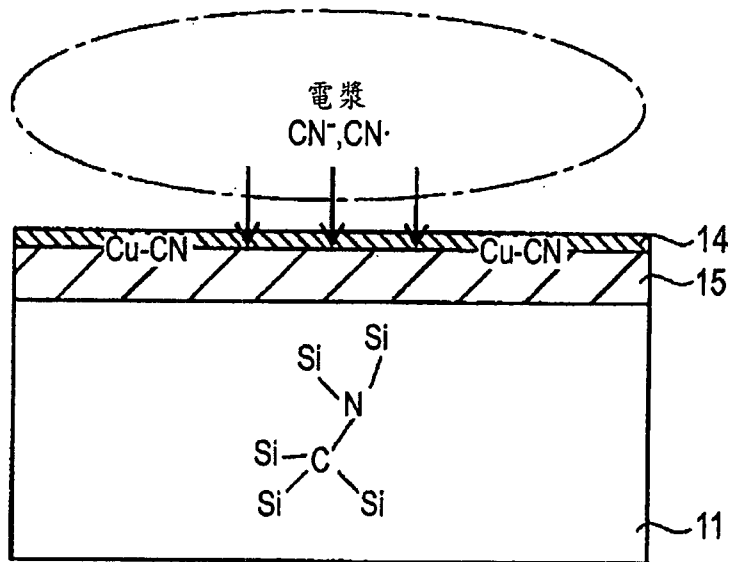


圖 3B

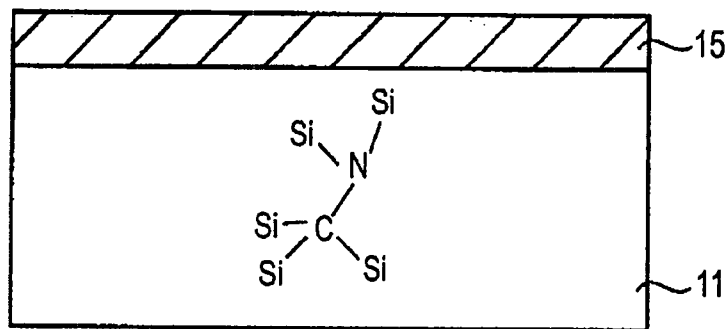


圖 3C

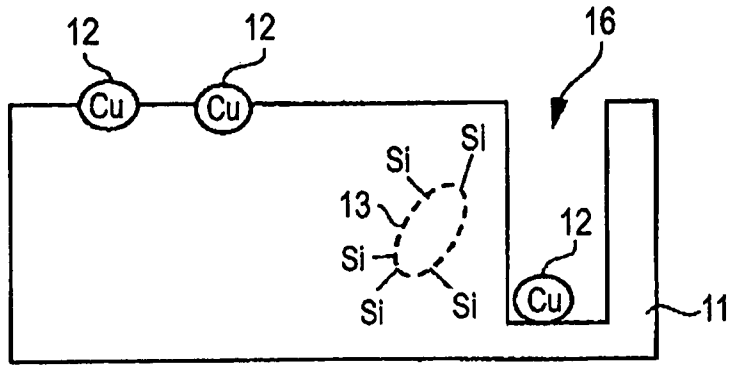


圖 4A

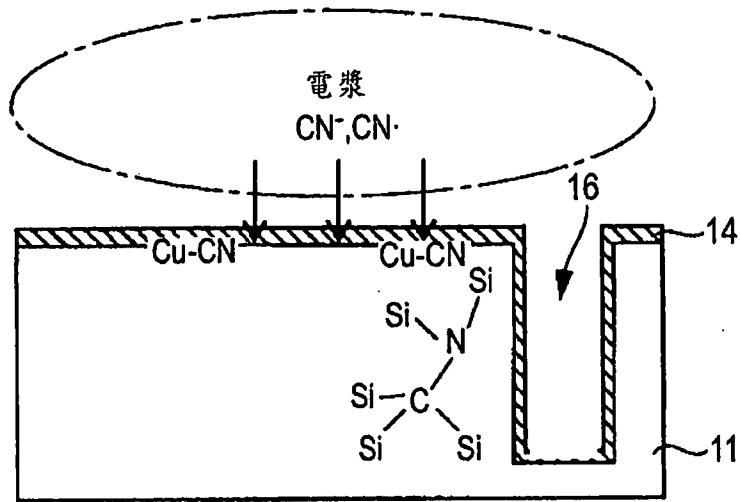


圖 4B

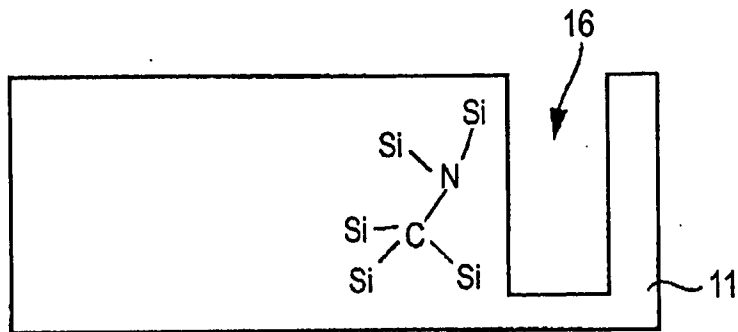


圖 4C

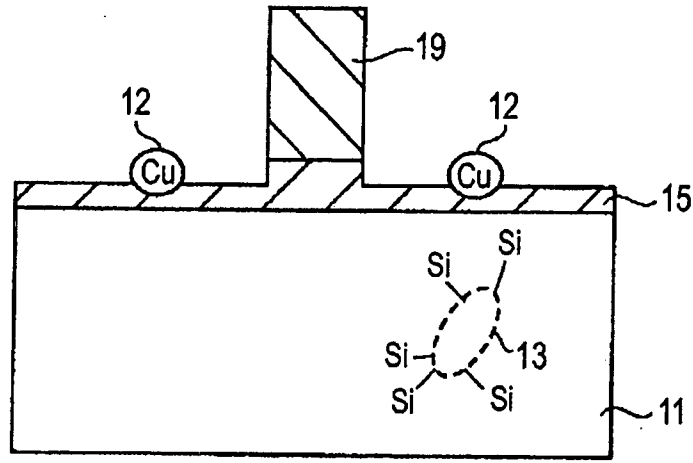


圖 5A

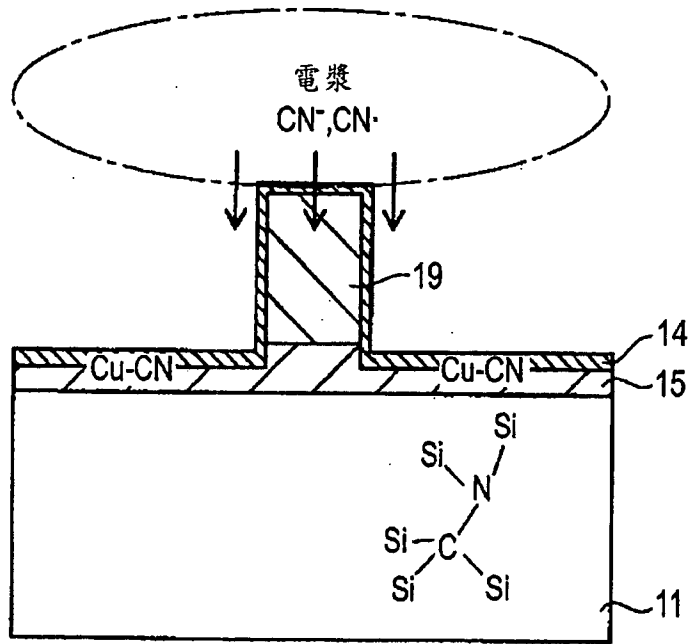


圖 5B

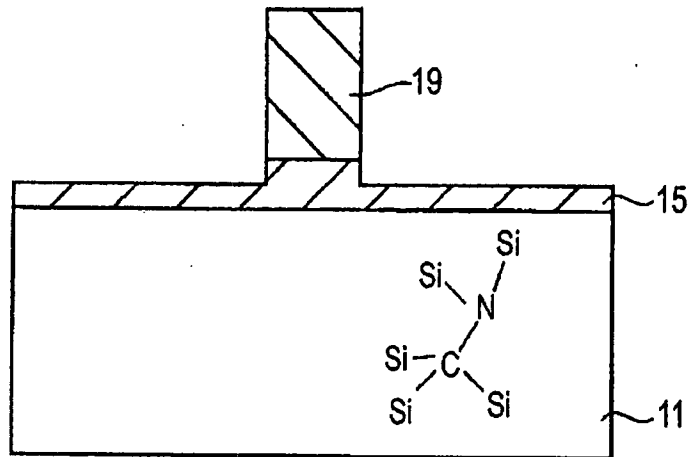


圖 5C

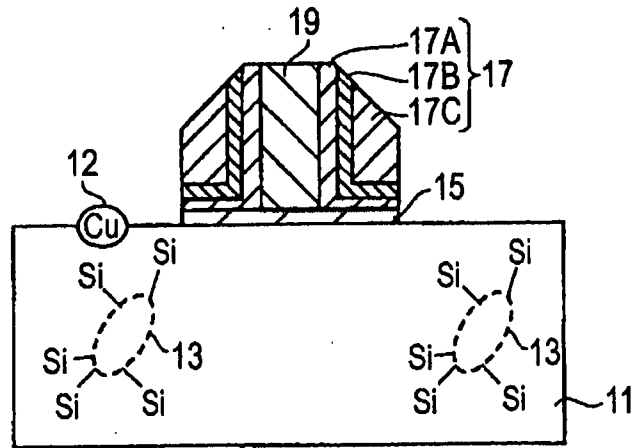


圖 6A

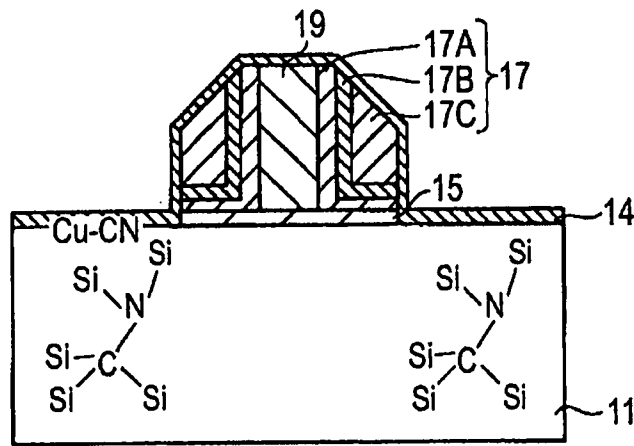
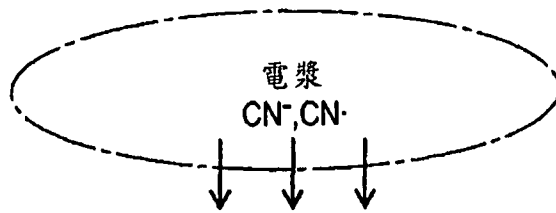


圖 6B

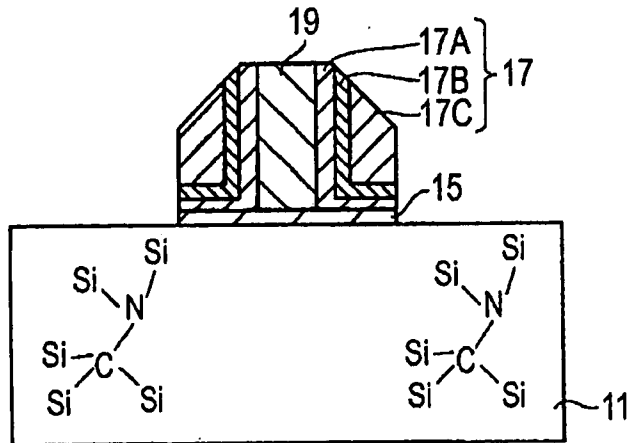


圖 6C

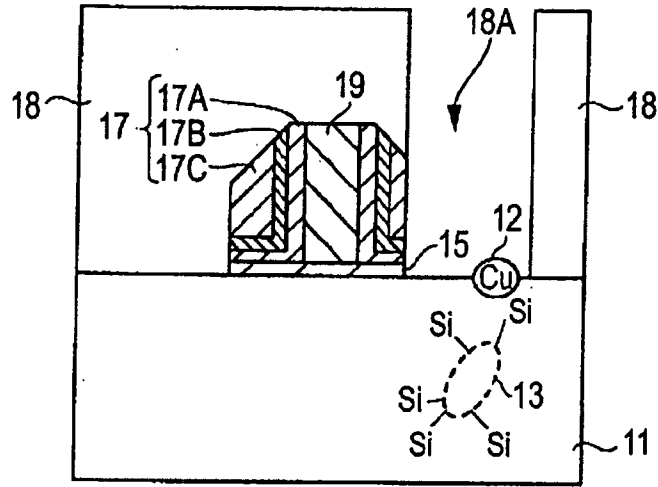


圖 7A

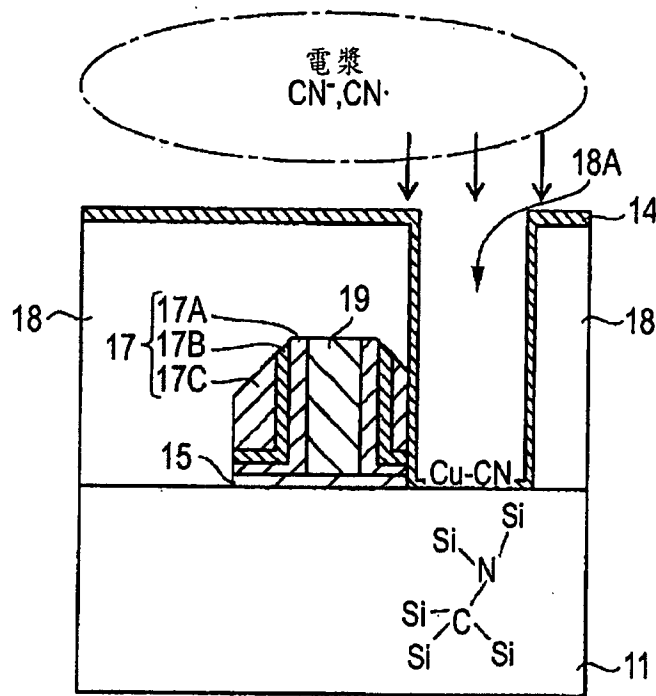


圖 7B

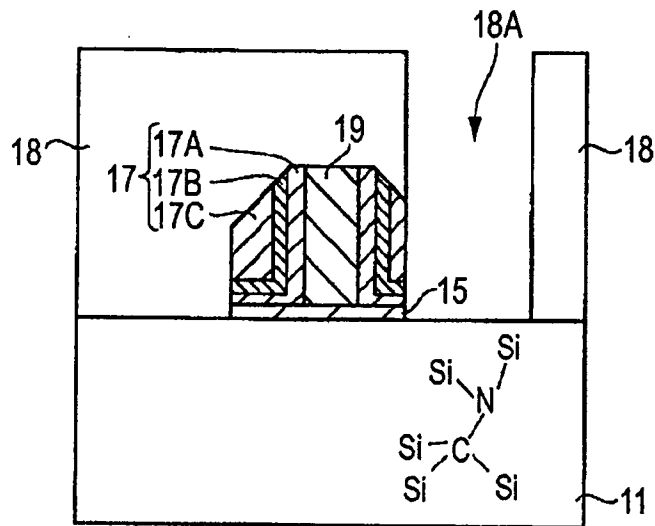


圖 7C

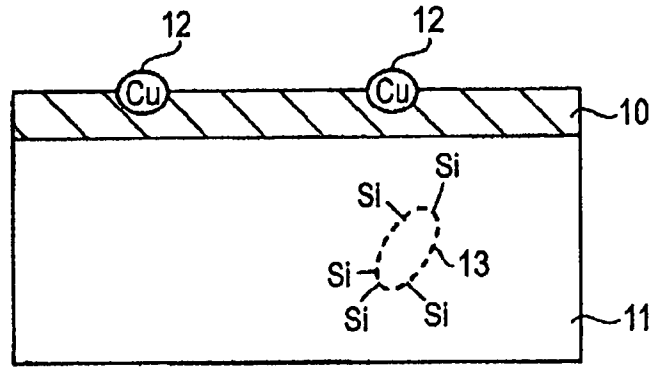


圖 8A

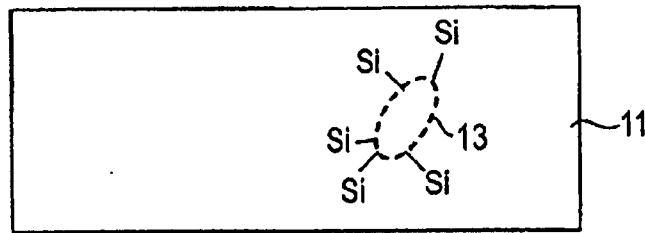


圖 8B

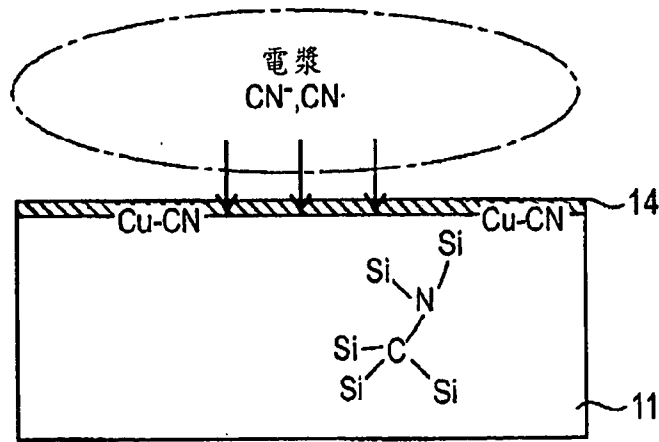


圖 8C

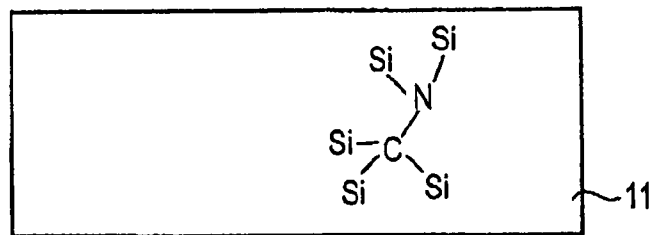


圖 8D

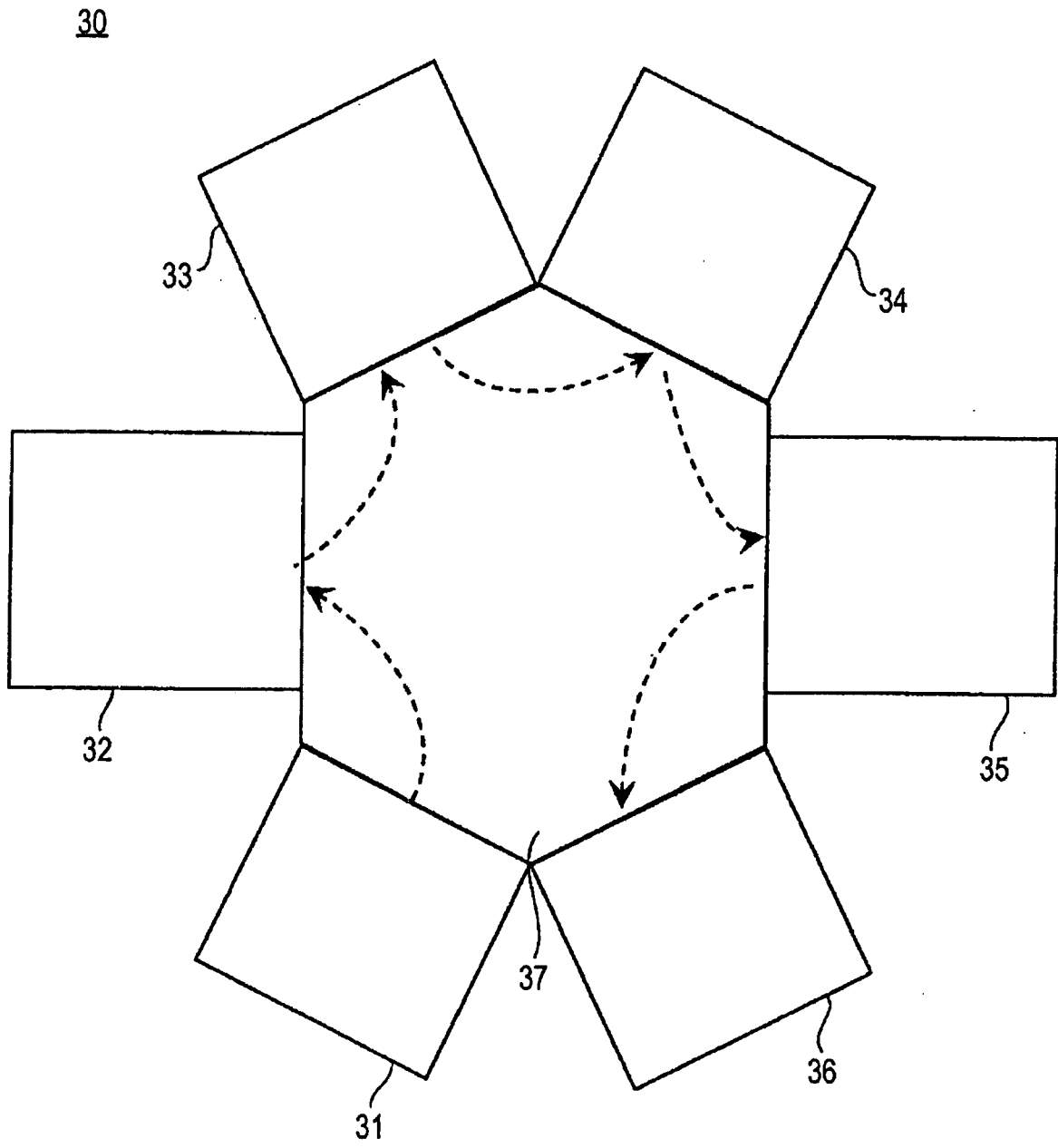


圖 9

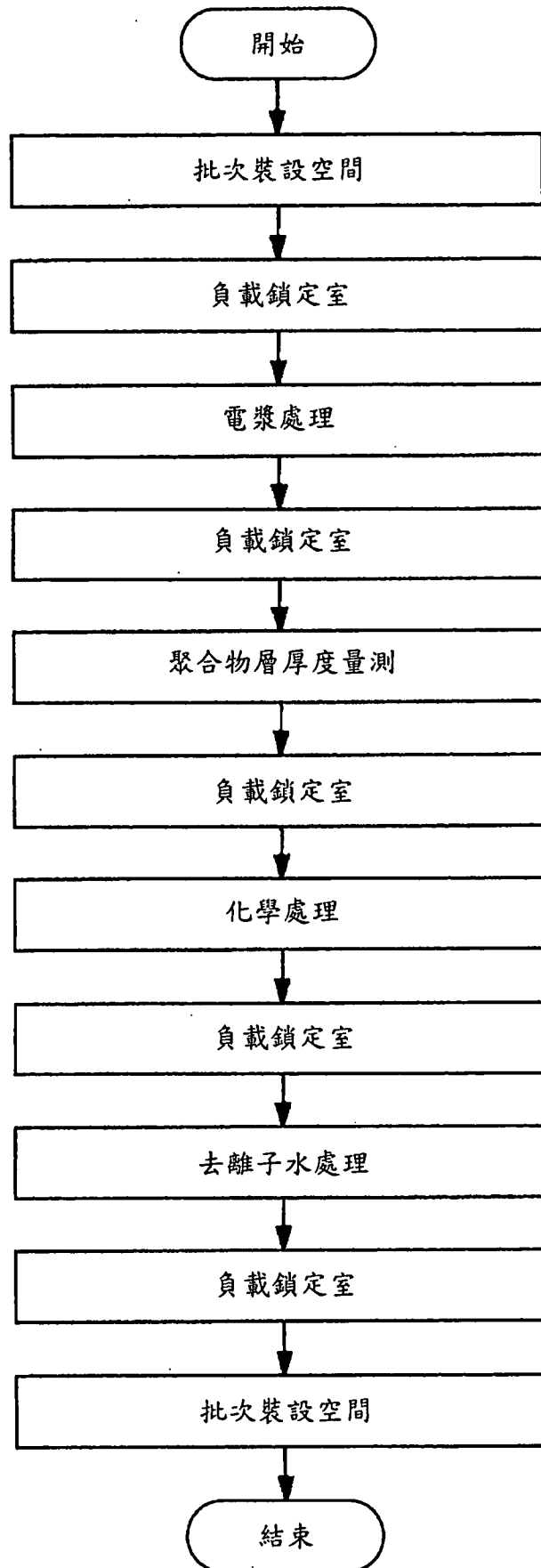


圖 10