



(12) 发明专利申请

(10) 申请公布号 CN 104851915 A

(43) 申请公布日 2015. 08. 19

(21) 申请号 201510184598. 9

(22) 申请日 2015. 04. 17

(71) 申请人 西安交通大学

地址 710049 陕西省西安市咸宁西路 28 号

(72) 发明人 云峰 张国伟

(74) 专利代理机构 西安通大专利代理有限责任

公司 61200

代理人 陆万寿

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

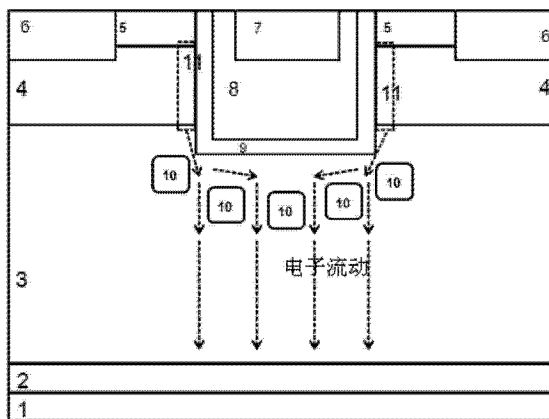
权利要求书1页 说明书4页 附图6页

(54) 发明名称

槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法

(57) 摘要

本发明提供了一种槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法,通过在沟槽型化合物半导体功率 VDMOS 器件的沟槽下方引入与 Body 区域具有相同电势的分布式同型掺杂区域,当在功率器件的源区施加一定的反向电压后,在沟槽下方形成连续的耗尽区,避免了沟槽型化合物半导体功率 VDMOS 器件最薄弱的绝缘介质层击穿问题,制作工艺简单,并可有效提高其耐压能力。



1. 槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法,其特征在于,在槽栅型化合物半导体功率 VDMOS 器件的沟槽正下方的漂移区中引入若干不连续的分布式掺杂区域,所述不连续的分布式掺杂区域与该槽栅型化合物半导体功率 VDMOS 器件的 Body 区域具有同样类型的掺杂并保持同样的电势。

2. 根据权利要求 1 所述的槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法,其特征在于,所述不连续的分布式掺杂区域的个数大于或等于 3。

3. 根据权利要求 1 所述的槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法,其特征在于,不连续的分布式掺杂区域的掺杂类型与漂移区掺杂类型相反。

4. 根据权利要求 1 所述的槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法,其特征在于,不连续的分布式掺杂区域的掺杂区域浓度为漂移区域掺杂浓度的 0.01-100 倍。

5. 根据权利要求 1 所述的槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法,其特征在于,该槽栅型化合物半导体功率 VDMOS 器件在开启状态时,载流子经由分布式区域的间隙汇集到漏区;该槽栅型化合物半导体功率 VDMOS 器件处于反向偏压时,通过分布式掺杂区域与漂移区之间形成的 PN 结耗尽层包围沟槽下部,使得沟槽型化合物半导体器件的击穿不发生在栅区域下方。

6. 根据权利要求 1 所述的槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法,其特征在于,所述分布式掺杂区域通过多层外延技术制备。

7. 一种槽栅型化合物半导体功率 VDMOS 器件,其特征在于,该栅型化合物半导体功率 VDMOS 器件的沟槽正下方的漂移区中设有若干不连续的分布式掺杂区域,所述不连续的分布式掺杂区域与该槽栅型化合物半导体功率 VDMOS 器件的 Body 区域具有同样类型的掺杂并通过金属层区域互联。

8. 根据权利要求 7 所述的槽栅型化合物半导体功率 VDMOS 器件,其特征在于,所述不连续的分布式掺杂区域的个数大于或等于 3。

9. 根据权利要求 7 所述的槽栅型化合物半导体功率 VDMOS 器件,其特征在于,不连续的分布式掺杂区域的掺杂区域浓度为漂移区域掺杂浓度的 0.01-100 倍。

10. 根据权利要求 7 所述的槽栅型化合物半导体功率 VDMOS 器件,其特征在于,不连续的分布式掺杂区域的掺杂类型与漂移区掺杂类型相反。

## 槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法

### 【技术领域】

[0001] 本发明涉及半导体制造领域,特别是涉及一种提高槽栅型化合物半导体功率 VDMOS 器件击穿电压的方法。

### 【背景技术】

[0002] 功率 VDMOS 器件是进行功率处理的多数载流子半导体器件,通常可分为平面栅型 VDMOS 以及槽栅型 VDMOS 器件。其中槽栅型 VDMOS 器件因为具有较低的导通电阻,在工业界具有较广泛的应用。第一代功率器件的核心材料为硅,其外延工艺、高浓度定向掺杂技术,高温扩散技术及表面平整化工艺等均已十分成熟,以硅为核心材料的槽栅型功率 VDMOS 器件应用于我们生活中的各个方面。典型的槽栅型功率 VDMOS 器件如图 1 所示(以 NMOS 为例,下同),其中;反型层沟道 11 仅在器件开启时形成,源区电子经由此处汇集到漏区。

[0003] 随着新材料技术的发展,基于氮化镓(GaN)、碳化硅(SiC)等的化合物半导体材料,因与硅(Si)材料器件相比具有能带宽、热导率大、电子饱和漂移速率高、抗辐射能力强等优异的物理化学以及电学特性,在超高频、大功率、高电迁移率等方面表现出优越的性能,相比目前成熟的半导体硅器件,在高压、高温、高速、高集成度等各种苛刻环境条件下获得广泛应用。

[0004] 相比于成熟的硅加工设备与工艺技术,化合物半导体因其材料本身的物理及化学特性性质,在诸多方面仍有较大局限性;在使用传统的沟槽型技术制备化合物半导体功率器件时,因漏区(Drain)与栅区(Gate)之间绝缘层击穿电压较低,无法体现其固有的材料的高耐压性能。以最常用的 $\text{SiO}_2$ 作为栅区介质层为例,其雪崩击穿电场强度约为 $10\text{MV}/\text{Cm}$ ,对常用的功率半导体 VDMOS 器件,为保证开启电压在 $2\sim 4\text{V}$ 之间,典型的 $\text{SiO}_2$ 介质层厚度为 $600\sim 1000\text{\AA}$ 左右,对应击穿电压约为 $60\sim 100\text{V}$ ,远远小于化合物半导体功率 VDMOS 器件所需的 $1200\sim 6500\text{V}$ 耐压需求,如图 2 所示;栅极绝缘层介质承受最大电场强度,电场强度极高。

[0005] 中国专利公开第 CN 1056018A 号公开了一种可有效缓解高耐压与低导通电阻矛盾的方法,通过一种用两种导电类型材料间接排列的复合缓冲层结构,替代通常的一种导电类型的漂移区;当复合缓冲层内两种电荷总量仿佛时,绝大部分电场互相抵消,使得该器件可以承受较高的源漏电压,这种技术被称为超结技术(Super Junction)。超结技术需要用不同掺杂的区域贯穿源漏区,加工工艺极其困难,不适合于化合物半导体槽栅器件的大规模低成本制作。同时超结技术未从根本上解决槽栅型化合物半导体功率 VDMOS 绝缘层抗压能力较低的问题。如图 3 至图 5 所示,分别为(以平面 VDMOS 为例,槽栅型仅在 Gate 区结构不同,超结工艺结构类似)。

[0006] 中国专利公开第 CN 10164791A 号公开了另一种超结功率半导体器件。该器件通过局部加厚槽栅内多晶硅与导电区域绝缘层厚度,并设计特殊形状(尽量少的尖角以平缓电场分布)的漂移区连接槽栅底部与漏极,对超结技术进行了局部的优化;但该专利所应

用的器件主要为中压应用 (50 ~ 100V), 在保持器件集成度前提下 (槽栅宽度不变), 对绝缘层击穿问题无根本性改善, 如图 6 所示。

### 【发明内容】

[0007] 本发明的目的提供一种槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法, 在对化合物半导体功率器件的开启性能不产生较大的影响下, 大幅度提高沟槽型化合物半导体器件的反向耐压性能; 该方法与目前化合物半导体功率器件加工工艺具有非常高的兼容性, 易于加工与实现。

[0008] 为了实现上述目的, 本发明采用如下技术方案:

[0009] 槽栅型化合物半导体功率 VDMOS 器件及提高其击穿电压的方法, 在槽栅型化合物半导体功率 VDMOS 器件的沟槽正下方的漂移区中引入若干不连续的分布式掺杂区域, 所述不连续的分布式掺杂区域与该槽栅型化合物半导体功率 VDMOS 器件的 Body 区域具有同样类型的掺杂并通过金属层连接以保持同样的电势。

[0010] 所述不连续的分布式掺杂区域的个数大于或等于 3。

[0011] 不连续的分布式掺杂区域的掺杂类型与漂移区掺杂类型相反。

[0012] 不连续的分布式掺杂区域的掺杂区域浓度为漂移区域掺杂浓度的 0.01-100 倍。

[0013] 该槽栅型化合物半导体功率 VDMOS 器件在开启状态时, 载流子 (对 NMOS 为电子, 对 PMOS 器件为空穴, 下同) 经由分布式区域的间隙汇集到漏区; 该槽栅型化合物半导体功率 VDMOS 器件处于反向偏压时, 通过分布式掺杂区域与漂移区之间形成的耗尽层包围沟槽下部, 使得沟槽型化合物半导体器件的击穿不发生在栅区域下方。

[0014] 所述分布式掺杂区域通过多层外延技术制备。

[0015] 一种槽栅型化合物半导体功率 VDMOS 器件, 该栅型化合物半导体功率 VDMOS 器件的沟槽正下方的漂移区中设有若干不连续的分布式掺杂区域, 所述不连续的分布式掺杂区域与该槽栅型化合物半导体功率 VDMOS 器件的 Body 区域具有同样类型的掺杂并通过金属层区域互联。

[0016] 所述不连续的分布式掺杂区域的个数大于或等于 3。

[0017] 不连续的分布式掺杂区域的掺杂类型与漂移区掺杂类型相反。

[0018] 不连续的分布式掺杂区域的掺杂区域浓度为漂移区域掺杂浓度的 0.01-100 倍。

[0019] 相对于现有技术, 本发明具有以下有益效果: 本发明通过在沟槽型化合物半导体功率 VDMOS 器件的沟槽下方引入与 Body 区域具有相同电势的分布式同型掺杂区域, 当在功率器件的源区施加一定的反向电压后, 在沟槽下方形成连续的耗尽区, 避免了沟槽型化合物半导体功率 VDMOS 器件最薄弱的绝缘介质层击穿问题, 制作工艺简单, 并可有效提高其耐压能力。

### 【附图说明】

[0020] 图 1 为典型的槽栅型功率 VDMOS 器件示意图;

[0021] 图 2 为槽栅型化合物半导体功率 VDMOS 器件示意图;

[0022] 图 3 为纵向 Super Junction 结构的槽栅型化合物半导体功率 VDMOS 器件示意图;

[0023] 图 4 为 Semi-Super Junction 结构的槽栅型化合物半导体功率 VDMOS 器件示意

图；

[0024] 图 5 为横向 Super Junction 结构的槽栅型化合物半导体功率 VDMOS 器件示意图；

[0025] 图 6 为一种对槽栅型功率 VDMOS 器件进行绝缘层介质厚度、绝缘层介质形貌及临近区域掺杂方式优化的工艺结构示意图；

[0026] 图 7 为本发明位于沟槽正下方的分布式 Body 掺杂原理，其中器件正向导通；

[0027] 图 8 为本发明位于沟槽正下方的分布式 Body 掺杂原理，其中器件反向偏置；

[0028] 图 9a 为在施加 50V 反向偏压时，传统器件的电势分布示意图；

[0029] 图 9b 为在施加 50V 反向偏压时，本发明器件的电势分布示意图；

[0030] 其中，1 为 Drain 漏区电极引出端；2 为 N<sup>+</sup> 掺杂区域；3 为 N<sup>-</sup> 漂移区；4 为 P Body 区域；5 为 N<sup>+</sup> 源区；6 为源区电极引出端；7 为栅区电极引出端；8 为可导电沟槽填充区域；9 为栅绝缘层介质；10 为分布式 P 型掺杂区域；11 为反型层沟道；12 为 PN 结耗尽层。

### 【具体实施方式】

[0031] 请参阅图 7 所示，本发明一种提高槽栅型化合物半导体功率 VDMOS 器件击穿电压的方法，通过在槽栅型化合物半导体功率器件的沟槽正下方的漂移区中引入 3 个以上不连续的分布式掺杂区域，该不连续的分布式掺杂区域与该功率器件 Body 区域具有同样类型的掺杂并保持同样的电势（各分布式掺杂区域与 Body 区域通过金属层区域互联），其掺杂区域浓度可以通过工艺进行调整，通常与器件漂移区域浓度相差在 2 个数量级以内（不连续的分布式掺杂区域的掺杂区域浓度为漂移区域掺杂浓度的 0.01-100 倍）但掺杂类型相反；请参阅图 7 所示，该分布式区域在功率器件开启状态（对 NMOS 器件，栅压为正向，通常为 2~4 伏特），载流子（对 NMOS 为电子，对 PMOS 器件为空穴，下同）经由分布式区域的间隙汇集到漏区（Drain），对器件的开启特性影响有限。

[0032] 请参阅图 8 所示，在该功率器件处于反向偏压时，通过新引入的不连续的分布式掺杂区域，使得该分布式掺杂区域与漂移区之间形成的耗尽层包围沟槽下部，使得沟槽型化合物半导体器件的击穿不发生在传统器件的栅区域下方，从而可大幅提高该类型功率器件的耐压性能指标；有效的规避了栅绝缘层介质击穿的问题。

[0033] 本发明通过在槽栅型化合物半导体功率器件的沟槽正下方的漂移区中引入 3 个以上不连续的分布式掺杂区域，各分布式掺杂区域与 Body 区域通过金属层区域互联，保持同样电势；各分布式掺杂区域保持一定距离，在器件开启（栅极加电压实现 Body 区域反型）状态时多数载流子（电子或空穴）经由各掺杂区域空隙处汇集至漏极，实现器件开启；当器件处于关闭状态（栅极无外加电压）时，在漏极电压达到槽栅底角处绝缘层击穿电场强度之前（如对 SiO<sub>2</sub> 介质层，击穿电场强度 < 10MV/Cm），实现各分布式掺杂区域的耗尽层连接并承当主要的压降，提高器件整体耐压性能。

[0034] 因化合物半导体材料能带间隙较大，注入与扩散工艺具有难度，通常采用 MOCVD 外延工艺来实现不同掺杂类型及杂质数量的薄膜；本发明所描述的化合物半导体器件结构中，分布式掺杂区域通过多层外延技术来实现。假设该分布式掺杂区域在纵向位于 N 个不同的高度，可以轻易得知，采用符合要求的 < N 道外延工艺，随之以光刻及刻蚀，仅保留选定区域，以此类推即可实现分布式反型掺杂器件结构，获得器件击穿电压。

[0035] 以下基于 45umx5um 尺寸的 GaN 材料的沟槽类 VDMOS 器件为例，其 N 漂移区 /P-Body

区域 /N+ 区域浓度分别为 N 型掺杂  $4E15\text{Cm}^{-3}$  / P 型掺杂  $1E16\text{Cm}^{-3}$  / N 型掺杂  $1E17\text{Cm}^{-3}$ ; 栅氧化层厚度为 2000Å, 其对应击穿电压  $<200\text{V}$ ; 采用新的器件结构时选用的分布式 P 型掺杂浓度为 P 型掺杂  $1E16\text{Cm}^{-3}$ 。

[0036] 在施加正向偏压  $V_D = 1.0\text{V}$  时, 本发明新的器件的正向导通性能仅受较小的影响; 在施加 50V 反向偏压时, 本发明新型器件的电势分布变缓, 如下图 9b 所示, 栅氧化层处电场得到有效降低。

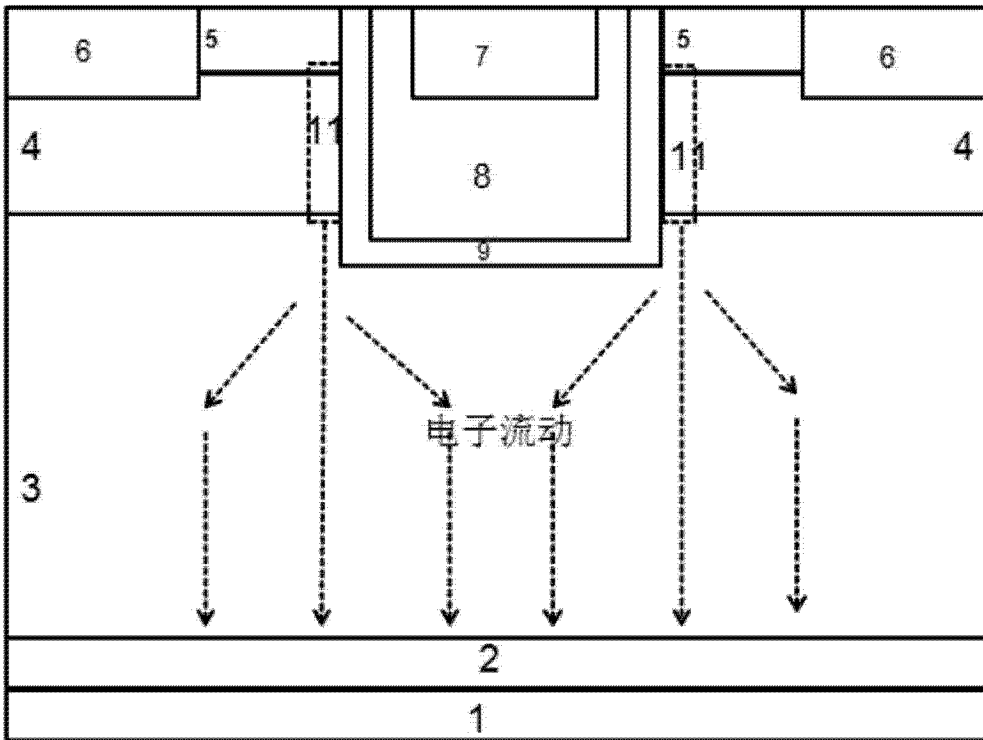


图 1

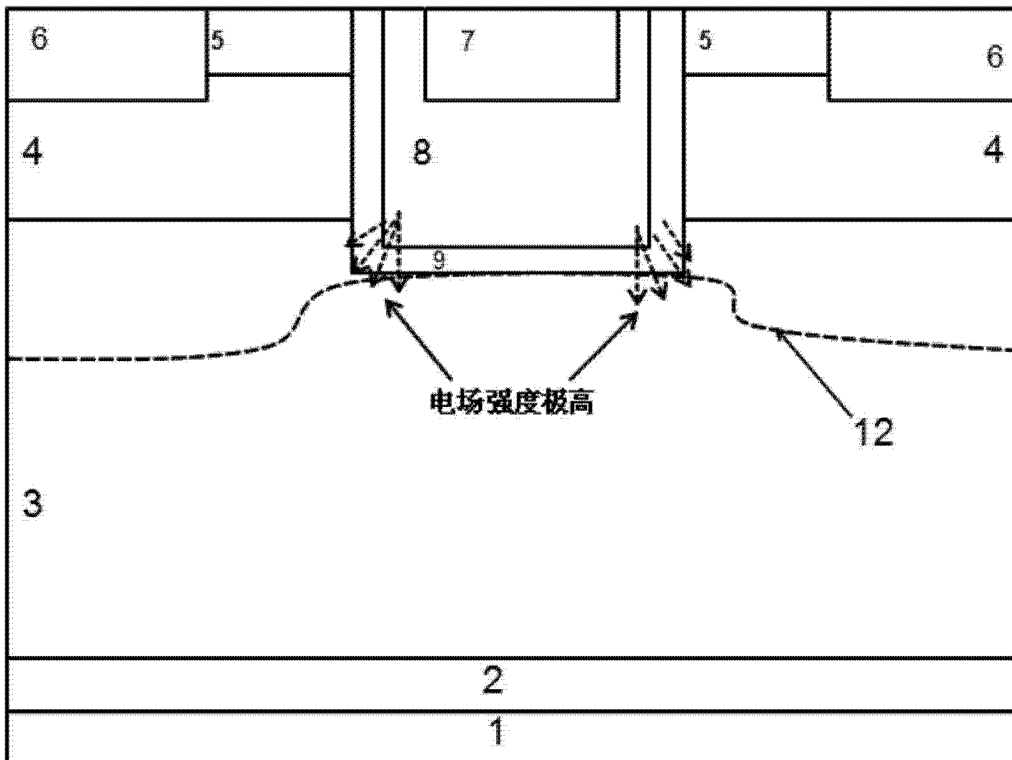


图 2





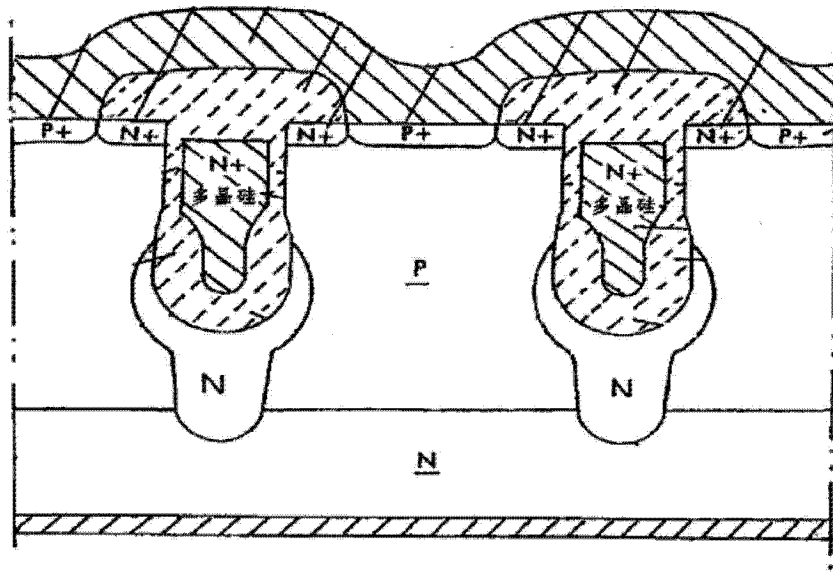


图 6

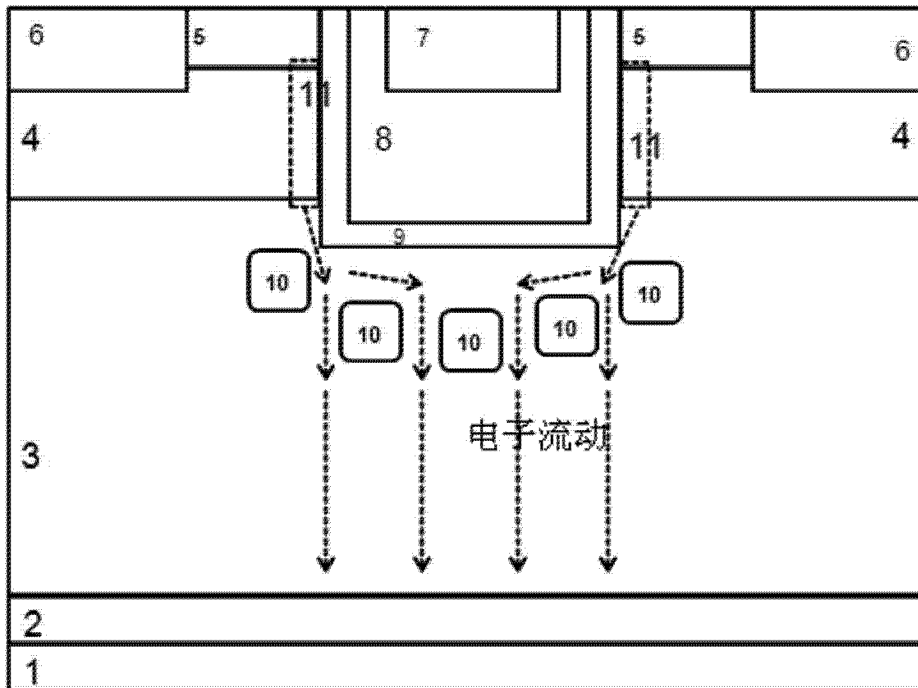


图 7

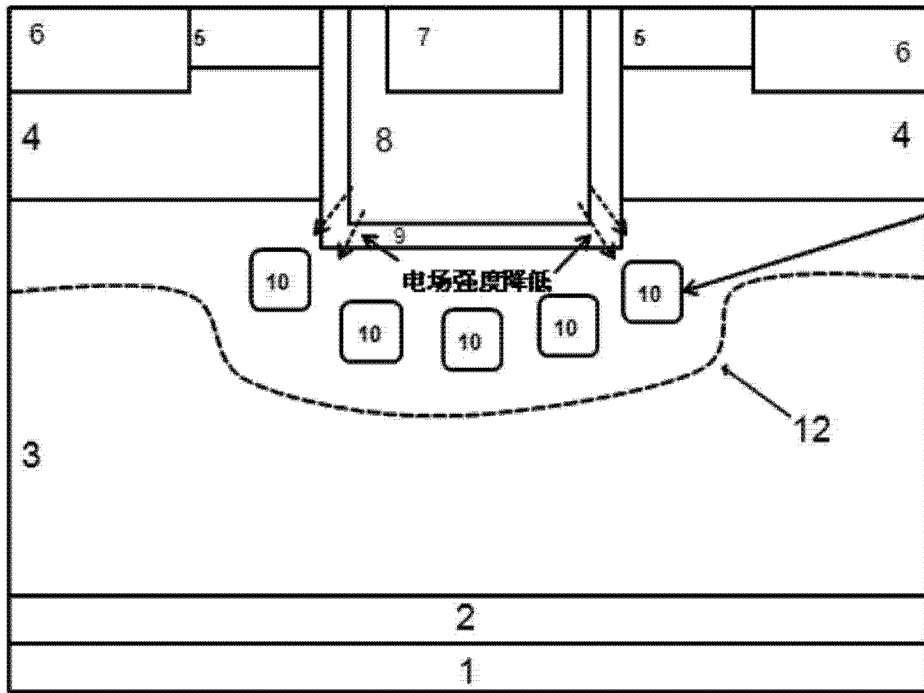


图 8

Traditional Device Structure  
Data from GaNpatent083.str

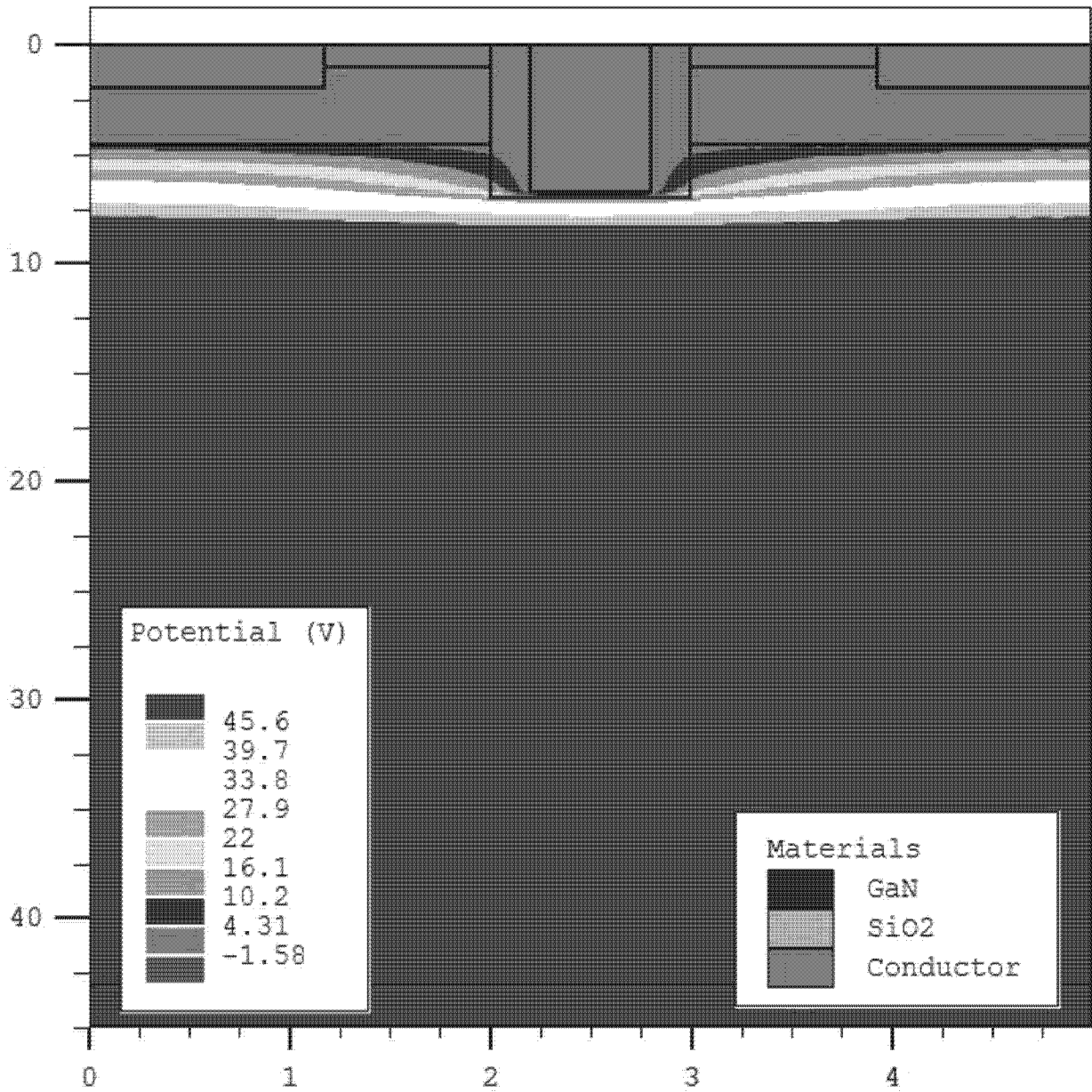


图 9a

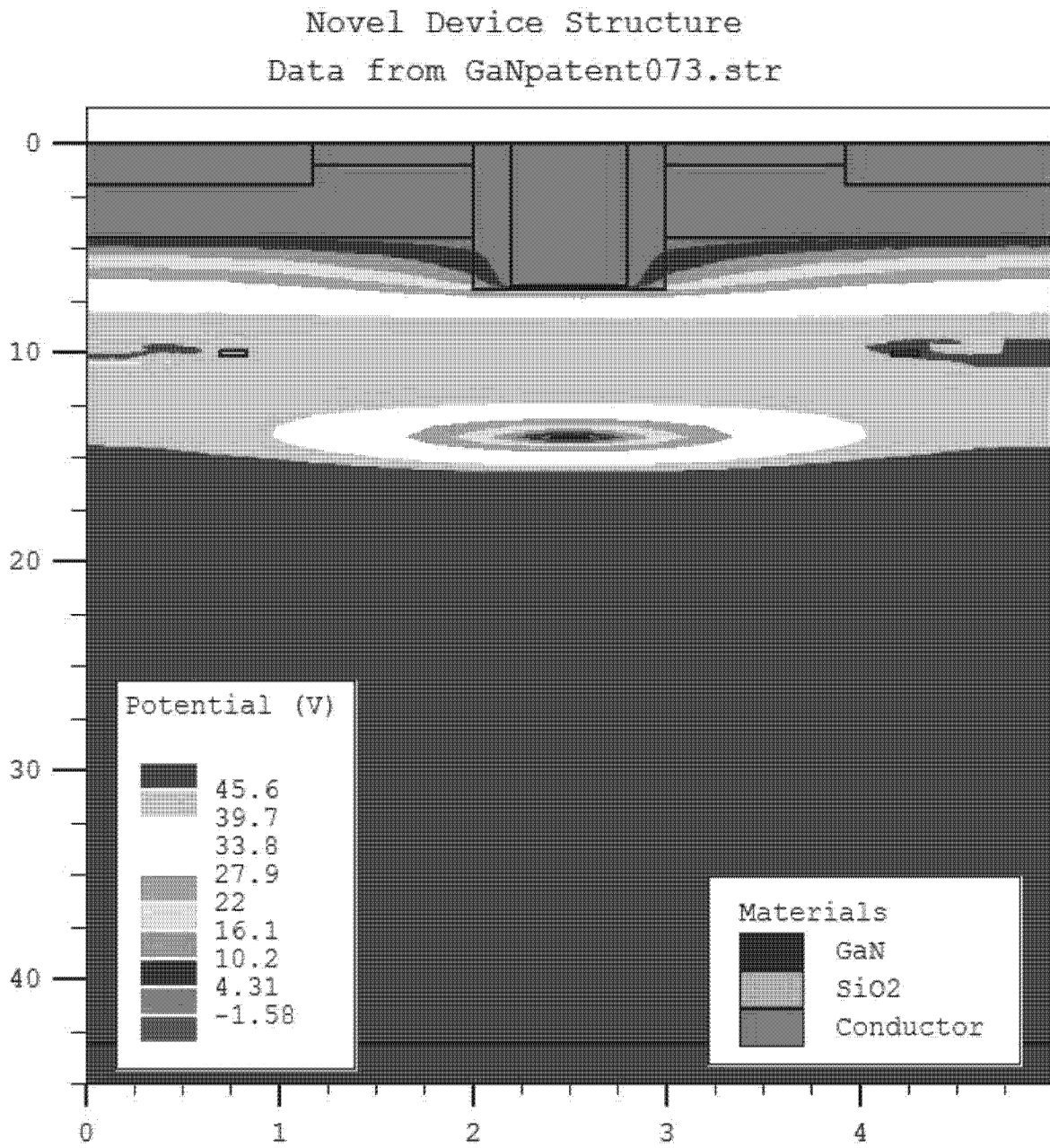


图 9b