



(12) 发明专利

(10) 授权公告号 CN 107346654 B

(45) 授权公告日 2023. 11. 28

(21) 申请号 201710762505.5

(22) 申请日 2017.08.29

(65) 同一申请的已公布的文献号
申请公布号 CN 107346654 A

(43) 申请公布日 2017.11.14

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 成都京东方光电科技有限公司

(72) 发明人 徐映嵩

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274
专利代理师 贾莹

(51) Int. Cl.
G09G 3/3233 (2016.01)
G09G 3/3291 (2016.01)

(56) 对比文件

- CN 103839513 A, 2014.06.04
- CN 105761664 A, 2016.07.13
- CN 207115974 U, 2018.03.16
- CN 102222465 A, 2011.10.19
- CN 105185305 A, 2015.12.23
- US 2011141000 A1, 2011.06.16

审查员 王妍

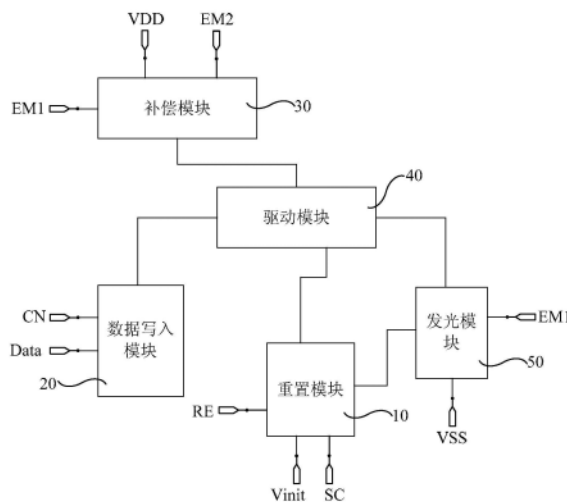
权利要求书2页 说明书8页 附图8页

(54) 发明名称

一种像素电路及其驱动方法、显示装置

(57) 摘要

本发明实施例提供一种像素电路及其驱动方法、显示装置，涉及显示技术领域，能够避免阈值电压对流过发光器件的电流的影响。该像素电路包括重置模块，用于将初始电压端的电压输出至驱动模块和发光模块；数据写入模块，用于将数据电压端的电压写入至驱动模块；补偿模块，用于对驱动模块进行阈值电压补偿，并将第一电压端的电压输出至驱动模块；发光模块用于根据驱动模块提供的驱动电流进行发光；驱动模块，用于驱动发光模块发光。上述像素电路用于驱动亚像素进行显示。



1. 一种像素电路,其特征在于,包括重置模块、数据写入模块、补偿模块、驱动模块、发光模块;

所述重置模块包括第一晶体管和第二晶体管;所述第一晶体管的栅极连接重置信号端,第一极连接所述驱动模块,第二极与初始电压端相连接;所述第二晶体管的栅极连接扫描信号端,第一极连接所述驱动模块和所述发光模块,第二极与所述第一晶体管的第一极相连接;所述第一晶体管和第二晶体管用于在所述重置信号端和所述扫描信号端的控制下,将所述初始电压端的电压输出至所述驱动模块和所述发光模块;

所述数据写入模块连接数据电压端、使能信号端以及所述驱动模块;所述数据写入模块用于在所述使能信号端的控制下,将所述数据电压端的电压写入至所述驱动模块;

所述补偿模块包括第四晶体管以及第五晶体管;所述第四晶体管的栅极连接第二信号端,第一极连接第一电压端,第二极与所述驱动模块相连接;所述第五晶体管的栅极连接第一信号端,第一极连接所述第四晶管的第二极,第二极与所述驱动模块相连接;所述第四晶体管以及第五晶体管用于在所述第一信号端和所述第二信号端的控制下,对所述驱动模块进行阈值电压补偿,并将所述第一电压端的电压输出至所述驱动模块,以及将所述初始电压端的电压输出至第一节点,所述第一节点为所述数据写入模块、所述补偿模块和所述驱动模块的连接节点;

所述发光模块连接所述第一信号端、第二电压端以及所述驱动模块;所述发光模块用于在所述第一信号端的控制下,根据所述驱动模块提供的驱动电流进行发光;

其中,所述第一电压端用于输出恒定的高电平,所述第二电压端用于输出恒定的低电平。

2. 根据权利要求1所述的像素电路,其特征在于,所述数据写入模块包括第三晶体管;

所述第三晶体管的栅极连接所述使能信号端,第一极连接所述数据电压端,第二极与所述驱动模块相连接。

3. 根据权利要求1所述的像素电路,其特征在于,驱动模块包括驱动晶体管和存储电容;

所述驱动晶体管的栅极连接所述存储电容的一端,第一极连接所述补偿模块,第二极与所述发光模块相连接;

所述存储电容的另一端与所述补偿模块相连接。

4. 根据权利要求1所述的像素电路,其特征在于,发光模块包括第六晶体管和发光器件;

所述第六晶体管的栅极连接所述第一信号端,第一极连接所述驱动模块,第二极与所述发光器件的阳极相连接;

所述发光器件的阴极连接所述第二电压端。

5. 根据权利要求4所述的像素电路,其特征在于,所述发光器件为发光二极管或有机发光二极管。

6. 一种显示装置,其特征在于,包括如权利要求1-5任一项所述的像素电路。

7. 根据权利要求6所述的显示装置,其特征在于,还包括显示面板,该显示面板上设置有呈矩阵形式排列的亚像素,所述像素电路设置于所述亚像素内;

每一行亚像素连接有一条控制信号线、一条使能信号线以及一条扫描信号线;其中,所

述像素电路中的第一信号端与所述控制信号线相连接,使能信号端与所述使能信号线相连接;

除了第一行亚像素以外,下一行亚像素中像素电路的第二信号端与上一行亚像素的所述控制信号线相连接;下一行亚像素中像素电路的重置信号端与上一行亚像素的所述使能信号线相连接。

8. 根据权利要求6所述的显示装置,其特征在于,还包括与每个像素电路的数据电压端相连接的电压型源极驱动器,所述电压型源极驱动器用于向所述数据电压端提供数据电压。

9. 一种用于驱动如权利要求1-5任一项所述的像素电路的方法,其特征在于,一图像帧内所述方法包括:

在重置阶段,重置模块在重置信号端和扫描信号端的控制下,将初始电压端的电压输出至驱动模块和发光模块;

在写入补偿阶段,数据写入模块在使能信号端的控制下,将数据电压端的电压写入至所述驱动模块;

补偿模块在第一信号端和第二信号端的控制下,对所述驱动模块进行阈值电压补偿;

在发光阶段,所述补偿模块在所述第一信号端和所述第二信号端的控制下,将第一电压端的电压输出至驱动模块;

所述发光模块在所述第一信号端的控制下,根据所述驱动模块提供的驱动电流进行发光。

10. 根据权利要求9所述的方法,其特征在于,所述补偿模块包括第四晶体管;所述驱动模块包括驱动晶体管和存储电容时,在所述写入补偿阶段,所述方法包括:

所述存储电容对所述驱动晶体管的栅极进行充电;

在所述第二信号端的控制下,所述第四晶体管导通,第一电压端的电压通过所述第四晶体管传输至所述驱动晶体管的第一极;该驱动晶体管的阈值电压和所述第一电压端的电压写入至该驱动晶体管的栅极。

11. 根据权利要求9所述的方法,其特征在于,

在所述重置阶段,所述重置信号端、所述扫描信号端、所述第一信号端输出低电平;

在所述写入补偿阶段,所述使能信号端、所述第二信号端以及所述扫描信号端输出低电平;所述数据电压端输出数据电压;

在所述发光阶段,所述第一信号端、所述第二信号端输出低电平。

一种像素电路及其驱动方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路及其驱动方法、显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)作为一种电流型发光器件,因其所具有的自发光、快速响应、宽视角和可制作在柔性衬底上等特点而越来越多地被应用于高性能显示领域当中。

[0003] OLED按驱动方式可分为PMOLED(Passive Matrix Driving OLED,无源矩阵驱动有机发光二极管)和AMOLED(Active Matrix Driving OLED,有源矩阵驱动有机发光二极管)两种,由于AMOLED显示器具有低制造成本、高应答速度、省电、可用于便携式设备的直流驱动、工作温度范围大等等优点而可望成为取代LCD(liquid crystal display,液晶显示器)的下一代新型平面显示器。

[0004] 在现有的AMOLED显示面板中,每个亚像素内设置有像素电路,该像素电路包括多个TFT(Thin Film Transistor,薄膜晶体管)。例如,如图1所示,像素电路为2T1C结构,即包括两个晶体管以及一个电容。然而由于生产工艺和多晶硅的特性,导致在大面积玻璃基板上制作的TFT的过程中,采用一些制作工艺,例如ELA(Excimer Laser Annealing,准分子激光退火)工艺或者Doping(掺杂)工艺时,不能够保证所有TFT的均一性均良好,从而使得部分TFT的阈值电压存在偏差。在此情况下,流经AMOLED显示面板中OLED器件的电流会随着TFT的阈值电压 V_{th} 漂移而有所不同。如此一来,将会影响到显示器的亮度均匀性与亮度恒定性。从而降低显示器的画面品质和质量。

发明内容

[0005] 本发明的实施例提供一种像素电路及其驱动方法、显示装置,能够避免阈值电压对流过发光器件的电流的影响。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 本发明实施例的一方面,提供一种像素电路,包括重置模块、数据写入模块、补偿模块、驱动模块、发光模块;所述重置模块连接重置信号端、扫描信号端、初始电压端、所述驱动模块以及所述发光模块;所述重置模块用于在所述重置信号端和所述扫描信号端的控制下,将所述初始电压端的电压输出至所述驱动模块和所述发光模块;所述数据写入模块连接数据电压端、使能信号端以及所述驱动模块;所述数据写入模块用于在所述使能信号端的控制下,将所述数据电压端的电压写入至所述驱动模块;所述补偿模块连接第一信号端、第二信号端、第一电压端以及所述驱动模块;所述补偿模块用于在所述第一信号端和所述第二信号端的控制下,对所述驱动模块进行阈值电压补偿,并将所述第一电压端的电压输出至所述驱动模块;所述发光模块连接所述第一信号端、第二电压端以及所述驱动模块;所述发光模块用于在所述第一信号端的控制下,根据所述驱动模块提供的驱动电流进行发光;其中,所述第一电压端用于输出恒定的高电平,所述第二电压端用于输出恒定的低电

平。

[0008] 优选的,所述重置模块包括第一晶体管和第二晶体管;所述第一晶体管的栅极连接所述重置信号端,第一极连接所述驱动模块,第二极与所述初始电压端相连接;所述第二晶体管的栅极连接所述扫描信号端,第一极连接所述驱动模块和所述发光模块,第二极与所述第一晶体管的第一极相连接。

[0009] 优选的,所述数据写入模块包括第三晶体管;所述第三晶体管的栅极连接所述使能信号端,第一极连接所述数据电压端,第二极与所述驱动模块相连接。

[0010] 优选的,补偿模块包括第四晶体管以及第五晶体管;所述第四晶体管的栅极连接所述第二信号端,第一极连接所述第一电压端,第二极与所述驱动模块相连接;所述第五晶体管的栅极连接所述第一信号端,第一极连接所述第四晶体的第二极,第二极与所述驱动模块相连接。

[0011] 优选的,驱动模块包括驱动晶体管和存储电容;所述驱动晶体管的栅极连接所述存储电容的一端,第一极连接所述补偿模块,第二极与所述发光模块相连接;所述存储电容的另一端与所述补偿模块相连接。

[0012] 优选的,发光模块包括第六晶体管和发光器件;所述第六晶体管的栅极连接所述第一信号端,第一极连接所述驱动模块,第二极与所述发光器件的阳极相连接;所述发光器件的阴极连接所述第二电压端。

[0013] 优选的,所述发光器件为发光二极管或有机发光二极管。

[0014] 本发明实施例的另一方面,提供一种显示装置包括如上所述的任意一种像素电路。

[0015] 优选的,还包括显示面板,该显示面板上设置有呈矩阵形式排列的亚像素,所述像素电路设置于所述亚像素内;每一行亚像素连接有一条控制信号线、一条使能信号线以及一条扫描信号线;其中,所述像素电路中的第一信号端与所述控制信号线相连接,使能信号端与所述使能信号线相连接;除了第一行亚像素以外,下一行亚像素中像素电路的第二信号端与上一行亚像素的所述控制信号线相连接;下一行亚像素中像素电路的重置信号端与上一行亚像素的所述使能信号线相连接。

[0016] 优选的,还包括与每个像素电路的数据电压端相连接的电压型源极驱动器,所述电压型源极驱动器用于向所述数据电压端提供数据电压。

[0017] 本发明实施例的又一方面,提供一种用于驱动如上的任意一种像素电路的方法,一图像帧内所述方法包括:在重置阶段,重置模块在重置信号端和扫描信号端的控制下,将初始电压端的电压输出至驱动模块和发光模块;在写入补偿阶段,数据写入模块在使能信号端的控制下,将数据电压端的电压写入至所述驱动模块;补偿模块在第一信号端和第二信号端的控制下,对所述驱动模块进行阈值电压补偿;在发光阶段,所述补偿模块在所述第一信号端和所述第二信号端的控制下,将第一电压端的电压输出至驱动模块;所述发光模块在所述第一信号端的控制下,根据所述驱动模块提供的驱动电流进行发光。

[0018] 优选的,所述补偿模块包括第四晶体管;所述驱动模块包括驱动晶体管和存储电容时,在所述写入补偿阶段,所述方法包括:所述存储电容对所述驱动晶体管的栅极进行充电;在所述第二信号端的控制下,所述第四晶体管导通,第一电压端的电压通过所述第四晶体管传输至所述驱动晶体管的第一极;该驱动晶体管的阈值电压和所述第一电压端的电压

写入至该驱动晶体管的栅极。

[0019] 优选的,在所述重置阶段,所述重置信号端、所述扫描信号端、所述第一信号端输出低电平;在所述写入补偿阶段,所述使能信号端、所述第二信号端以及所述扫描信号端输出低电平;所述数据电压端输出数据电压。在所述发光阶段,所述第一信号端、所述第二信号端输出低电平。

[0020] 本发明实施例提供一种像素电路及其驱动方法、显示装置。由上述可知,该像素电路中在发光模块发光之前,重置模块可以对驱动模块和发光模块进行重置,从而可以避免上一图像帧残留于该驱动模块和发光模块中的电压对下一图像帧的显示造成影响。此外,数据写入模块可以将数据电压端输入的数据电压写入至驱动模块,以使得该驱动模块可以根据上述数据电压生成用于驱动发光模块进行发光的驱动电流。与此同时,上述补偿模块可以对驱动模块进行阈值电压补偿,在此情况下,可以使得驱动模块产生的上述驱动电流与该驱动模块中驱动晶体管的阈值电压无关。这样一来,当显示面板的各个亚像素内设置有上述像素电路时,流过每个亚像素内像素电路的发光模块的驱动电流均与该像素电路的驱动晶体管的阈值电压无关,从而可以避免由于各个亚像素内驱动晶体管的阈值电压不均导致上述驱动电流不一致,而引起的亮度不均的现象发生。

附图说明

[0021] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0022] 图1为现有技术提供一种像素电路的结构示意图;

[0023] 图2为本发明实施例提供一种像素电路的结构示意图;

[0024] 图3为图2中各个模块的具体结构示意图;

[0025] 图4为用于控制图3所示的像素电路的各个驱动信号的一种时序信号图;

[0026] 图5为图4中的重置阶段,像素电路中各个晶体管的一种通断情况;

[0027] 图6为用于控制图3所示的像素电路的各个驱动信号的另一种时序信号图;

[0028] 图7为图6中的写入补偿阶段,像素电路中各个晶体管的一种通断情况;

[0029] 图8为用于控制图3所示的像素电路的各个驱动信号的又一种时序信号图;

[0030] 图9为图8中的发光阶段,像素电路中各个晶体管的一种通断情况;

[0031] 图10为本发明实施例提供一种显示装置中显示面板的局部结构示意图。

[0032] 附图标记:

[0033] 10-重置模块;20-数据写入模块;30-补偿模块;40-驱动模块;50-发光模块;RE-重置信号端;SC-扫描信号端;CN-使能信号端;EM1-第一信号端;EM2-第二信号端;Vinit-初始电压端;Data-数据电压端;VDD-第一电压端;VSS-第二电压端;P1-重置阶段;P2-写入补偿阶段;P3-发光阶段。

具体实施方式

[0034] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完

整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 本发明实施例提供一种像素电路,如图2所示,包括重置模块10、数据写入模块20、补偿模块30、驱动模块40、发光模块50。

[0036] 其中,上述重置模块10连接重置信号端RE、扫描信号端SC、初始电压端Vinit、驱动模块40以及发光模块50。该重置模块10用于在重置信号端RE和扫描信号端SC的控制下,将初始电压端Vinit的电压输出至驱动模块40和发光模块50,从而可以通过上述初始电压端Vinit输出的信号对驱动模块40和发光模块50进行重置,避免上一图像帧残留于驱动模块40和发光模块50中的电压对下一图像帧的显示图像造成影响。

[0037] 此外,数据写入模块20连接数据电压端Data、使能信号端CN以及驱动模块40。该数据写入模块20用于在使能信号端CN的控制下,将数据电压端Data的电压写入至驱动模块40,从而使得该驱动模块40能够根据上述数据电压Vdata输出用于驱动发光模块50进行发光的驱动电流。

[0038] 补偿模块30连接第一信号端EM1、第二信号端EM2、第一电压端VDD以及驱动模块40。该补偿模块30用于在第一信号端EM1和第二信号端EM2的控制下,对驱动模块40进行阈值电压Vth补偿,并将第一电压端VDD的电压输出至驱动模块40。

[0039] 发光模块50连接第一信号端EM1、第二电压端VSS以及驱动模块40。该发光模块50用于在第一信号端EM1的控制下,根据驱动模块40提供的驱动电流进行发光。

[0040] 其中,本发明实施例中,第一电压端VDD用于输出恒定的高电平。该第二电压端VSS用于输出恒定的低电平,例如可以将第二电压端VSS连接接地端。并且,这里的高、低仅表示输入的电压之间的相对大小关系。

[0041] 由上述可知,在发光模块50发光之前,重置模块10可以对驱动模块40和发光模块50进行重置,从而可以避免上一图像帧残留于该驱动模块40和发光模块50中的电压对下一图像帧的显示造成影响。此外,数据写入模块可以将数据电压端Data输入的数据电压Vdata写入至驱动模块40,以使得该驱动模块40可以根据上述数据电压Vdata生成用于驱动发光模块50进行发光的驱动电流。与此同时,上述补偿模块30可以对驱动模块40进行阈值电压Vth补偿,在此情况下,可以使得驱动模块40产生的上述驱动电流与该驱动模块40中驱动晶体管的阈值电压Vth无关。这样一来,当显示面板的各个亚像素内设置有上述像素电路时,流过每个亚像素内像素电路的发光模块50的驱动电流均与该像素电路的驱动晶体管的阈值电压Vth无关,从而可以避免由于各个亚像素内驱动晶体管的阈值电压不均导致上述驱动电流不一致,而引起的亮度不均的现象发生。

[0042] 以下对图2中各个模块的具体结构进行详细的说明。

[0043] 具体的,如图3所示,驱动模块40包括驱动晶体管Td和存储电容Cst。

[0044] 其中,该驱动晶体管Td的栅极连接存储电容Cst的一端,第一极连接补偿模块30,第二极与发光模块50相连接。

[0045] 存储电容Cst的另一端与补偿模块30相连接。

[0046] 在此基础上,上述重置模块10可以包括第一晶体管T1和第二晶体管T2。

[0047] 其中,第一晶体管T1的栅极连接重置信号端RE,第一极连接驱动模块40,第二极与

初始电压端Vinit相连接。当驱动模块40的结构如上所述时,该第一晶体管T1的第一极连接驱动晶体管Td的栅极。这样一来,在重置信号端RE的控制下,当该第一晶体管T1开启时,上述初始电压端Vinit的电压可以通过第一晶体管T1传输至驱动晶体管Td的栅极,以对该驱动晶体管Td的栅极进行重置,避免上一图像帧残留于该驱动晶体管Td栅极的电压对下一图像帧显示的图像造成影响。

[0048] 此外,第二晶体管T2的栅极连接扫描信号端SC,第一极连接驱动模块40和发光模块50,第二极与第一晶体管T1的第一极相连接。

[0049] 基于此,发光模块50可以包括第六晶体管T6和发光器件L。其中,第六晶体管T6的栅极连接第一信号端EM1,第一极连接驱动模块40,第二极与发光器件L的阳极相连接。

[0050] 发光器件L的阴极连接第二电压端VSS。其中,该发光器件L可以为发光二极管(Light Emitting Diode,LED)或有机发光二极管(OLED)。本发明对此不做限定。

[0051] 在此情况下,当驱动模块40的结构如上所述时,重置模块10中的第二晶体管T2的第一极与驱动晶体管Td的第二极相连接。此外,发光模块50中第六晶体管T6的第一极与驱动晶体管Td的第二极相连接。这样一来,当第六晶体管T6、第二晶体管T2以及第一晶体管T1导通时,初始电压端Vinit的电压可以通过上述导通的晶体管传输至发光器件L的阳极,以对该发光器件L进行重置,避免上一图像帧残留于该发光器件L阳极的电压对下一图像帧显示的图像造成影响。

[0052] 此外,数据写入模块20包括第三晶体管T3。该第三晶体管T3的栅极连接使能信号端CN,第一极连接数据电压端Data,第二极与驱动模块40相连接。当该驱动模块40的结构如上所述时,该第三晶体管T3的第二极与存储电容Cst的另一端相连接。这样一来,当第三晶体管T3导通时,可以通过存储电容Cst将数据电压端Data输出的数据电压Vdata存储于该存储电容Cst内,并通过该存储电容Cst将存储的数据电压Vdata持续提供至上述驱动晶体管Td的栅极。

[0053] 在此基础上,上述补偿模块30包括第四晶体管T4、第五晶体管T5。

[0054] 其中,第四晶体管T4的栅极连接第二信号端EM2,第一极连接第一电压端VDD,第二极与驱动模块40相连接。当该驱动模块40的结构如上所述时,该第四晶体管T4的第二极与上述驱动晶体管Td的第一极相连接。

[0055] 第五晶体管T5的栅极连接第一信号端EM1,第一极连接第四晶体管T4的第二极,第二极与驱动模块40相连接。当该驱动模块40的结构如上所述时,该第五晶体管的第二极与存储电容Cst的另一端相连接。

[0056] 需要说明的是,本发明实施例中对各个晶体管的类型不做限定。例如,上述各个晶体管可以均为N型晶体管,在此情况下,上述晶体管的第一极为漏极,第二极为源极。或者上述各个晶体管可以均为P型晶体管。在此情况下,上述各个晶体管的第一极可以为源极,第二极为漏极。此外,上述各个晶体管可以为增强型或者为耗尽型。

[0057] 以下分别结合图4、图6以及图8所示的各个信号端的时序图,对图3所示的像素电路,在一图像帧内的工作过程进行详细的说明。以下实施例以上述各个晶体管均为P型,增强型晶体管为例。其中,上述一图像帧包括重置阶段P1、写入补偿阶段P2以及发光阶段P3。

[0058] 具体的,在一图像帧的重置阶段P1,如图4所示,EM2=1,EM1=0,SC=0,RE=0,CN=1;其中,本发明实施例中“0”表示低电平,“1”表示高电平。

[0059] 在此情况下,如图5所示,重置信号端RE输入低电平,第一晶体管T1导通;扫描信号端SC输入低电平,第二晶体管T2导通;第一信号端EM1输入低电平,第五晶体管T5和第六晶体管T6导通。

[0060] 此时,初始电压端Vinit的电压通过第一晶体管T1传输至驱动晶体管Td的栅极,以使得该驱动晶体管Td的栅极电压 $V_g = V_{N2} = V_{init}$,从而将该驱动晶体管Td的栅极电压重置为初始电压端Vinit的电压。

[0061] 在此情况下,由于第五晶体管T5导通,因此第一节点N1的电压与驱动晶体管Td的源极电压Vs相同。基于此,通过初始电压端Vinit对第一节点N1进行重置,直至第一节点N1的电压 $V_{N1} = V_s = V_{init} - V_{th}$ 为止。因为当 $V_s = V_{init} - V_{th}$ 时,驱动晶体管Td的栅源电压 $V_{gs} = V_g - V_s = V_{init} - (V_{init} - V_{th}) = V_{th}$,此时为驱动晶体管Td截止的临界状态。其中,对于P型晶体管增强型晶体管而言,截止条件为 $V_{gs} > V_{th}$, V_{th} 为负值。

[0062] 在此基础上,初始电压端Vinit的电压通过第一晶体管T1、第二晶体管T2以及第六晶体管T6传输至发光器件L的阳极,以使得该发光器件L阳极的被重置为初始电压端Vinit的电压。

[0063] 此外,第三晶体管T3和第四晶体管T4处于截止状态。

[0064] 在一图像帧的写入补偿阶段P2,如图6所示, $EM2 = 0, EM1 = 1, SC = 0, RE = 1, CN = 0$ 。

[0065] 在此情况下,使能信号端CN输入低电平,如图7所示,第三晶体管T3导通,数据电压端Data输出的数据电压Vdata通过该第三晶体管T3输出至第一节点N1,此时 $V_{N1} = Data$ 。

[0066] 在此基础上,使能信号端SC输入低电平,第二晶体管T2导通;第二信号端EM2输入低电平,第四晶体管T4导通。由于上述可知,初始电压端Vinit的电压输出至驱动晶体管Td的栅极,该驱动晶体管Td的栅极电压为低电位,驱动晶体管Td导通, $V_{gs} < V_{th}$ 。由于第二晶体管T2导通,所以驱动晶体管Td的栅极电压Vg和漏极电压Vd相同,即 $V_g = V_d$ 。此时, $V_{gd} = V_g - V_d = 0 > V_{th}$, V_{th} 为负。因此该驱动晶体管Td处于饱和状态。

[0067] 在此情况下,第一电压端VDD通过第四晶体管T4、驱动晶体管Td以及第二晶体管T2对存储电容Cst进行充电,该存储电容Cst又将向该驱动晶体管Td的栅极(即第二节点N2)进行充电,直至第二节点N2点达到 $VDD + V_{th}$ 为止。因为当 $V_{N2} = VDD + V_{th}$ 时,驱动晶体管Td的栅源电压 $V_{gs} = V_g - V_s = VDD + V_{th} - VDD = V_{th}$,此时为驱动晶体管Td截止的临界状态。其中,对于P型晶体管增强型晶体管而言,截止条件为 $V_{gs} > V_{th}$, V_{th} 为负值。这样一来,驱动晶体管Td的阈值电压Vth被锁定至该驱动晶体管Td的栅极,从而实现了对该驱动晶体管Td的阈值电压Vth进行补偿。

[0068] 此外,第一晶体管T1、第五晶体管T5以及第六晶体管T6处于截止状态。

[0069] 在一图像帧的发光阶段P3,如图8所示, $EM2 = 0, EM1 = 0, SC = 1, RE = 1, CN = 1$ 。

[0070] 在此情况下,如图9所示,第二信号端EM2输出低电平第四晶体管T4导通;第一信号端EM1输出低电平,第五晶体管T5和第六晶体管T6导通。此时,第一节点N1的电压 $V_{N1} = VDD$ 。由于上一阶段N1的电压 $V_{N1} = Vdata$,第二节点N2的电压 $V_{N2} = VDD + V_{th}$;因此在该存储电容Cst的自举作用下,使得第二节点N2的电压 $V_{N2} = VDD - Vdata + VDD + V_{th}$ 。此时,该驱动晶体管Td的栅源电压 $V_{gs} = V_g - V_s = V_{N2} - V_s = (VDD - Vdata + VDD + V_{th}) - VDD = VDD - Vdata + V_{th} < V_{th}$, V_{th} 为负值。因此上述驱动晶体管Td导通。

[0071] 此外,第一晶体管T1、第二晶体管T2以及第三晶体管T3处于截止状态。

[0072] 基于此,流过上述发光器件L的驱动电流I为:

$$[0073] \quad I=K(V_{gs}-V_{th})^2$$

$$[0074] \quad =K(V_{DD}-V_{data}+V_{th}-V_{th})^2$$

$$[0075] \quad =K(V_{DD}-V_{data})^2。 \quad (1)$$

[0076] 其中,K为关联于驱动晶体管T_d的电流常数,与驱动晶体管T_d的工艺参数和几何尺寸有关。

[0077] 现有技术中,不同像素单元之间的驱动晶体管T_d的阈值电压V_{th}漂移,而导致各个驱动晶体管T_d的阈值电压V_{th}不尽相同。由以上公式(1)可知,用于驱动发光器件L进行发光的驱动电流I与驱动晶体管T_d的阈值电压V_{th}无关,从而消除了驱动晶体管T_d的阈值电压V_{th}对发光器件L发光亮度的影响,提高了发光器件L亮度的均一性。

[0078] 需要说明的是,上述描述均是以各个晶体管为P型晶体管为例进行的说明。当各个晶体管均N型时,控制过程同理可得,但是需要对部分控制信号进行翻转。

[0079] 本发明实施例提供一种显示装置包括如上所述的任意一种像素电路。该显示装置中的像素电路具有与前述实施例提供的像素电路相同的结构和有益效果,此处不再赘述。

[0080] 需要说明的是,本发明实施例所提供的显示装置可以是包括LED显示器或OLED显示器在内的具有电流驱动发光器件的显示装置。该显示装置可以为电视、手机、平板电脑等。

[0081] 在此基础上,显示装置包括显示面板,该显示面板上设置有呈矩阵形式排列的亚像素Pixel,上述像素电路设置于该亚像素Pixel内。

[0082] 基于此,如图10所示,每一行亚像素Pixel连接有一条控制信号线EM(n)、一条使能信号线CN(n)以及一条扫描信号线Gate(n)。其中,像素电路中的第一信号端EM1与控制信号线EM(n)相连接,使能信号端CN与所述使能信号线CN(n)相连接。其中, $n \geq 1$,n为正整数。

[0083] 除了第一行亚像素Pixel以外,下一行亚像素Pixel中像素电路的第二信号端EM2与上一行亚像素Pixel的控制信号线EM(n-1)相连接。下一行亚像素Pixel中像素电路的重置信号端RE与上一行亚像素的使能信号线CN(n-1)相连接。这样一来,相邻两行亚像素Pixel的信号线部分公用,从而可以达到减小信号线数量的目的,使得布线结构更加简单。

[0084] 在此基础上,该显示装置还包括与每个像素电路的数据电压端Data相连接的电压型源极驱动器(图中未示出),该电压型源极驱动器用于直接向数据电压端Data提供数据电压,此时上述像素电路为电压型像素电路。

[0085] 此外,上述每个像素电路的数据电压端Data还可以与电流镜相连接,通过电流镜可以根据输入的电流信号映射出数据电压,并提供至该数据电压端Data,此时上述像素电路为电流型像素电路。

[0086] 本发明实施例提供一种用于驱动如上所述的任意一种像素电路的方法,一图像帧内所述方法包括:

[0087] 首先,在如图4所示的重置阶段P1,如图3所示,重置模块10在重置信号端RE和扫描信号端SC的控制下,将初始电压端V_{init}的电压输出至驱动模块40和发光模块50。

[0088] 在该阶段,如图5所示,重置信号端RE、扫描信号端SC、第一信号端EM1输出低电平。基于此,如图5所示时,第一晶体管T1、第二晶体管T2、第五晶体管T5以及第六晶体管T6导通。具体的重置过程如上所述,此处不再赘述。

[0089] 接下来,在如图6所示的写入补偿阶段P2,数据写入模块20在使能信号端CN的控制下,将数据电压端Data的电压写入至驱动模块40。

[0090] 此外,补偿模块30在第一信号端EM1和第二信号端EM2的控制下,对驱动模块40进行阈值电压补偿。

[0091] 具体的,在该阶段,如图6所示,使能信号端CN、第二信号端EM2以及扫描信号端SC输出低电平。此外,数据电压端Data输出数据电压。

[0092] 在此情况下,当补偿模块30包括如图7所示的第四晶体管T4;驱动模块40包括驱动晶体管Td和存储电容Cst时,在该写入补偿阶段P2,上述方法包括:

[0093] 存储电容Cst对该驱动晶体管Td的栅极进行充电。此外,在第二信号端EM2的控制下,第四晶体管T4导通,第一电压端VDD的电压通过第四晶体管T4传输至驱动晶体管Td的第一极。该驱动晶体管Td的阈值电压 V_{th} 和第一电压端VDD的电压写入至该驱动晶体管Td的栅极。此时,该驱动晶体管Td的栅极电压 $V_g = V_{DD} + V_{th}$,以实现阈值电压 V_{th} 的补偿。具体的补偿过程,同上所述,此处不再赘述。

[0094] 接下来,在如图8所示发光阶段P3,补偿模块30在第一信号端EM1和第二信号端EM2的控制下,将第一电压端VDD的电压输出至驱动模块40。

[0095] 此外,发光模块50在第一信号端EM1的控制下,根据驱动模块40提供的驱动电流进行发光。

[0096] 具体的,在该阶段,如图8所示,在该发光阶段P3,第一信号端EM1、第二信号端EM2输出低电平。

[0097] 基于此,如图9所示时,第四晶体管T4、第五晶体管T5以及第六晶体管T6导通。具体的发光过程如上所述,此处不再赘述。

[0098] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于一计算机可读取存储介质中,该程序在执行时,执行包括上述方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0099] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

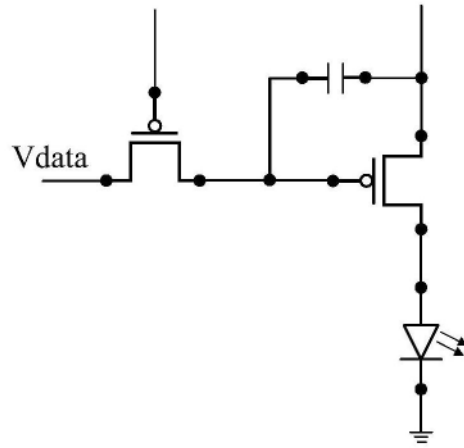


图1

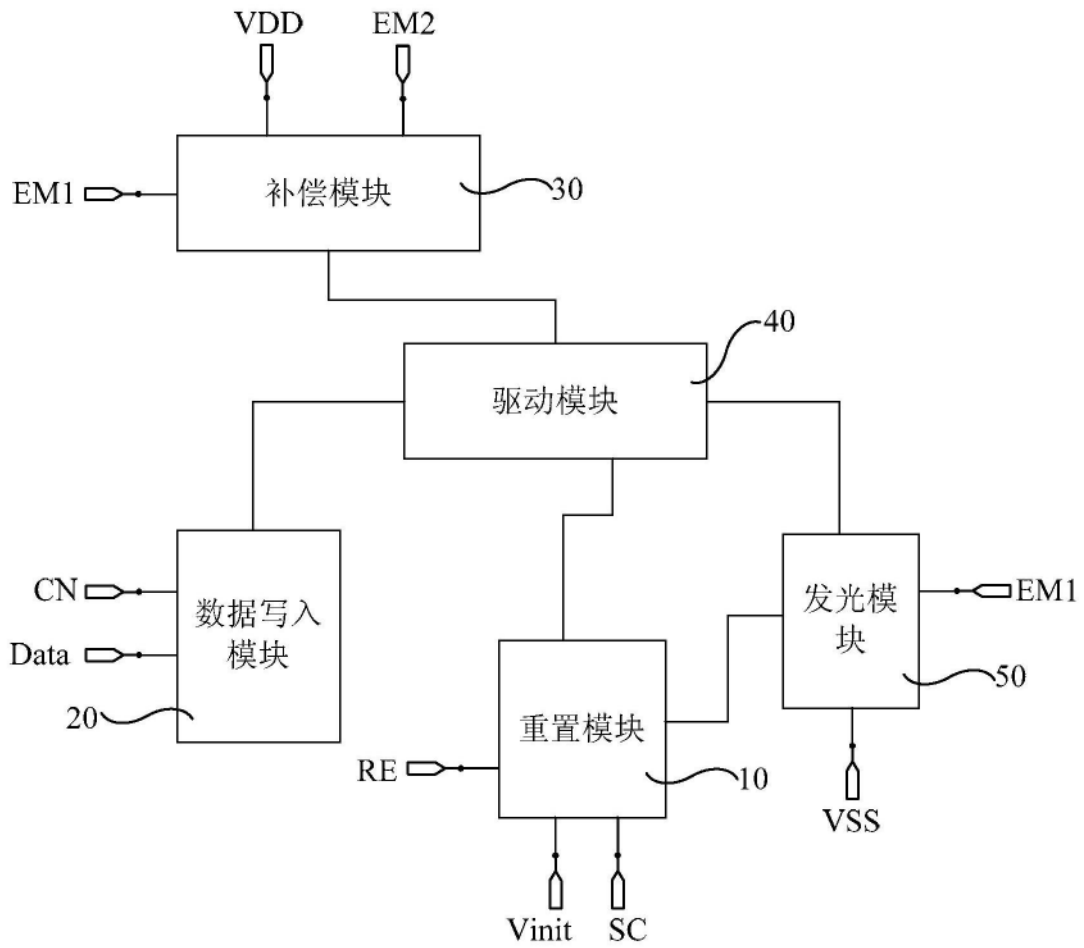


图2

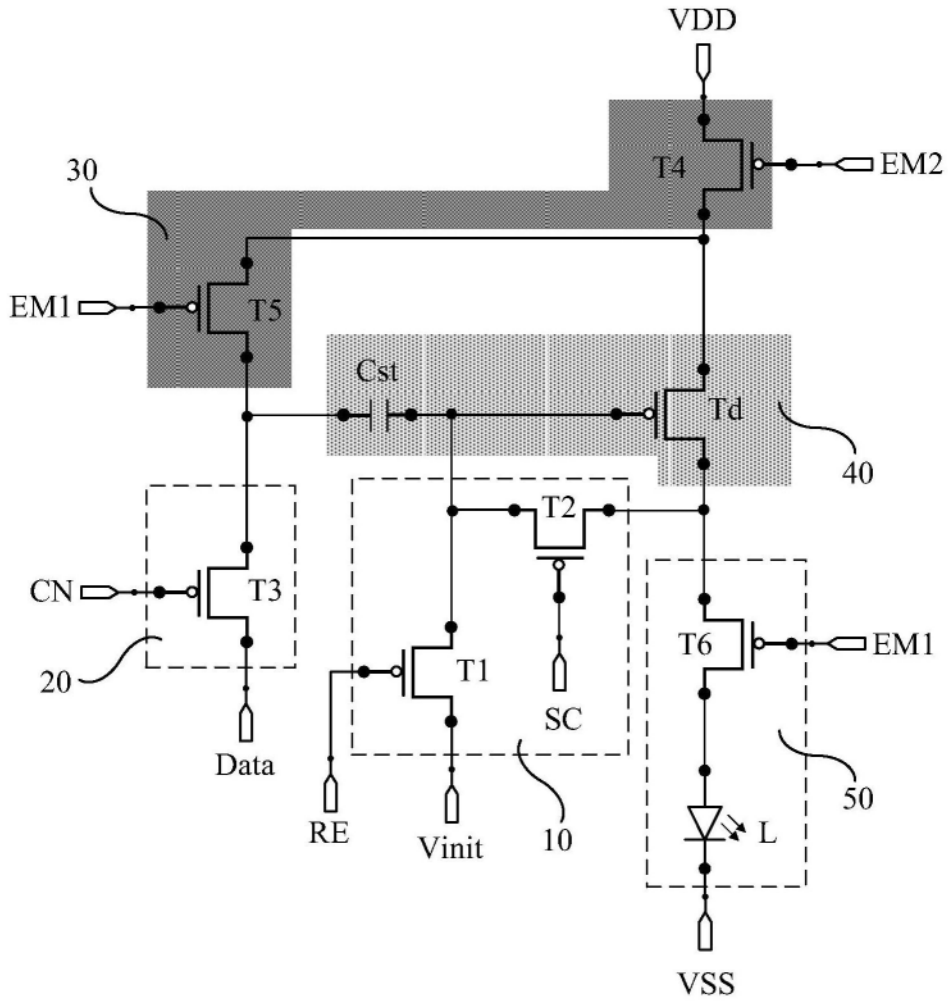


图3

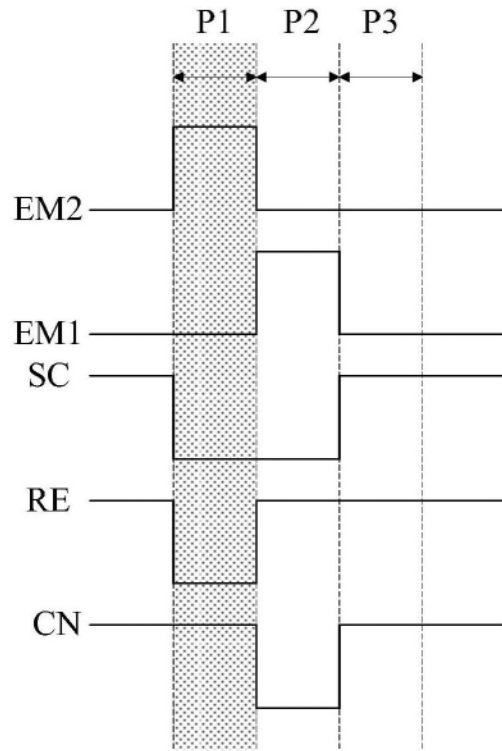


图4

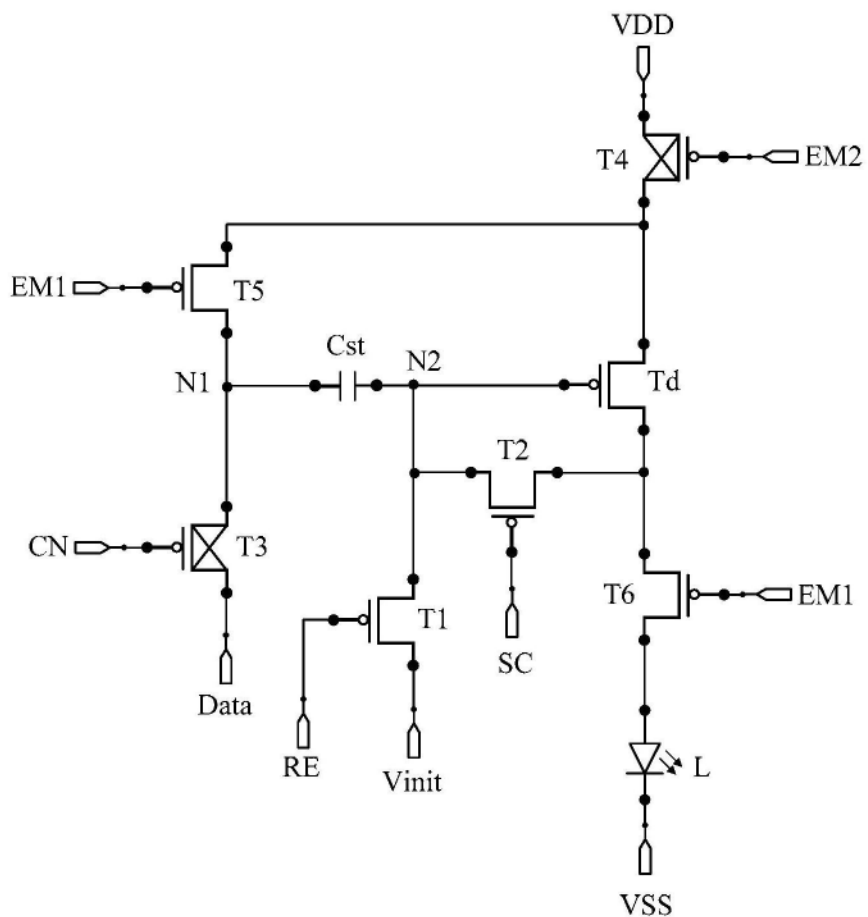


图5

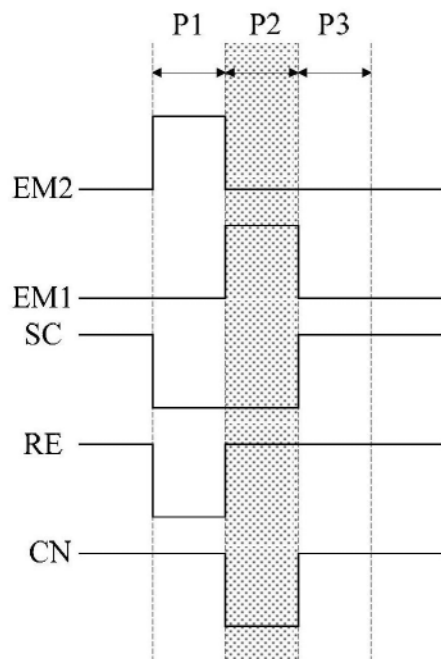


图6

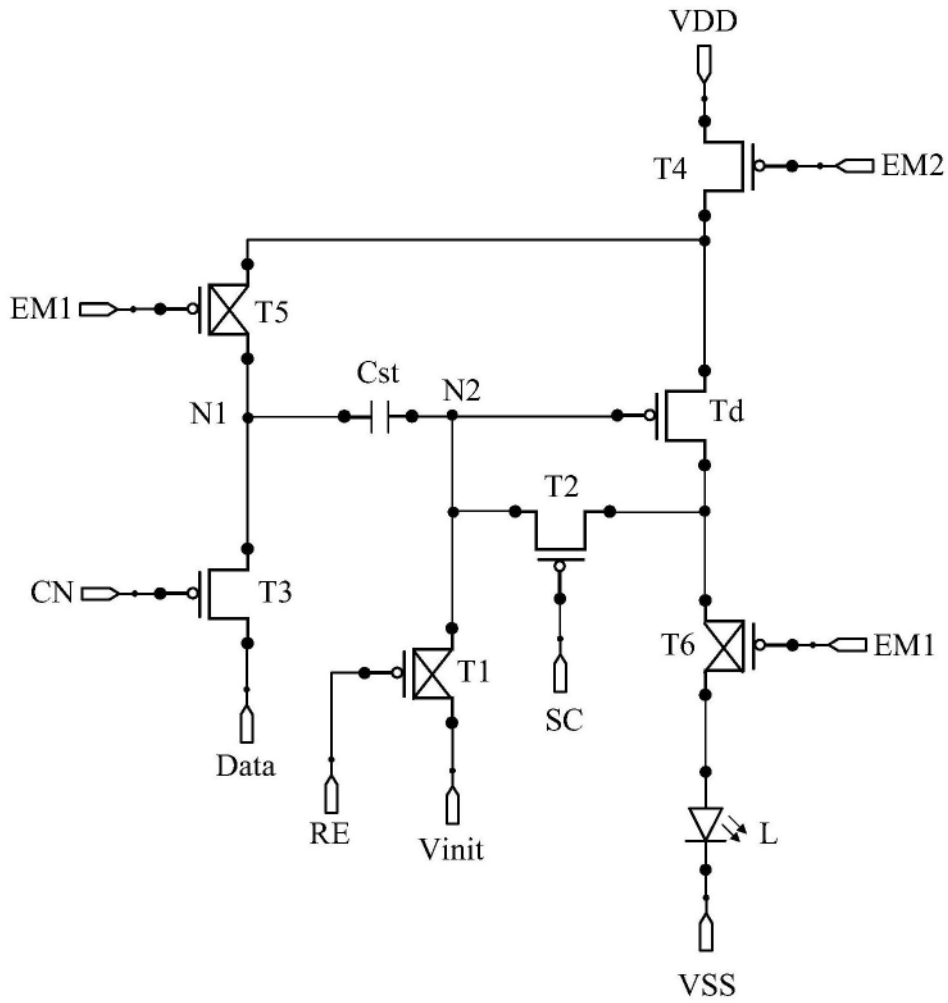


图7

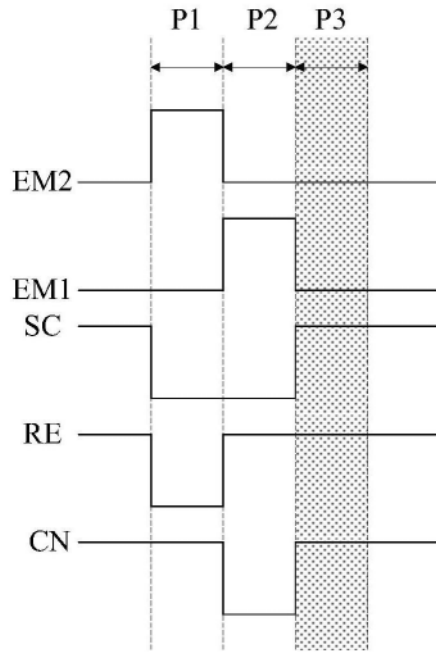


图8

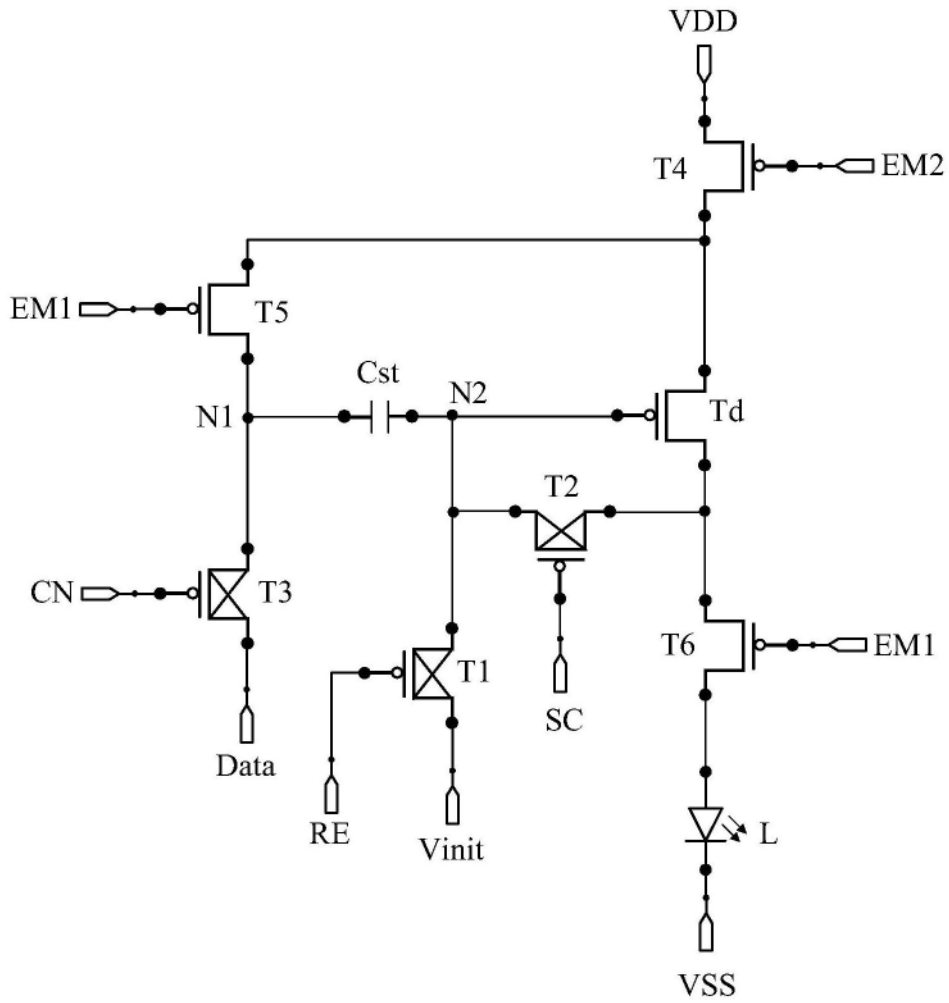


图9

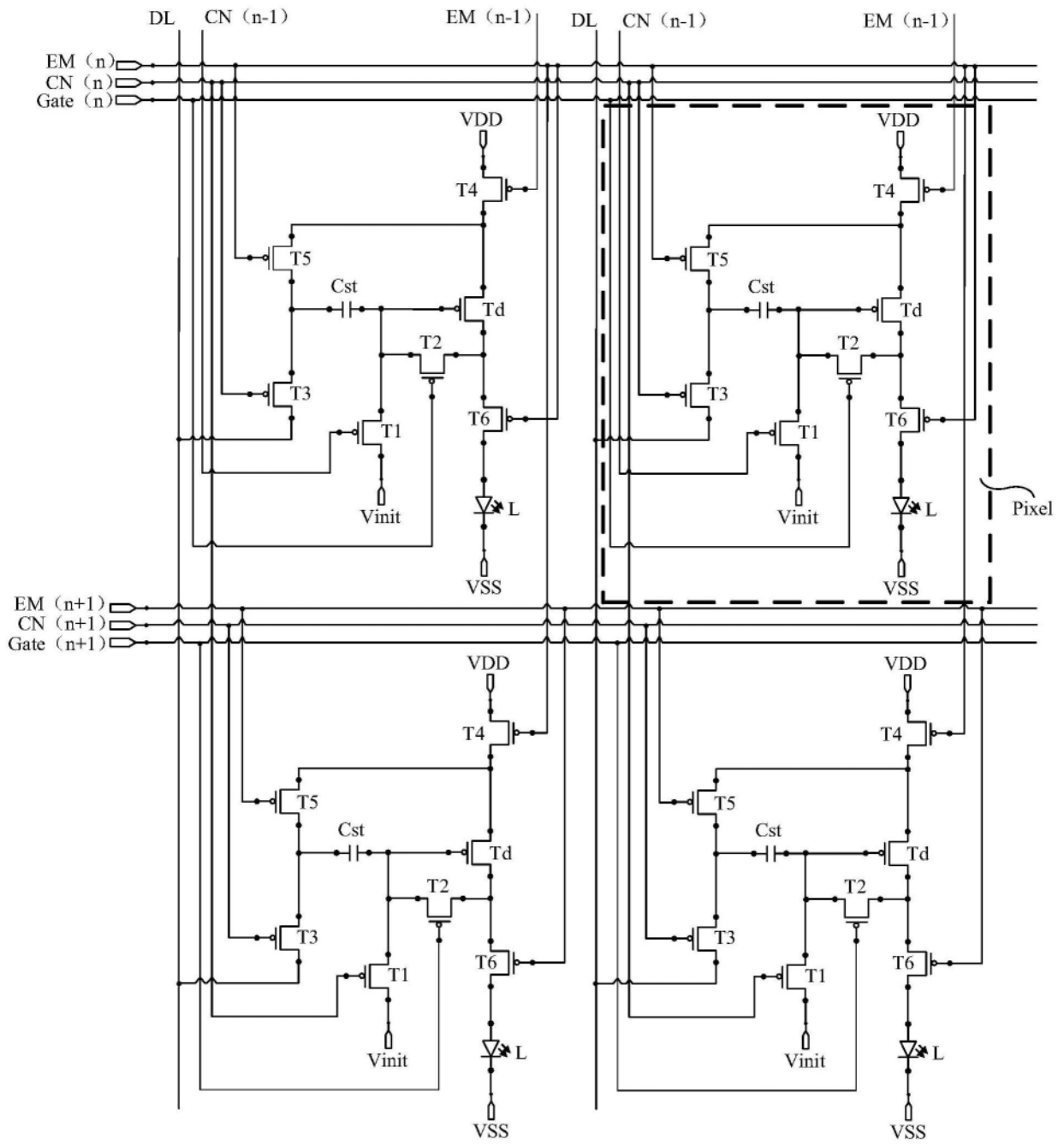


图10