



I277170

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92118307

※ 申請日期： 92-07-04 ※IPC 分類：H01L 21/62 (2006.01)

壹、發明名稱：(中文/英文)

半導體裝置中之電容器的製造方法

Method for fabricating capacitor in semiconductor device

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司

Hynix Semiconductor Inc.

代表人：(中文/英文)

鄭東洙/CHUNG, DONG-SOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub Ichon-shi, Kyoungki-do, 467-860, Korea

國籍：(中文/英文)

大韓民國/Korea

參、發明人：(共 3 人)

姓名：(中文/英文)

1. 朴鍾範/PARK, JONG-BUM

2. 吳勳靜/OH HOON-JUNG

3. 金京民/KIM KYONG-MIN

住居所地址：(中文/英文)

1. ~ 3. 〒467-860 大韓民國京畿道利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub Ichon-shi, Kyoungki-do,

467-860, Republic of Korea

國籍：(中文/英文)

1. ~ 3. 大韓民國/Korea

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 韓國 2002.12.30 2002-86478

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

(一)發明所屬之技術領域

本發明係關於一種半導體裝置的製造方法；尤其是半導體裝置之電容器的製造方法。

(二)先前技術

由於半導體裝置的大型積體性，例如動態隨機存取記憶體(DRAM)，所以用以儲存資訊之記憶體單胞的總面積已快速減少。

尤其，記憶體單胞面積的減少會使得記憶體單胞中電容器的面積減少。但是，記憶體單胞面積的減少反而會使感測界限和感測速度降低。此外，此種記憶體單胞面積的減少也會降低對 α 粒子所產生的軟錯誤之容許度。

電容器之電容值由下式定義：

$$C = \epsilon \times A_s / d \quad \text{第 1 式}$$

在此， ϵ 是介電質常數； A_s 為電極的有效面積； d 是電極間的距離。

根據第 1 式，增加電容器之電容值的方法有三：第一種方法是使電極的有效表面積變寬；第二種方法是減少介電物質的厚度；及第三種方法是增加介電質常數。

在這三種方法當中，第一種方法是最先被考慮用以增加電容器之電容值。如上所述，在第一種方法當中，使電極的有效表面積變寬。因此，電容器應該由特殊的三維結構所形成，如凹窪結構，柱狀結構，多重層針狀結構等等。但是，由於半導體裝置的超大型積體性，所以此種方法已

變得有所限制。

另一種減少介電物質的厚度，以縮減電極間的距離 d 之方法，也面臨由於介電物質的厚度減少之事實，造成漏電流增加的限制。

因此，目前的研究和發展都集中在如何藉由增加介電質常數，增加電容器之電容值。典型上，大部分的電容器都具有用以當作介電質層之氧化矽層和氮化矽層之所謂的氮化物-氧化物(NO)結構。但是，用於電容器之介電質層係由具有高介電質常數之材料，如 Ta_2O_5 , $(Ba, Sr)TiO_3$ (BST), 和類似的材料，或鐵電材料，如 $(Pb, Zr)TiO_3$ (PZT), $(Pb, La)(Zr, Ti)O_3$ (PLZT), $SrBi_2Ta_2I_9$ (SBT), $Bi_4-XLaXTi_3O_{12}$ (BLT) 和類似的材料所製成的。

第 1A 圖到第 1C 圖為具有圓柱形結構之電容器的傳統製造方法橫截面圖。

如第 1A 圖所示，在基板 10 之中形成活性區 11。在基板 10 之上形成層間絕緣層 12 之後，形成貫穿層間絕緣層 12，用以接觸基板 10 的活性區 11 之接觸孔洞。用導電金屬埋藏接觸孔洞，以形成接觸栓 13。然後，形成高度和電容器相同之絕緣層 14。

選擇性蝕刻絕緣層 14，以曝露接觸栓 13 而形成溝渠。用導電矽層形成下電極 15，而且其係沿著包含溝渠之縱深沉積。然後，移除絕緣層 14。

如第 1B 圖所示，使用氨氣(NH_3)電漿，在下電極 15 上形成厚度範圍約 5\AA 到 50\AA 之氮化矽層 16。

參考第 1C 圖，在氮化矽層 16 上形成介電質層 17，然後用導電層在其上形成上電極。

在此，形成氮化矽層 16 係用以防止在後續的高溫製程期間形成氧化矽層。若具有低介電質常數之氧化矽層形成在介電質層之上和之下，則電容器的介電質特性會退化。

因為下電極 15 為圓柱狀結構，所以氮化矽層 16 並非很均勻地形成在下電極 15 的表面上。因此，氧化矽層會過多地形成在部分在其上沒有氮化物層 16 形成之下電極 15 上。結果，由於形成過多無意的氧化物，所以會在下電極 15 的某些部分上發生電容值退化的問題。

此外，用以防止電容值減少之氮化物層會產生一個問題，就是電容器的漏電流會增加，而崩潰電壓會降低。

(三)發明內容

因此，本發明之目的係要提供一種半導體裝置之電容器的製造方法，以改善電容值並同時增強漏電流特性和崩潰電壓特性。

根據本發明之方向，提供半導體裝置之電容器的製造方法，包含下列步驟：(a)在基板上形成當作下電極之導電矽層；(b)氮化處理該導電矽層；(c)氧化處理該已氮化之導電矽層；(d)在該氧化層的表面上形成氮化矽層；(e)在該氮化矽層上形成介電質層；及(f)在該介電質層上形成上電極。

(四)實施方式

下面，將參考附圖詳細說明根據本發明製造之半導體裝置的電容器。

第 2A 圖到第 2E 圖為根據本發明優選實例，半導體裝置之電容器的製造方法橫截面圖。

如第 2A 圖所示，在基板 20 之中形成活性區 21。在基板 20 之上形成層間絕緣層 22 之後，形成貫穿層間絕緣層 22 之接觸孔洞，使得栓 23 可以接觸基板 20 之活性區 21。用導電金屬填埋接觸孔洞，以形成栓 23。下面，將此栓 23 稱為接觸栓。以氧化物層或熱氧化物層形成層間絕緣層 22。該氧化物層係由選擇自由未摻雜矽酸玻璃 (USG)，磷矽酸玻璃 (PSG)，硼磷矽酸玻璃 (BPSG)，高密度電漿 (HDP)，施佈玻璃 (SOG) 和四乙基原矽酸 (TEOS) 所組成之群組的材料所製成的。該熱氧化物層係在約從 600°C 到 1100°C 之溫度範圍下，將矽基板氧化所形成的。

形成和電容器的高度相同之絕緣層 24。該絕緣層 24 係使用厚度範圍約從 3000Å 到 5000Å 之氧化物層或熱氧化物層所形成的。此處，該氧化物層和熱氧化物層係以和上述相同之方法形成。

其次，選擇性蝕刻絕緣層 24，直到曝露出接觸栓 23，使得可以形成溝渠。沿著包含溝渠之縱深，形成下電極 25。此時，下電極 25 係由多晶矽所製成的。

在更詳細地說明下電極 25 的形成方面，先沉積厚度範圍約從 50Å 到 300Å 之雜質摻雜多晶矽層。接著再沉積厚度範圍約從 50Å 到 300Å 之雜質未摻雜多晶矽層，然後在氮氣 (N₂) 的環境中，在其上摻雜氫化磷 (PH₃)。

參考第 2B 圖，移除用於電容器之絕緣層 24，然後執

行 SC-1 清洗製程。此時，在 SC-1 清洗製程中，使用氫氟酸 (HF) 或氧化物緩衝蝕刻液 (BOE) 移除絕緣層 24。SC-1 清洗製程也可以採用氫氧化銨 (NH_4OH)，雙氧水 (H_2O_2) 和 H_2O 。SC-1 清洗製程的結果，形成厚度範圍約從 5Å 到 10Å 之第一氧化矽層 26，其多少可以圍繞下電極 25。該第一氧化物層 26 係當執行 SC-1 清洗製程時，會在 SC-1 清洗製程期間，形成厚度範圍約從 5Å 到 10Å 之薄的自然氧化物層。

之後，在 N_2 的環境中，將形成當作下電極 25 之多晶矽層摻雜 PH_3 。此時，摻雜係在約從 500°C 到 800°C 的溫度範圍下，和在約從 0.1 Torr 到 100 Torr 的壓力範圍下執行。此摻雜係要最小化在電容器操作時所發生之空乏現象。

然後，執行熱處理製程。在介電質層沉積製程之後，使用 N_2O 環境之爐管執行熱處理製程時，此製程多少可以密化第一氧化矽層 26，及使下電極 25 有最小的氧化。

如第 2C 圖所示，藉由使用壓力範圍約從 10 Torr 到 100 Torr 之爐管所完成之熱處理製程，均勻地形成第一氮化矽層 27。

參考第 2D 圖，藉由將基板 20 曝露在大氣中，在第一氮化矽層 27 之上形成第二氧化矽層 28。此時，第二氧化矽層 28 的厚度範圍約從 1Å 到 5Å。第二氧化矽層 28 係基板 20 曝露在大氣中所產生之自然氧化物層。

然後使用二氯矽烷 (DCS) 源，在壓力範圍約從 1 Torr 到 10 Torr 之 NH_3 環境中，沉積第二氮化矽層 SiN_4 29。在此，第一和第二氮化矽層 27 和 29 所形成之厚度範圍約從 5Å 到

20Å。

如第 2E 圖所示，在第二氮化矽層之上，形成厚度範圍約從 30Å 到 100Å 之介電質層 30。此時，形成介電質層 30 之溫度範圍約從 300°C 到 500°C，此外，形成介電質層 30 之壓力範圍約從 0.1 Torr 到 1.0 Torr。爲了改善元件特性和介電質層 30 的結晶，使用 N₂O 或 O₂ 環境之爐管，執行熱處理製程。此時，執行熱處理製程之溫度範圍約從 500°C 到 800°C。

在使用下 Ta₂O₅ 形成介電質層 30 之情形中，介電質層係使用 Ta(C₂H₅O)₅ 和 O₂ 當作材料源和反應氣體所形成的。此時，介電質層 30 的形成係在約從 300°C 到 500°C 的溫度範圍下，及約從 0.1 Torr 到 1.0 Torr 的壓力範圍下完成。此外，介電質層 30 的厚度範圍約從 20Å 到 100Å。介電質層 30 係由選擇自由具有高介電質常數之物質，如 Al₂O₃, HfO₂, BST 等之群組，或鐵電物質，如 PZT, PLZT, BLT 等之群組的材料所製成的。

其次，使用導電層，在介電質層 30 上形成上電極 31。上電極 31 係藉由使用化學氣相沉積法 (CVD) 沉積 TiN 層所形成的，然後在上電極 31 之上形成多晶矽層。

使用上述之製程，在介電質層 30 和下電極 29 之間，形成第一氮化矽層 27，第二氧化矽層 28 和第二氮化矽層 29。此製程稱爲第二次有效爐管氮化 (EF2N) 製程。在此，第一和第二氮化矽層 27 和 29 係要防止產生過多的氧化物層，以確保預定的電容值，而第二氧化矽層 28 係用以改善

漏電流特性和崩潰電壓特性。

第 3A 圖到第 3C 圖為根據本發明所製造之電容器的有效建構特性圖。

尤其，圖示在用以抑制介電質層間的介面上之氧化物層形成的傳統 NH_3 電漿製程下，和在用以抑制下電極和介電質層間的介面上之氧化物層形成的上述 EF2N 製程下，所獲得之電容器的電容值 C_s ，漏電流和崩潰電壓特性。

參考第 3A 圖和第 3B 圖，相較於藉由傳統 NH_3 電漿製程 (NH_3 PLT) 所製造之電容器的電容值，電容值 C_s 可以使用 EF2N 製程改善。此外，漏電流和崩潰電壓特性則保持不變。

本發明已參考特殊實施例說明，但是明顯地，熟悉此項技術之人士所做的各種變化例和修正例，可能不會脫離本發明在後面之申請專利範圍所定義的精神和範圍。

(五)圖式簡單說明

根據下面參考附圖之優選實施例的說明，本發明前面的和其他的目的和特徵將會變得很明顯，其中：

第 1A 圖到第 1C 圖為具有圓柱形結構之電容器的傳統製造方法橫截面圖；

第 2A 圖到第 2E 圖為根據本發明優選實施例，半導體裝置之電容器的製造方法橫截面圖；及

第 3A 圖到第 3C 圖為根據本發明所製造之電容器的有效建構特性圖。

元件符號說明

I277170

- 10 基板
- 11 活性區
- 12 層間絕緣層
- 13 接觸栓
- 14 絕緣層
- 15 下電極
- 16 氮化矽層
- 17 介電質層
- 18 上電極
- 20 基板
- 21 活性區
- 22 層間絕緣層
- 23 接觸栓
- 24 絕緣層
- 25 下電極
- 26 第一氧化矽層
- 27 第一氮化矽層
- 28 第二氧化矽層
- 29 第二氮化矽層
- 30 介電質層
- 31 上電極

伍、中文發明摘要：

本發明係關於一種半導體裝置中之電容器的製造方法，用以改善電容值並同時增強漏電流特性和崩潰電壓特性。基於此目的，該種半導體裝置之電容器的製造方法，包含下列步驟：(a)在基板上形成當作下電極之導電矽層；(b)氮化處理該導電矽層；(c)氧化處理該已氮化之導電矽層；(d)在該氧化層的表面上形成氮化矽層；(e)在該氮化矽層上形成介電質層；及(f)在該介電質層上形成上電極。

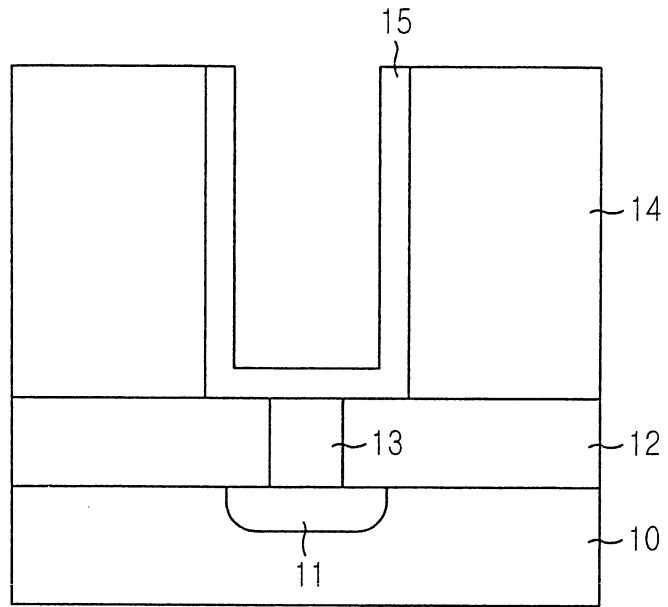
陸、英文發明摘要：

The present invention is related to a method for fabricating a capacitor of a semiconductor device for improving a capacitance and concurrently enhancing a leakage current characteristic and a breakdown voltage characteristic. For this object, the method for fabricating a capacitor of a semiconductor device includes the steps of: (a) forming a conductive silicon layer for a bottom electrode on a substrate; (b) nitridating the conductive silicon layer; (c) oxidizing the nitridated conductive silicon layer; (d) forming a silicon nitride layer on a surface of the oxidized layer; (e) forming a dielectric layer on the silicon nitride layer; and (f) forming a top electrode on the dielectric layer.

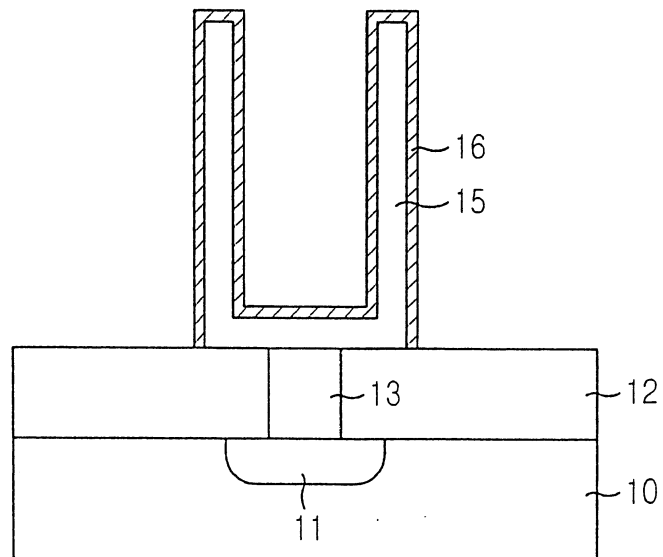
拾、申請專利範圍：

1. 一種半導體裝置中之電容器的製造方法，包含下列步驟：
 - (a) 在基板上形成當作下電極之導電矽層；
 - (b) 氮化處理該導電矽層；
 - (c) 氧化處理該已氮化之導電矽層；
 - (d) 在該氧化層的表面上形成氮化矽層；
 - (e) 在該氮化矽層上形成介電質層；及
 - (f) 在該介電質層上形成上電極。
2. 如申請專利範圍第 1 項之方法，其中在步驟(c)，使用自然氧化物層。
3. 如申請專利範圍第 2 項之方法，其中所形成之自然氧化物層，厚度範圍約從 1Å 到 5Å。
4. 如申請專利範圍第 3 項之方法，其中在步驟(b)，熱處理製程係在壓力範圍約從 10 Torr 到 100 Torr 之 NH₃ 氣體的環境中完成。
5. 如申請專利範圍第 4 項之方法，其中氮化矽層係使用二氯矽烷(DCS)源，在壓力範圍約從 1 Torr 到 10 Torr 之 NH₃ 氣體的環境中所形成的。
6. 如申請專利範圍第 3 項之方法，其中該介電質層係由選擇自由具有高介電質常數之物質，如 Ta₂O₅, Al₂O₃, HfO₂, (Ba, Sr)TiO₃(BST)等所組成之群組，或鐵電物質，如 (Pb, Zr)TiO₃(PZT), (Pb, La)(Zr, Ti)O₃(PLZT), Bi₄-XLaXTi₃O₁₂ (BLT)等所組成之群組的材料所製成的。

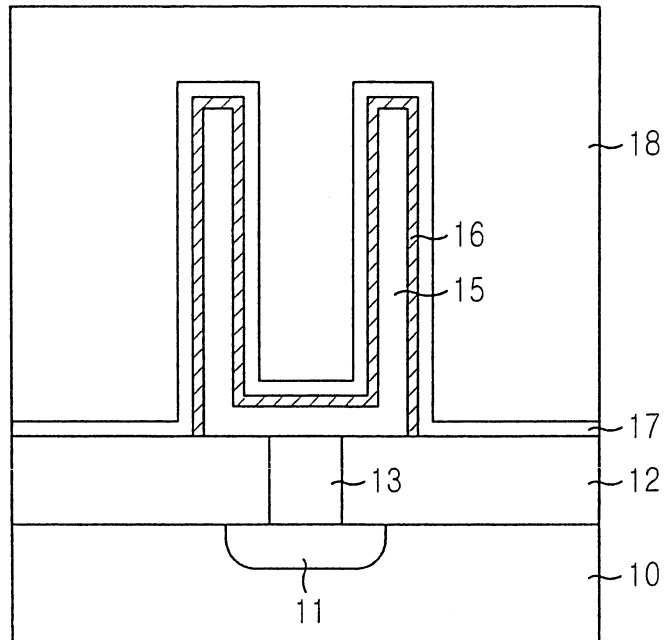
第 1A 圖



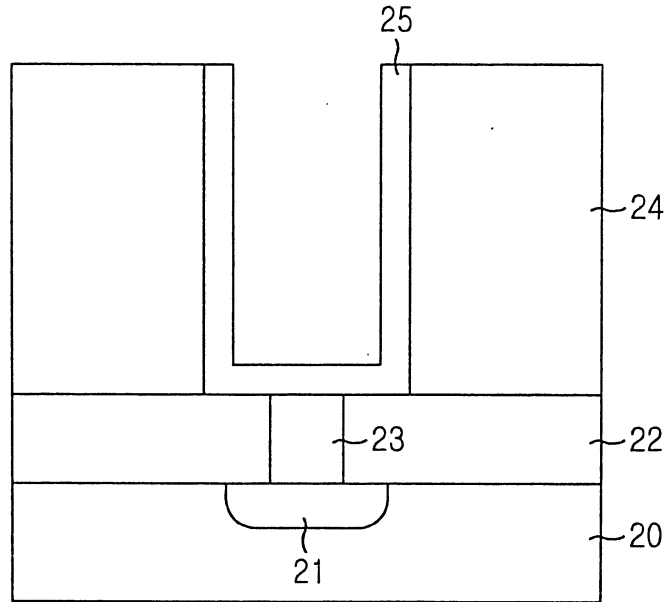
第 1B 圖



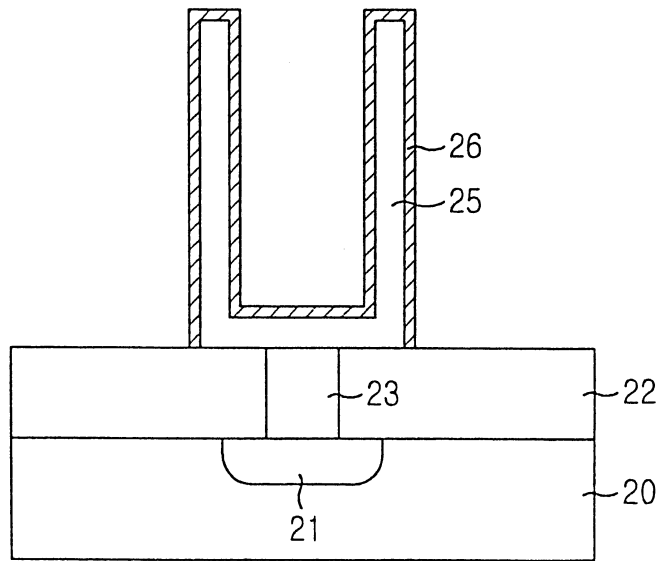
第 1C 圖



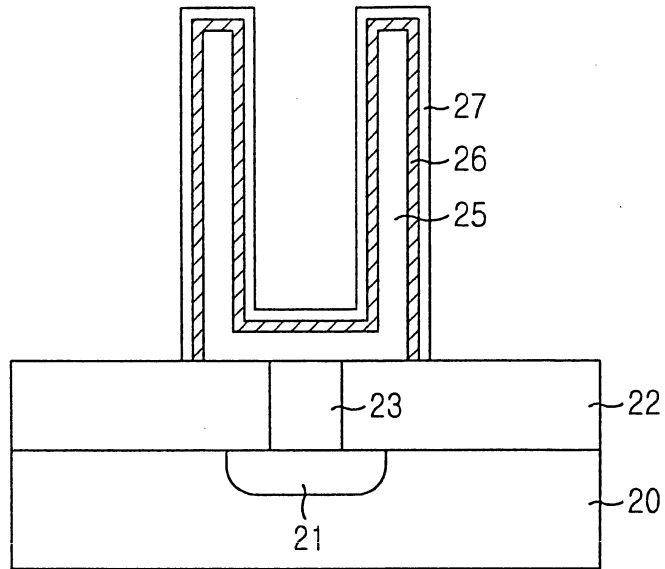
第 2A 圖



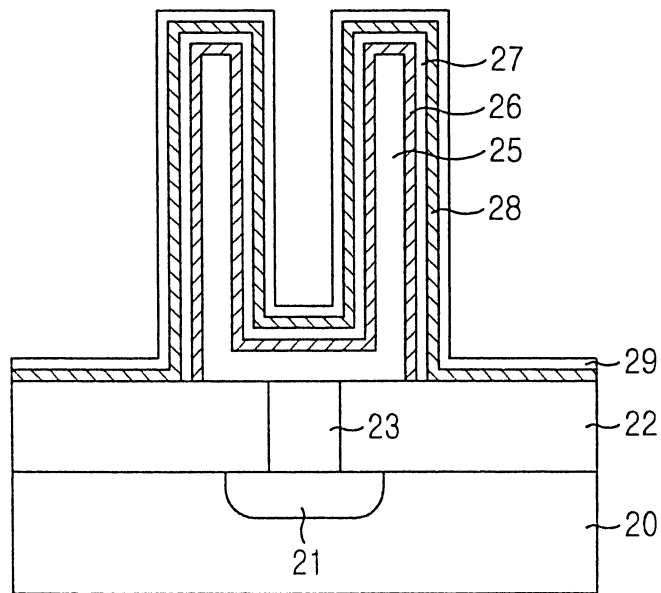
第 2B 圖



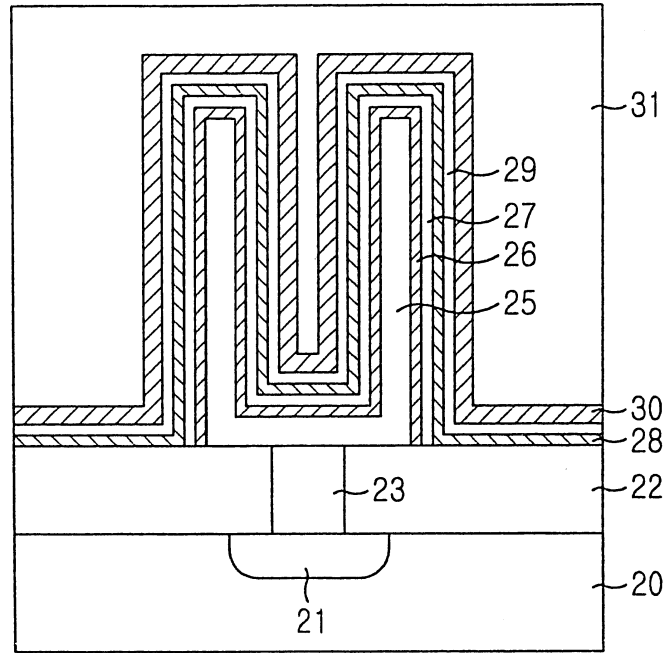
第 2C 圖



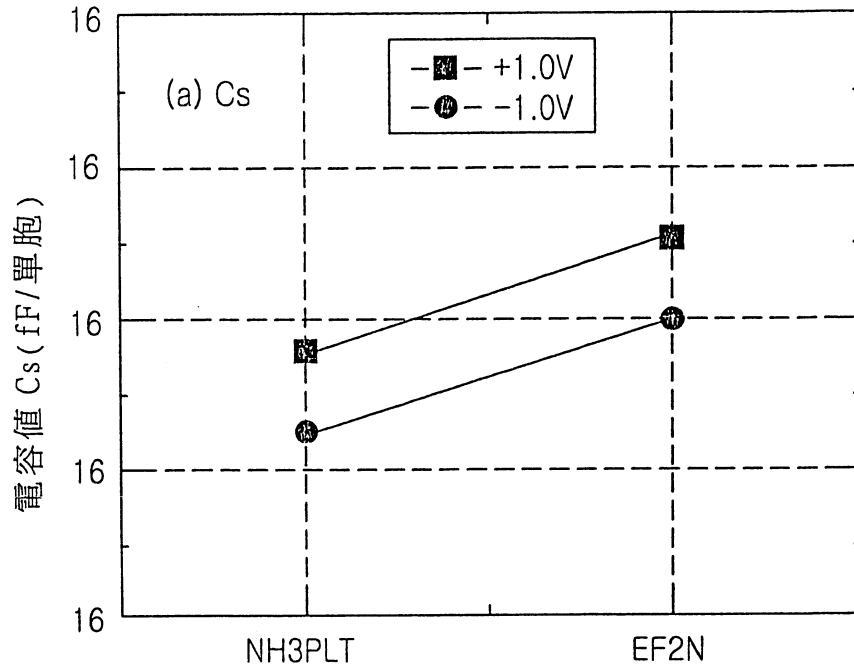
第 2D 圖



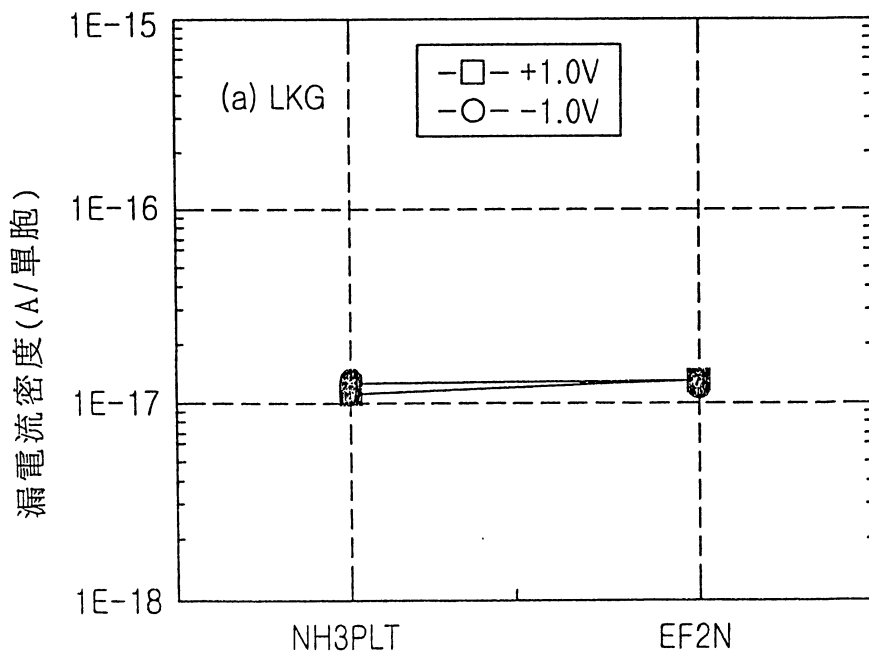
第 2E 圖



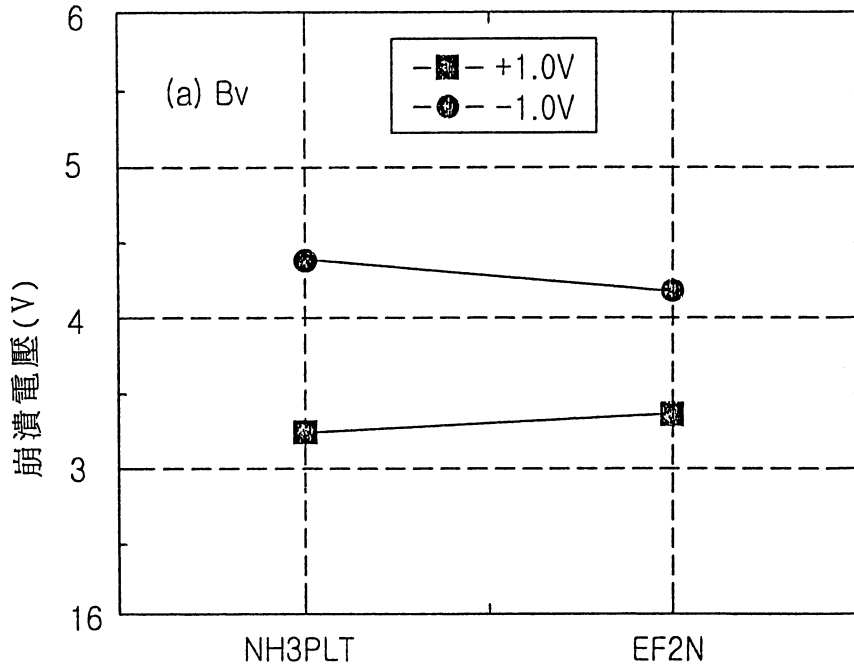
第 3A 圖



第 3B 圖



第 3C 圖



柒、指定代表圖：

(一)本案指定代表圖為：第 (2E) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 20 基板
- 21 活性區
- 22 層間絕緣層
- 23 接觸柱
- 25 下電極
- 26 第一氧化矽層
- 27 第一氮化矽層
- 28 第二氧化矽層
- 29 第二氮化矽層
- 30 介電質層
- 31 上電極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：