



(12)发明专利

(10)授权公告号 CN 103778946 B

(45)授权公告日 2017.01.04

(21)申请号 201410033317.5

(22)申请日 2009.09.30

(65)同一申请的已公布的文献号
申请公布号 CN 103778946 A

(43)申请公布日 2014.05.07

(30)优先权数据
61/101,998 2008.10.01 US

(62)分案原申请数据
200980143407.7 2009.09.30

(73)专利权人 阿尔特拉公司
地址 美国,加利福尼亚

(72)发明人 徐彦忠 J·T·瓦特

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.
G11C 7/10(2006.01)
G11C 8/04(2006.01)
G11C 29/00(2006.01)

(56)对比文件
US 4380055 A,1983.04.12,
US 4380055 A,1983.04.12,
CN 1574632 A,2005.02.02,
CN 1402353 A,2003.03.12,
US 2007/0041242 A1,2007.02.22,

审查员 白桦

权利要求书2页 说明书12页 附图11页

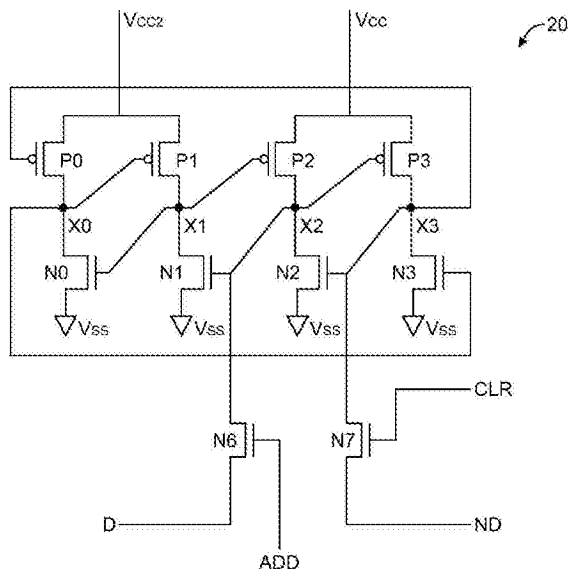
(54)发明名称

具有软错误翻转抗扰性的易失性存储器元件

(57)摘要

本发明涉及具有软错误翻转抗扰性的易失性存储器元件。提供一种存储器元件,当其经受高能原子粒子冲击时展现出对软错误翻转事件的抗扰性。存储器元件可以各自具有十个晶体管。为克服写入数据到存储器元件的困难,可以调整向阵列提供的信号中一个或多个的信号强度。可以具有用于向每个存储器元件供电的两个正电源电压。电源电压中的一个可以相对于另一个电源电压临时降低,从而在数据加载操作期间增强写入容限。以该方式可以调整的其它信号强度包括其它电源信号、数据信号电平、地址和清除信号幅度以及地信号强度。可调节电源电路和数据读写控制电路可以用于进行这些信号强度的调整。

CN 103778946 B



1. 一种存储器元件,其包括:

至少具有第一和第二数据存储节点的双稳态元件;

数据线:

第一访问电路,其耦合在所述数据线和所述第一数据存储节点之间;

第二访问电路,其耦合在所述数据线和所述第二数据存储节点之间;其中:

在写入操作期间,所述第一访问电路被配置为在所述数据线和所述第一数据存储节点之间传递写入数据信号,并且所述第二访问电路被配置为在所述数据线和所述第二数据存储节点之间传递所述写入数据信号;以及

在读取操作期间,所述第一访问电路被配置为在所述第一数据存储节点和所述数据线之间传递读取数据信号,并且所述第二访问电路被配置为阻止数据信号在所述第二数据存储节点和所述数据线之间传递。

2. 根据权利要求1所述的存储器元件,其中所述第一访问电路包括地址晶体管,所述地址晶体管的栅极连接到地址线,其中所述地址晶体管的所述栅极由所述地址线上的地址信号控制;其中所述第二访问电路包括清除晶体管,所述清除晶体管的栅极连接到清除线,并且其中所述清除晶体管的所述栅极由所述清除线上的清除信号控制。

3. 根据权利要求2所述的存储器元件,其中所述第一访问电路和所述第二访问电路中的至少一个包括n沟道晶体管。

4. 根据权利要求2所述的存储器元件,其中所述第一访问电路和所述第二访问电路包括n沟道晶体管。

5. 根据权利要求2所述的存储器元件,进一步包括:

控制电路,所述控制电路改变下列中的至少一个:向所述存储器元件供电的电源电压的幅度、加载到所述存储器元件的所述写入数据信号的数据信号幅度、控制所述第一访问电路的地址信号的地址信号幅度或控制所述第二访问电路的清除信号的清除信号幅度。

6. 根据权利要求5所述的存储器元件,其中所述控制电路被配置为在所述写入操作期间过驱动所述写入数据信号。

7. 根据权利要求5所述的存储器元件,其中所述控制电路被配置为在所述写入操作期间过驱动所述地址信号。

8. 根据权利要求5所述的存储器元件,其中所述控制电路被配置为在清除操作期间过驱动所述写入数据信号。

9. 根据权利要求5所述的存储器元件,其中所述控制电路被配置为在清除操作期间过驱动所述清除信号。

10. 根据权利要求5所述的存储器元件,其中所述存储器元件具有第一正电源端子和第二正电源端子,并且其中所述控制电路包括可调节电源,所述可调节电源在所述写入操作期间降低所述第一正电源端子上的正电源电压。

11. 根据权利要求5所述的存储器元件,其中所述存储器元件具有地电源端子,并且其中所述控制电路包括可调节电源,所述可调节电源在所述写入操作期间降低所述地电源端子上的地电压。

12. 根据权利要求5所述的存储器元件,其中所述存储器元件包括具有体偏置端子的至少一个晶体管,并且其中所述控制电路包括可调节电源,所述可调节电源在所述写入操作

期间改变所述体偏置端子上的体偏置电压。

13. 一种存储器元件,其包括:

至少具有第一和第二数据存储节点的双稳态元件;

第一数据线;

第二数据线;

第一访问电路,其耦合在所述第一数据线和所述第一数据存储节点之间;以及

第二访问电路,其耦合在所述第二数据线和所述第二数据存储节点之间;其中:

在写入操作期间,所述第一访问电路被配置为在所述第一数据线和所述第一数据存储节点之间传递原写入数据信号,并且所述第二访问电路被配置为在所述第二数据线和所述第二数据存储节点之间传递反写入数据信号;以及

在读取操作期间,所述第一访问电路被配置为在所述第一数据存储节点和所述第一数据线之间传递读取数据信号,并且所述第二访问电路被配置为阻止数据信号在所述第二数据存储节点和所述第二数据线之间传递。

14. 根据权利要求13所述的存储器元件,其中所述第一访问电路包括地址晶体管,所述地址晶体管的栅极连接到地址线,其中所述地址晶体管的所述栅极由所述地址线上的地址信号控制,其中所述第二访问电路包括清除晶体管,所述清除晶体管的栅极连接到清除线,并且其中所述清除晶体管的所述栅极由所述清除线上的清除信号控制。

15. 根据权利要求14所述的存储器元件,进一步包括:

控制电路,所述控制电路改变下列中的至少一个:向所述存储器元件供电的电源电压的幅度、所述原写入数据信号的原数据信号幅度、所述反写入数据信号的反数据信号幅度、控制所述第一访问电路的地址信号的地址信号幅度或控制所述第二访问电路的清除信号的清除信号幅度。

16. 根据权利要求15所述的存储器元件,其中所述控制电路被配置为在所述写入操作期间过驱动所述原写入数据信号和所述反写入数据信号。

17. 根据权利要求15所述的存储器元件,其中所述控制电路被配置为在所述写入操作期间过驱动所述地址信号。

18. 根据权利要求15所述的存储器元件,其中所述控制电路被配置为在清除操作期间过驱动所述反写入数据信号。

19. 根据权利要求15所述的存储器元件,其中所述控制电路被配置为在清除操作期间过驱动所述清除信号。

20. 根据权利要求15所述的存储器元件,其中所述存储器元件具有第一正电源端子和第二正电源端子,并且其中所述控制电路包括可调节电源,所述可调节电源在所述写入操作期间降低所述第一正电源端子上的正电源电压。

具有软错误翻转抗扰性的易失性存储器元件

[0001] 本申请是分案申请，原申请的申请日为2009年9月30日，申请号为200980143407.7，发明名称为“具有软错误翻转抗扰性的易失性存储器元件”。

技术领域

[0002] 本发明涉及易失性存储器元件，并且更特别涉及用于集成电路（例如可编程逻辑器件）的、展现抗软错误翻转的易失性存储器元件。

背景技术

[0003] 集成电路经常含有易失性存储器元件。典型的易失性存储器元件基于交叉耦合的反相器（锁存器）。易失性存储器只有集成电路通电才保留数据。在失去电源的情况下，在易失性存储器中的数据丢失。尽管非易失性存储器元件（例如基于电可擦除可编程只读存储器技术的存储器元件）不经受这样的数据丢失，但经常不期望或不可能将非易失性存储器元件制造为给定集成电路的一部分。

[0004] 因此，经常使用易失性存储器元件。例如，静态随机访问存取存储器（SRAM）芯片含有SRAM单元，其是一类易失性存储器元件。易失性存储器元件也用于可编程逻辑器件集成电路。

[0005] 易失性存储器元件经受称为软错误翻转的现象。宇宙射线和嵌入在集成电路和它们封装中的放射性杂质导致软错误翻转事件。宇宙射线和放射性杂质生成高能原子粒子例如中子和alpha粒子。存储器元件含有由图形化硅衬底形成的晶体管和其它组件。在原子粒子在存储器元件中冲击硅的时候，生成电子空穴对。电子空穴对产生导电路径，其可以导致存储器元件中充电节点放电和存储器元件的状态反转。如果，例如，“1”存储在存储器元件中，那么软错误翻转事件可以导致“1”变为“0”。

[0006] 在集成电路中的翻转事件污染存储在存储器元件中的数据并会使系统性能严重消退。在某些系统应用中，例如远程安装电信设备，修理故障设备非常麻烦。除非可编程逻辑器件和其它集成电路对软错误翻转事件表现良好抗扰性，否则它们不适合这些类型的应用。

[0007] 因此期望能够改善集成电路（例如可编程逻辑器件集成电路）中易失性存储器元件的软错误翻转性能。

发明内容

[0008] 提供具有静态随机访问存取存储器单元的集成电路。该集成电路可以是可编程集成电路、存储器芯片或任何其它合适的集成电路。存储器单元可以用作静态随机访问存取存储器（SRAM），或在可编程集成电路中，存储器单元可以用作配置随机访问存取存储器（CRAM）。

[0009] （作为示例）每个单元都可以具有十个晶体管形成的鲁棒电路。该单元可以展现对软错误翻转事件的良好抗扰性。为在访问数据时提供充足容限，可以实时改变单元的电压。

例如,可以使用两个正电源电压向单元供电。在写入操作期间,通过降低正电源电压中的一个,单元中的某些电路可以相对于单元中其它电路弱化。这帮助确保写入操作成功。该类方案也可以使用提高的地址信号、提高的清除信号、降低的地信号、降低的或提高的数据信号和反数据信号等来实现。

[0010] 从附图和随后优选实施例的详细描述中将更明显的得出本发明的进一步特征、它的本质和各种优点。

附图说明

[0011] 图1是可能含有根据本发明实施例的随机访问存储器单元的图解集成电路的图示。

[0012] 图2是根据本发明实施例的图解存储器单元阵列的图示。

[0013] 图3是根据本发明实施例的图解存储器单元的图示。

[0014] 图4是模拟结果的图表,示出根据本发明实施例在写入操作期间,即使没有向单元的电源电压做出更改时,图3的图解存储器单元的状态可以怎样反转。

[0015] 图5是模拟结果的图表,示出根据本发明实施例在写入操作期间,在降低至少一个电源电压时图3的图解存储器单元的状态可以怎样更改。

[0016] 图6是模拟结果的图表,示出根据本发明实施例在经受与模拟软错误翻转事件关联的另外电荷时图3的图解存储器单元的状态怎样不反转。

[0017] 图7-10是示出用于存储器单元的、调整其幅度以有助于数据加载操作的图解信号的图表。

[0018] 图11是根据本发明实施例的图解存储器单元的图示。

[0019] 图12是根据本发明实施例的具有体偏置端子的图解存储器单元的图示。

[0020] 图13是示出用于存储器单元的、调整其幅度以有助于数据加载操作的图解信号的图表。

[0021] 图14是根据本发明实施例的涉及将数据加载到图3、11和12中示出类型的存储器元件的图解步骤的流程图。

[0022] 图15是根据本发明实施例示出具有基于用独立控制电源电压供电的两个交叉耦合反相器的双稳态单元的存储器元件可以怎样形成的图示。

具体实施方式

[0023] 本发明涉及耐软错误翻转事件的集成电路存储器元件和使用这样存储器元件的方法。存储器元件(有时称为单元)可以含有任何合适数量的晶体管。通过一个合适布置,每个单元都含有十个晶体管。如果期望,可以在每个单元中使用多于十个晶体管。例如,每个单元都可以含有十一个晶体管、十二个晶体管或多于十二个晶体管。也可以使用比少于十个晶体管的单元。如果期望,每个单元都可以具有五个、六个、七个、八个或九个晶体管。如果期望,可以实时调整与单元的电源信号、控制信号、晶体管体偏置信号和/或数据信号的电平,从而增强性能。

[0024] 存储器元件可以用于使用存储器的任何合适集成电路。这些集成电路可以是存储器芯片、具有存储器阵列的数字信号处理电路、微处理器、具有存储器阵列的专用集成电

路、可编程集成电路(例如在其中存储器元件用于配置存储器的可编程逻辑器件集成电路)或任何其它合适集成电路。为清晰,本发明有时在可编程逻辑器件集成电路情况下描述。然而,这仅是说明。根据本发明实施例的存储器单元可以用于任何合适电路。在集成电路(例如存储器芯片或在其中需要存储器存储处理数据的其它电路)上,存储器元件20执行静态随机访问存取存储器(RAM)单元的功能,并且有时称为SRAM单元。在可编程逻辑器件集成电路的情况下,存储器元件可以用来存储配置数据,因此在该情况下有时称为配置随机访问存取存储器(CRAM)单元。

[0025] 在图1中示出根据本发明实施例的说明性集成电路,例如可编程逻辑器件10。

[0026] 器件10可以具有输入/输出电路12,其经输入/输出管脚14驱动信号离开器件10并从其它器件接收信号。互连资源16(例如全局和本地垂直和水平导线和总线)可以用来路由器件10上的信号。互连资源16包括固定互连(导线)和可编程互连(即,各固定互连之间的可编程连接)。可编程逻辑18可以包括组合与时序逻辑电路。可编程逻辑18可以被配置为执行定制逻辑功能。与互连资源关联的可编程互连可以被考虑为可编程逻辑18的一部分。

[0027] 可编程逻辑器件10含有易失性存储器元件20,可以使用管脚14和输入/输出电路12将其加载有配置数据(也称为编程数据)。一旦加载,那么存储器元件各自提供控制可编程逻辑18中关联的逻辑部件的状态的对应静态控制输出信号。如果期望,存储器元件20可以用于SRAM类型的存储器阵列(例如,从而在器件10的操作期间为处理电路存储数据)。

[0028] 每个存储器元件20都可以由被配置为形成双稳态电路的多个晶体管形成。通过一个合适方式,互补金属氧化物半导体(CMOS)集成电路技术用于形成存储器元件20,因此基于CMOS的存储器元件实现作为示例在此进行描述。如果期望,其它集成电路技术可以用于形成存储器元件和在其中存储器元件用于形成存储器阵列的集成电路。

[0029] 存储器元件可以从外部可擦除可编程只读存储器和控制芯片或其它合适数据源经管脚14和输入/输出电路12加载。加载的CRAM存储器元件20可以提供静态控制信号,其被施加到可编程逻辑18中的电路元件(例如,金属氧化物半导体晶体管)的端子(例如,栅极),以控制这些元件(例如,开启或关闭某些晶体管),并且由此配置可编程逻辑18中的逻辑。电路元件可以是晶体管,例如传输晶体管、复用器的零件、查找表、逻辑阵列、与、或、与非和或非逻辑门等。

[0030] 存储器元件20可以以阵列图案布置。在通常的现代可编程逻辑器件中,在每个芯片上可能有几百万个存储器元件20。在编程操作期间,存储器元件的阵列由用户(例如,逻辑设计师)提供有配置数据。一旦加载有配置数据,那么存储器元件20选择性地控制可编程逻辑18中的部分电路,并由此定制它的功能,使得它如期望地一样工作。

[0031] 器件10的电路可以使用任何合适结构组织。例如,可编程器件10的逻辑可以被组织为一系列行和列的较大可编程逻辑区,每个较大可编程逻辑区都含有多个较小逻辑区。器件10的逻辑资源可以通过互连资源16(例如相关垂直和水平导体)互连。这些导体可以包括基本跨越所有器件10的全局导线、跨越部分器件10的分数线(fractional line)例如半线或四分之一线、特定长度的交错线(例如,足够互连若干逻辑区域)、较小本地线或任何其它合适互连资源布置。如果期望,器件10的逻辑可以以多级或多层方式布置,在其中多个大区互连从而形成逻辑的更大的部分。其它器件布置可以使用不以行和列布置的逻辑。

[0032] 当存储器元件20以阵列方式布置时,水平和垂直导体和相关的加载电路可以用来

将存储器元件加载有配置数据。任何合适存储器阵列结构都可以用于存储器元件20。在图2中示出一个合适布置。如在图2中示出,集成电路10可以具有功率调节器电路22。功率调节器电路22可以经管脚14接收外部电压。例如,功率调节器电路可以接收一个或多个正电源电压例如 V_{ext} 和地电压 V_{ss} (例如,0伏)。可以接收的正电源电压的例子包括0.9伏正电源电压、2.5伏正电源电压等。

[0033] 可调节电源电路22可以在它的输出上产生内部电源电压。这些电源电压可以包括正电源电压 V_{cc} 和 V_{cc2} 、地电源电压 V_{ss} (例如,0伏)和其他合适的电压。可以经通路(例如通路26)向地址解码器和数据寄存器电路24提供这些电压中的一个或多个。

[0034] 电路24可以用来从存储器单元阵列28读取和写入数据。在阵列28用作常规SRAM时,当期望存储处理结果时可以执行数据写入操作并且当期望获取存储的数据时可以执行数据读取操作。在阵列28用作CRAM时,可以执行数据写入操作从而加载配置数据并且可以执行数据读取操作从而证实已经成功执行配置数据加载操作。

[0035] 阵列28可以包括存储器单元20的行和列。在图2的例子中,在阵列28中具有存储器元件20的三行和三列。这仅是说明性的。集成电路(例如集成电路10)可以具有任何合适数量的存储器元件20。例如,通常的存储器阵列可能具有布置成几百或几千行和列的几千或几百万个存储器元件20。

[0036] 功率调节器电路22可以生成时变电源信号。例如,如果期望,信号 V_{cc2} 和 V_{cc} 的幅度可以作为时间的函数改变。例如,期望在数据写入操作期间相对于 V_{cc} 降低 V_{cc2} ,从而帮助这些数据写入操作成功。相似地,地址解码器和数据寄存器电路24可以在通路26上使用电源电压从而生成具有时变幅度的信号。例如,“逻辑高”地址信号ADD的幅度可以作为时间的函数改变(例如,从0.9伏的较低值到1.2伏的较高值)。数据信号D、ND、清除信号CLR和 V_{ss} 的幅度可以同样作为时间的函数改变,除了这些信号在从它们的逻辑高转换到逻辑低值时经历的正常时变之外。信号幅度改变可以被施加在逻辑高信号(例如,通过使逻辑高值从0.9伏临时减少到0.7伏)和逻辑低信号(例如,通过使逻辑低值从0伏临时减少到-0.2伏)上。如果期望,也可以结合正电压改变和地电压改变。

[0037] 电路24可以为阵列28控制清除和数据加载操作。电路24可以从外部源经输入通路30接收数据,例如配置数据。在通常的可编程逻辑器件系统中,配置数据从存储器和数据加载电路加载到可编程逻辑器件。该类电路(有时称为配置器件)加载配置数据到电路24内的寄存器。电路24中的地址解码器电路可以接收外部控制信号或可以在电路24中内部生成寻址控制信号。在图2中地址信号标为ADD,但在每列中通常独立控制。

[0038] 电路24可以在清除线36上产生清除信号,例如信号CLR。在清除CRAM阵列时,通常期望连结全部清除线36到公共控制节点,使得CLR对阵列中全部单元同时有效(assert)。在SRAM阵列中,CLR信号可以用于单元寻址,并可以对单元的不同群独立有效。

[0039] 在期望清除存储器阵列28的内容时用电路24使信号CLR有效。对CRAM阵列的清除操作通常在系统加电或在重配置期间执行。在阵列被清除之后,CLR信号可以被无效(deasserted)并且可以加载配置数据。

[0040] 配置数据可以以串联方式加载到在电路24中的寄存器。接着这些寄存器可以经原数据线D和反数据线ND(线32)将配置数据并行应用于阵列28。电路24中的地址解码器电路可以经输入30接收寻址信息。接着地址解码器电路可以系统地使期望的地址线34有效。随

着每列中的地址线有效(即,随着给定列中信号ADD取为高),在数据线32上的数据加载到该列中存储器元件20。通过这样寻址每个列,整个阵列28可以加载有配置数据。在加载阵列之后,每个存储器元件20的输出38产生对应静态控制信号,以便控制可编程逻辑器件10的可编程逻辑18中传输晶体管的栅极或其它逻辑部件(图1)。可以通过系统地使期望的地址线有效和监视数据线32上得到的数据(例如,使用电路24中的感测放大器电路)来执行数据读取操作。

[0041] 为确保存储器元件20耐软错误翻转事件,可以使用一组互连的反相器类电路来实现存储器元件20。该组互连的反相器类电路可以形成存储器元件的存储部分(即,双稳态单元)。例如,可以是具有冗余互连的输入和输出的四个反相器类电路的环。每个反相器类电路都可以使用一对晶体管实现。具体地,每个反相器类电路都可以具有p沟道金属氧化物半导体(PMOS)晶体管和n沟道金属氧化物半导体(NMOS)晶体管。

[0042] 如果期望,两个反相器的环可以用来形成存储部分。两个反相器可以交叉耦合(例如,一个反相器的输出连接到另一反相器的输入,并且另一反相器的输出连接到该反相器的输入)。两个反相器可以各自耦合到不同电源。例如,一个反相器可以以 V_{cc1} 和 V_{ss} 供电,并且另一个反相器可以以 V_{cc2} 和 V_{ss} 供电,其中可以独立控制 V_{cc1} 和 V_{cc2} 。如果期望,可以使用任何数量的反相器类电路形成存储器单元的存储部分。

[0043] 每个晶体管都可具有漏极端子、源极端子、体端子和栅极端子。金属氧化物半导体晶体管的漏极和源极有时统称为“源漏”端子。在每个反相器类电路中,PMOS晶体管和NMOS晶体管以串联方式连接在正电源端子和地电源端子之间。在该配置中,PMOS晶体管和NMOS晶体管各自可以具有连接在公共节点的第一源漏端子。PMOS晶体管具有耦合到正电源端子的第二源漏端子。NMOS晶体管具有耦合到地端子的第二源漏端子。

[0044] 地址晶体管(有时称为清除晶体管、访问晶体管、读写晶体管等)可以用来访问存储器元件。具体地,地址晶体管可以用来加载数据到存储器元件,并可以用来从存储器元件读取加载的数据。在通常配置中,有两个地址晶体管与每个存储器元件关联。这些地址晶体管可以使用公共控制信号控制,或可以用独立控制信号控制。通过一个合适布置,第一地址晶体管耦合到存储器元件中的第一内部存储节点,并且第二地址晶体管耦合到存储器元件中的第二内部存储节点。可以通过第一控制信号(例如,信号ADD)控制第一地址晶体管。可以通过第二控制信号(例如,信号CLR)控制第二地址晶体管。可以使用另外的地址晶体管或其它存储器元件访问电路。可以通过一个或多个访问控制信号(例如,ADD、CLR等)控制这些地址晶体管(访问晶体管)。使用具有两个地址晶体管和两个地址(访问)控制信号的访问晶体管布置在此有时作为示例进行描述。然而,这仅是说明性的。通常,任何合适数量的访问晶体管可以用于读取和写入数据到每个存储器元件,并且任何合适数量的访问控制信号可以用于控制访问晶体管。此外,读取到每个存储器单元和从每个存储器单元读出的数据可以用原码形式(true form)(数据D)、反码形式(反数据ND)或原码形式和反码形式的结合而提供。(例如)在清除操作期间数据信号可以设定为逻辑零值或专用地信号可以在清除期间使用。

[0045] 在图3中示出了可以在图2的阵列28中使用的该类存储器元件20。如在图3中示出,存储器元件20可以具有p沟道金属氧化物半导体(PMOS)晶体管P0、P1、P2和P3,以及n沟道金属氧化物半导体(NMOS)晶体管N0、N1、N2、N3、N6和N7。存储器元件20含有四个反相器类电

路。第一反相器类电路通过P0和N0的串联连接的晶体管对形成。第二反相器类电路通过串联连接的晶体管P1和N1形成。第三和第四反相器类电路分别通过串联连接的晶体管P2和N2以及串联连接的晶体管P3和P4形成。从两个其它反相器类电路的输出接收每个反相器类电路的输入。例如,通过第四反相器类电路(P3/N3)的输出提供晶体管P0的栅极控制信号,而从第二反相器类电路(P1/N1)的输出接收晶体管N0的栅极控制信号。以该类冗余互连图案互连反相器类电路使单元20耐软错误翻转事件。

[0046] 可以经由原码数据线D和反码数据线ND输送数据。地址信号ADD可以用来控制地址晶体管N6(例如,通过调制晶体管N6的栅极上的访问控制信号ADD)。清除信号CLR可以用来控制清除晶体管N7(例如,通过调整晶体管N7的栅极上的访问控制信号CLR)。可以使用0伏的地电压或其它合适接地电压向地端子Vss供电。

[0047] 图2的可调节电源电路22可以用正电源电压Vcc和正电源电压Vcc2向存储器元件20供电。任何合适电平都可以用于Vcc和Vcc2。例如,Vcc和Vcc2可以维持在相同电压(例如,通过将Vcc和Vcc2端子短接在一起)。通过一个合适布置,Vcc可以固定在0.9伏,并且Vcc2可以是时变信号。例如,在正常操作期间Vcc2可以保持在0.9伏,并在数据写入操作期间可以临时降低到小于0.9伏的值。通过其它合适布置,Vcc和Vcc2可以具有不同值,可以都是时变的,可以都是固定的等。

[0048] 在图3的存储器元件20中具有四个标记的节点:X0、X1、X2和X3。节点X0、X1、X2和X3在存储器元件20中形成内部存储节点。这些节点中任何节点可以用作图2的输出38。例如,节点X2可以连接到图2的输出38。

[0049] 存储器元件20展现双稳态操作。在存储器元件用“1”加载时,X0、X1、X2和X3的值分别为“1”、“0”、“1”和“0”。在存储器元件用“0”加载时,X0、X1、X2和X3的值分别为“0”、“1”、“0”和“1”。

[0050] 在其中具有不同数量反相器类电路的配置中(即,不同数量的串联连接的p沟道和n沟道晶体管对),可以具有不同数量的内部存储节点。其中具有四个内部存储节点的图3的布置仅是说明性的。

[0051] 在正常操作期间,每个存储器元件20都存储它的加载数据而同时将来自它的内部存储节点中的一个(例如,节点X2)的输出提供到相关可编程传输晶体管的栅极。这通过取决于节点X2的状态开启或关闭可编程晶体管配置可编程晶体管(例如,从而实现一部分定制逻辑设计)。

[0052] 在该类正常操作期间,在每个单元20中信号ADD和CLR是无效的(例如,ADD和CLR为低),使得每个单元20中的地址晶体管N6和N7关闭。由于地址晶体管N6和N7关闭,数据信号线32与在单元20中的锁存晶体管(即,晶体管P0、N0、P1、N1、P2、N2、P3和N3)隔离。

[0053] 由于地址晶体管N6和N7关闭,单元20保持它的加载数据值并展现对辐射诱发的翻转事件的良好抗扰性。

[0054] 作为示例,考虑其中节点X0和节点X2为低(“0”)并且节点X1和节点X3为高(“1”)的情形。如果辐射冲击节点X0,那么在节点X0上辐射诱发的电荷可以导致节点X0上的电压升高(例如,升高到正电源电压Vcc或甚至更高)。在节点X0上电压升高时,晶体管对P3/N3中的晶体管N3开启。节点X2上的电压为低,因此晶体管P3已经开启。由于晶体管N3和P3开启,节点X3上的电压落到在Vcc和Vss之间的电压(例如,大约Vcc/2或甚至更低,其为施加于端子

40的正电源电压 V_{cc} 和地端子44上0伏的地电压 V_{ss} 之间的大致中间)。

[0055] 通过辐射冲击产生的高 X_0 电压路由到p沟道金属氧化物半导体晶体管 P_1 的栅极。这关闭晶体管 P_1 。n沟道金属氧化物半导体晶体管 N_1 具有通过节点 X_2 上的信号控制的栅极。因为节点 X_2 为低,所以晶体管 N_1 关闭。在晶体管 P_1 关闭同时晶体管 N_1 关闭时,节点 X_1 不再直接连接到正电源线42上的正电源电压 V_{cc} 或地电源线44上的地电压 V_{ss} 。因此节点 X_1 悬浮,尽管辐射冲击但保留它的原始高状态。

[0056] 节点 X_1 上的无扰信号充当施加到晶体管 P_2 栅极的控制信号。在辐射冲击之前,节点 X_1 为高,并且晶体管 X_2 关闭。在辐射冲击之后,节点 X_1 保留它的原始高状态,因此晶体管 P_2 的状态不变。晶体管 N_2 通过降低的高电压($V_{cc}/2$)控制,但能够保持节点 X_2 为低,因为晶体管 P_2 仍关闭。如同在节点 X_1 上的无扰信号,在节点 X_2 上的电压因此不受辐射冲击干扰。

[0057] 因为节点 X_2 上的电压保持为低,所以晶体管 P_3 保持开启并且拉高节点 X_3 。即使节点 X_3 的电压从 V_{cc} 暂时降低到 $V_{cc}/2$,节点 X_3 的信号仍能够使晶体管 P_0 至少部分关闭,使得晶体管 N_0 (其通过节点 X_1 上的无扰高信号保持)能够拉低节点 X_0 。最终,节点 X_0 上暂时提高节点 X_0 上的电压的辐射诱发电荷耗散,并且节点 X_0 返回它的0伏的正常(冲击前)状态。一旦 X_0 达到0伏,那么晶体管 N_3 关闭,并且节点 X_3 重获它的冲击前电压 V_{cc} 。

[0058] 如该例子表明,单元20的结构允许单元保留它的存储数据值(在该例子中为存储的“1”),即使在单元中的节点被辐射冲击时。这样配置的单元20可以展现充分保持的容限。

[0059] 在其它单元操作期间(例如,写入操作),可以通过使地址信号ADD有效(并且如果期望,使信号CLR有效,例如在SRAM阵列中)来加载数据到存储器元件20。

[0060] 作为示例,考虑其中期望加载1到节点 X_2 上的情形。如果节点 X_2 已经为高,那么在数据加载操作期间没有转换发生。然而,如果节点 X_2 的当前状态为低,那么转换发生。

[0061] 在加载1到低节点 X_2 上时,数据信号D为1(高),并且它的反ND为0(低)。在D为高时,地址线ADD取为高从而开启晶体管 N_6 。同时清除信号CLR也可以可选地同样取为高(从而驱动低ND信号到 X_3 上),例如在其中阵列28用作常规SRAM阵列而不是CRAM阵列的情形。

[0062] 在通过高ADD信号开启晶体管 N_6 时, N_6 尝试驱动1到节点 X_2 上,由此克服 X_2 的原始低值。在该操作成功并且节点 X_0 、 X_1 、 X_2 和 X_3 全部的状态被反转时,写入操作完成。然而,注意到,虽然节点 X_2 通过晶体管 N_6 直接可访问(并且节点 X_3 通过晶体管 N_7 可选地直接可访问),但是节点 X_0 和 X_1 仅可以间接访问。这是因为没有驱动晶体管直接与节点 X_0 和 X_1 关联。相反, X_0 和 X_1 的值必须依靠翻转存储器元件20中其它节点的值间接反转。

[0063] 在本例子中,驱动逻辑高信号到节点 X_2 上开启晶体管 N_1 并拉低节点 X_1 。然而,注意到,晶体管 P_1 是开启的,并且尝试保持节点 X_1 为高。结果,晶体管 N_1 必须与晶体管 P_1 竞争。相似地,通过 N_7 可选地驱动到节点 X_2 上的低信号开启 P_0 从而拉高 X_0 (间接),而晶体管 N_0 是开启的并尝试保持 X_0 为低。因此晶体管 P_0 (如果这样使用)必须与晶体管 N_0 竞争。

[0064] 如上面描述,单元20可以展现充分的保持容限。具有大保持容限的存储器单元经常伴有劣化的写入容限。为了在数据加载操作期间确保足够的写入容限,电源22(图2)可以在数据写入操作期间选择性地降低到存储器元件20的电源电压 V_{cc2} 。这帮助确保晶体管 N_1 成功压倒晶体管 P_1 (并且晶体管 P_0 压倒晶体管 N_0)。通过相对于晶体管 N_1 选择性地弱化晶体管 P_1 并确保晶体管 P_0 强于晶体管 N_0 ,使加载操作更容易,由此增加操作成功的可能性(即,改善写入容限)。相对于电压 V_{cc} 降低电压 V_{cc2} 也帮助确保在存储器元件20存储逻辑“1”时

满意加载逻辑“0”到存储器元件20。

[0065] 图4示出以下情景的模拟结果：在其中，在D为高时使地址（和清除）线有效从而写入“1”到节点X2上而不降低 V_{cc2} （即，其中 $V_{cc}=V_{cc2}$ ）。如在图4中示出，写入操作成功，即使没有调整 V_{cc2} 来改善写入容限。然而，使用该类方案不总是具有足够的容限（例如，在不使CLR与ADD同时有效时或在制造变化导致存储器元件中的晶体管的强度以特定方式改变时）。例如，在最坏情景下，随机变化的存在可以导致制作较弱的晶体管N1（相对于晶体管P1）和形成较弱的P0（相对于晶体管N0）。在最坏情景下，如果 V_{cc2} 等于 V_{cc} ，那么数据可能不成功写入（例如，加载）。

[0066] 因此，如在图5中示出，模拟写入结果，其中在写入操作期间通过电源22临时降低 V_{cc2} 。在图5的图示中可见，节点X1和X0上的电压跟踪 V_{cc2} 的下降和上升。节点X1和X0分别通过P1和P0由 V_{cc2} 静态驱动，所以节点X1和X0上的电压可以跟踪 V_{cc2} 的下降和上升。在地址信号有效之后，节点X2和X3上的电压可以反转，表示存储器元件20的状态已经成功反转。如先前讨论，这样执行的写入操作可以改善写入容限。只要 V_{cc2} 降低，在最坏情景下仍可能成功写入。

[0067] 存储器元件20的结构帮助改善对软错误翻转事件的抗扰性。模拟软错误翻转事件的结果在图6中示出。在图6的模拟中，ADD和CLR信号不是有效的（即，这些信号仍接地）。为模拟软错误翻转事件，在节点X2上注入50fC电荷。如图6的图表表明，这导致节点X2上的电压充分增加（例如，从0V到充分大于 V_{cc} 的电压），并临时干扰节点X0、X1和X3上的电压。在该例子中，节点X3是“悬浮”节点。由于从节点X2电容耦合，节点X3可以增加至稍微高于 V_{cc} 。节点X1是降低到低于 V_{cc} 一半的电压值的节点。节点X0是“无扰”节点。由于从节点X1电容耦合，因此节点X0可以降低至稍微低于0V。电荷50fC可以从节点X2成功耗散而没有使节点X0、X1、X2或X3的状态的永久反转。如在该例子中示出，单元20可以能够容忍至少50fC的软错误扰动。

[0068] 图7示出是如何暂时降低 V_{cc2} 从而在写入期间（即，在ADD有效时）改善写入容限。图7是图5的简化版本，但没有示出内部存储节点（例如，节点X0-X3）上电压。

[0069] 在写入操作期间降低 V_{cc2} 仅是改善写入容限的一个方式。其它技术也可以用来辅助写入操作。

[0070] 如果期望，可以（独立或一起）改变数据信号D以及反数据信号ND的电压。图8示出说明性情形，其中在写入操作期间，D暂时增加并且ND暂时减少从而改善写入容限。该类增加不需要是暂时性的（即，高D信号可以总是提高并且低ND信号的电压可以总是降低）。升高D超过 V_{cc} 可以增加节点X2的值超过 V_{cc} 。增加节点X2超过 V_{cc} 可以使晶体管N1过驱动（例如，驱动栅极端子和源极端子之间的电压差越过 V_{cc} ）。使晶体管N1过驱动可以强化晶体管N1并可以允许晶体管N1在写入操作期间更有效地压倒晶体管P1。同样，降低ND低于0V可以减少节点N3的值低于0V。减少节点N3低于0V可以使晶体管P0过驱动。使晶体管P0过驱动可以强化晶体管P0并可以允许晶体管在写入操作期间压倒晶体管P1。

[0071] 改善写入容限的另一可能的方法在图9的例子中示出，其中信号ADD相对于 V_{cc} 提高。升高ADD超过 V_{cc} 可以强化地址晶体管N6。考虑其中节点N2当前保持为0并且期望加载1到节点X2的情景。数据信号D和地址信号ADD可以被驱动到 V_{cc} 。地址晶体管N6可以尝试升高节点X2到高电压。然而，节点X3当前保持为1，意味着晶体管N2是开启的。因此晶体管N6与晶

晶体管N2竞争,以升高节点X2到高电压。升高ADD超过V_{cc}强化晶体管N6并允许晶体管N6更好地压倒晶体管N2。较强的晶体管N6可以导致在节点X2的较高电压。节点X2的较高电压值强化晶体管N1从而帮助增加写入容限。该类升高的ADD信号也可以用于CLR地址信号,并可以用于全部寻址操作(如果期望)。在控制信号(例如ADD和CLR)和数据信号(例如D和ND)展现大于它们的额定电压范围的电压摆幅时(即,在ADD或CLR提高到高于正常逻辑“1”电平时,在ND落到低于地时,在D被驱动到高于正常逻辑“1”电平时等),这些信号可以称为“过驱动”信号。可以使用图2的可调节电源22生成这些过驱动信号的电源电压。过驱动布置(例如这些)可与其它电压调节(例如,使用可调节电源22做出的电压和/或体偏置调节)结合使用,从而确保操作容限满足存储器单元20。

[0072] 替代降低V_{cc2},增加写入容限的另一方式是临时降低地电压V_{ss},如在图10中示出。每个晶体管都具有称为体端子的第四端子。NMOS晶体管的体端子通常连结到地(例如,0V的V_{ss}值),并且PMOS晶体管的体端子通常连结到电源电压V_{cc}。减少V_{ss}低于0V使晶体管N1处于正向体偏置下(例如,体相对于源极处于较高电压)。因此以此方式暂时正向偏置体可以临时强化晶体管N1,并可以帮助改善写入容限。

[0073] 如果期望,图3的存储器单元20可以实现为晶体管N6和N7分别连接到非连贯存储节点X0和X2(如果期望,或分别连接到节点X1和X3)。这样布置的存储器元件20可以不需要反数据信号ND。如在图11中示出,晶体管N6和N7的漏极端子可以连结在一起,并连接到数据信号D。任何合适方法可以用来帮助增加写入容限(例如,降低V_{cc2}、升高数据信号D、过驱动访问控制信号例如ADD和CLR、调整到NMOS晶体管的源漏端子的V_{ss}等)。例如,这些方法可以应用到晶体管N6和N7连接到非邻近存储节点的存储器单元。

[0074] 如在图12中示出,也可以使用如下配置来实现结合图3描述的存储器单元,该配置使用背体端子(例如,n体偏置端子VBPO-3和p体偏置端子VBN0-3)。例如,体端子VBN1可以临时增加到高于0V,从而使NMOS晶体管N1处于正向体偏置。体端子VBPO也可以临时增加到高于V_{cc},从而使PMOS晶体管P0处于反向体偏置。在写入操作期间,正向偏置晶体管N1的体和反向偏置晶体管P0的体(见于例如图13)可以帮助它们分别压倒晶体管P1和N0,这帮助改善写入容限。可以通过电路24提供的另外体偏置线(未示出)控制VBPO-3和VBN0-3。

[0075] 图7-10和13的例子仅是说明性的。如果期望,可以对从存储器元件20加载和读取数据中使用的信号做出任何合适的时变改变或其它改变。这些改变可以包括改变正电源电压(例如V_{cc2}和V_{cc})、改变地址信号ADD的幅度、改变清除信号CLR的幅度、改变数据信号D和ND的高和低值的幅度、改变地电压(例如V_{ss})的幅度、改变体偏置端子或这些改变的任何合适的组合。例如,可以做出改变(例如这些)从而增加写入容限、从而在读取操作期间确保源自存储器元件的足够的输出电压、从而在CRAM阵列中在正常操作期间从存储器元件接收或产生增强的输出电压等。

[0076] 图14示出涉及加载由存储器元件(例如存储器元件20)形成的存储器阵列的说明性步骤。在步骤40,作为示例,可以通过加载0到节点X3清除全部存储器单元。这可以通过使CLR信号有效并且驱动反数据信号ND到地完成。地址信号ADD和数据信号D可以可选地驱动到V_{cc},从而帮助辅助清除操作。

[0077] 在步骤42,任何合适存储器元件电压(例如,V_{cc}、V_{cc2}、V_{ss}、D、ND、ADD、CLR、VBN0-3、VBPO-3等)可以在幅度上改变(例如,升高到高于或降低到低于它的额定范围)从而帮助

改善写入容限。做出的电压幅度调整可以包括电源电压调整(例如,改变 V_{cc} 、 V_{cc2} 或 V_{ss})、数据信号调整(例如,改变D的幅度从而过驱动D、更改ND的幅度从而过驱动ND)以及地址信号调整(例如,改变ADD的幅度从而过驱动ADD、改变CLR的幅度从而过驱动CLR等)。如果期望,可以使用与图4-10和13有关示出的任何技术。在步骤42的操作期间,可使用这些技术的任何结合或置换。例如,在使ADD有效之前,可以从它们的额定电压值降低 V_{cc2} 、升高数据信号D、降低 V_{ss} ,和/或提高 V_{BN1} 。

[0078] 电路24可以包括寄存器。数据可以移位到寄存器从而将期望的数据值置于数据线32上(步骤44)。

[0079] 一旦准备加载数据,那么可以使合适地址信号(例如,ADD和CLR)有效从而加载一组存储器元件(例如,在图2中示作存储器单元的列)。如果期望,地址信号可以升高(过驱动)超过 V_{cc} 。在该步骤(步骤46)期间,在步骤42期间升高或降低的存储器元件电压可以仍施加到存储器单元。加载以此方式加载的一组存储器元件可以帮助确保成功写入数据到该组存储器元件。

[0080] 在一列存储器元件加载数据之后,地址信号可以无效(步骤48)。如果需要加载更多存储器单元,那么可以采取通路50将下组数据移位到下组存储器元件。

[0081] 在步骤52,如果加载完成(例如,存储器元件的阵列成功加载期望的数据值),那么在步骤46期间升高或降低的单元电压可以再调整回它们的额定值(例如, V_{cc2} 调回到 V_{cc} 、 V_{ss} 调回到0V等)。在正常操作期间,接着存储器元件的阵列可以用来提供静态输出。(作为示例)静态输出可以用来控制晶体管的栅极。在可编程电路例如可编程逻辑器件电路的情况下,存储器元件的阵列可以用作配置存储器阵列,从而向可编程逻辑传输晶体管的栅极提供控制信号。

[0082] 如在图15中示出,可以使用不同数量的晶体管对实现存储器元件20。图15的例子涉及使用两个交叉耦合的反相器(INV1和INV2),其每个都具有两个串联连接的晶体管(元件20中总共五个晶体管)。这仅是说明性的。存储器元件20可以具有任何合适数量的晶体管。

[0083] 在图15的元件20中,交叉耦合的反相器INV1和INV2形成双稳态单元。反相器INV1可以通过正电源电压 V_{cc} 和地电源电压 V_{ss} 供电。反相器INV2可以通过正电源电压 V_{cc2} 和地电源电压 V_{ss} 供电。如与图14相关描述的,在数据写入操作期间可以选择性地降低正电源电压 V_{cc2} 从而增强写入容限。在降低 V_{cc2} 时,INV2的强度弱化,使地址晶体管TA容易驱动数据信号D到节点N1上。

[0084] 根据实施例,提供了一种存储器元件电路,其包括存储器元件和电路,所述存储器元件具有至少四个互连的反相器类晶体管对和至少一个访问晶体管,其中存储器元件被配置为在内部节点上存储数据,并且所述电路在改变下面中至少一个的同时加载数据到存储器元件:向存储器元件供电的电源电压的幅度、加载到存储器元件的数据信号的数据信号幅度或控制访问晶体管的地址信号的地址信号幅度。

[0085] 根据另一实施例,至少一个访问晶体管包括一对访问晶体管。

[0086] 根据另一实施例,存储器元件具有第一正电源端子和第二正电源端子,并且加载数据的电路包括可调节电源,其暂时降低第一正电源端子上的正电源电压。

[0087] 根据另一实施例,加载数据的电路被配置为在数据加载期间使数据信号过驱动。

- [0088] 根据另一实施例,加载数据的电路被配置为在数据加载期间使地址信号过驱动。
- [0089] 根据另一实施例,提供了一种存储器元件,其包括用第一电源电压供电的第一组晶体管和用第二电源电压供电的第二组晶体管,在数据加载到存储器元件时,所述第二电源电压不同于第一电源电压。
- [0090] 根据另一实施例,第一组中的晶体管耦合在第一电源电压和地电压之间,第二组中的晶体管耦合在第二电源电压和地电压之间。
- [0091] 根据另一实施例,第一组和第二组中的晶体管包括串联连接的n沟道金属氧化物半导体晶体管和p沟道金属氧化物半导体晶体管。
- [0092] 根据另一实施例,存储器元件还包括连接到第一组晶体管中两个相应的存储节点的至少两个地址晶体管。
- [0093] 根据另一实施例,提供了一种集成电路,其包括:存储器元件的阵列,所述存储器元件中的每个都通过固定电源电平和时变电源电平供电;可调节电源电路,其在阵列的正常操作期间的高电源电平和对阵列数据加载操作期间的低电源电平之间改变时变电源电平;以及数据加载电路,其在固定电源电平处于高电源电平并且时变电源电平处于低电源电平时加载数据到存储器元件。
- [0094] 根据另一实施例,每个存储器元件包括:第一和第二晶体管对,其耦合在提供固定电源电平的第一电源端子和提供地电源电平的地端子之间;第三和第四晶体管对,其耦合在提供时变电源电平的第二电源端子和供应地电源电平的地端子之间,其中四个晶体管对中的每个具有存储节点以及连接到存储节点的n沟道晶体管和连接到存储节点的p沟道晶体管;以及两个n沟道晶体管,每个都连接到存储节点中相应的一个。
- [0095] 根据另一实施例,集成电路还包括连接到存储器元件的可编程逻辑,其中存储器元件还具有供应输出信号的输出端子,并且其中可编程逻辑接收在高电源电平的输出信号。
- [0096] 根据另一实施例,每个存储器元件的两个n沟道晶体管都具有栅极,并且数据加载电路向栅极提供控制信号。
- [0097] 根据另一实施例,在每个存储器元件中的晶体管都包括体偏置端子,并且数据加载电路被配置为在加载数据到存储器元件时调整体偏置端子中至少一个上的至少一个体偏置电压。
- [0098] 根据另一实施例,提供了一种加载数据到含有至少十个晶体管的存储器元件的方法,其包括临时调整到含有至少十个晶体管的存储器元件的至少一个电源电压,并且在临时调整电源电压的同时,加载数据到十个晶体管存储器元件。
- [0099] 根据另一实施例,其中十个晶体管具有至少一个地址晶体管,该方法包括在数据加载操作期间,施加升高的地址信号到地址晶体管的栅极。
- [0100] 根据另一实施例,其中十个晶体管具有至少一个地址晶体管,该地址晶体管具有源漏端子,该方法包括在数据加载操作期间施加过驱动的数据信号到地址晶体管的源漏端子。
- [0101] 根据另一实施例,该方法包括在数据加载操作期间临时降低存储器元件中的至少一个地电压。
- [0102] 根据另一实施例,其中存储器元件中的至少一个晶体管具有体偏置端子,该方法

包括在数据加载操作期间临时改变体偏置端子上的体偏置电压。

[0103] 根据另一实施例,其中临时调整电源电压包括临时降低正电源电压,该方法包括在数据加载操作期间临时降低正电源电压之后,上升正电源电压到给定电平,并向可编程逻辑晶体管的栅极施加在给定电平的输出信号。

[0104] 前述仅说明本发明的原理,并且本领域技术人员在不背离本发明的范畴和精神的情况下可以进行各种修改。

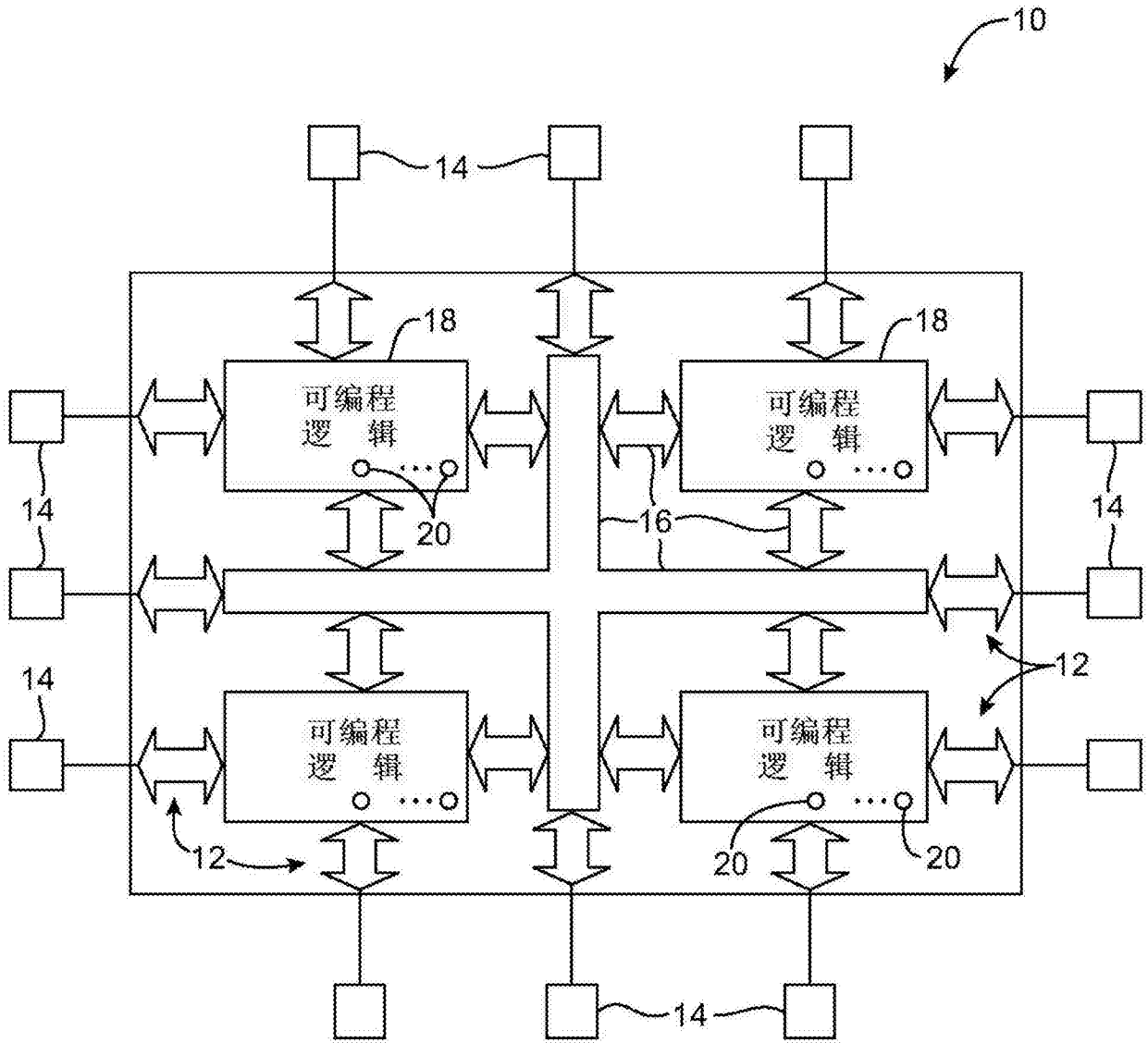


图1

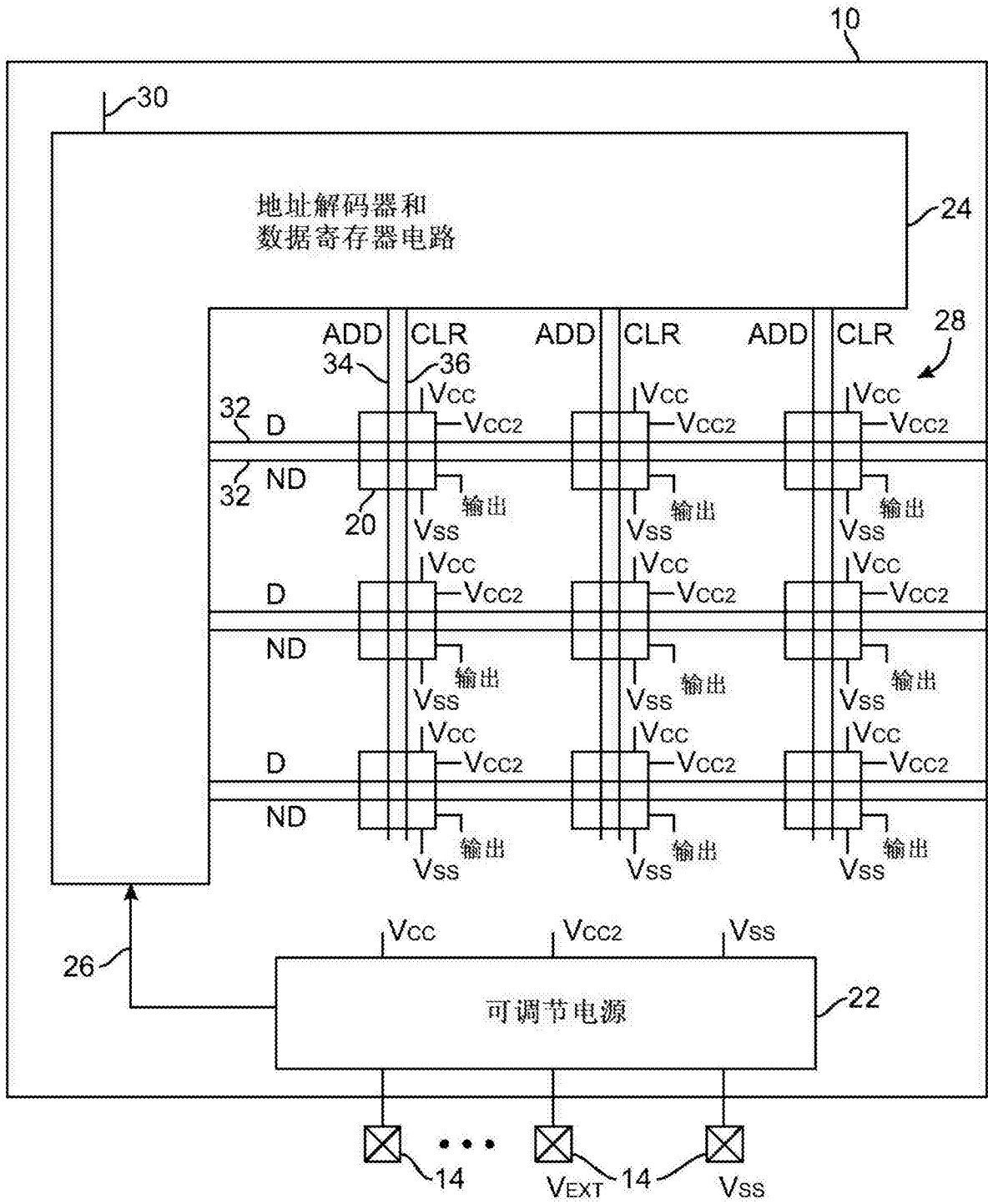


图2

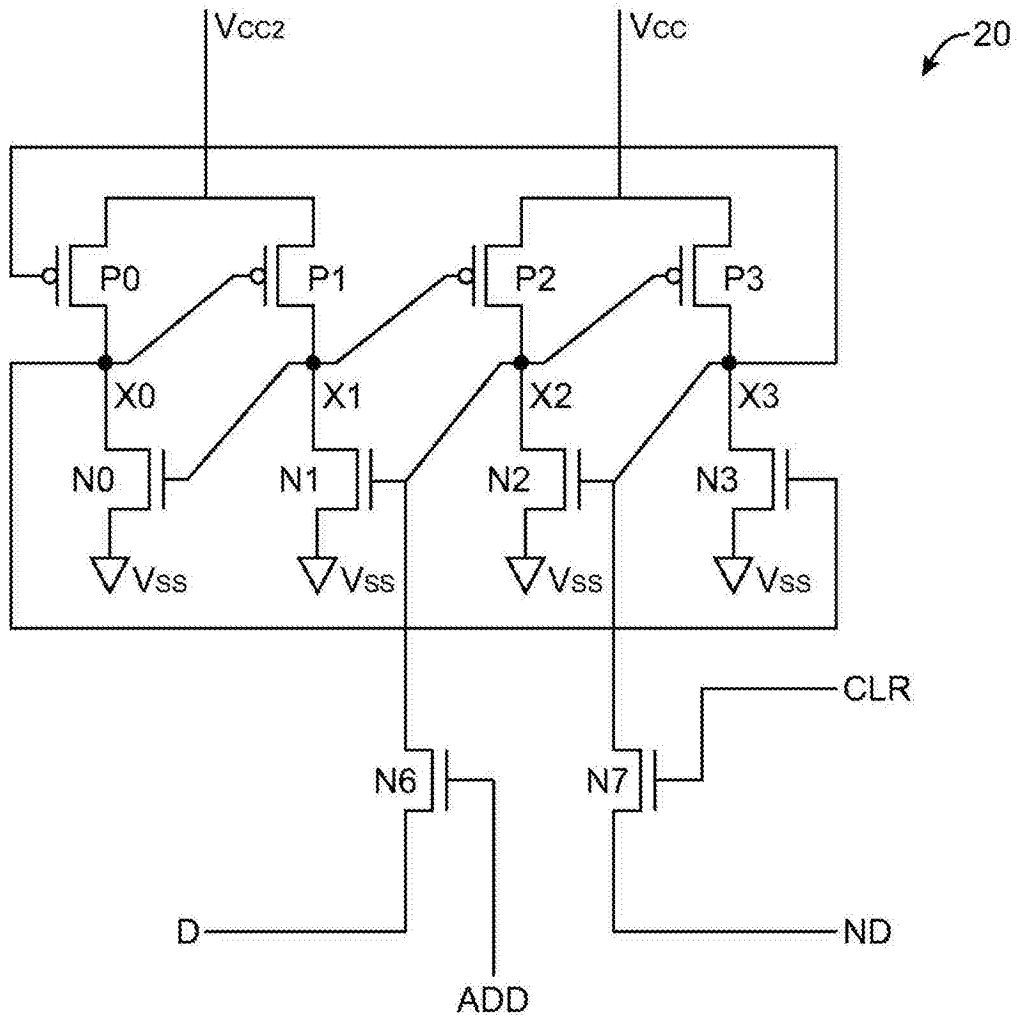


图3

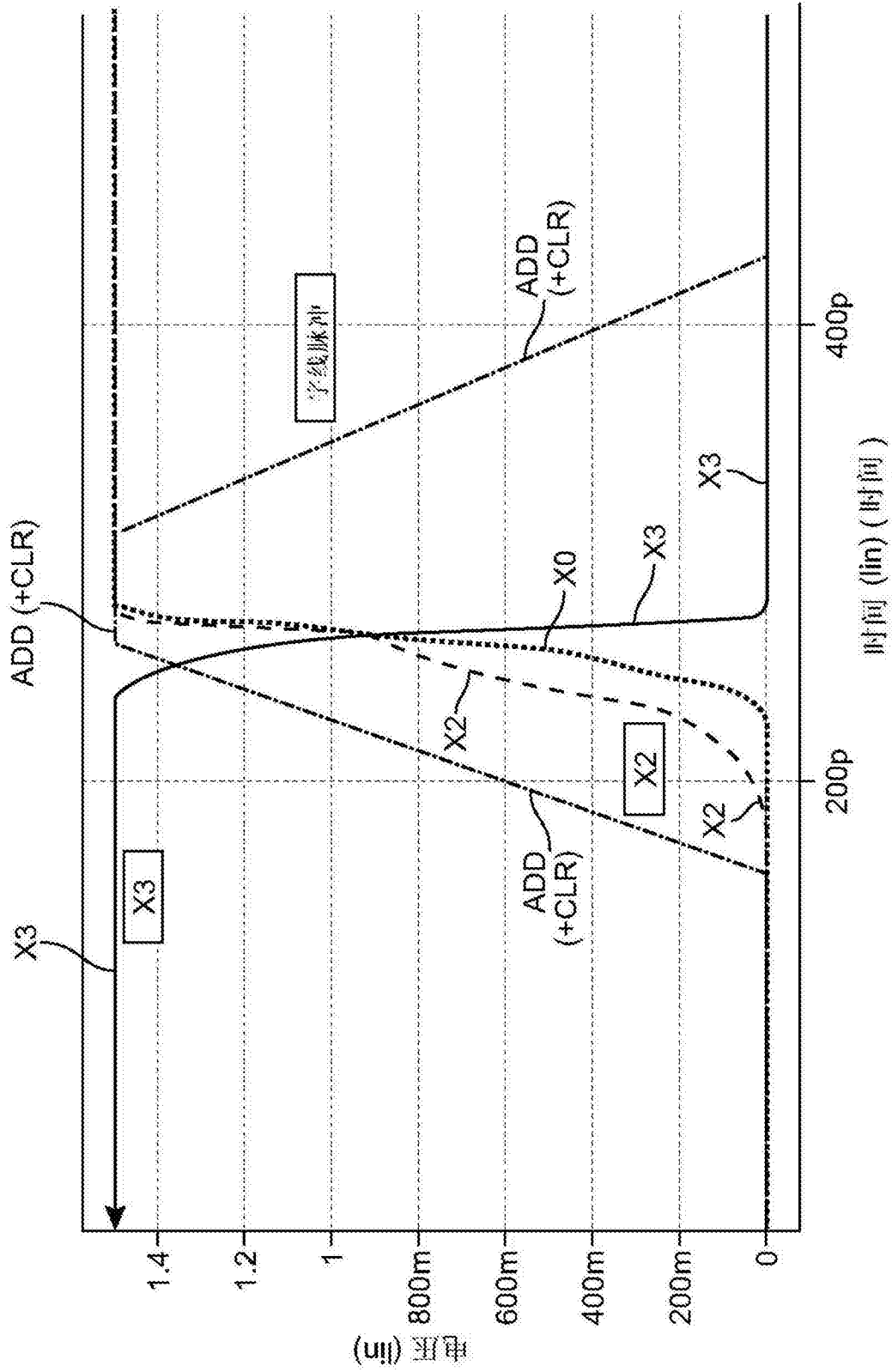


图4

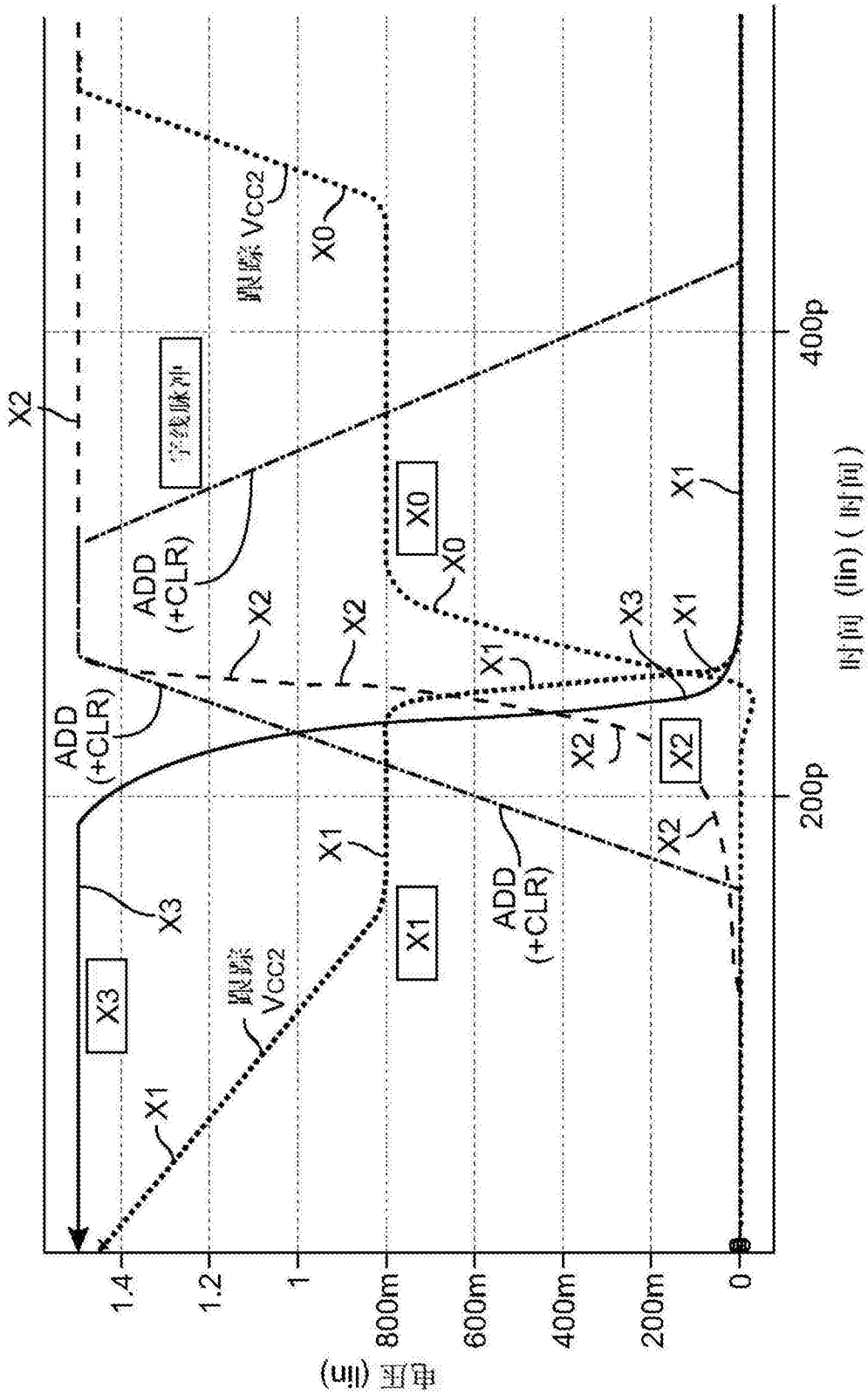


图5

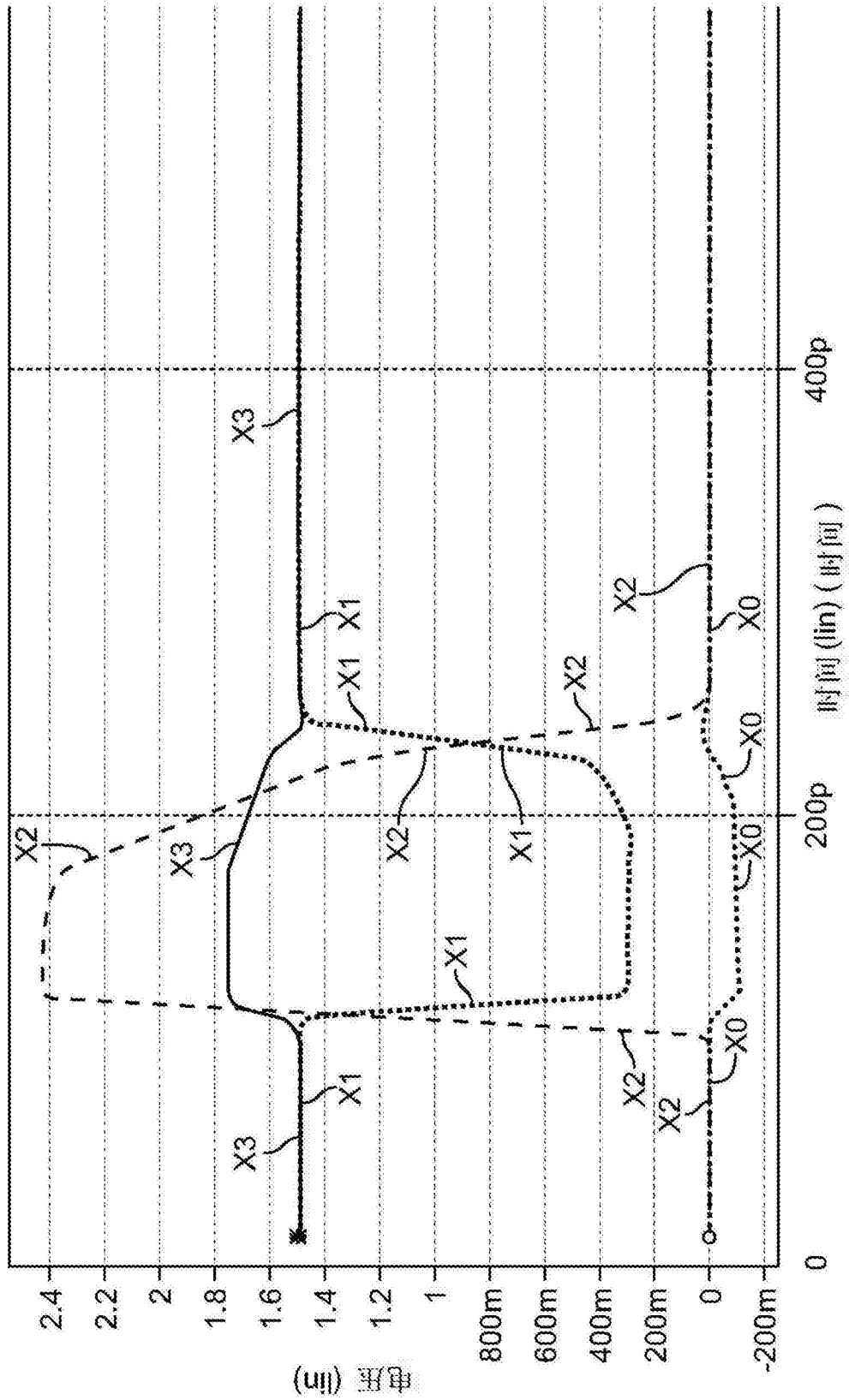


图6

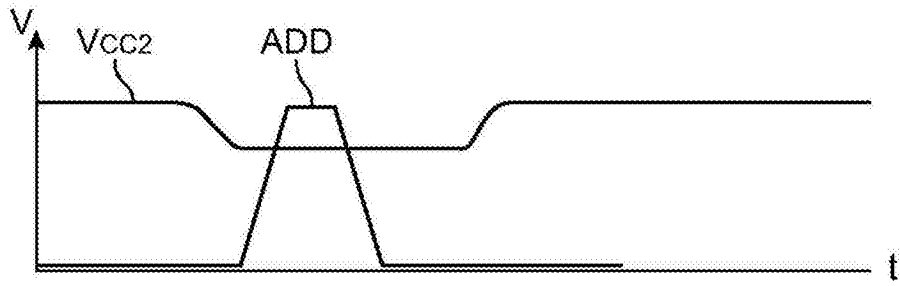


图7

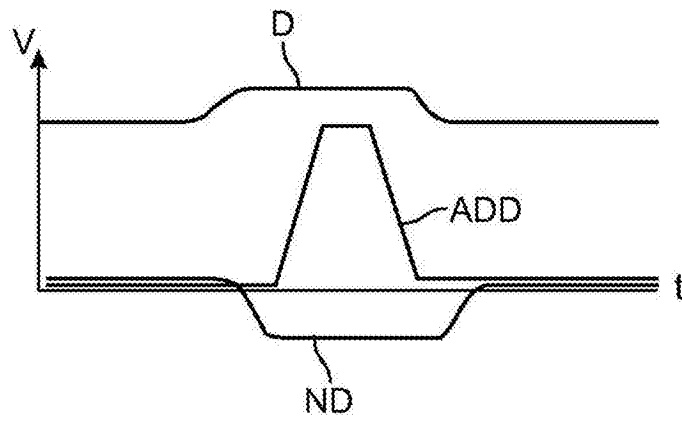


图8

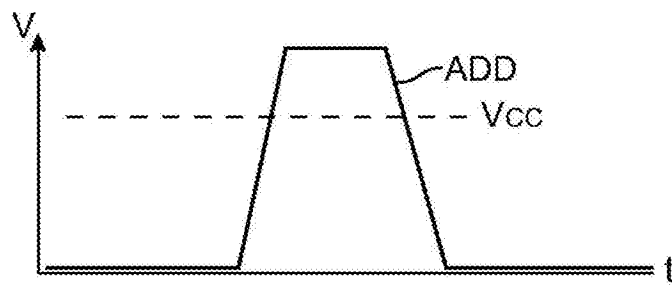


图9

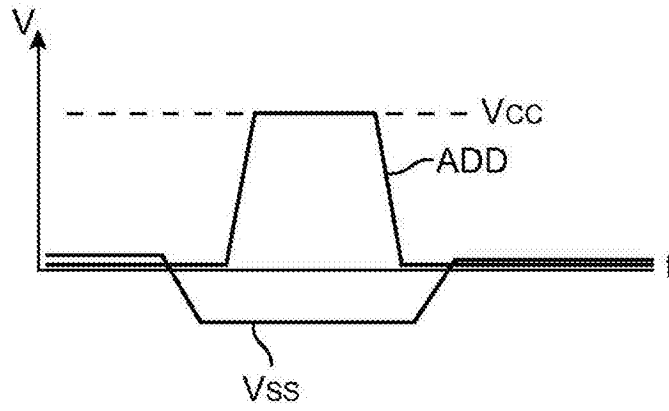


图10

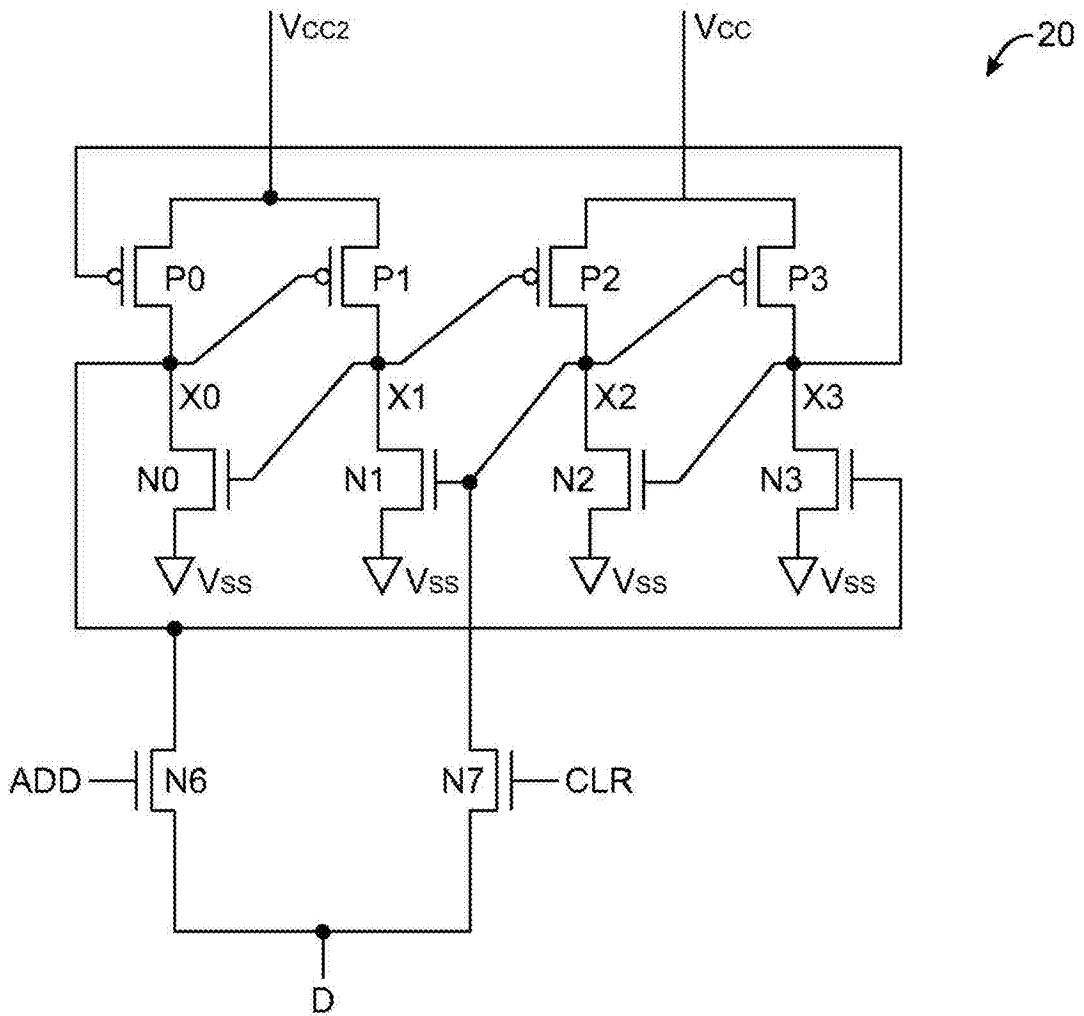


图11

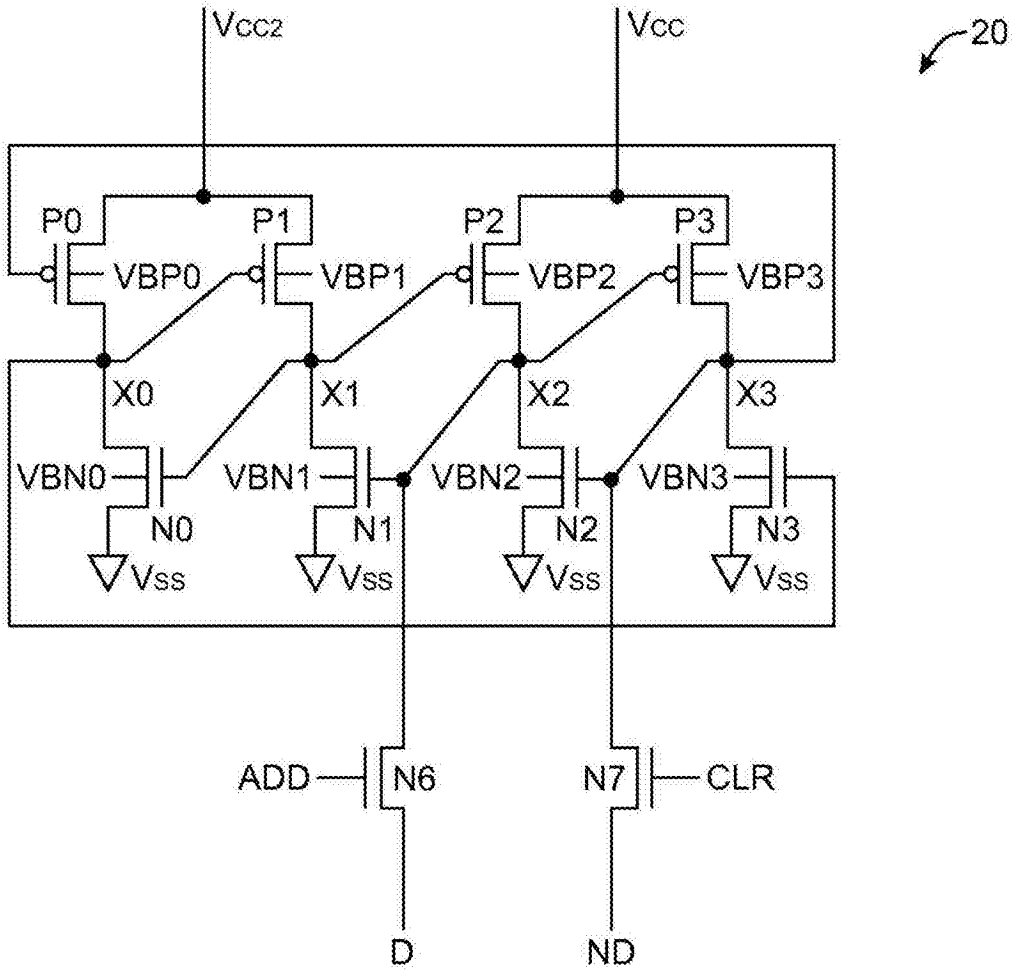


图12

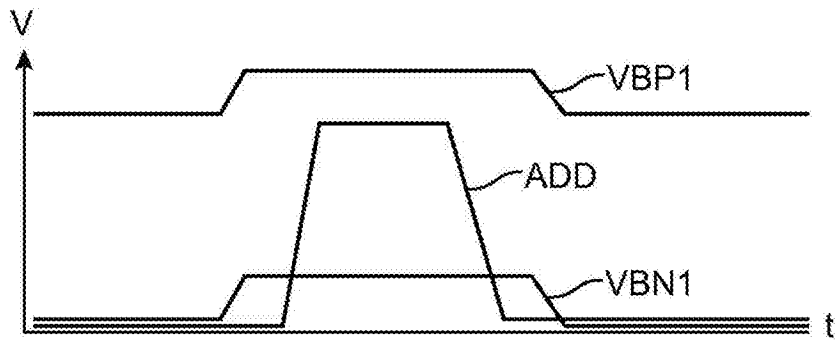


图13

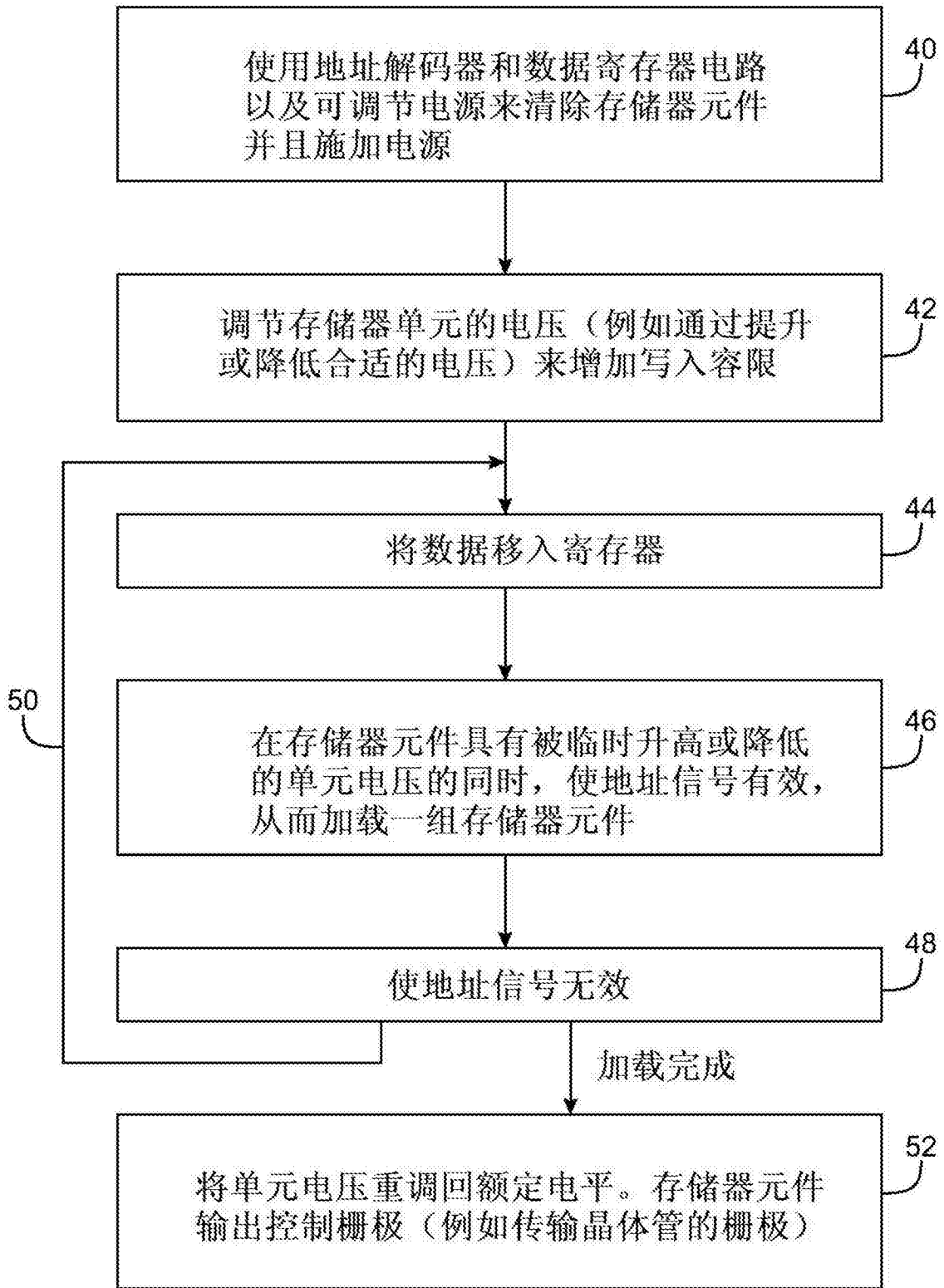


图14

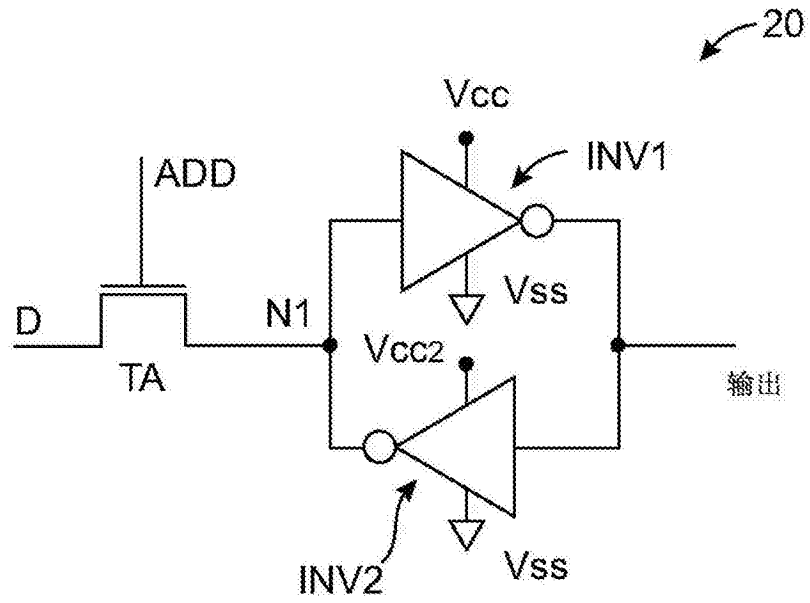


图15