



# (12) 发明专利申请

(10) 申请公布号 CN 117766380 A

(43) 申请公布日 2024. 03. 26

(21) 申请号 202211121824.5

(22) 申请日 2022.09.15

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区  
空港工业园兴业大道388号

(72) 发明人 张冲

(51) Int. Cl.

H01L 21/28 (2006.01)

H10B 12/00 (2023.01)

H01L 29/423 (2006.01)

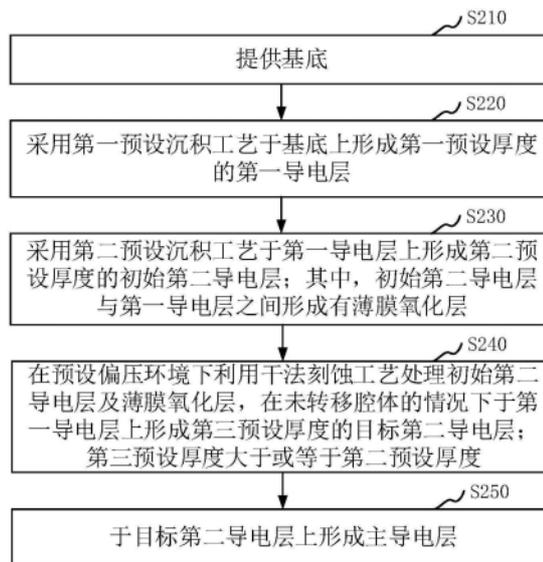
权利要求书3页 说明书14页 附图10页

## (54) 发明名称

半导体结构/栅极结构制备方法、半导体结构及栅极结构

## (57) 摘要

本公开涉及一种半导体结构/栅极结构制备方法、半导体结构及栅极结构,包括:提供基底;采用第一预设沉积工艺于基底上形成第一预设厚度的第一导电层;采用第二预设沉积工艺于第一导电层上形成第二预设厚度的初始第二导电层;其中,初始第二导电层与第一导电层之间形成有薄膜氧化层;在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,在未转移腔体的情况下于第一导电层上形成第三预设厚度的目标第二导电层;第三预设厚度大于或等于第二预设厚度;于目标第二导电层上形成主导导电层。本公开实施例至少能够避免在制备导电层的过程中引入薄膜氧化层,从而减小了导电层的电阻,提高了制备半导体产品的性能及可靠性。



1. 一种半导体结构制备方法,其特征在于,包括:  
提供基底;  
采用第一预设沉积工艺于所述基底上形成第一预设厚度的第一导电层;  
采用第二预设沉积工艺于所述第一导电层上形成第二预设厚度的初始第二导电层;其中,所述初始第二导电层与所述第一导电层之间形成有薄膜氧化层;  
在预设偏压环境下利用干法刻蚀工艺处理所述初始第二导电层及所述薄膜氧化层,在未转移腔体的情况下于所述第一导电层上形成第三预设厚度的目标第二导电层;所述第三预设厚度大于或等于所述第二预设厚度;  
于所述目标第二导电层上形成主导电层。
2. 根据权利要求1所述的半导体结构制备方法,其特征在于,所述预设偏压包括交流偏压及/或射频偏压。
3. 根据权利要求2所述的半导体结构制备方法,其特征在于,所述在预设偏压环境下利用干法刻蚀工艺处理所述初始第二导电层及所述薄膜氧化层,包括:  
控制磁控溅射偏压系统在预设偏压功率下持续干法刻蚀预设时间,以去除所述初始第二导电层及所述薄膜氧化层。
4. 根据权利要求3所述的半导体结构制备方法,其特征在于,包括如下特征中至少一种:  
所述第三预设厚度为3nm~5nm;  
所述预设偏压功率为50W~200W;  
所述预设时间为2s~5s。
5. 根据权利要求1-4任一项所述的半导体结构制备方法,其特征在于,在真空环境下转移腔体后,于所述目标第二导电层上形成所述主导电层。
6. 根据权利要求1-4任一项所述的半导体结构制备方法,其特征在于,包括如下特征中至少一种:  
所述第一预设沉积工艺为化学气相沉积工艺;  
所述第二预设沉积工艺为物理气相沉积工艺。
7. 根据权利要求1-4任一项所述的半导体结构制备方法,其特征在于,包括如下特征中至少一种:  
所述第一预设厚度为2nm~5nm;  
所述第二预设厚度为2nm~3nm;  
所述主导电层的厚度为25nm~30nm。
8. 根据权利要求1-4任一项所述的半导体结构制备方法,其特征在于,包括如下特征中至少一种:  
所述第一导电层为阻挡层或黏附层,所述第一导电层的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;  
所述初始第二导电层与所述目标第二导电层为种子层,所述初始第二导电层与所述目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钡、铜或其组合;  
所述主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合;  
所述干法刻蚀工艺中的离子包括氩离子、氮离子、氙离子或其组合。

9. 根据权利要求8所述的半导体结构制备方法,其特征在于,所述第一导电层为氮硅化钛,所述初始第二导电层为硅化钨,所述目标第二导电层为硅化钨。

10. 一种栅极结构制备方法,其特征在于,包括:

提供衬底,其内包括有源区;

于所述有源区上形成栅介质层;

采用第一预设沉积工艺于所述栅介质层上形成第一预设厚度的第一导电层;

采用第二预设沉积工艺于所述第一导电层上形成第二预设厚度的初始第二导电层;其中,所述初始第二导电层与所述第一导电层之间形成有薄膜氧化层;

在预设偏压环境下所述初始第二导电层与所述目标第二导电层利用干法刻蚀工艺处理所述初始第二导电层及所述薄膜氧化层,在未转移腔体的情况下于所述第一导电层上形成第三预设厚度的目标第二导电层;所述第三预设厚度大于或等于所述第二预设厚度;

于所述初始第二导电层与所述目标第二导电层目标第二导电层上形成主导导电层,所述第一导电层、所述目标第二导电层及所述主导导电层构成栅导电层。

11. 根据权利要求10所述的栅极结构制备方法,其特征在于,所述预设偏压包括交流偏压及/或射频偏压。

12. 根据权利要求11所述的栅极结构制备方法,其特征在于,所述在预设偏压环境下所述初始第二导电层与所述目标第二导电层利用干法刻蚀工艺处理所述初始第二导电层及所述薄膜氧化层,包括:

控制磁控溅射偏压系统在预设偏压功率下持续干法刻蚀预设时间,以去除所述初始第二导电层及所述薄膜氧化层。

13. 根据权利要求12所述的栅极结构制备方法,其特征在于,包括如下特征中至少一种:

所述第三预设厚度为3nm~5nm;

所述预设偏压功率为50W~200W;

所述预设时间为2s~5s。

14. 根据权利要求10-13任一项所述的栅极结构制备方法,其特征在于,在真空环境下转移腔体后,于所述目标第二导电层上形成所述主导导电层。

15. 根据权利要求10-13任一项所述的栅极结构制备方法,其特征在于,所述于所述有源区上形成栅介质层包括:

于所述有源区内形成栅极沟槽;

于所述栅极沟槽的底部及侧壁形成栅介质层。

16. 根据权利要求10-13任一项所述的栅极结构制备方法,其特征在于,包括如下特征中至少一种:

所述栅介质层的材料包括:氧化铝、氧化钨、氮氧化钨、氧化锆、氧化钽、氧化钛、锶钛氧化物或其组合;

所述第一导电层为阻挡层或黏附层,所述第一导电层的材料包括钛、钨、钼、钽、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;

所述初始第二导电层与所述目标第二导电层为种子层,所述初始第二导电层与所述目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钇、铜或其组合;

所述主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合；  
所述干法刻蚀工艺中的离子包括氩离子、氮离子、氙离子或其组合。

17. 一种半导体结构,其特征在於,包括:

基底;

第一导电层,形成于所述基底的表面;

目标第二导电层,位于所述第一导电层远离所述基底的表面;

主导电层,位于所述目标第二导电层远离所述基底的表面;

其中,所述第一导电层与所述目标第二导电层之间不具有薄膜氧化层。

18. 根据权利要求17所述的半导体结构,其特征在於,包括如下特征中至少一种:

所述第一导电层为阻挡层或黏附层,所述第一导电层的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;

所述目标第二导电层为种子层,所述目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钡、铜或其组合;

所述主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合。

19. 一种栅极结构,其特征在於,包括:

衬底,其内包括有源区;

栅介质层,形成于所述有源区的表面;

第一导电层,位于所述栅介质层远离所述衬底的表面;

目标第二导电层,位于所述第一导电层远离所述衬底的表面;

主导电层,位于所述目标第二导电层远离所述衬底的表面;

其中,所述第一导电层与所述目标第二导电层之间不具有薄膜氧化层。

20. 根据权利要求19所述的栅极结构,其特征在於,所述栅介质层至少部分位于所述有源区内。

21. 根据权利要求19或20所述的栅极结构,其特征在於,包括如下特征中至少一种:

所述栅介质层的材料包括:氧化铝、氧化钨、氮氧化钨、氧化锆、氧化钽、氧化钛、锶钛氧化物或其组合;

所述第一导电层为阻挡层或黏附层,所述第一导电层的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;

所述目标第二导电层为种子层,所述目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钡、铜或其组合;

所述主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合。

## 半导体结构/栅极结构制备方法、半导体结构及栅极结构

### 技术领域

[0001] 本公开涉及半导体技术领域,特别是涉及一种半导体结构/栅极结构制备方法、半导体结构及栅极结构。

### 背景技术

[0002] 动态随机存取存储器(Dynamic Random Access Memory, DRAM)是一种半导体存储器,通常包括多个重复的存储单元结构,单个存储单元结构中的存储电容与晶体管的源极相连,该晶体管的栅极与字线相连且该晶体管的漏极与位线相连,通过字线上的电压信号控制晶体管的开闭,进而通过位线读取存储在电容中的数据信息,或者通过位线将数据信息写入到电容中进行存储。

[0003] 对于单个存储单元结构而言,其中晶体管工作能耗的高低直接影响其整体能耗的高低。因此,如何进一步降低单个存储单元结构中晶体管的工作能耗,成为进一步降低半导体存储器能耗的研究重点。

### 发明内容

[0004] 根据本公开的各种实施例,提供一种半导体结构/栅极结构制备方法、半导体结构及栅极结构,至少能够避免在制备导电层的过程中引入薄膜氧化层,从而减小了导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0005] 根据一些实施例,本公开的第一方面提供了一种半导体结构制备方法,包括:

[0006] 提供基底;

[0007] 采用第一预设沉积工艺于基底上形成第一预设厚度的第一导电层;

[0008] 采用第二预设沉积工艺于第一导电层上形成第二预设厚度的初始第二导电层;其中,初始第二导电层与第一导电层之间形成有薄膜氧化层;

[0009] 在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,在未转移腔体的情况下于第一导电层上形成第三预设厚度的目标第二导电层;第三预设厚度大于或等于第二预设厚度;

[0010] 于目标第二导电层上形成主导导电层。

[0011] 根据一些实施例,预设偏压包括交流偏压及/或射频偏压。

[0012] 根据一些实施例,在预设偏压环境下利用干法刻蚀工艺处理初始第二导电层及薄膜氧化层,包括:

[0013] 控制磁控溅射偏压系统在预设偏压功率下持续干法刻蚀预设时间,以去除初始第二导电层及薄膜氧化层。

[0014] 根据一些实施例,半导体结构制备方法包括如下特征中至少一种:第三预设厚度为3nm~5nm;预设偏压功率为50W~200W;预设时间为2s~5s。

[0015] 根据一些实施例,在真空环境下转移腔体后,于目标第二导电层上形成主导导电层。

[0016] 根据一些实施例,半导体结构制备方法包括如下特征中至少一种:第一预设沉积

工艺为化学气相沉积工艺;第二预设沉积工艺为物理气相沉积工艺。

[0017] 根据一些实施例,半导体结构制备方法包括如下特征中至少一种:第一预设厚度为2nm~5nm;第二预设厚度为2nm~3nm;主导电层的厚度为25nm~30nm。

[0018] 根据一些实施例,半导体结构制备方法包括如下特征中至少一种:第一导电层为阻挡层或黏附层,第一导电层的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;初始第二导电层、目标第二导电层为种子层,初始第二导电层、目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钡、铜或其组合;主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合;干法刻蚀工艺中的离子包括氩离子、氮离子、氙离子或其组合。

[0019] 根据一些实施例,本公开的第二方面提供了一种栅极结构制备方法,包括:

[0020] 提供衬底,其内包括有源区;

[0021] 于有源区上形成栅介质层;

[0022] 采用第一预设沉积工艺于栅介质层上形成第一预设厚度的第一导电层;

[0023] 采用第二预设沉积工艺于第一导电层上形成第二预设厚度的初始第二导电层;其中,初始第二导电层与第一导电层之间形成有薄膜氧化层;

[0024] 在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,在未转移腔体的情况下于第一导电层上形成第三预设厚度的目标第二导电层;第三预设厚度大于或等于第二预设厚度;

[0025] 于目标第二导电层上形成主导电层,第一导电层、目标第二导电层及主导电层构成栅导电层。

[0026] 根据一些实施例,预设偏压包括交流偏压及/或射频偏压。

[0027] 根据一些实施例,在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,包括:

[0028] 控制磁控溅射偏压系统在预设偏压功率下持续干法刻蚀预设时间,以去除初始第二导电层及薄膜氧化层。

[0029] 根据一些实施例,栅极结构制备方法包括如下特征中至少一种:第三预设厚度为3nm~5nm;预设偏压功率为50W~200W;预设时间为2s~5s。

[0030] 根据一些实施例,在真空环境下转移腔体后,于目标第二导电层上形成主导电层。

[0031] 根据一些实施例,于有源区上形成栅介质层包括:于有源区内形成栅极沟槽;于栅极沟槽的底部及侧壁形成栅介质层。

[0032] 根据一些实施例,栅极结构制备方法包括如下特征中至少一种:栅介质层的材料包括:氧化铝、氧化钪、氮氧化钪、氧化锆、氧化钽、氧化钛、锶钛氧化物或其组合;第一导电层为阻挡层或黏附层,第一导电层的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;初始第二导电层、目标第二导电层为种子层,初始第二导电层、目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钡、铜或其组合;主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合;干法刻蚀工艺中的离子包括氩离子、氮离子、氙离子或其组合。

[0033] 根据一些实施例,第一导电层为氮硅化钛,初始第二导电层为硅化钨,目标第二导电层为硅化钨。

[0034] 根据一些实施例,本公开的第三方面提供了一种半导体结构,包括基底、第一导电层、目标第二导电层及主导电层,第一导电层形成于基底的表面;目标第二导电层位于第一导电层远离基底的表面;主导电层位于目标第二导电层远离基底的表面;其中,第一导电层与目标第二导电层之间不具有薄膜氧化层。

[0035] 根据一些实施例,第一导电层为阻挡层或黏附层,第一导电层的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;目标第二导电层为种子层,目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钯、铜或其组合;主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合。

[0036] 根据一些实施例,本公开的第四方面提供了一种栅极结构,包括衬底、栅介质层、第一导电层、目标第二导电层及主导电层,衬底内包括有源区,栅介质层形成于有源区的表面,第一导电层位于栅介质层远离衬底的表面,目标第二导电层位于第一导电层远离衬底的表面;主导电层位于目标第二导电层远离衬底的表面;其中,第一导电层与目标第二导电层之间不具有薄膜氧化层。

[0037] 根据一些实施例,栅介质层至少部分位于有源区内。

[0038] 根据一些实施例,栅极结构包括如下特征中至少一种:栅介质层的材料包括:氧化铝、氧化铪、氮氧化铪、氧化锆、氧化钽、氧化钛、锶钛氧化物或其组合;第一导电层为阻挡层或黏附层,第一导电层的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;目标第二导电层为种子层,目标第二导电层的材料包括钛、钨、镍、金、银、硅化钨、铝、钯、铜或其组合;主导电层的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合。

[0039] 上述实施例中半导体结构制备方法、半导体结构或栅极结构至少包括如下有益效果:

[0040] 在基底上形成第一导电层作为阻挡层或黏附层之后,再于第一导电层上形成初始第二导电层作为种子层,由于发现了初始第二导电层与第一导电层之间形成有薄膜氧化层,因此创造性地提出先在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,之后在未转移腔体的情况下于第一导电层上形成比去除的初始第二导电层更厚的目标第二导电层,然后于目标第二导电层上形成主导电层,避免了在基底上形成导电层的过程中引入薄膜氧化层,从而减小了导电层的电阻,提高了制备半导体产品的性能及可靠性。

## 附图说明

[0041] 为了更清楚地说明本公开实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0042] 图1为一实施例中提供的半导体结构的俯视图;

[0043] 图2为图1中沿cc'方向、ee'方向所得截面结构示意图;

[0044] 图3为一实施例中提供的栅极结构的TEM示意图;

[0045] 图4为一实施例中半导体结构制备方法的流程示意图;

- [0046] 图5-图7为一实施例中半导体结构制备方法中不同步骤所得半导体结构剖面示意图；
- [0047] 图8为一实施例中栅极结构制备方法的流程示意图；
- [0048] 图9-图12为一实施例中栅极结构制备方法中不同步骤所得半导体结构剖面示意图；
- [0049] 图13为一实施例中埋入式栅极结构制备方法的流程示意图；
- [0050] 图14-图18为一实施例中埋入式栅极结构制备方法中不同步骤所得半导体结构剖面示意图；
- [0051] 图19a为未采用本公开一实施例中栅极结构制备方法所得栅极结构采用透射电镜设备得到的局部剖面结构的EDX谱图；
- [0052] 图19b为采用本公开一实施例中栅极结构制备方法后所得栅极结构采用透射电镜设备得到的局部剖面结构的EDX谱图。
- [0053] 附图标记说明：
- [0054] 100、基底；10、衬底；11、阵列区；12、外围区；20、字线；30、位线；51、栅介质层；52、第一导电层；531、初始第二导电层；532、目标第二导电层；54、主导电层；55、保护层；56、侧墙结构；60、薄膜氧化层；101、有源区；501、栅极沟槽。

### 具体实施方式

[0055] 为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

[0056] 除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。

[0057] 应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂类型成为第二掺杂类型，且类似地，可以将第二掺杂类型成为第一掺杂类型；第一掺杂类型与第二掺杂类型为不同的掺杂类型，譬如，第一掺杂类型可以为P型且第二掺杂类型可以为N型，或第一掺杂类型可以为N型且第二掺杂类型可以为P型。

[0058] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同

取向。例如,如果附图中的器件翻转,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外,器件也可以包括另外地取向(譬如,旋转90度或其它取向),并且在此使用的空间描述语相应地被解释。

[0059] 在此使用时,单数形式的“一”、“一个”和“所述/该”也可以包括复数形式,除非上下文清楚指出另外的方式。还应明白,当术语“组成”和/或“包括”在该说明书中使用,可以确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时,在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0060] 这里参阅作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例,这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造技术导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不表示器件的区的实际形状,且并不限定本发明的范围。

[0061] 请参阅图1-图2,DRAM包括由多个存储单元组成的阵列区11和位于阵列区11外围的外围区12,外围区12的晶体管通过刻蚀通孔并形成金属硅化物层与阵列区11进行集成。具体地,每个存储单元包括电容和晶体管,晶体管的栅极与字线20连接,晶体管的漏极与位线30连接,晶体管的源极与电容连接。通过字线20上的电压信号控制晶体管的开闭,进而通过位线30读取存储在电容中的数据信息,或者通过位线30将数据信息写入到电容中进行存储。

[0062] 相关技术中,外围区的晶体管与阵列区的存储单元同步形成,以减少工艺步骤,提高生产效率。然而,随着半导体器件结构的不断缩小,导致栅极结构的尺寸不断减小,并且在确保器件的存储性能不减小的情况下,进一步减小栅极结构的尺寸是研发者不断追求的研发目标之一。然而申请人在研发的过程中通过栅极结构的透射电子显微镜图像(Transmission Electron Microscope image,TEM)发现栅导电层中存在一层薄膜氧化层60,可以参阅图3,导致栅极结构的电阻增加,因而增加了器件的整体功耗。

[0063] 基于以上原因,本公开旨在提供一种半导体结构/栅极结构制备方法、半导体结构及栅极结构,避免在制备导电层的过程中引入薄膜氧化层,从而减小导电层的电阻,提高制备半导体产品的性能及可靠性。

[0064] 请参阅图4,本公开实施例提供一种半导体结构制备方法,该制备方法包括如下步骤:

[0065] 步骤S210:提供基底;

[0066] 步骤S220:采用第一预设沉积工艺于基底上形成第一预设厚度的第一导电层;

[0067] 步骤S230:采用第二预设沉积工艺于第一导电层上形成第二预设厚度的初始第二导电层;其中,初始第二导电层与第一导电层之间形成有薄膜氧化层;

[0068] 步骤S240:在预设偏压环境下利用干法刻蚀工艺处理初始第二导电层及薄膜氧化层,在未转移腔体的情况下于第一导电层上形成第三预设厚度的目标第二导电层;第三预

设厚度大于或等于第二预设厚度；

[0069] 步骤S250:于目标第二导电层上形成主导电层。

[0070] 作为示例,请继续参阅图4,在基底上形成第一导电层作为阻挡层或黏附层之后,再于第一导电层上形成初始第二导电层作为种子层,由于发现了初始第二导电层与第一导电层之间形成有薄膜氧化层,因此创造性地提出先在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,之后在未转移腔体的情况下于第一导电层上形成比去除的初始第二导电层更厚的目标第二导电层,然后于目标第二导电层上形成主导电层,避免了在基底上形成导电层的过程中引入薄膜氧化层,从而减小了导电层的电阻,提高了制备半导体产品的性能及可靠性。相对于在形成目标第二导电层之前将衬底转移腔体进行薄膜氧化层清洗的方法,本实施例至少避免了转移腔体期间导致的设备宕机时间,因而相对提高了设备的利用率及产线的生产效率。

[0071] 作为示例,请参阅图5,步骤S210中提供的基底100可以包括衬底及/或外延结构,衬底或外延结构内可以形成有字线结构、位线结构、电容结构及晶体管结构等中一种或多种。步骤S220中可以采用第一预设沉积工艺例如是化学气相沉积工艺于基底100上形成第一预设厚度的第一导电层52。步骤S230中采用第二预设沉积工艺例如是物理气相沉积工艺于第一导电层52上形成第二预设厚度的初始第二导电层531;由于化学气相沉积工艺与物理气相沉积工艺是在不同的腔体内进行的,不同腔体的真空度不同,导致进行腔体转换后,第一导电层52上会聚集氧原子,因此,在形成初始第二导电层531之后,初始第二导电层531与第一导电层52之间形成有薄膜氧化层60。

[0072] 作为示例,请继续参阅图5,第一预设厚度可以为2nm~5nm,例如第一预设厚度可以为2nm、3nm、4nm或5nm等等。作为示例,第一导电层52可以为阻挡层或黏附层,以避免后续沉积初始第二导电层531的过程中对基底100的上表面造成损伤,并且可以增加后续形成目标第二导电层532的黏附性,以降低电阻并提高导电性。第一导电层52的材料可以包括钛、钨、钼、钽、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合,以满足多种不同应用场景的实际需求,降低制备的成本及复杂度。

[0073] 作为示例,请参阅图6,步骤S240中在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层60,在未转移腔体的情况下于第一导电层52上形成第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度,避免在腔体转换的过程中再次在第一导电层52的上表面聚集氧原子。作为示例,预设偏压可以包括交流偏压与射频偏压中一种或两种,可以根据具体应用场景的实际需求来确定预设偏压的具体实现形式,从而降低制备的成本与复杂度。

[0074] 作为示例,请继续参阅图6,步骤S240中可以控制磁控溅射偏压系统在预设偏压功率下持续干法刻蚀预设时间,以去除初始第二导电层531及薄膜氧化层60,在未转移腔体的情况下于第一导电层52上形成第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度。

[0075] 作为示例,请继续参阅图6,第二预设厚度可以为2nm~3nm,例如第二预设厚度可以为2nm、2.5nm或3nm等等。

[0076] 作为示例,请继续参阅图6,干法刻蚀工艺中的离子可以包括氩离子、氮离子、氙离子或其组合。干法刻蚀工艺中的离子例如是氩离子在偏压作用下轰击初始第二导电层531

表面,使得初始第二导电层531及薄膜氧化层60在氩离子的轰击下被刻蚀掉。

[0077] 作为示例,请继续参阅图6,预设偏压功率可以为50W~200W,例如预设偏压功率可以为50W、100W、150W或200W等等。

[0078] 作为示例,请继续参阅图6,预设时间可以为2s~5s,例如预设时间可以为2s、3s、4s或5s等等。通过在预设偏压功率确定的情况下,控制干法刻蚀的时间,使得初始第二导电层531及薄膜氧化层60被完全去除的同时,避免对第一导电层52的表面造成损伤。

[0079] 作为示例,请继续参阅图6,初始第二导电层531、目标第二导电层532可以为种子层,初始第二导电层531、目标第二导电层532的材料可以包括钛、钨、镍、金、银、硅化钨、铝、钼、铜等或其组合,以降低后续形成主导电层之后整体导电层的电阻及导电能耗。

[0080] 作为示例,请参阅图7,步骤S250中可以采用沉积工艺于目标第二导电层532上形成主导电层54,避免在基底100上形成导电层的过程中引入薄膜氧化层60,从而减小了导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0081] 作为示例,请继续参阅图7,初始第二导电层531及薄膜氧化层60在氩离子的轰击下被刻蚀掉之后,可以关闭磁控溅射偏压系统中的偏压并停止干法刻蚀,在同一腔体中于第一导电层52上沉积第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度,然后可以在真空环境下转移腔体后,于目标第二导电层532上形成主导电层54。作为示例,可以将步骤S240中所得结构在同一设备的不同腔体之间进行高真空环境下转移,之后在目标第二导电层532上沉积主导电层54,避免在目标第二导电层532与主导电层54之间引入薄膜氧化层。

[0082] 作为示例,请继续参阅图7,第三预设厚度可以为3nm~5nm,例如第三预设厚度可以为3nm、3.5nm、4.0nm、4.5nm或5nm等等。

[0083] 作为示例,请继续参阅图7,主导电层54的材料可以包括钛、钨、钴、镍、钼、钛化钼、硅化钨、氮化钨或其组合,以满足多种不同应用场景的实际需求,降低制备的成本及复杂度。

[0084] 请参阅图8,本公开实施例提供一种栅极结构制备方法,该制备方法包括如下步骤:

[0085] 步骤S211:提供衬底,其内包括有源区;

[0086] 步骤S212:于有源区上形成栅介质层;

[0087] 步骤S221:采用第一预设沉积工艺于栅介质层上形成第一预设厚度的第一导电层;

[0088] 步骤S230:采用第二预设沉积工艺于第一导电层上形成第二预设厚度的初始第二导电层;其中,初始第二导电层与第一导电层之间形成有薄膜氧化层;

[0089] 步骤S240:在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,在未转移腔体的情况下于第一导电层上形成第三预设厚度的目标第二导电层;第三预设厚度大于或等于第二预设厚度;

[0090] 步骤S250:于目标第二导电层上形成主导电层,第一导电层、目标第二导电层及主导电层构成栅导电层。

[0091] 作为示例,请继续参阅图8,在栅介质层上形成第一导电层作为阻挡层或黏附层之后,再于第一导电层上形成初始第二导电层作为种子层,由于发现了初始第二导电层与第

一导电层之间形成有薄膜氧化层,因此创造性地提出先在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层及薄膜氧化层,之后在未转移腔体的情况下于第一导电层上形成比去除的初始第二导电层更厚的目标第二导电层,然后于目标第二导电层上形成主导导电层,第一导电层、目标第二导电层及主导导电层构成栅导电层,避免了在形成栅导电层的过程中引入薄膜氧化层,从而减小了栅导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0092] 作为示例,请参阅图9,衬底10内可以形成有第一类型掺杂阱区(未图示),衬底10可以采用半导体材料、绝缘材料、导体材料或者它们的任意组合构成。衬底10可以为单层结构,也可以为多层结构。例如,衬底10可以是诸如硅(Si)衬底、硅锗(SiGe)衬底、硅锗碳(SiGeC)衬底、碳化硅(SiC)衬底、砷化镓(GaAs)衬底、砷化铟(InAs)衬底、磷化铟(InP)衬底或其它的III/V半导体衬底或II/VI半导体衬底。或者,还例如,衬底10可以是包括诸如Si/SiGe、Si/SiC、绝缘体上硅(SOI)或绝缘体上硅锗的层状衬底。因此衬底10的类型不应限制本公开的保护范围。可以采用离子注入工艺向衬底10内注入P型离子,以形成第一类型掺杂阱区(未图示),P型离子可以包括但不限于硼(B)离子、镓(Ga)离子、氟化硼(BF<sub>2</sub>)离子及铟(In)离子等中任一种或多种。

[0093] 作为示例,请继续参阅图9,衬底10内可以形成有浅沟槽隔离结构(Shallow Trench Isolation,简称STI),浅沟槽隔离结构可以于衬底10内隔离出若干个间隔排布的有源区101。在衬底10包括P型衬底的实施例中,可以通过注入N型离子以形成有源区101;与之对应的,在硅衬底包括N型衬底的实施例中,可以通过注入P型离子以形成有源区101。相应地,有源区可以为P型有源区,也可以为N型有源区。P型有源区可以形成N型金属氧化物半导体(Negative channel Metal Oxide Semiconductor,简称NMOS)器件,N型有源区可以形成P型金属氧化物半导体(Positive channel Metal Oxide Semiconductor,简称PMOS)器件。N型杂质离子可以包括但不限于磷(P)离子、砷(As)离子及锑(Sb)离子等中任一种或多种。

[0094] 作为示例,请继续参阅图9,衬底10内可以形成有字线结构、位线结构、电容结构及晶体管结构等中一种或多种。步骤S212中可以采用原位水气生成工艺(In-Situ Steam Generation,ISSG)、原子层沉积工艺、等离子蒸汽沉积工艺及快速热氧化工艺(Rapid Thermal Oxidation,RTO)等中的任一种或几种于有源区101上形成栅介质层51;栅介质层51可以采用高k介电常数(例如介电常数大于或等于3.9)材料形成。例如,栅介质层51的材料可以包括但不限于氧化铝(Al<sub>2</sub>O<sub>3</sub>)、氧化铪(HfO<sub>2</sub>)、氮氧化铪(HfON)、氧化锆(ZrO<sub>2</sub>)、氧化钽(Ta<sub>2</sub>O<sub>5</sub>)、氧化钛(TiO<sub>2</sub>)、锶钛氧化物(SrTiO<sub>3</sub>)或其组合。

[0095] 作为示例,请继续参阅图9,步骤S221中可以采用第一预设沉积工艺例如是化学气相沉积工艺于栅介质层51上形成第一预设厚度的第一导电层52。步骤S230中采用第二预设沉积工艺例如是物理气相沉积工艺于第一导电层52上形成第二预设厚度的初始第二导电层531;由于化学气相沉积工艺与物理气相沉积工艺是在不同的腔体内进行的,不同腔体的真空度不同,导致进行腔体转换后,第一导电层52上会聚集氧原子,因此,在形成初始第二导电层531之后,初始第二导电层531与第一导电层52之间形成有薄膜氧化层60。

[0096] 作为示例,请继续参阅图9,第一预设厚度可以为2nm~5nm,例如第一预设厚度可以为2nm、3nm、4nm或5nm等等。作为示例,第一导电层52可以为阻挡层或黏附层,以避免后续沉积初始第二导电层531的过程中对栅介质层51的上表面造成损伤,并且可以增加后续形

成目标第二导电层532的黏附性,以降低电阻并提高导电性。第一导电层52的材料可以包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛等或其组合,以满足多种不同应用场景的实际需求,降低制备的成本及复杂度。

[0097] 作为示例,请参阅图10-图11,步骤S240中在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层60,在未转移腔体的情况下于第一导电层52上形成第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度,避免在腔体转换的过程中再次在第一导电层52的上表面聚集氧原子。作为示例,预设偏压可以包括交流偏压与射频偏压中一种或两种,可以根据具体应用场景的实际需求来确定预设偏压的具体实现形式,从而降低制备的成本与复杂度。

[0098] 作为示例,请继续参阅图10-图11,步骤S240中可以控制磁控溅射偏压系统在预设偏压功率下持续干法刻蚀预设时间,以去除初始第二导电层531及薄膜氧化层60,在未转移腔体的情况下于第一导电层52上形成第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度。

[0099] 作为示例,请继续参阅图10,第二预设厚度可以为2nm~3nm,例如第二预设厚度可以为2nm、2.5nm或3nm等等。

[0100] 作为示例,请继续参阅图10,干法刻蚀工艺中的离子可以包括氩离子、氮离子、氙离子或其组合。干法刻蚀工艺中的离子例如是氩离子在偏压作用下轰击初始第二导电层531表面,使得初始第二导电层531及薄膜氧化层60在氩离子的轰击下被刻蚀掉。

[0101] 作为示例,请继续参阅图10,预设偏压功率可以为50W~200W,例如预设偏压功率可以为50W、100W、150W或200W等等。偏压功率太高容易导致刻蚀离子对腔体内壁造成损伤,并导致刻蚀附属物污染第一导电层52的上表面;偏压功率太低容易导致刻蚀时间过长或刻蚀不干净。本实施例通过设置预设偏压功率为50W~200W,能够在较短的时间内将初始第二导电层531及薄膜氧化层60去除干净,并避免对腔体造成不必要的刻蚀损伤。

[0102] 作为示例,请继续参阅图11,预设时间可以为2s~5s,例如预设时间可以为2s、3s、4s或5s等等。通过在预设偏压功率确定的情况下,控制干法刻蚀的时间,去除初始第二导电层531及薄膜氧化层60的同时,避免对第一导电层52的表面造成损伤。

[0103] 作为示例,请继续参阅图11,初始第二导电层531、目标第二导电层532可以为种子层,初始第二导电层531、目标第二导电层532的材料可以包括钛、钨、镍、金、银、硅化钨、铝、钼、铜或其组合,以降低后续形成主导导电层之后整体导电层的电阻及导电能耗。

[0104] 作为示例,请继续参阅图11,步骤S250中可以采用沉积工艺于目标第二导电层532上形成主导导电层54,避免在基底100上形成导电层的过程中引入薄膜氧化层60,从而减小了导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0105] 作为示例,请继续参阅图11,初始第二导电层531及薄膜氧化层60在氩离子的轰击下被刻蚀掉之后,可以关闭磁控溅射偏压系统中的偏压并停止干法刻蚀,在同一腔体中于第一导电层52上沉积第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度,然后可以在真空环境下转移腔体后,于目标第二导电层532上形成主导导电层54。作为示例,可以将步骤S240中所得结构在同一设备的不同腔体之间进行高真空环境下转移,之后在目标第二导电层532上沉积主导导电层54,避免在目标第二导电层532与主导导电层54之间引入薄膜氧化层。

[0106] 作为示例,请继续参阅图11,第三预设厚度可以为3nm~5nm,例如第三预设厚度可以为3nm、3.5nm、4.0nm、4.5nm或5nm等等。

[0107] 作为示例,请继续参阅图11,主导电层54的材料可以包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨等或其组合,以满足多种不同应用场景的实际需求,降低制备的成本及复杂度。

[0108] 作为示例,请参阅图12,在形成主导电层54之后,可以采用沉积工艺形成保护层55,保护层55覆盖栅介质层51、第一导电层52、目标第二导电层532及主导电层54;然后于保护层55的侧壁形成侧墙结构56。沉积工艺可以包括但不限于化学气相沉积工艺(Cheical Vapor Deposition,CVD)、原子层沉积工艺(Atomic Layer Deposition,ALD)、高密度等离子沉积(High Density Plasma,HDP)工艺、等离子体增强沉积工艺及旋涂介质层(Spin-on Dielectric,SOD)等工艺中的一种或多种。

[0109] 请参阅图13-图18,本公开实施例提供一种埋入式栅极结构制备方法,该制备方法包括如下步骤:

[0110] 步骤S211:提供衬底10,其内包括有源区101;

[0111] 步骤S213:于有源区101内形成栅极沟槽501,并于栅极沟槽501的底部及侧壁形成栅介质层51;

[0112] 步骤S221:采用第一预设沉积工艺于栅介质层51上形成第一预设厚度的第一导电层52;

[0113] 步骤S230:采用第二预设沉积工艺于第一导电层52上形成第二预设厚度的初始第二导电层531;其中,初始第二导电层531与第一导电层52之间形成有薄膜氧化层60;

[0114] 步骤S240:在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层60,在未转移腔体的情况下于第一导电层52上形成第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度;

[0115] 步骤S250:于目标第二导电层532上形成主导电层54,第一导电层52、目标第二导电层532及主导电层54构成栅导电层。

[0116] 作为示例,请继续参阅图13,在栅介质层51上形成第一导电层52作为阻挡层或黏附层之后,再于第一导电层52上形成初始第二导电层531作为种子层,由于发现了初始第二导电层531与第一导电层52之间形成有薄膜氧化层60,因此创造性地提出先在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层60,之后在未转移腔体的情况下于第一导电层52上形成比去除的初始第二导电层531更厚的目标第二导电层532,然后于目标第二导电层532上形成主导电层54,第一导电层52、目标第二导电层532及主导电层54构成栅导电层,避免了在形成栅导电层的过程中引入薄膜氧化层,从而减小了栅导电层的电阻,提高了制备半导体产品的性能及可靠性。并且,在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层60的过程中,衬底10附近形成向下的电场,将干法刻蚀离子吸引向下轰击栅介质层51,将栅极沟槽501底部的栅介质层51轰击到栅极沟槽501的侧壁上,能够提高栅介质层51厚度的均一性,提高后续形成第一导电层52、目标第二导电层532的厚度均一性,从而进一步提高了制备半导体产品的性能及可靠性。

[0117] 作为示例,请参阅图14-图15,步骤S213中可以采用刻蚀工艺于有源区101内形成栅极沟槽501,并采用原位水气生成工艺(In-Situ Steam Generation,ISSG)、原子层沉积

工艺、等离子蒸汽沉积工艺及快速热氧化工艺 (Rapid Thermal Oxidation, RTO) 等中的任一种或几种于栅极沟槽501的底部及侧壁形成栅介质层51。刻蚀工艺可以包括但不限于干法刻蚀工艺及/或湿法刻蚀工艺。干法刻蚀工艺可以包括但不限于反应离子刻蚀 (RIE)、感应耦合等离子体刻蚀 (ICP) 及高浓度等离子体刻蚀 (HDP) 等中一种或多种。

[0118] 作为示例, 请继续参阅图15, 栅介质层51可以采用高k介电常数 (例如介电常数大于或等于3.9) 材料形成。例如, 栅介质层51的材料可以包括但不限于氧化铝 ( $\text{Al}_2\text{O}_3$ )、氧化铪 ( $\text{HfO}_2$ )、氮氧化铪 ( $\text{HfON}$ )、氧化锆 ( $\text{ZrO}_2$ )、氧化钽 ( $\text{Ta}_2\text{O}_5$ )、氧化钛 ( $\text{TiO}_2$ )、锶钛氧化物 ( $\text{SrTiO}_3$ ) 等或其组合。

[0119] 作为示例, 请参阅图16, 步骤S221中可以采用第一预设沉积工艺例如是化学气相沉积工艺于栅介质层51上形成第一预设厚度的第一导电层52。步骤S230中采用第二预设沉积工艺例如是物理气相沉积工艺于第一导电层52上形成第二预设厚度的初始第二导电层531; 由于化学气相沉积工艺与物理气相沉积工艺是在不同的腔体内进行的, 不同腔体的真空度不同, 导致进行腔体转换后, 第一导电层52上会聚集氧原子, 因此, 在形成初始第二导电层531之后, 初始第二导电层531与第一导电层52之间形成有薄膜氧化层60。

[0120] 作为示例, 请继续参阅图16, 第一预设厚度可以为2nm~5nm, 例如第一预设厚度可以为2nm、3nm、4nm或5nm等等。作为示例, 第一导电层52可以为阻挡层或黏附层, 以避免后续沉积初始第二导电层531的过程中对栅介质层51的上表面造成损伤, 并且可以增加后续形成目标第二导电层532的黏附性, 以降低电阻并提高导电性。第一导电层52的材料可以包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛等或其组合, 以满足多种不同应用场景的实际需求, 降低制备的成本及复杂度。

[0121] 作为示例, 请参阅图16-图17, 步骤S240中在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层60, 在未转移腔体的情况下于第一导电层52上形成第三预设厚度的目标第二导电层532; 第三预设厚度大于或等于第二预设厚度, 避免在腔体转换的过程中再次在第一导电层52的上表面聚集氧原子。作为示例, 预设偏压可以包括交流偏压与射频偏压中一种或两种, 可以根据具体应用场景的实际需求来确定预设偏压的具体实现形式, 从而降低制备的成本与复杂度。

[0122] 作为示例, 请继续参阅图16-图17, 步骤S240中可以控制磁控溅射偏压系统在预设偏压功率下持续干法刻蚀预设时间, 以去除初始第二导电层531及薄膜氧化层60, 在未转移腔体的情况下于第一导电层52上形成第三预设厚度的目标第二导电层532; 第三预设厚度大于或等于第二预设厚度。

[0123] 作为示例, 请继续参阅图16, 第二预设厚度可以为2nm~3nm, 例如第二预设厚度可以为2nm、2.5nm或3nm等等。

[0124] 作为示例, 请继续参阅图17, 干法刻蚀工艺中的离子可以包括氩离子、氮离子及氙离子等中至少一种。干法刻蚀工艺中的离子例如是氩离子在偏压作用下轰击初始第二导电层531的表面, 使得初始第二导电层531及薄膜氧化层60在氩离子的轰击下被刻蚀掉。

[0125] 作为示例, 请继续参阅图17, 预设偏压功率可以为50W~200W, 例如预设偏压功率可以为50W、100W、150W或200W等等。偏压功率太高容易导致刻蚀离子对腔体内壁造成损伤, 并导致刻蚀附属物污染第一导电层52的上表面; 偏压功率太低容易导致刻蚀时间过长或刻蚀不干净。本实施例通过设置预设偏压功率为50W~200W, 能够在较短的时间内将初始第二

导电层531及薄膜氧化层60去除干净,并避免对腔体造成不必要的刻蚀损伤。

[0126] 作为示例,请继续参阅图17,预设时间可以为2s~5s,例如预设时间可以为2s、3s、4s或5s等等。通过在预设偏压功率确定的情况下,控制干法刻蚀的时间,使得初始第二导电层531及薄膜氧化层60被完全去除的同时,避免对第一导电层52的表面造成损伤。

[0127] 作为示例,请继续参阅图17,第二导电层53可以为种子层,初始第二导电层531或目标第二导电层532的材料可以包括钛、钨、镍、金、银、硅化钨、铝、钇、铜等或其组合,以降低后续形成主导导电层之后整体导电层的电阻及导电能耗。

[0128] 作为示例,请参阅图18,步骤S250中可以采用沉积工艺于目标第二导电层532上形成主导导电层54,主导导电层54、目标第二导电层532、第一导电层52及栅介质层51填充满栅极沟槽501。本实施例避免了在栅介质层51上形成栅导电层的过程中引入薄膜氧化层60,从而减小了栅导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0129] 作为示例,请继续参阅图18,第二导电层53及薄膜氧化层60在氩离子的轰击下被刻蚀掉之后,可以关闭磁控溅射偏压系统中的偏压并停止干法刻蚀,在同一腔体中于第一导电层52上沉积第三预设厚度的目标第二导电层532;第三预设厚度大于或等于第二预设厚度,然后可以在真空环境下转移腔体后,于目标第二导电层532上形成主导导电层54。作为示例,可以将步骤S240中所得结构在同一设备的不同腔体之间进行高真空环境下转移,之后在目标第二导电层532上沉积主导导电层54,避免在目标第二导电层532与主导导电层54之间引入薄膜氧化层。

[0130] 作为示例,请继续参阅图18,第三预设厚度可以为3nm~5nm,例如第三预设厚度可以为3nm、3.5nm、4.0nm、4.5nm或5nm等等。

[0131] 作为示例,请继续参阅图18,主导导电层54的材料可以包括钛、钨、钴、镍、钼、钛化钼、硅化钨、氮化钨等或其组合,以满足多种不同应用场景的实际需求,降低制备的成本及复杂度。

[0132] 虽然图4、图8及图13的流程图中的各个步骤按照箭头的指示依次显示,但是这些步骤并不是必然按照箭头指示的依次执行。除非本文中有明确的说明,这些步骤的执行并没有严格的依次限制,这些步骤可以以其它的依次执行。而且,虽然图4、图8及图13中的至少一部分步骤可以包括多个子步骤或者多个阶段,这些子步骤或者阶段并不必然是在同一时刻执行完成,而是可以在不同的时刻执行,这些子步骤或者阶段的执行依次也不必然是依次进行,而是可以与其它步骤或者其它步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

[0133] 作为示例,请参阅图7,本公开提供了一种半导体结构,包括基底100、第一导电层52、目标第二导电层532及主导导电层54,第一导电层52形成于基底100的表面;目标第二导电层532位于第一导电层52远离基底100的表面;主导导电层54位于目标第二导电层532远离基底100的表面;其中,第一导电层52与目标第二导电层532之间不具有薄膜氧化层。

[0134] 作为示例,请参阅图5-图7,在基底100上形成第一导电层52作为阻挡层或黏附层之后,再于第一导电层52上形成初始第二导电层531作为种子层,由于发现了初始第二导电层531与第一导电层52之间形成有薄膜氧化层,因此创造性地提出先在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层,之后在未转移腔体的情况下于第一导电层上形成比去除的初始第二导电层更厚的目标第二导电层532,然后于目标第二导

电层532上形成主导电层54,避免了在基底100上形成导电层的过程中引入薄膜氧化层,从而减小了导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0135] 作为示例,请继续参阅图7,第一导电层52为阻挡层或黏附层,第一导电层52的材料包括钛、钨、钽、钼、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;目标第二导电层532为种子层,目标第二导电层532的材料包括钛、钨、镍、金、银、硅化钨、铝、钯、铜或其组合;主导电层54的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合。

[0136] 作为示例,请参阅图12,本公开提供了一种栅极结构,包括衬底10、栅介质层51、第一导电层52、目标第二导电层532及主导电层54,衬底10内包括有源区101,栅介质层51形成于有源区101的表面,第一导电层52位于栅介质层51远离衬底10的表面,目标第二导电层532位于第一导电层52远离衬底10的表面;主导电层54位于目标第二导电层532远离衬底10的表面;其中,第一导电层52与目标第二导电层532之间不具有薄膜氧化层。

[0137] 作为示例,请参阅图9-图12,在栅介质层51上形成第一导电层52作为阻挡层或黏附层之后,再于第一导电层52上形成初始第二导电层531作为种子层,由于发现了初始第二导电层531与第一导电层52之间形成有薄膜氧化层,因此创造性地提出先在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层,之后在未转移腔体的情况下于第一导电层52上形成比去除的初始第二导电层更厚的目标第二导电层532,然后于目标第二导电层532上形成主导电层54,第一导电层52、目标第二导电层532及主导电层54构成栅导电层,避免了在形成栅导电层的过程中引入薄膜氧化层,从而减小了栅导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0138] 在一些实施例中,栅介质层至少部分位于有源区内,以减小栅极结构的体积。

[0139] 作为示例,请参阅图14-图18,本公开提供了一种埋入式栅极结构,包括衬底10、栅介质层51、第一导电层52、目标第二导电层532及主导电层54,衬底10内包括有源区101,有源区101内形成有栅极沟槽501,栅介质层51形成于栅极沟槽501的底部及侧壁,第一导电层52位于栅介质层51远离衬底10的表面,目标第二导电层532位于第一导电层52远离衬底10的表面;主导电层54位于目标第二导电层532远离衬底10的表面;其中,第一导电层52与目标第二导电层532之间不具有薄膜氧化层。

[0140] 作为示例,请继续参阅图14-图18,在栅介质层51上形成第一导电层52作为阻挡层或黏附层之后,再于第一导电层52上形成初始第二导电层531作为种子层,由于发现了初始第二导电层531与第一导电层52之间形成有薄膜氧化层,因此创造性地提出先在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层,之后在未转移腔体的情况下于第一导电层52上形成比去除的初始第二导电层531更厚的目标第二导电层532,然后于目标第二导电层532上形成主导电层54,第一导电层52、目标第二导电层532及主导电层54构成栅导电层,避免了在形成栅导电层的过程中引入薄膜氧化层,从而减小了栅导电层的电阻,提高了制备半导体产品的性能及可靠性。并且,在预设偏压环境下利用干法刻蚀工艺去除初始第二导电层531及薄膜氧化层的过程中,衬底10附近形成向下的电场,将干法刻蚀离子吸引向下轰击栅介质层51,将栅极沟槽底部的栅介质层51轰击到栅极沟槽的侧壁上,能够提高栅介质层51厚度的均一性,提高后续形成目标第二导电层532的厚度均一性,从而进一步提高了制备半导体产品的性能及可靠性。

[0141] 作为示例,请继续参阅图14-图18,栅极结构包括如下特征中至少一种:栅介质层

51的材料包括:氧化铝、氧化铪、氮氧化铪、氧化锆、氧化钽、氧化钛、锶钛氧化物或其组合;第一导电层52为阻挡层或黏附层,第一导电层52的材料包括钛、钨、钼、钽、钴、铂、钛钨、氮化钨、氮化钛、氮硅化钛或其组合;目标第二导电层532为种子层,目标第二导电层532的材料包括钛、钨、镍、金、银、硅化钨、铝、钡、铜或其组合;主导电层54的材料包括钛、钨、钴、镍、钽、钛化钽、硅化钨、氮化钨或其组合。

[0142] 作为示例,请参阅图19a-图19b,图19a为未采用本公开一实施例中栅极结构制备方法所得栅极结构,采用透射电镜设备得到的局部剖面结构的能量色散X射线光(Energy Dispersive X-Ray,EDX)谱图,图19b为采用本公开一实施例中栅极结构制备方法所得栅极结构,采用透射电镜设备得到的局部剖面结构的EDX谱图,其中,第一导电层52的材料为氮硅化钛,初始第二导电层531及目标第二导电层532的材料可以为硅化钨,主导电层54的材料为钨,保护层55的材料为氮化硅,图19a中第一导电层52与初始第二导电层531之间位于矩形框D内部分存在氧化物,增加了栅极结构的电阻,导致栅极结构的阈值电压升高,工作的稳定性及可靠性降低;图19b中目标第二导电层532与主导电层54之间不存在氧化物,且图19b中第一导电层52、目标第二导电层532及主导电层54的表面平整度明显比图19a中的更好,因此,不仅避免了在形成栅导电层的过程中引入薄膜氧化层,还提高了相邻层交界面的平整度,减小了栅导电层的电阻,提高了制备半导体产品的性能及可靠性。

[0143] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0144] 以上所述实施例仅表达了本公开的几种实施方式,其描述较为具体和详细,但不能因此而理解为对本公开专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本公开构思的前提下,还可以做出若干变形和改进,这些都属于本公开的保护范围。因此,本公开专利的保护范围应以所附权利要求为准。

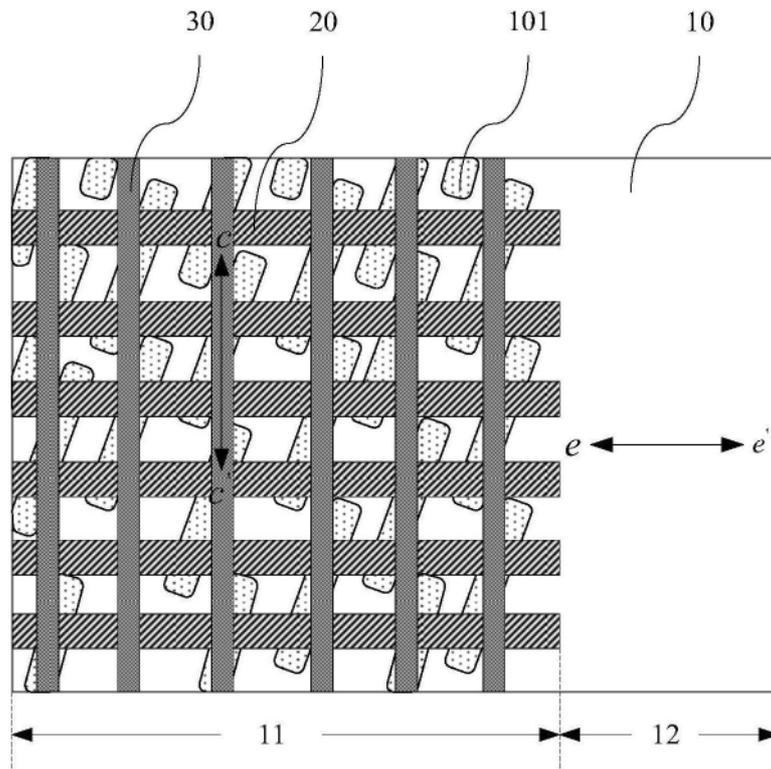


图1

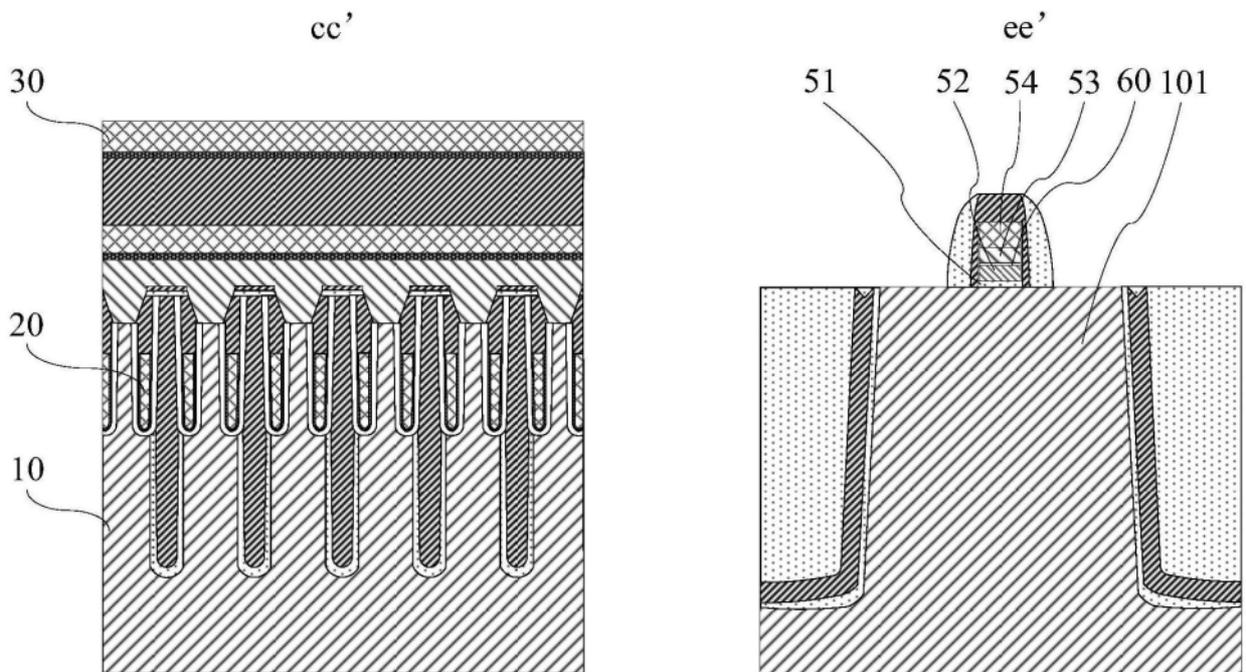


图2

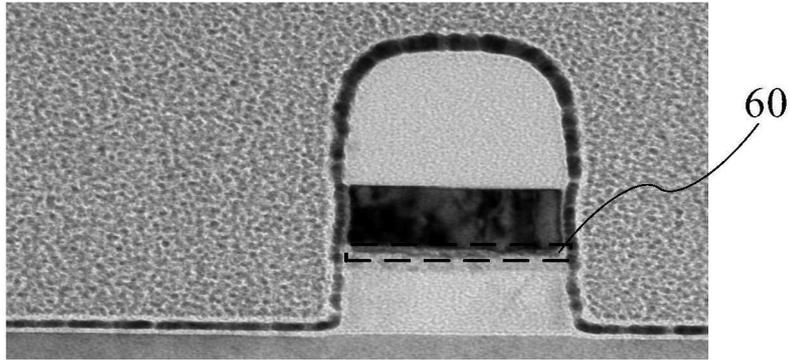


图3

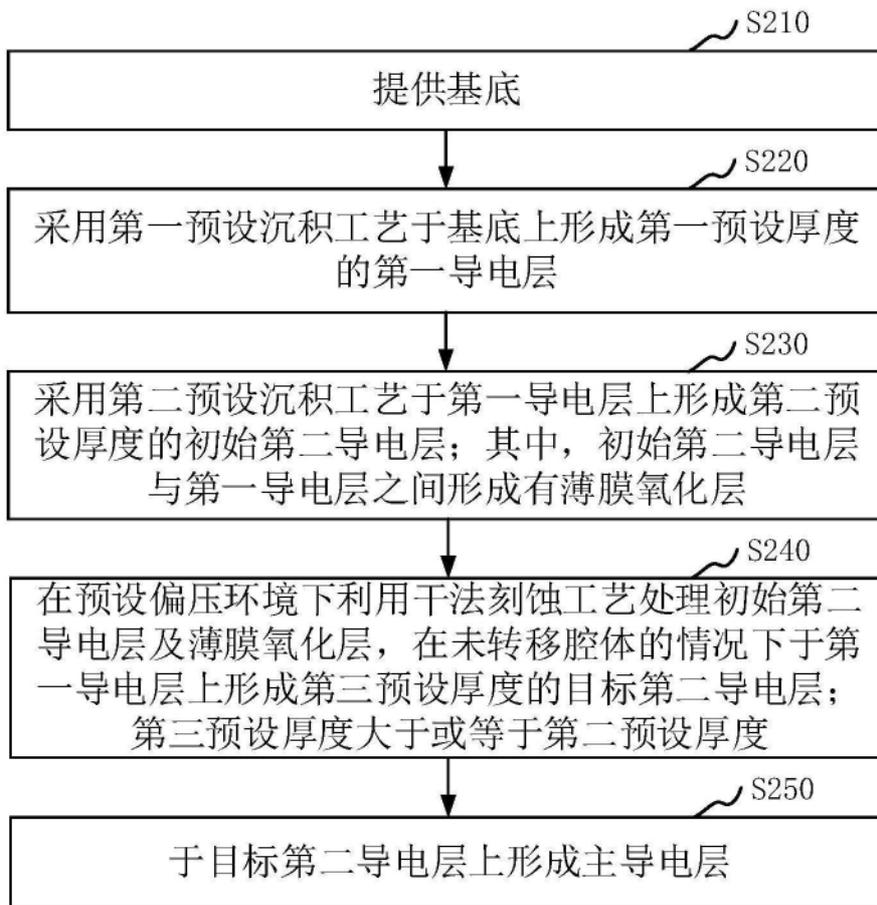


图4

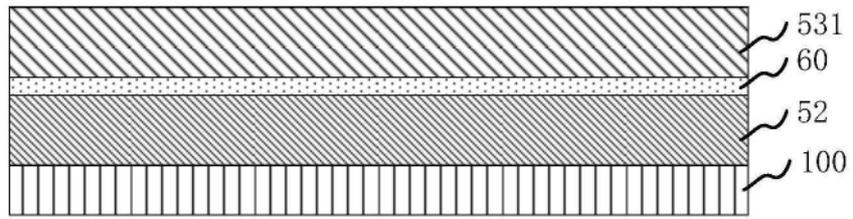


图5

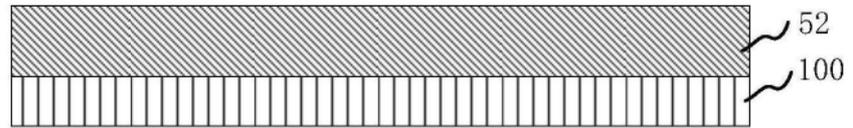


图6

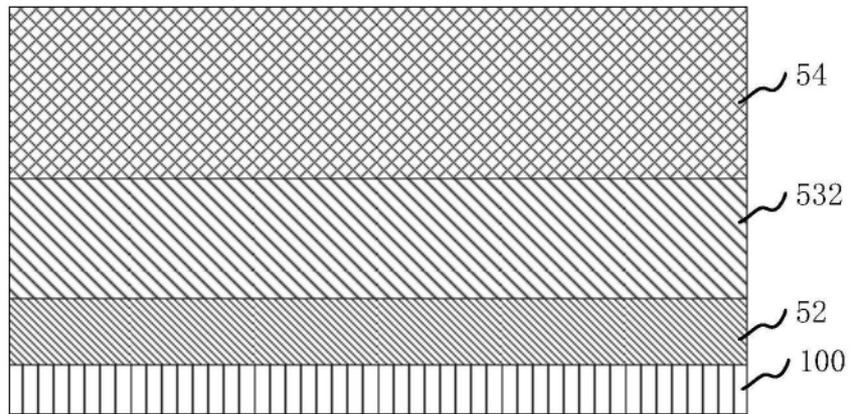


图7

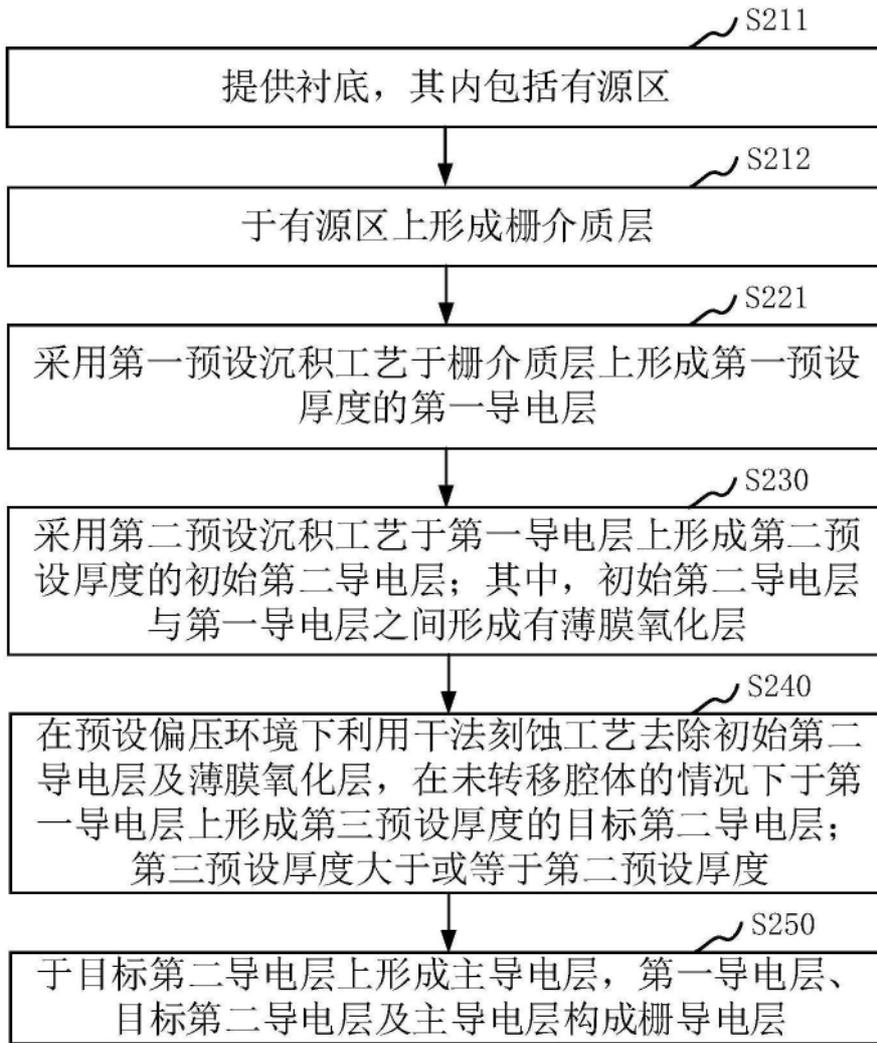


图8

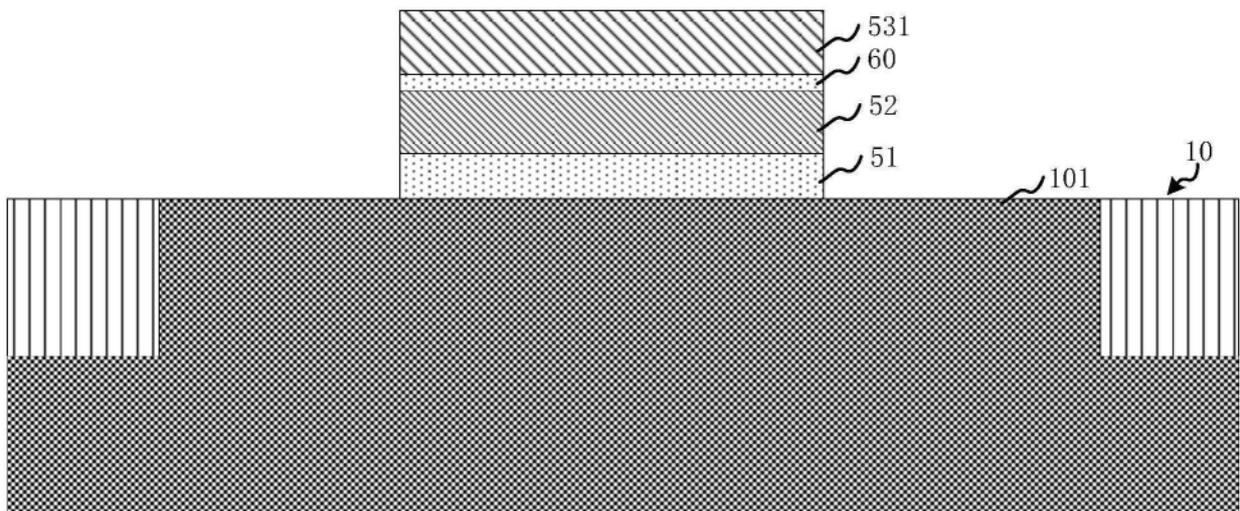


图9

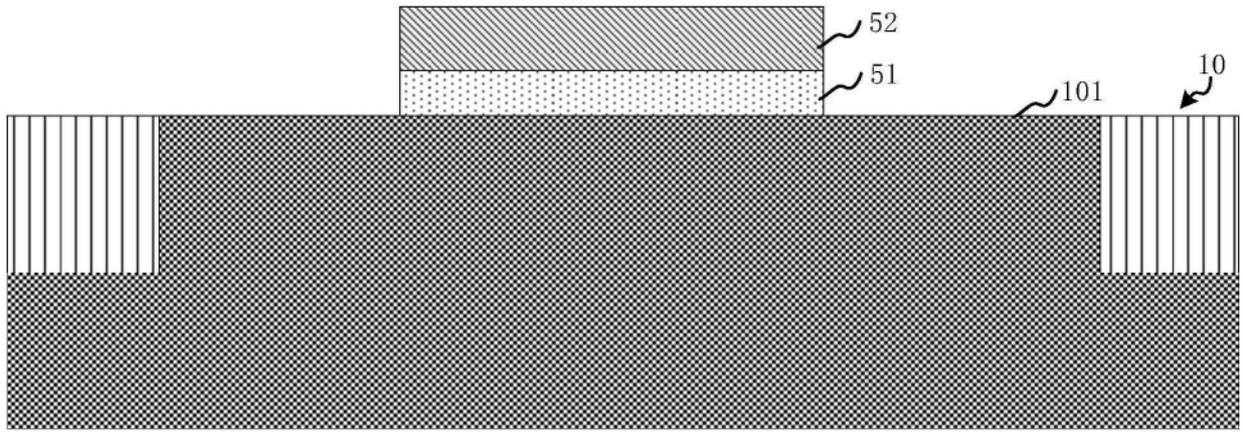


图10

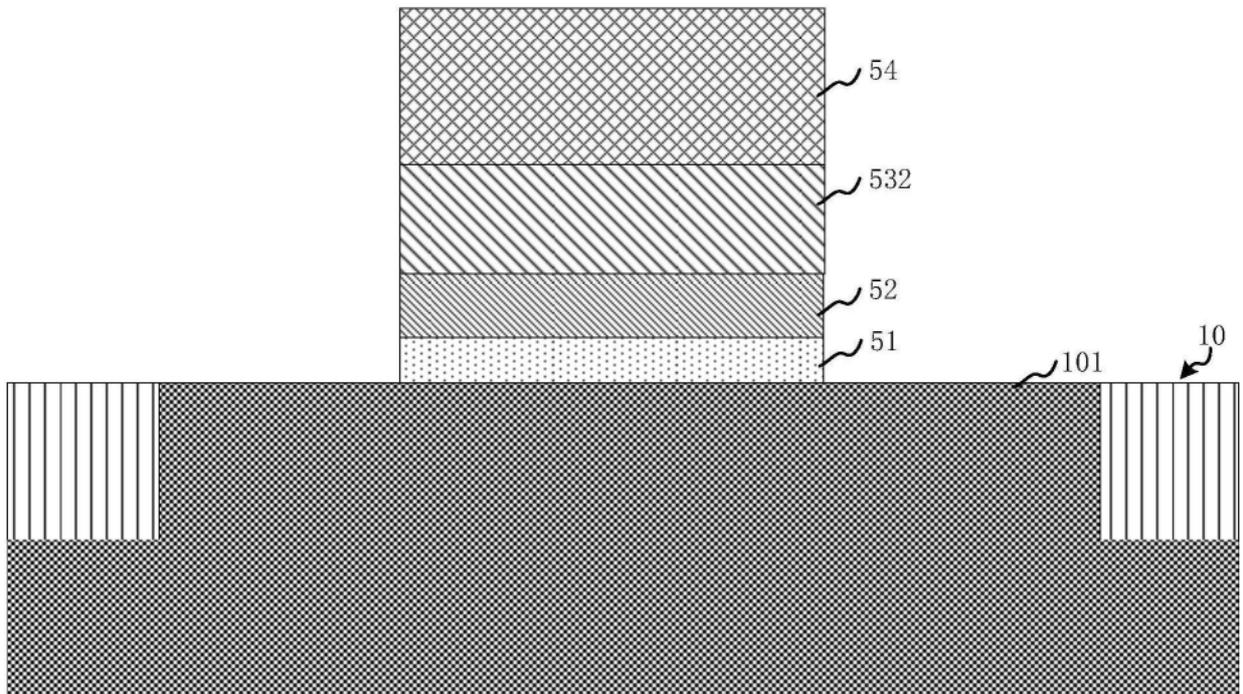


图11

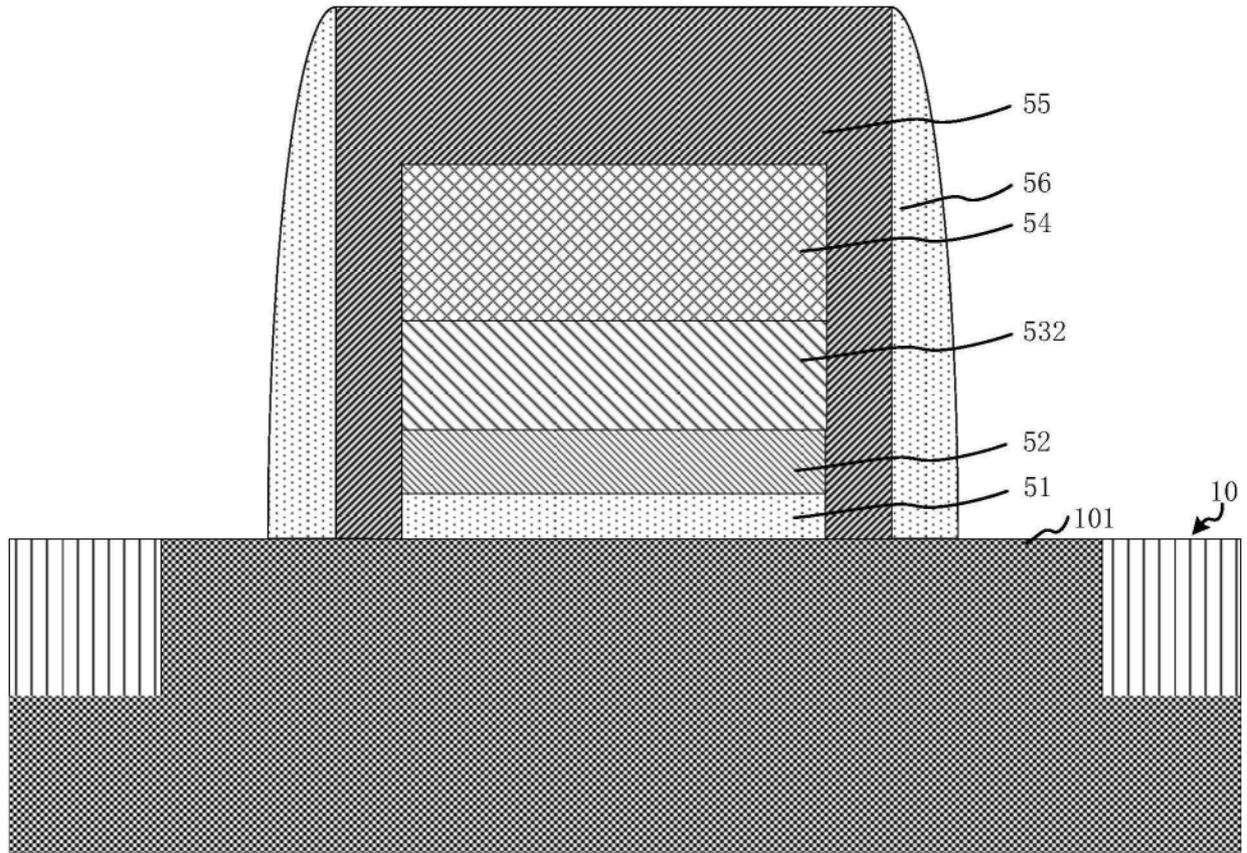


图12

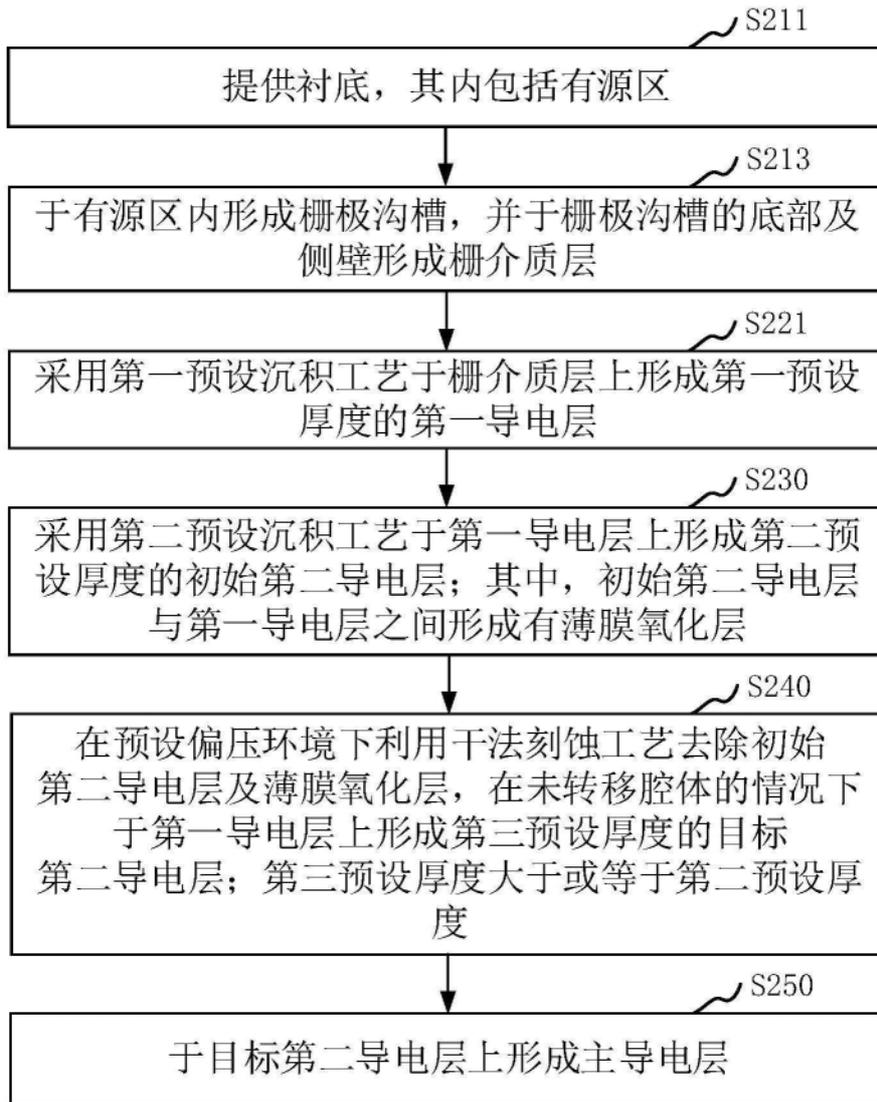


图13

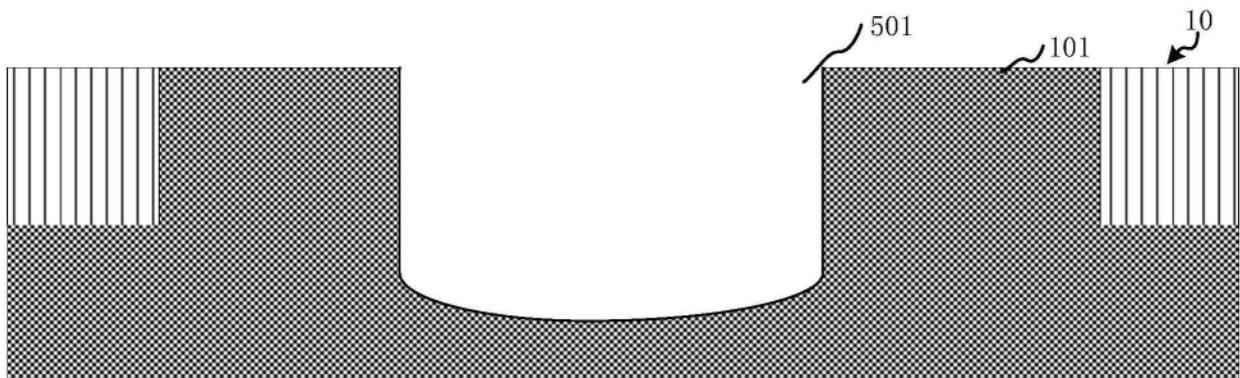


图14

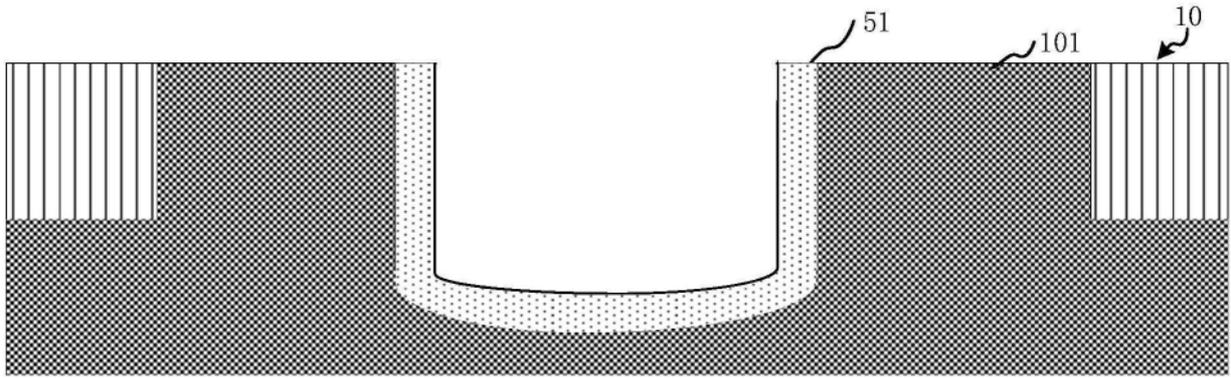


图15

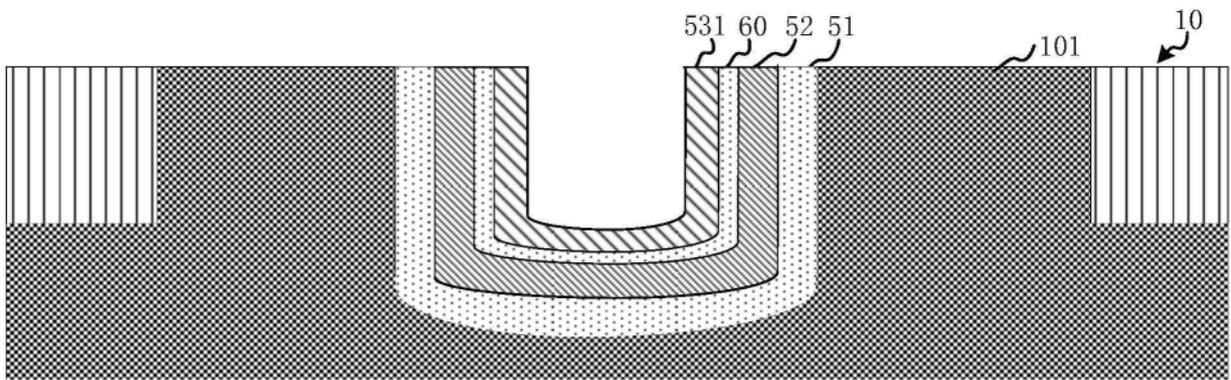


图16

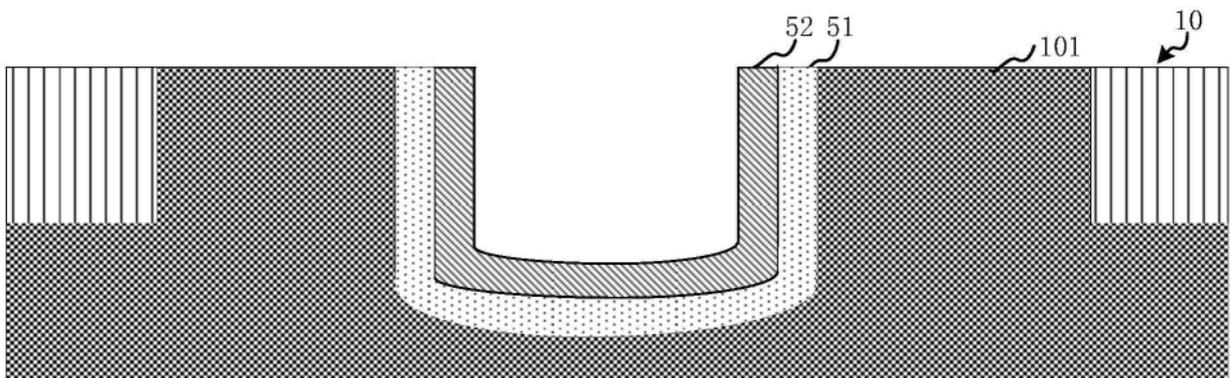


图17

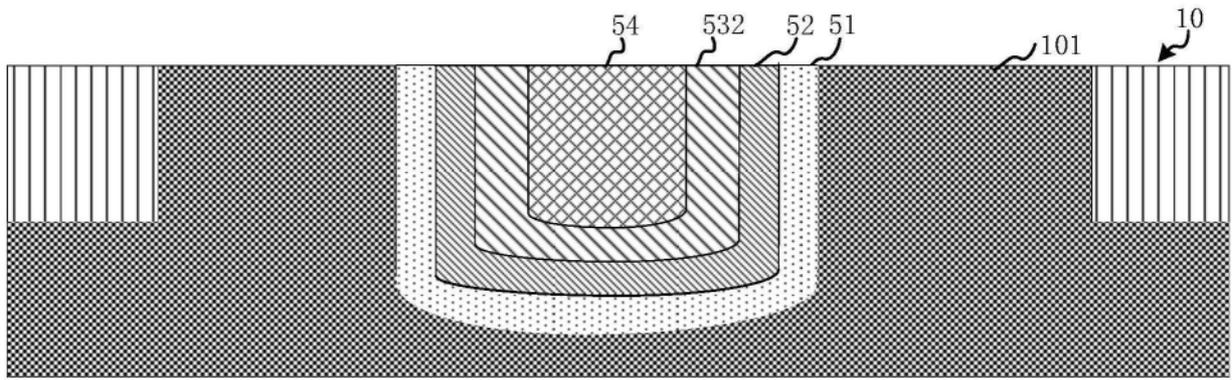


图18

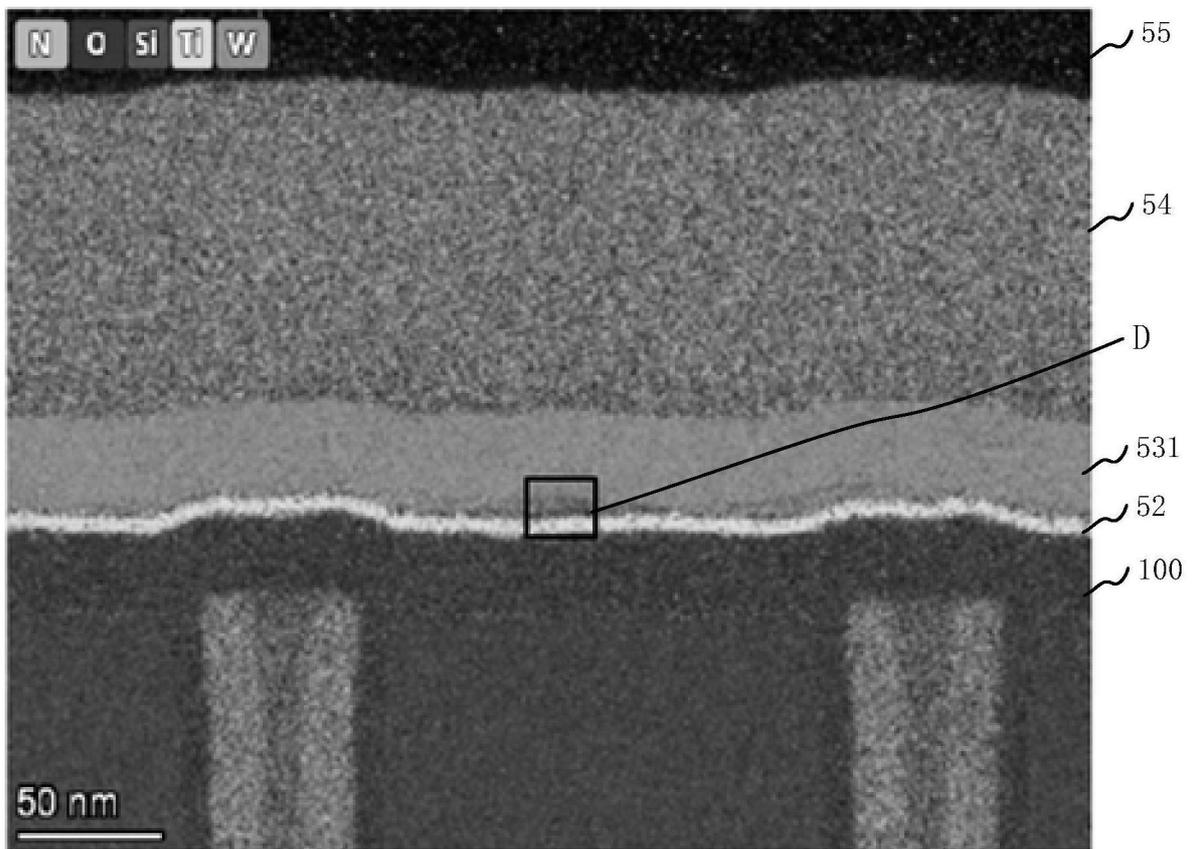


图19a

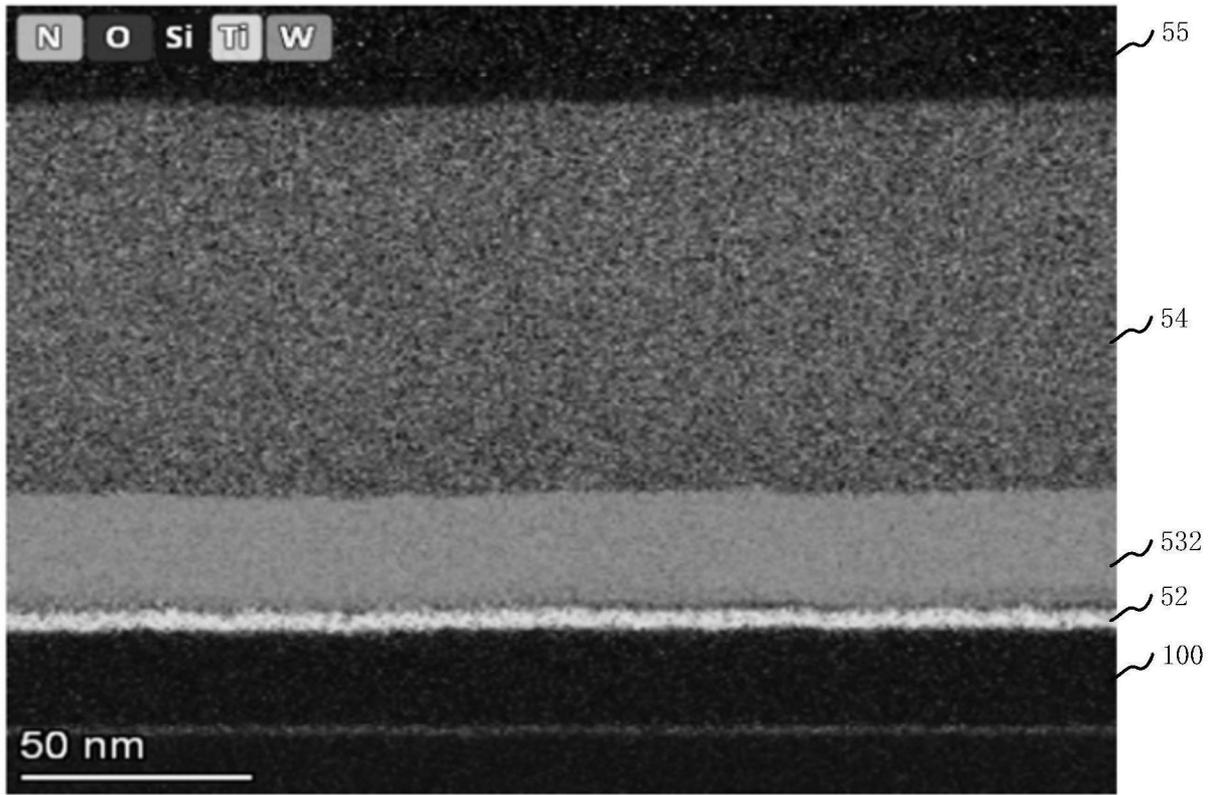


图19b