



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월21일
(11) 등록번호 10-0965046
(24) 등록일자 2010년06월11일

(51) Int. Cl.
B81B 7/00 (2006.01) *B81B 7/04* (2006.01)
H01G 5/16 (2006.01)
 (21) 출원번호 10-2008-0015656
 (22) 출원일자 2008년02월21일
 심사청구일자 2008년02월21일
 (65) 공개번호 10-2008-0079196
 (43) 공개일자 2008년08월29일
 (30) 우선권주장
 JP-P-2007-00045578 2007년02월26일 일본(JP)
 (56) 선행기술조사문헌
 US20050013087 A1*
 US7085122 B2*
 US6819822 B2
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
후지쯔 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
 (72) 발명자
미 사오유
 일본 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1후지쯔 가부시끼가이샤 내
시마노우찌 다케아키
 일본 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1후지쯔 가부시끼가이샤 내
 (뒷면에 계속)
 (74) 대리인
성재동, 장수길

전체 청구항 수 : 총 7 항

심사관 : 김수성

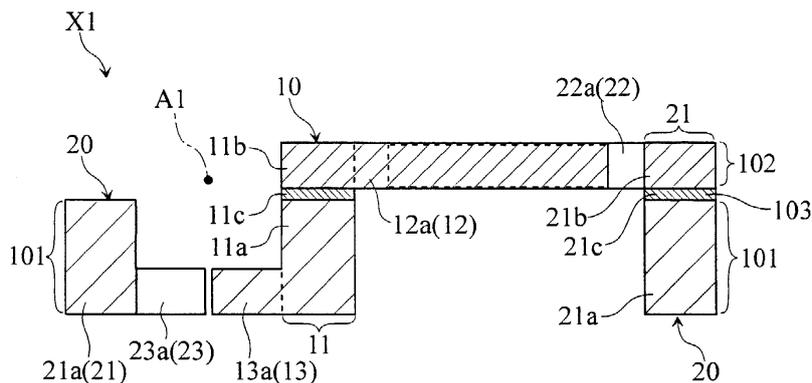
(54) 마이크로 가동 디바이스

(57) 요약

높은 Q값을 얻기에 적합한 마이크로 가동 디바이스를 제공한다.

본 발명의 마이크로 가동 디바이스(X1)는, 가동 본체(11), 캐패시터 빗살 전극(12), 및 구동 빗살 전극(13)을 갖는 가동부(10)와, 캐패시터 빗살 전극(12)을 향하여 연장되는 캐패시터 빗살 전극(22) 및 구동 빗살 전극(13)을 향하여 연장되는 구동 빗살 전극(23)을 갖는 프레임(20)과, 가동부(10) 및 프레임(20)을 연결하는 연결부를 구비한다. 캐패시터 빗살 전극(12, 22)은, 금속 재료로 이루어지고, 초기 위치에서 전극치(齒) 맞물려 맞추기를 갖는다. 구동 빗살 전극(13, 23)은, 동일한 재료층 내에 만들어 넣어진 부위이다. 가동부(10)는, 구동 빗살 전극(13, 23)의 전극치 맞물려 맞추기의 정도가 변화되도록, 회전 변위 가능하다.

대표도 - 도5



(72) 발명자

이마이 마사히코

일본 가나가와켄 가와사키시 나카하라꾸 가미고다
나카 4초메 1-1후지쯔 가부시끼가이샤 내

우에다 사또시

일본 가나가와켄 가와사키시 나카하라꾸 가미고다
나카 4초메 1-1후지쯔 가부시끼가이샤 내

특허청구의 범위

청구항 1

적어도 제1 층 및 제2 층을 포함하는 적층 구조를 갖는 마이크로 가동 디바이스에 있어서,
 가동 본체, 당해 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 캐패시터 빔살 전극, 및 상기 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 구동 빔살 전극을 갖는 가동부와,
 상기 제1 캐패시터 빔살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 캐패시터 빔살 전극, 및 상기 제1 구동 빔살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 구동 빔살 전극을 갖는 프레임과,
 상기 가동부 및 상기 프레임을 연결하고, 상기 프레임에 대한 상기 가동부의 회전축을 규정하는 연결부를 구비하고,
 상기 제1 및 제2 구동 빔살 전극은, 상기 제1 층에 형성되고,
 상기 제1 및 제2 캐패시터 빔살 전극은, 상기 제2 층에 형성되는, 마이크로 가동 디바이스.

청구항 2

제1항에 있어서, 상기 제1 및 제2 캐패시터 빔살 전극은, 상기 제1 및 제2 구동 빔살 전극에 대향하는 위치에 설치되어 있는, 마이크로 가동 디바이스.

청구항 3

제1항 또는 제2항에 있어서, 상기 가동부는, 상기 가동부 본체로부터 상기 제1 캐패시터 빔살 전극의 전극치와는 반대측으로 연장되는 복수의 전극치를 갖는 제3 캐패시터 빔살 전극을 더 갖고, 상기 프레임은, 상기 제3 캐패시터 빔살 전극을 향하여 연장되는 복수의 전극치를 갖는 제4 캐패시터 빔살 전극을 더 갖는, 마이크로 가동 디바이스.

청구항 4

제1항 또는 제2항에 있어서, 상기 제1 및 제2 구동 빔살 전극은, 상기 회전축에 대향하는 위치에 설치되어 있는, 마이크로 가동 디바이스.

청구항 5

제1항 또는 제2항에 있어서, 상기 적층 구조는 상기 제1 층과 상기 제2 층의 사이에 위치하는 제3 층을 포함하는, 마이크로 가동 디바이스.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제1항 또는 제2항에 있어서, 상기 제1 및 제2 캐패시터 빔살 전극 사이의 정전 용량을 변화시키기 위한 가변 캐패시터로서 구성되어 있는, 마이크로 가동 디바이스.

청구항 10

제1항 또는 제2항에 있어서, 상기 제1 및 제2 캐패시터 빔살 전극 사이의 정전 용량을 검지하기 위한 센싱 디바이스로서 구성되어 있는, 마이크로 가동 디바이스.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은, 마이크로머시닝 기술에 의해 제조되는 마이크로 가변 캐패시터나 마이크로센싱 디바이스 등, 미소한 가동부를 갖는 마이크로 가동 디바이스에 관한 것이다.

배경기술

[0002] 최근, 다양한 기술 분야에 있어서, 마이크로머시닝 기술에 의해 제조되는 마이크로 디바이스가 주목받고 있으며, 미소 구조를 갖는 소자의 응용화가 도모되고 있다. 마이크로 디바이스에는, 예를 들어 마이크로 가변 캐패시터나 마이크로센싱 디바이스 등, 미소한 가동부 내지 진동부를 갖는 마이크로 가동 디바이스가 포함된다. 마이크로 가동 디바이스에 대해서는, 예를 들어 하기의 특허 문헌1 내지 3에 기재되어 있다.

[0003] <특허 문헌1> 일본 특허 공개 제2002-373829호 공보

[0004] <특허 문헌2> 일본 특표2004-505788호 공보

[0005] <특허 문헌3> 미국 특허 제5959516호 명세서

[0006] 도16 내지 도19는, 종래의 마이크로 가동 디바이스의 일례인 마이크로 가변 캐패시터(X4)를 도시한다. 도16은, 마이크로 가변 캐패시터(X4)의 평면도이다. 도17은, 마이크로 가변 캐패시터(X4)의 다른 평면도이다. 도18 및 도19는, 각각 도16의 선(XVIII-XVIII) 및 선(XIX-XIX)을 따라 자른 단면도이다.

[0007] 마이크로 가변 캐패시터(X4)는, 가동부(40)와, 프레임(50)과, 한 쌍의 연결부(60)를 구비한다. 또한, 마이크로 가변 캐패시터(X4)는, MEMS 기술 등의 마이크로머시닝 기술에 의해, 소위 SOI(silicon on insulator) 기판인 재료 기판에 대하여 가공을 실시함으로써 제조된 것이다. 당해 재료 기판은, 제1 및 제2 실리콘층 및 당해 실리콘층 사이의 절연층으로 이루어지는 적층 구조를 갖고, 각 실리콘층은 불순물의 도핑에 의해 소정의 도전성이 부여되어 있다. 도16은, 제1 실리콘층에 유래하는 구조를 주로 도시하기 위한 평면도이고, 도면의 명확화의 관점면에서, 도16에서는, 제1 실리콘층에 유래하는 부위에 대해서, 사선 해칭하여 나타낸다. 도17에서는, 제2 실리콘층에 유래하는 부위에 대해서, 사선 해칭하여 나타낸다.

[0008] 가동부(40)는, 그 전체가 제1 실리콘층에 유래하여, 가동 본체(41) 및 빗살 전극(42, 43)을 갖고, 프레임(50)에 대하여 요동 동작 내지 회전 변위되는 것이 가능하다. 빗살 전극(42)은, 가동 본체(41)로부터 연장되는 복수의 전극치(齒)(42a)로 이루어진다. 빗살 전극(43)은, 가동 본체(41)로부터 연장되는 복수의 전극치(43a)로 이루어진다.

[0009] 프레임(50)은, 프레임 본체(51) 및 빗살 전극(52, 53)을 갖는다. 프레임 본체(51)는, 상술한 제1 및 제2 실리콘층 및 당해 실리콘층 사이의 절연층으로 이루어지는 적층 구조를 갖고, 가동부(40)를 둘러싸는 형상을 갖는다. 빗살 전극(52)은, 프레임 본체(51)로부터 연장되는 복수의 전극치(52a)로 이루어진다. 빗살 전극(53)은, 프레임 본체(51)로부터 연장되는 복수의 전극치(53a)로 이루어진다. 또한, 프레임 본체(51)에서의 제1 및 제2 실리콘층에 유래하는 부위의 소정 개소에는 공극부(51a)가 형성되어 있다. 이 공극부(51a)와 실리콘층 사이의 절연층에 의해, 빗살 전극(42, 43)과 빗살 전극(52, 53)은 전기적으로 분리되고, 또한 프레임(50) 내에서 빗살 전극(52)과 빗살 전극(53)은 전기적으로 분리되어 있다.

[0010] 가동부(40)의 빗살 전극(42)과 프레임(50)의 빗살 전극(52)은, 마이크로 가변 캐패시터(X4)에서의 한 쌍의 캐패시터 전극을 구성하고, 초기 위치에서, 빗살 전극(42)의 전극치(42a)의 측면과 빗살 전극(52)의 전극치(52a)의 측면이 서로 대향하도록 배치되어 있다.

[0011] 가동부(40)의 빗살 전극(43)과 프레임(50)의 빗살 전극(53)은, 마이크로 가변 캐패시터(X4)에 있어서의 한 쌍의 구동 전극을 구성한다. 빗살 전극(43)은 제1 실리콘층에 유래하는 부위이며, 빗살 전극(53)은 제2 실리콘층에 유래하는 부위이다.

[0012] 각 연결부(60)는, 가동부(40) 및 프레임(50)을 연결한다. 한 쌍의 연결부(60)는, 프레임(50)에 대한 가동부(40)의 회전 변위의 축심(A4)을 규정한다. 또한, 각 연결부(60)는, 프레임 본체(51)의 일부와 가동부(40)를 전기적으로 접속한다. 연결부(60)를 개재하여, 빗살 전극(42, 43)을 갖는 가동부(40)는 그라운드 접속되어 있다.

- [0013] 도20 및 도21은 마이크로 가변 캐패시터(X4)의 제조 방법을 도시한다. 도20 및 도21에서는, 상술한 가동 본체(41), 빗살 전극(42, 43), 프레임 본체(51), 빗살 전극(52, 53), 및 연결부(60) 각각의 형성 과정을, 하나의 단면의 변화로서 도시한다. 당해 하나의 단면은, 가공이 실시되는 재료 기판(웨이퍼)에 있어서의 복수의 단면을, 모델화하여 연속 단면으로서 나타낸 것이다.
- [0014] 마이크로 가변 캐패시터(X4)의 제조에서는, 우선 도20의 (a)에 도시한 바와 같은 재료 기판(300)을 준비한다. 재료 기판(300)은, 소위 SOI 기판이며, 실리콘층(301, 302) 및 당해 실리콘층 사이의 절연층(303)으로 이루어지는 적층 구조를 갖는다.
- [0015] 다음으로, 도20의 (b)에 도시한 바와 같이 실리콘층(301) 상에 레지스트 패턴(304)을 형성한다. 레지스트 패턴(304)은, 마이크로 가변 캐패시터(X4)에 있어서 실리콘층(301)으로 성형되어야 할 부위에 대응하는 패턴 형상을 갖는다.
- [0016] 다음으로, 도20의 (c)에 도시한 바와 같이 실리콘층(302) 상에 레지스트 패턴(305)을 형성한다. 레지스트 패턴(305)은, 마이크로 가변 캐패시터(X4)에 있어서 실리콘층(302)으로 성형되어야 할 부위에 대응하는 패턴 형상을 갖는다.
- [0017] 다음으로, 도21의 (a)에 도시한 바와 같이 레지스트 패턴(304)을 마스크로서 이용하여 실리콘층(301)에 대하여 이방성 드라이 에칭 처리를 실시함으로써, 가동 본체(41)와, 빗살 전극(42) 내지 전극치(42a)와, 빗살 전극(43) 내지 전극치(43a)와, 프레임 본체(51)의 일부와, 빗살 전극(52) 내지 전극치(52a)와, 연결부(60)를 성형한다.
- [0018] 다음으로, 도21의 (b)에 도시한 바와 같이 레지스트 패턴(305)을 마스크로서 이용하여 실리콘층(302)에 대하여 이방성 드라이 에칭 처리를 실시함으로써, 프레임 본체(51)의 일부 및 빗살 전극(53) 내지 전극치(53a)를 성형한다.
- [0019] 다음으로, 도21의 (c)에 도시한 바와 같이 레지스트 패턴(304, 305)을 제거하고, 또한 절연층(303)에서 노출되는 개소를 제거한다. 이상과 같이 하여, 마이크로 가변 캐패시터(X4)를 제조할 수 있다.
- [0020] 마이크로 가변 캐패시터(X4)에서는, 빗살 전극(53)에 대하여 필요에 따라 소정의 전위를 부여함으로써, 가동부(40)를 축심(A4) 주위로 요동 동작 내지 회전 변위시킬 수 있다. 빗살 전극(53)에 소정의 전위를 부여하면, 빗살 전극(43, 53) 사이에 소정의 정전 인력이 발생하여[본 실시예에서는, 빗살 전극(43)은 그라운드 접속되어 있음], 빗살 전극(43)은 빗살 전극(53)에 인입된다. 그 때문에 가동부(40)는, 축심(A4) 주위로 요동 동작하여, 당해 정전 인력과 각 연결부(60)의 비틀림 응력의 총합이 균형잡히는 각도까지 회전 변위한다. 이러한 요동 동작에서의 회전 변위량은, 빗살 전극(53)으로의 부여 전위를 조정함으로써, 조절할 수 있다[회전 변위량에 대해서는, 빗살 전극(43)을 그라운드 접속하지 않고, 빗살 전극(43, 53)의 전위차를 제어함으로써 조절해도 됨]. 회전 변위량의 조절에 의해, 빗살 전극(42, 52)의 대향 면적[전극치(42a)의 측면과 전극치(52a)의 측면이 대향하는 면적]을 조절할 수 있으며, 따라서, 한 쌍의 캐패시터 전극인 빗살 전극(42, 52)에서의 정전 용량을 조절할 수 있다. 또한, 빗살 전극(43, 53) 사이의 정전 인력을 소멸시키면, 각 연결부(60)가 비틀림 응력을 해방하여 자연 상태로 복귀되므로, 가동부(40) 내지 빗살 전극(42)은 그 초기 위치로 복귀된다.
- [0021] 일반적으로 캐패시터 소자가 갖는 캐패시터 전극의 저항이 작을수록, 당해 캐패시터 소자에 있어서의 Q값은 높은 경향이 있다. 그러나, SOI 기판을 이용하여 상술한 바와 같은 방법에 의해 제조되는 종래의 마이크로 가변 캐패시터(X4)가 갖는 한 쌍의 캐패시터 전극[빗살 전극(42, 52)]은, 도전성 실리콘 재료로 이루어지고, 도전성 실리콘 재료의 저항율은, 예를 들어 금속 재료의 저항율과 비교하면, 큰 경향이 있다. 그 때문에 마이크로 가변 캐패시터(X4)(마이크로 가동 디바이스)에 있어서, 충분히 높은 Q값을 얻을 수 없는 경우가 있다.

발명의 내용

해결 하고자하는 과제

- [0022] 본 발명은, 이상과 같은 사정 하에서 생각해 낸 것이며, 높은 Q값을 실현하기에 적합한 마이크로 가동 디바이스를 제공하는 것을 목적으로 한다.

과제 해결수단

- [0023] 본 발명의 제1 측면에 의하면, 다음과 같은 가동부, 프레임 및 연결부를 갖는 마이크로 가동 디바이스가 제공된다. 본 디바이스의 가동부는, 가동 본체와, 당해 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 캐패시

터 빗살 전극과, 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 구동 빗살 전극을 구비한다. 프레임은, 가동부의 제1 캐패시터 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 캐패시터 빗살 전극과, 제1 구동 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 구동 빗살 전극을 구비한다. 연결부는, 가동부 및 프레임을 연결한다. 제1 및 제2 캐패시터 빗살 전극은, 금속 재료로 이루어지고, 초기 위치에서 전극치 맞물려 맞추기를 갖는다. 제1 및 제2 구동 빗살 전극은, 동일한 재료층 내에 만들어 넣어진 부위이며, 초기 위치에서 전극치 맞물려 맞추기를 갖지 않거나, 혹은 초기 위치에서 전극치 맞물려 맞추기를 갖는다. 가동부는, 제1 및 제2 구동 빗살 전극의 전극치 맞물려 맞추기를 갖도록, 또한 제1 및 제2 구동 빗살 전극의 전극치 맞물려 맞추기의 정도가 변화되도록, 회전 범위 가능하게 설치되어 있다. 본 발명에서의 전극치 맞물려 맞추기란, 한 쌍의 빗살 전극(한 쌍의 캐패시터 빗살 전극 또는 한 쌍의 구동 빗살 전극)에 있어서, 한 쪽의 빗살 전극의 전극치 사이에 다른 쪽의 빗살 전극의 전극치가 들어가, 한 쪽의 빗살 전극의 전극치의 측면과 다른 쪽의 빗살 전극의 전극치의 측면이 대향하고 있는 것을 의미한다.

[0024] 본 마이크로 가동 디바이스는, 한 쌍의 캐패시터 전극으로서, 금속 재료로 이루어지는 제1 및 제2 캐패시터 빗살 전극을 갖는다. 금속 재료의 저항율은, 도전성 실리콘 재료의 저항율과 비교하여, 작은 경향이 있다. 따라서, 본 마이크로 가동 디바이스는, 예를 들어 캐패시터 소자로서, 한 쌍의 캐패시터 전극이 도전성 실리콘 재료로 이루어지는 종래의, 예를 들어 마이크로 가변 캐패시터(X4)보다도, 높은 Q값을 실현하기에 적합하다.

[0025] 또한, 본 마이크로 가동 디바이스는, 한 쌍의 구동 전극인 제1 및 제2 구동 빗살 전극 사이에 있어서 큰 구동력을 얻기에 적합하다. 그 이유는, 이하와 같다.

[0026] 상술한 종래의 마이크로 가변 캐패시터(X4)의 제조 과정에서는, 한 쌍의 구동 전극의 한 쪽인 빗살 전극(43)과, 한 쌍의 구동 전극의 다른 쪽인 빗살 전극(53)은, SOI 기판인 재료 기판(300)에서의 상이한 층[실리콘층(301, 302)]에 형성된다. 구체적으로는, 빗살 전극(43)은, 도21의 (a)를 참조하여 전술한 바와 같이, 레지스트 패턴(304)을 마스크로서 이용하여 실리콘층(301)에 대하여 이방성 에칭 처리를 실시함으로써 형성된다. 빗살 전극(53)은, 도21의 (b)를 참조하여 전술한 바와 같이, 레지스트 패턴(305)을 마스크로서 이용하여 실리콘층(302)에 대하여 이방성 에칭 처리를 실시함으로써 형성된다. 빗살 전극(43)용의 마스크를 포함하는 레지스트 패턴(304)은 실리콘층(301) 상에 형성되는 것이며, 빗살 전극(53)용의 마스크를 포함하는 레지스트 패턴(305)은, 재료 기판(300)에 있어서 실리콘층(301)과는 반대층의 실리콘층(302) 상에 형성되는 것이다. 이렇게 재료 기판(300)에서의 반대 표면에 형성되는 레지스트 패턴(304, 305)에 대해서는, 상대적인 형성 위치의 정밀도 내지 얼라인먼트 정밀도가 비교적 낮다. 레지스트 패턴(304, 305) 사이의 얼라인먼트 정밀도가 낮을수록, 레지스트 패턴(304, 305)의 일부를 마스크로서 이용하여 성형되는 빗살 전극(43, 53)에 관한 위치 정밀도[예를 들어, 빗살 전극(43)의 형성 위치에 대한 빗살 전극(53)의 형성 위치의 정밀도]는 낮고, 빗살 전극(43, 53) 사이에 전극치 맞물려 맞추기가 생긴 상태에서의 전극치(43a, 53a) 사이의 갭을 작게 설계하는 것이 곤란하게 된다[빗살 전극(43, 53)에 있어서, 소위 풀인 현상이 생기지 않도록 하기 위해서는, 전극치(43a, 53a) 사이의 갭을 작게 설계할수록, 빗살 전극(43, 53)의 형성 위치에 대하여 고정밀도가 요구됨]. 한 쌍의 빗살 전극 사이에서 큰 정전 인력(구동력)을 얻기 위한 유효한 수단으로서, 당해 빗살 전극쌍 사이에 전극치 맞물려 맞추기가 생긴 상태에서의 전극치 사이의 갭을 작게 설계하는 것을 들 수 있지만, 제조 과정에서의 레지스트 패턴(304, 305) 사이의 얼라인먼트 정밀도가 비교적 낮은 마이크로 가변 캐패시터(X4)에서는, 빗살 전극(43, 53) 사이에 전극치 맞물려 맞추기가 생긴 상태에 있어서의 전극치(43a, 53a) 사이의 갭을 작게 설계하는 것은, 곤란한 경향이 있다. 따라서, 종래의 마이크로 가변 캐패시터(X4)는, 구동용의 한 쌍의 빗살 전극(43, 53) 사이에 있어서 큰 정전 인력(구동력)을 얻는데 곤란성을 갖는다.

[0027] 이에 대하여 본 마이크로 가동 디바이스에 있어서의 한 쌍의 구동 전극인 제1 및 제2 구동 빗살 전극은, 동일한 재료층 내에 만들어 넣어진 부위이기 때문에, 당해 재료층의 동일 표면에 있어서, 제1 구동 빗살 전극용의 마스크 또는 당해 마스크를 포함하는 제1 마스크 패턴과, 제2 구동 빗살 전극용의 마스크 또는 당해 마스크를 포함하는 제2 마스크 패턴을 형성한 후에, 이들 마스크 패턴을 마스크로서 이용하여 당해 재료층에 대하여, 예를 들어 이방성 에칭 처리를 실시함으로써, 성형할 수 있다. 재료층의 동일 표면에 형성되는 제1 및 제2 마스크 패턴에 대해서는, 얼라인먼트 정밀도가 비교적 높다. 제1 및 제2 마스크 패턴이 재료층의 동일 표면 상의 단일 마스크 패턴에 포함될 경우에는, 그러한 제1 및 제2 마스크 패턴은, 동일한 리소그래피 공정에서 형성할 수 있어, 이론상, 제1 및 제2 마스크 패턴에 관한 얼라인먼트 오차는 없다. 이러한 제1 및 제2 마스크 패턴에 의하면, 상대적인 위치 정밀도가 높은 제1 및 제2 구동 빗살 전극을 형성하기 쉬워, 제1 및 제2 구동 빗살 전극 사이에 전극치 맞물려 맞추기가 생긴 상태에서의 전극치 사이의 갭을 작게 설계하기 쉽다.

[0028] 따라서, 본 마이크로 가동 디바이스는, 한 쌍의 구동 전극인 제1 및 제2 구동 빗살 전극 사이에서 큰 구동력을

연기에 적합한 것이다. 이러한 본 마이크로 가동 디바이스는, 한 쌍의 구동 전극(제1 및 제2 구동 빗살 전극)에 인가해야 할 구동 전압을 저감하기에 적합하다.

[0029] 바람직하게는, 제1 및 제2 구동 빗살 전극은, 도전성 실리콘 재료로 이루어지는 동일한 재료층 내에 만들어 넣어진 부위이다. 바람직하게는, 제1 및 제2 구동 빗살 전극은, 상기의 재료층에 대한 DRIE(Dep Reactive Ion Etching) 가공에 의해 동시에 형성된 부위이다. 이들 구성은, 제1 및 제2 구동 빗살 전극을 정밀도 높게 성형하는 데 있어서 적합하다.

[0030] 바람직하게는, 제1 및/또는 제2 캐패시터 빗살 전극은, Au, Ag, Cu, Al로 이루어지는 군에서 선택되는 금속을 포함하여 이루어진다. 바람직하게는, 제1 및/또는 제2 캐패시터 빗살 전극은, 전기 도금법을 이용하여 형성된 것이다. 이들 구성은, 저항율이 작은 제1 및/또는 제2 캐패시터 빗살 전극을 형성하는 데 있어서 적합하다.

[0031] 본 발명의 제2 측면에 의하면, 다음과 같은 가동부, 프레임, 및 연결부를 갖는 마이크로 가동 디바이스가 제공된다. 본 디바이스의 가동부는, 가동 본체, 당해 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 캐패시터 빗살 전극, 및 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 구동 빗살 전극을 구비한다. 프레임은, 제1 캐패시터 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 캐패시터 빗살 전극과, 제1 구동 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 구동 빗살 전극을 구비한다. 연결부는, 가동부 및 프레임을 연결한다. 제1 및 제2 캐패시터 빗살 전극은, 금속 재료로 이루어지고, 초기 위치에서 전극치 맞물려 맞추기를 갖는다. 제1 및 제2 구동 빗살 전극은, 금속 재료로 이루어지고, 초기 위치에서 전극치 맞물려 맞추기를 갖지 않거나, 혹은 초기 위치에서 전극치 맞물려 맞추기를 갖는다. 가동부는, 제1 및 제2 구동 빗살 전극의 전극치 맞물려 맞추기를 갖도록, 또한 제1 및 제2 구동 빗살 전극의 전극치 맞물려 맞추기의 정도가 변화되도록, 회전 변위 가능하게 설치되어 있다.

[0032] 본 마이크로 가동 디바이스는, 한 쌍의 캐패시터 전극으로서, 금속 재료로 이루어지는 제1 및 제2 캐패시터 빗살 전극을 갖는다. 따라서, 본 마이크로 가동 디바이스도, 본 발명의 제1 측면에 따른 마이크로 가동 디바이스와 마찬가지로, 높은 Q값을 실현하기에 적합하다.

[0033] 본 발명의 제1 및 제2 측면에 있어서, 바람직하게는, 제1 구동 빗살 전극의 전극치는, 제1 캐패시터 빗살 전극의 전극치와는 반대측으로, 가동 본체로부터 연장된다. 혹은, 제1 구동 빗살 전극의 전극치는, 제1 캐패시터 빗살 전극의 전극치와 동일한 측에, 가동 본체로부터 연장되어도 된다.

[0034] 바람직하게는, 연결부는, 가동부의 제1 캐패시터 빗살 전극과 전기적으로 접속하는 도전 연락부를 갖는다. 이러한 구성에 의하면, 소정의 외부 회로에 대하여 제1 캐패시터 빗살 전극을 적절하게 접속할 수 있다.

[0035] 바람직하게는, 제1 및/또는 제2 캐패시터 빗살 전극의 표면은 유전체막을 수반하지 않는다. 캐패시터 빗살 전극의 표면이 유전체막을 수반할 경우, 당해 유전체막의 표면의 소정의 에너지 준위에 전하가 트래핑되고, 또한 당해 유전체막에 높은 전계(예를 들어 10^6V/cm 이상)가 걸리면, 표면에 트래핑되어 있는 전하는 더욱 유전체막 내부의 결함 준위에 주입된다. 유전체막에 있어서는, 주입된 전하의 완화 시상수가 상당할 정도로 긴 경우가 있다. 그 때문에 마이크로 가동 디바이스의 동작 중에 당해 유전체막의 전하 축적량이 증대하여, 전하 축적량이 감소하지 않는 상태에 이르는 경우가 있다. 유전체막에 있어서의 이러한 전하 트래핑 및 주입의 현상은, 마이크로 가동 디바이스의 적절한 구동을 저해하는 경우가 있어, 바람직하지 못하다.

[0036] 바람직하게는, 제1 및 제2 측면에 따른 마이크로 가동 디바이스는, 제1 및 제2 캐패시터 빗살 전극 사이의 정전 용량을 변화시키기 위한 가변 캐패시터로서 구성되어 있다. 혹은, 제1 및 제2 측면에 따른 마이크로 가동 디바이스는, 제1 및 제2 캐패시터 빗살 전극 사이의 정전 용량을 검지하기 위한 센싱 디바이스로서 구성되어도 된다.

[0037] 바람직하게는, 본 마이크로 가동 디바이스는, 충전체로서 저점성의 절연성 액체 또는 저점성의 절연성 기체를 이용하여 패키징되어 있다. 이러한 구성에 의하면, 양호한 패키징을 실현할 수 있다.

효 과

[0038] 본 발명에 따르면 높은 Q값을 연기에 적합한 마이크로 가동 디바이스를 제공할 수 있다

발명의 실시를 위한 구체적인 내용

[0039] 도1 내지 도6은, 본 발명의 제1 실시 형태에 따른 마이크로 가동 디바이스(X1)를 도시한다. 도1 및 도2는 마이

크로 가동 디바이스(X1)의 평면도이다. 도3은 도1의 부분 확대도이며, 도4는 도2의 부분 확대도이다. 도5는, 도1의 선V-V를 따라 자른 확대 단면도이다. 도6은, 선VI-VI를 따라 자른 일부 생략 확대 단면도이다.

- [0040] 마이크로 가동 디바이스(X1)는, 가동부(10)와, 프레임(20)과, 한 쌍의 연결부(30)를 구비한다. 또한, 마이크로 가동 디바이스(X1)는, MEMS 기술 등의 마이크로머시닝 기술에 의해 소정의 재료 기판에 대하여 가공을 실시함으로써 제조된 것이며, 전체적으로 주로, 불순물의 도핑에 의해 소정의 도전성이 부여되어 있는 실리콘 재료로 이루어지는 제1 층(101)과, Au, Ag, Cu, Al 등의 금속 재료로 이루어지는 제2 층(102)과, 이들 제1 층(101) 및 제2 층(102) 사이의 절연층(103)으로 이루어지는 적층 구조를 갖는다. 도면의 명확화라는 관점에서, 도1에서는, 제2 층(102)에 대하여 사선 해칭하여 나타내고, 도2에서는, 제1 층(101)에 대하여 사선 해칭하여 나타낸다.
- [0041] 가동부(10)는, 가동 본체(11) 및 빗살 전극(12, 13)을 갖고, 프레임(20)에 대하여 요동 동작 내지 회전 변위되는 것이 가능하다. 가동 본체(11)는, 도5 및 도6에 도시한 바와 같이 상술한 제1 층(101)에 포함되는 부위(11a)와, 제2 층(102)에 포함되는 부위(11b)와, 절연층(103)에 포함되는 절연층(11c)을 포함하는 적층 구조를 갖는다. 또한, 도6에 도시한 바와 같이 가동 본체(11) 내에는, 절연층(11c)을 관통하여 부위(11a)와 부위(11b)를 전기적으로 접속하기 위한 도통 비아(11d)가 설치되어 있다. 빗살 전극(12)은, 제2 층(102)에 포함되는 부위이며, 가동 본체(11)로부터 연장되는 평행한 복수의 전극치(12a)로 이루어진다. 전극치(12a)의 연장 길이는, 예를 들어 5 내지 5000 μm 이다. 빗살 전극(13)은, 제1 층(101)에 포함되는 부위이며, 전극치(12a)와는 반대 측에 가동 본체(11)로부터 연장되는 평행한 복수의 전극치(13a)로 이루어진다. 전극치(13a)의 연장 길이는, 예를 들어 5 내지 5000 μm 이다.
- [0042] 프레임(20)은, 프레임 본체(21) 및 빗살 전극(22, 23)을 갖는다. 프레임 본체(21)는, 도5 및 도6에 도시한 바와 같이 상술한 제1 층(101)에 포함되는 부위(21a)와, 제2 층(102)에 포함되는 부위(21b)와, 절연층(103)에 포함되는 절연층(21c)을 포함하는 적층 구조를 갖고, 가동부(10)를 둘러싸는 형상을 갖는다. 빗살 전극(22)은, 제2 층(102)에 포함되는 부위이며, 가동부(10)의 빗살 전극(12)을 향하여 프레임 본체(21)로부터 연장되는 평행한 복수의 전극치(22a)로 이루어진다. 전극치(22a)의 연장 길이는, 예를 들어 5 내지 5000 μm 이다. 빗살 전극(23)은, 제1 층(101)에 포함되는 부위이며, 빗살 전극(13)을 향하여 프레임 본체(21)로부터 연장되는 복수의 전극치(23a)로 이루어진다. 전극치(23a)의 연장 길이는, 예를 들어 5 내지 5000 μm 이다.
- [0043] 가동부(10)의 빗살 전극(12)과 프레임(20)의 빗살 전극(22)은, 마이크로 가동 디바이스(X1)에서의 한 쌍의 캐패시터 전극을 구성하고, 예를 들어 도3 및 도5에 도시한 바와 같이 초기 위치에서 빗살 전극(12)의 전극치(12a)의 측면과 빗살 전극(22)의 전극치(22a)의 측면이 서로 대향하도록, 배치되어 있다. 즉, 빗살 전극(12, 22)은, 초기 위치에서 전극치 맞물려 맞추기를 갖는다.
- [0044] 가동부(10)의 빗살 전극(13)과 프레임(20)의 빗살 전극(23)은, 마이크로 가동 디바이스(X1)에 있어서의 한 쌍의 구동 전극을 구성한다. 본 실시예에서는, 빗살 전극(13, 23)은, 예를 들어 도4 및 도5에 도시한 바와 같이 초기 위치에서 전극치 맞물려 맞추기를 갖지 않는다. 빗살 전극(13, 23)은, 초기 위치에서 전극치 맞물려 맞추기를 가져도 된다. 또한, 가동부(10)의 빗살 전극(12, 13)과, 빗살 전극(22)과, 빗살 전극(23)은, 전기적으로 분리되어 있다.
- [0045] 각 연결부(30)는, 도6에 도시한 바와 같이 주부(31) 및 도전 연락부(32)로 이루어지고, 가동부(10) 및 프레임(20)을 연결한다. 각 연결부(30)의 도전 연락부(32)는, Au, Ag, Cu, Al 등의 금속 재료를 포함하여 이루어지고, 가동 본체(11)의 부위(11b)와 프레임 본체(21)의 부위(21b)를 전기적으로 접속한다. 본 실시예에서는, 연결부(30) 내지 도전 연락부(32)를 통하여, 빗살 전극(12, 13)을 갖는 가동부(10)는 그라운드 접속되어 있다. 연결부(30)에 있어서는, 전기적으로 분리한 복수의 도전 연락부(32)를 설치하여도 된다. 또한, 한 쌍의 연결부(30)는, 프레임(20)에 대한 가동부(10)의 회전 변위의 축심(A1)을 규정한다.
- [0046] 도7 내지 도10은, 마이크로 가동 디바이스(X1)의 제조 방법을 도시한다. 도7 내지 도10에 있어서는, 상술한 가동 본체(11), 빗살 전극(12, 13), 프레임 본체(21), 빗살 전극(22, 23), 및 연결부(30) 각각의 형성 과정을, 하나의 단면의 변화로서 나타낸다. 당해 하나의 단면은, 가공이 실시되는 재료 기판(웨이퍼)에 있어서의 복수의 단면을, 모델화하여 연속 단면으로서 나타낸 것이다.
- [0047] 마이크로 가동 디바이스(X1)의 제조에 있어서는, 우선 도7의 (a)에 도시한 바와 같은 재료 기판(200)을 준비한다. 재료 기판(200)은, 소위 SOI(silicon on insulator) 기판이며, 실리콘층(201, 202) 및 당해 실리콘층 사이의 절연층(203)으로 이루어지는 적층 구조를 갖는다. 실리콘층(201)은, 불순물의 도핑에 의해 소정의 도전성이

부여되어 있다. 절연층(203)은, 예를 들어 산화 규소로 이루어진다. 실리콘층(201)의 두께는, 예를 들어 50 내지 600 μm 이다. 실리콘층(202)의 두께는, 예를 들어 1 내지 100 μm 이다. 절연층(203)의 두께는, 예를 들어 0.5 내지 50 μm 이다.

- [0048] 다음으로, 도7의 (b)에 도시한 바와 같이 실리콘층(201) 표면에 산화막(204)을 형성하고, 또한 연결부(30)의 주부(31)를 형성한다. CVD법에 의해, 실리콘층(201)의 표면에 두께가, 예를 들어 1 μm 이 될 때까지 산화 규소를 성막함으로써, 산화막(204)을 형성할 수 있다. 또한, 예를 들어, 실리콘층(202) 상에 소정의 레지스트 패턴(도시 생략)을 형성한 후, 당해 레지스트 패턴을 마스크로서 이용하여 실리콘층(202)에 대하여 DRIE(Deep Reactive Ion Etching)을 실시함으로써, 주부(31)를 형성할 수 있다. DRIE에서는, 에칭과 측벽 보호를 교대로 행하는 Bosch 프로세스에 있어서, 양호한 이방성 에칭 처리를 행할 수 있다. 본 공정 및 후에 나오는 DRIE에 대해서는, 이러한 Bosch 프로세스를 채용할 수 있다.
- [0049] 다음으로, 도7의 (c)에 도시한 바와 같이 절연막 패턴(203')을 형성한다. 구체적으로는, 절연층(203) 상에 소정의 레지스트 패턴(도시 생략)을 형성한 후, 당해 레지스트 패턴을 마스크로서 이용하여 절연층(203)에 대하여 에칭 처리를 실시한다. 절연막 패턴(203')은, 상술한 도통 비아(11d)를 형성하기 위한 개구부(203a)를 포함하는 소정의 개구부를 갖는다.
- [0050] 다음으로, 전기 도금법에 있어서의 통전용의 바탕막(도시 생략)을, 절연막 패턴(203') 및 주부(31)를 덮도록 실리콘층(201) 상에 형성한 후, 도7의 (d)에 도시한 바와 같이 레지스트 패턴(205)을 형성한다. 바탕막은, 예를 들어, 스퍼터링법에 의해 두께 50nm의 Ti를 성막하고, 계속해서 그 위에 두께 500nm의 Cu를 성막 함으로써 형성할 수 있다. 레지스트 패턴(205)은, 개구부(205a) 및 개구부(205b)를 갖는다.
- [0051] 다음으로, 도8의 (a)에 도시한 바와 같이 전기 도금법에 의해 개구부(203a, 205a, 205b) 내에 금속 재료를 성장시킨다. 이에 의해, 도통 비아(11d) 및 도전 연락부(32)가 형성된다. 금속 재료는, Au, Ag, Cu, Al로 이루어지는 군에서 선택되는 금속 또는 당해 금속을 포함하는 합금이다.
- [0052] 다음으로, 레지스트 패턴(205) 상에 레지스트 재료를 더 성막함으로써, 혹은 레지스트 패턴(205)을 제거한 후에 새로운 레지스트 재료를 성막함으로써, 도8의 (b)에 도시한 바와 같이 레지스트막(206)을 형성한다.
- [0053] 다음으로, 도8의 (c)에 도시한 바와 같이 산화막(204)을 패터닝하여 산화막 패턴(204')을 형성한 후, 소정의 개구부를 갖는 레지스트 패턴(207)을 형성한다. 산화막 패턴(204')은, 가동 본체(11), 빗살 전극(13), 프레임 본체(21), 및 빗살 전극(23)에 대응하는 패턴 형상을 갖는다.
- [0054] 다음으로, 도8의 (d)에 도시한 바와 같이 레지스트 패턴(207)을 마스크로서 이용하여 실리콘층(201)에 대하여 당해 실리콘층(201)의 두께 방향의 도중까지 DRIE를 실시한다.
- [0055] 다음으로, 레지스트 패턴(207) 상에 레지스트 재료를 더 성막함으로써, 혹은, 레지스트 패턴(207)을 제거한 후에 새로운 레지스트 재료를 성막함으로써, 도9의 (a)에 도시한 바와 같이 레지스트막(208)을 형성한다.
- [0056] 다음으로, 도9의 (b)에 도시한 바와 같이 레지스트막(208)을 패터닝하여 레지스트 패턴(206')을 형성한다. 레지스트 패턴(206')은, 마이크로 가동 디바이스(X1)에 있어서의 상술한 제2 층(102)[가동 본체(11)의 부위(11b), 빗살 전극(12), 프레임 본체(21)의 부위(21b), 빗살 전극(22)]을 형성하기 위한 개구부(206a)를 갖는다.
- [0057] 다음으로, 도9의 (c)에 도시한 바와 같이 전기 도금법에 의해 개구부(206a) 내에 금속 재료를 성장시킴으로써 가동 본체(11)의 부위(11b), 빗살 전극(12) 내지 전극치(12a), 프레임 본체(21)의 부위(21b), 및 빗살 전극(22) 내지 전극치(22a)를 형성한다. 금속 재료는, Au, Ag, Cu, Al로 이루어지는 군에서 선택되는 금속 또는 당해 금속을 포함하는 합금이다.
- [0058] 다음으로, 도9의 (d)에 도시한 바와 같이 레지스트 패턴(206') 및 레지스트막(208)을 제거한다. 레지스트 패턴(206') 및 레지스트막(208)의 제거는, 소정의 박리액을 사용하여 행할 수 있다. 이 후, 전기 도금법에서의 통전용의 상술한 바탕막(도시 생략)에 있어서 노출되는 부분을 제거한다. 바탕막의 부분적 제거는, 소정의 에칭액을 사용하여 행하는 웨트 에칭, 또는 이온 밀링에 의해 행할 수 있다.
- [0059] 다음으로, 도10의 (a)에 도시한 바와 같이 소정의 개구부를 갖는 레지스트 패턴(209)을 형성한다. 다음에 도10의 (b)에 도시한 바와 같이 레지스트 패턴(209)의 측으로부터 당해 레지스트 패턴(209)을 마스크로서 이용하여 실리콘층(201)에 대하여 당해 실리콘층(201)의 두께 방향의 도중까지 DRIE를 실시한다.
- [0060] 다음으로, 도10의 (c)에 도시한 바와 같이 산화막 패턴(204')의 측으로부터 당해 산화막 패턴(204')을 마스크

로서 이용하여 실리콘층(201)에 대하여 DRIE를 실시한다. 이에 의해, 마이크로 가동 디바이스(X1)에 있어서의 상술한 제1 층(101)[가동 본체(11)의 부위(11a), 빗살 전극(13) 내지 전극치(13a), 프레임 본체(21)의 부위(21a), 빗살 전극(23) 내지 전극치(23a)]이 형성된다.

- [0061] 다음으로, 도10의 (d)에 도시한 바와 같이 절연층(203)에서 노출되어 있는 개소, 및 산화막 패턴(204')을 에칭 제거한다. 이상의 일련의 공정을 거침으로써, 마이크로 가동 디바이스(X1)를 제조할 수 있다.
- [0062] 마이크로 가동 디바이스(X1)에 있어서는, 빗살 전극(23)에 대하여 필요에 따라 소정의 전위를 부여함으로써, 가동부(10)를 축심(A1) 주위로 요동 동작 내지 회전 변위시킬 수 있다. 빗살 전극(23)에 소정의 전위를 부여하면, 빗살 전극(13, 23) 사이에 소정의 정전 인력이 발생하여[본 실시예에서는 빗살 전극(13)은 그라운드 접속되어 있음], 빗살 전극(13)은 빗살 전극(23)에 인입된다. 그 때문에 가동부(10)는, 축심(A1) 주위로 요동 동작하고, 당해 정전 인력과 각 연결부(30)의 비틀림 응력의 총합이 균형잡히는 각도까지, 예를 들어 도11에 도시한 바와 같이 회전 변위된다. 이러한 요동 동작에 있어서의 회전 변위량은, 빗살 전극(23)으로의 부여 전위를 조정함으로써, 조절할 수 있다. 회전 변위량의 조절에 의해, 빗살 전극(12, 22)의 대향 면적[전극치(12a)의 측면과 전극치(22a)의 측면이 대향하는 면적]을 조절할 수 있으며, 따라서 한 쌍의 캐패시터 전극인 빗살 전극(12, 22)에 있어서의 정전 용량을 조절할 수 있다. 또한, 빗살 전극(13, 23) 사이의 정전 인력을 소멸시키면, 각 연결부(30)가 비틀림 응력을 해방하여 자연 상태로 복귀되므로, 가동부(10) 내지 빗살 전극(12)은 그 초기 위치로 복귀된다.
- [0063] 마이크로 가동 디바이스(X1)는, 한 쌍의 캐패시터 전극으로서, 금속 재료로 이루어지는 빗살 전극(12, 22)을 갖는다. 금속 재료의 저항율은, 도전성 실리콘 재료의 저항율과 비교하여, 작은 경향이 있다. 따라서, 마이크로 가동 디바이스(X1)는, 한 쌍의 캐패시터 전극이 도전성 실리콘 재료로 이루어지는 종래의 상술한 마이크로 가변 캐패시터(X4)보다도, 높은 Q값을 실현하기에 적합하다.
- [0064] 또한, 마이크로 가동 디바이스(X1)는, 한 쌍의 구동 전극인 빗살 전극(13, 23) 사이에서 큰 구동력을 얻기에 적합하다. 마이크로 가동 디바이스(X1)에서의 한 쌍의 구동 전극인 빗살 전극(13, 23)은, 전술된 바와 같이, 실리콘층(201) 상에 형성된 산화막 패턴(204')을 마스크로서 이용하여, 동일한 재료층[실리콘층(201)]에 대하여 DRIE를 실시함으로써 형성된 것이다. 레지스트 패턴(204')은, 빗살 전극(13)용의 제1 마스크 패턴 및 빗살 전극(23)용의 제2 마스크 패턴을 포함한다. 재료층의 동일 표면에 형성되는 이러한 제1 및 제2 마스크 패턴에 대해서는, 얼라인먼트 정밀도가 비교적 높다. 재료층의 동일 표면 상의 단일 마스크 패턴[레지스트 패턴(204')]에 포함되고, 따라서 동일한 리소그래피 공정에서 형성할 수 있는 제1 및 제2 마스크 패턴에 있어서는, 이론상, 얼라인먼트 오차는 없다. 이러한 제1 및 제2 마스크 패턴에 의하면, 상대적인 위치 정밀도가 높은 빗살 전극(13, 23)을 형성할 수 있어, 한 쌍의 구동 전극인 빗살 전극(13, 23) 사이에 전극치 맞물려 맞추기가 생긴 상태에서의 전극치(13a, 23a) 사이의 갭을 작게 설계하기 쉽다. 따라서, 마이크로 가동 디바이스(X1)는, 한 쌍의 구동 전극인 빗살 전극(13, 23) 사이에 있어서 큰 구동력을 얻기에 적합한 것이다. 이러한 마이크로 가동 디바이스(X1)는, 한 쌍의 구동 전극[빗살 전극(13, 23)]에 인가해야 할 구동 전압을 저감하기에 적합하다.
- [0065] 마이크로 가동 디바이스(X1)에 있어서는, 한 쌍의 캐패시터 전극인 빗살 전극(12, 22)의 표면은 유전체막을 수반하지 않는다. 이에 의해, 유전체막에서 생길 수 있는 전하 트래핑 및 주입의 현상을 회피할 수 있다.
- [0066] 마이크로 가동 디바이스(X1)에 있어서는, 상술한 제1 층(101)[가동 본체(11)의 부위(11a), 빗살 전극(13), 프레임 본체(21)의 부위(21a), 빗살 전극(23)]을 도전성 실리콘 재료에 의해 구성하는 것 대신에 금속 재료에 의해 구성하여도 된다. 금속 재료로서는, Au, Ag, Cu, Al로 이루어지는 군에서 선택되는 금속 또는 당해 금속을 포함하는 합금을 채용하는 것이 바람직하다. 혹은, 마이크로 가동 디바이스(X1)에 있어서는, 가동부(10)의 전체를, 연속하는 금속체 구조체로서 구성하여도 된다. 이들 구성을 채용하는 경우에도, 당해 마이크로 가동 디바이스(X1)는, 높은 Q값을 실현하기에 적합하다.
- [0067] 이상과 같은 마이크로 가동 디바이스(X1)는, 빗살 전극(12, 22) 사이의 정전 용량을 변화시키기 위한 가변 캐패시터로서 구성되어도 되고, 빗살 전극(12, 22) 사이의 정전 용량을 검지하기 위한 센싱 디바이스로서 구성되어도 된다.
- [0068] 도12 및 도13은 본 발명의 제2 실시 형태에 따른 마이크로 가동 디바이스(X2)를 도시한다. 도12는, 마이크로 가동 디바이스(X2)의 평면도이다. 도13은, 도12의 선 XIII-XIII를 따라 자른 단면도이다.
- [0069] 마이크로 가동 디바이스(X2)는, 가동부(10A)와, 프레임(20A)과, 한 쌍의 연결부(30)를 구비하고, 가동부(10) 및 프레임(20) 대신에 가동부(10A) 및 프레임(20A)을 구비하는 점에서 마이크로 가동 디바이스(X1)와 상이하다.

- [0070] 가동부(10A)는, 가동 본체(11) 및 빗살 전극(12, 13, 14)을 갖고, 실질적으로는, 빗살 전극(14)을 추가적으로 갖는 점에서 마이크로 가동 디바이스(X1)의 가동부(10)와 상이하다. 빗살 전극(14)은, 도13에 도시한 바와 같이 제2 층(102)에 포함되는 부위이며, 전극치(13a)와 동일한 층에 가동 본체(11)로부터 연장되는 평행한 복수의 전극치(14a)로 이루어진다. 전극치(14a)의 연장 길이는, 예를 들어 5 내지 5000 μ m이다. 가동부(10A)에서의 가동 본체(11) 및 빗살 전극(12, 13)의 구성은, 가동부(10)에 있어서의 상술한 가동 본체(11) 및 빗살 전극(12, 13)의 구성과 마찬가지로이다.
- [0071] 프레임(20)은, 프레임 본체(21) 및 빗살 전극(22, 23)을 갖고, 실질적으로는, 빗살 전극(24)을 추가적으로 갖는 점에서 마이크로 가동 디바이스(X1)의 프레임(20)과 상이하다. 빗살 전극(24)은, 도13에 도시한 바와 같이 제2 층(102)에 포함되는 부위이며, 가동부(10A)의 빗살 전극(14)을 향하여 프레임 본체(21)로부터 연장되는 평행한 복수의 전극치(24a)로 이루어진다. 전극치(24a)의 연장 길이는, 예를 들어 5 내지 5000 μ m이다. 프레임(20A)에서의 프레임 본체(21) 및 빗살 전극(22, 23)의 구성은, 프레임(20)에 있어서의 상술한 프레임 본체(21) 및 빗살 전극(22, 23)의 구성과 마찬가지로이다.
- [0072] 가동부(10A)의 빗살 전극(12)과 프레임(20)의 빗살 전극(22)은, 마이크로 가동 디바이스(X2)에서의 한 쌍의 캐패시터 전극을 구성하고, 또한 가동부(10A)의 빗살 전극(14)과 프레임(20A)의 빗살 전극(24)은, 한 쌍의 캐패시터 전극을 더 구성한다. 초기 위치에서, 빗살 전극(12)의 전극치(12a)의 측면과 빗살 전극(22)의 전극치(22a)의 측면은 서로 대향하고, 또한, 빗살 전극(14)의 전극치(14a)의 측면과 빗살 전극(24)의 전극치(24a)의 측면은 서로 대향한다. 즉, 빗살 전극(12, 22)이 초기 위치에서 전극치 맞물려 맞추기를 가짐과 동시에, 빗살 전극(14, 24)도 초기 위치에서 전극치 맞물려 맞추기를 갖는다. 이와 같이, 마이크로 가동 디바이스(X2)는, 2쌍의 캐패시터 전극을 구비한다. 또한, 가동부(10A)의 빗살 전극(12, 13, 14)과, 빗살 전극(22)과, 빗살 전극(23)과, 빗살 전극(24)은 전기적으로 분리되어 있다.
- [0073] 마이크로 가동 디바이스(X2)에 관한 다른 구성에 대해서는, 마이크로 가동 디바이스(X1)에 관하여 상술한 바와 마찬가지로이다.
- [0074] 마이크로 가동 디바이스(X2)는, 마이크로 가동 디바이스(X1)와 마찬가지로, 높은 Q값을 실현하기에 적합하고, 또한 한 쌍의 구동 전극인 빗살 전극(13, 23) 사이에 있어서 큰 구동력을 얻기에 적합하다. 덧붙여, 2쌍의 캐패시터 전극을 구비하는 마이크로 가동 디바이스(X2)는, 캐패시터 소자로서 큰 정전 용량을 얻기에 적합하다.
- [0075] 도14 및 도15는, 본 발명의 제3 실시 형태에 따른 마이크로 가동 디바이스(X3)를 도시한다. 도14는, 마이크로 가동 디바이스(X3)의 평면도이다. 도15는, 도14의 선 XV-XV를 따라 자른 단면도이다.
- [0076] 마이크로 가동 디바이스(X3)는, 실질적으로 두개의 마이크로 가동 디바이스(X1)를 포함한다. 구체적으로는, 마이크로 가동 디바이스(X3)는, 프레임 본체(21)의 일부를 공통적으로 하여 두개의 마이크로 가동 디바이스(X1)가 일체화된 구조를 갖고, 2쌍의 캐패시터 전극[각 캐패시터 전극쌍은 빗살 전극(12, 22)으로 이루어짐]을 구비하는 동시에, 2쌍의 구동 전극[각 구동 전극쌍은 빗살 전극(13, 23)으로 이루어짐]을 구비한다. 마이크로 가동 디바이스(X3)에서는, 각 가동부(10)의 회전 변위량이 항상 동일하게 되도록 제어해도 되고, 각 가동부(10)의 회전 변위량을 개별로 제어하여도 된다.
- [0077] 이러한 마이크로 가동 디바이스(X3)는, 마이크로 가동 디바이스(X1)와 마찬가지로, 높은 Q값을 실현하기에 적합하고, 또한 빗살 전극(13, 23) 사이에서 큰 구동력을 얻기에 적합하다. 덧붙여, 2쌍의 캐패시터 전극을 구비하는 마이크로 가동 디바이스(X3)는, 캐패시터 소자로서 큰 정전 용량을 얻기에 적합하다.
- [0078] 이상을 정리하여, 본 발명의 구성 및 그 배리어이션을 이하에 부기로서 열거한다.
- [0079] (부기1) 가동 본체, 당해 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 캐패시터 빗살 전극, 및 상기 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 구동 빗살 전극을 갖는 가동부와,
- [0080] 상기 제1 캐패시터 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 캐패시터 빗살 전극, 및 상기 제1 구동 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 구동 빗살 전극을 갖는 프레임과,
- [0081] 상기 가동부 및 상기 프레임을 연결하는 연결부를 구비하고,
- [0082] 상기 제1 및 제2 캐패시터 빗살 전극은, 금속 재료로 이루어지고, 초기 위치에서 전극치 맞물려 맞추기를 갖고,
- [0083] 상기 제1 및 제2 구동 빗살 전극은, 동일한 재료층 내에 만들어 놓여진 부위이며,
- [0084] 상기 가동부는, 상기 제1 및 제2 구동 빗살 전극의 전극치 맞물려 맞추기의 정도가 변화되도록, 회전 변위 가능

한 마이크로 가동 디바이스.

- [0085] (부기2) 상기 제1 및 제2 구동 빗살 전극은, 도전성 실리콘 재료로 이루어지는 동일한 재료층 내에 만들어 넣어 진 부위인 부기1에 기재된 마이크로 가동 디바이스.
- [0086] (부기3) 상기 제1 및 제2 구동 빗살 전극은, 상기 재료층에 대한 DRIE 가공에 의해 동시에 형성된 부위인 부기1 또는 2에 기재된 마이크로 가동 디바이스.
- [0087] (부기4) 상기 제1 및/또는 제2 캐패시터 빗살 전극은, Au, Ag, Cu, Al로 이루어지는 군에서 선택되는 금속을 포함하여 이루어지는, 부기1 내지 3 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0088] (부기5) 상기 제1 및/또는 제2 캐패시터 빗살 전극은, 전기 도금법을 이용하여 형성된 것이며, 부기 1 내지 4 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0089] (부기6) 가동 본체, 당해 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 캐패시터 빗살 전극 및 상기 가동 본체로부터 연장되는 복수의 전극치를 갖는 제1 구동 빗살 전극을 갖는 가동부와,
- [0090] 상기 제1 캐패시터 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 캐패시터 빗살 전극, 및 상기 제1 구동 빗살 전극을 향하여 연장되는 복수의 전극치를 갖는 제2 구동 빗살 전극을 갖는 프레임과,
- [0091] 상기 가동부 및 상기 프레임을 연결하는 연결부를 구비하고,
- [0092] 상기 제1 및 제2 캐패시터 빗살 전극은, 금속 재료로 이루어지고, 초기 위치에서 전극치 맞물려 맞추기를 갖고,
- [0093] 상기 제1 및 제2 구동 빗살 전극은, 금속 재료로 이루어지고,
- [0094] 상기 가동부는, 상기 제1 및 제2 구동 빗살 전극의 전극치 맞물려 맞추기의 정도가 변화되도록, 회전 변위 가능한 마이크로 가동 디바이스.
- [0095] (부기7) 상기 제1 구동 빗살 전극의 상기 전극치는, 상기 제1 캐패시터 빗살 전극의 상기 전극치와는 반대측에, 상기 가동 본체로부터 연장되는, 부기 1 내지 6 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0096] (부기8) 상기 제1 구동 빗살 전극의 상기 전극치는, 상기 제1 캐패시터 빗살 전극의 상기 전극치와 동일한 측에, 상기 가동 본체로부터 연장되는, 부기 1 내지 6 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0097] (부기9) 상기 연결부는, 상기 가동부의 상기 제1 캐패시터 빗살 전극과 전기적으로 접속하는 도전 연락부를 갖는 부기 1 내지 8 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0098] (부기10) 상기 제1 및/또는 제2 캐패시터 빗살 전극의 표면은 유전체막을 수반하지 않는, 부기 1 내지 9 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0099] (부기11) 상기 제1 및 제2 캐패시터 빗살 전극 사이의 정전 용량을 변화시키기 위한 가변 캐패시터로서 구성되어 있는, 부기1 내지 10 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0100] (부기12) 상기 제1 및 제2 캐패시터 빗살 전극 사이의 정전 용량을 검지하기 위한 센싱 디바이스로서 구성되어 있는 부기1 내지 10 중 어느 하나에 기재된 마이크로 가동 디바이스.
- [0101] (부기13) 충전체로서 저점성의 절연성 액체 또는 저점성의 절연성 기체를 이용하여 패키징되어 있는 부기 1 내지 12 중 어느 하나에 기재된 마이크로 가동 디바이스.

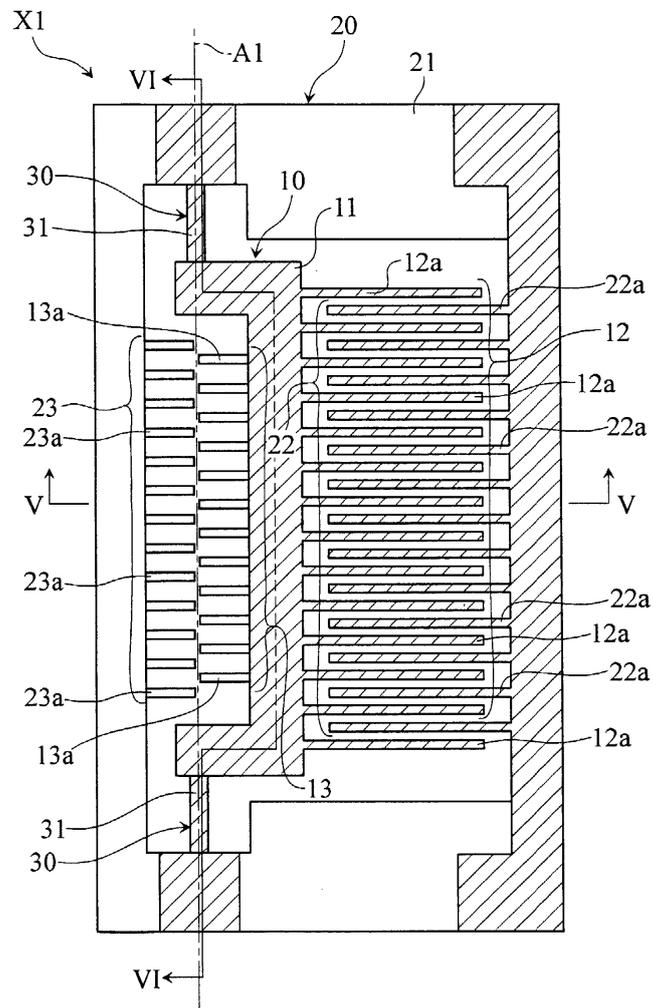
도면의 간단한 설명

- [0102] 도1은 본 발명의 제1 실시 형태에 따른 마이크로 가동 디바이스의 평면도.
- [0103] 도2는 본 발명의 제1 실시 형태에 따른 마이크로 가동 디바이스의 다른 평면도.
- [0104] 도3은 도1의 부분 확대도.
- [0105] 도4는 도2의 부분 확대도.
- [0106] 도5는 도1의 선V-V를 따라 자른 확대 단면도.
- [0107] 도6은 도1의 선VI-VI를 따라 자른 일부 생략 확대 단면도.
- [0108] 도7은 도1에 도시하는 마이크로 가동 디바이스의 제조 방법에 있어서의 일부의 공정을 도시하는 도면.

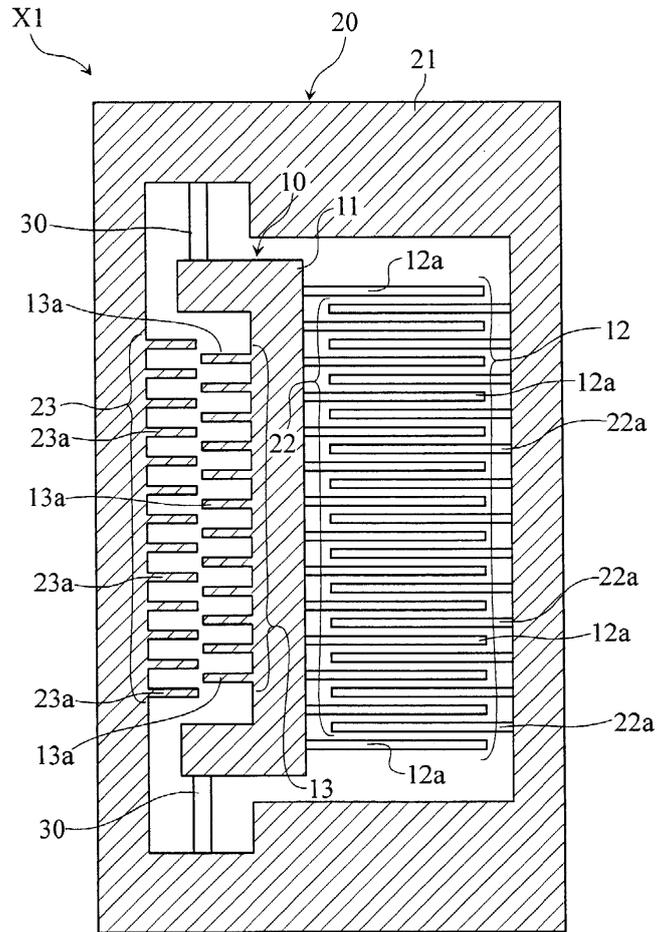
- [0109] 도8은 도7 후에 이은 공정을 도시하는 도면.
- [0110] 도9은 도8 후에 이은 공정을 도시하는 도면.
- [0111] 도10은 도9 후에 이은 공정을 도시하는 도면.
- [0112] 도11은 가동부가 회전 변위된 경우를 도시하는 도면.
- [0113] 도12는 본 발명의 제2 실시 형태에 따른 마이크로 가동 디바이스의 평면도.
- [0114] 도13은 도12의 선VIII-VIII을 따라 자른 단면도.
- [0115] 도14는 본 발명의 제3 실시 형태에 따른 마이크로 가동 디바이스의 평면도.
- [0116] 도15는 도14의 선XV-XV을 따라 자른 단면도.
- [0117] 도16은 종래의 마이크로 가동 디바이스의 일례의 평면도.
- [0118] 도17은 도16에 도시하는 마이크로 가동 디바이스의 다른 평면도.
- [0119] 도18은 도16의 선XVIII-XVIII을 따라 자른 단면도.
- [0120] 도19는 도16의 선XIX-XIX을 따라 자른 단면도.
- [0121] 도20은 도16에 도시하는 종래의 마이크로 가동 디바이스의 제조 방법에 있어서의 일부의 공정을 도시하는 도면.
- [0122] 도21은 도20 후에 이은 공정을 도시하는 도면.
- [0123] <도면의 주요 부분에 대한 부호의 설명>
- [0124] X1, X2, X3 : 마이크로 가동 디바이스
- [0125] 10, 40 : 가동부
- [0126] 11, 41 : 가동 본체
- [0127] 12, 13, , 22, 23, 42, 43, 52, 53 : 빗살 전극
- [0128] 12a, 13a, 22a, 23a, 42a, 43a, 52a, 53a : 전극치
- [0129] 20, 50 : 프레임
- [0130] 21, 51 : 프레임 본체
- [0131] 30, 60 : 연결부
- [0132] 31 : 주부
- [0133] 32 : 도전 연락부
- [0134] 101 : 제1 층
- [0135] 102 : 제2 층
- [0136] 103, 203, 303 : 절연층
- [0137] 200, 300 : 재료 기판
- [0138] 201, 202, 301, 302 : 실리콘층

도면

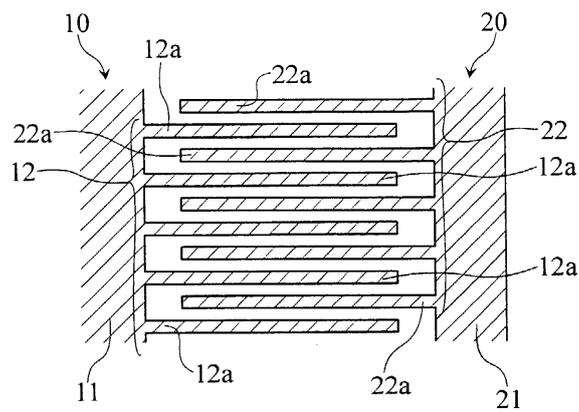
도면1



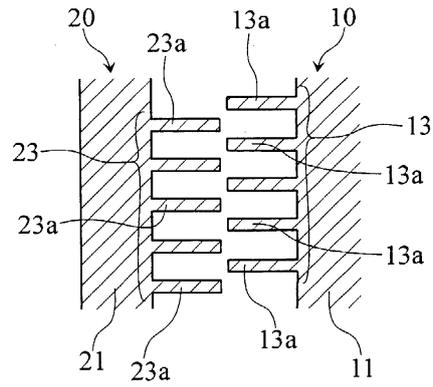
도면2



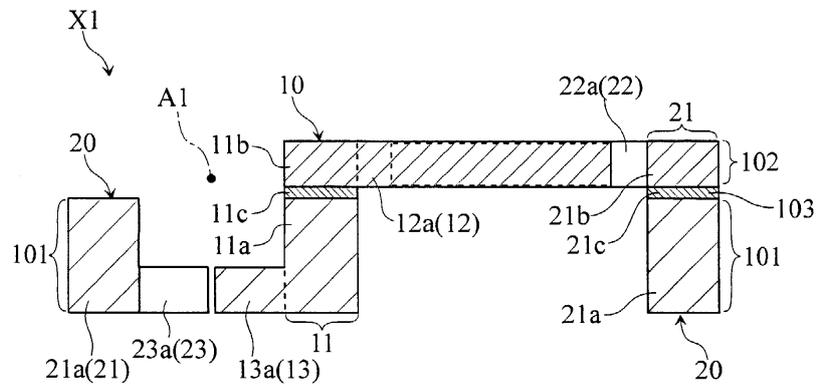
도면3



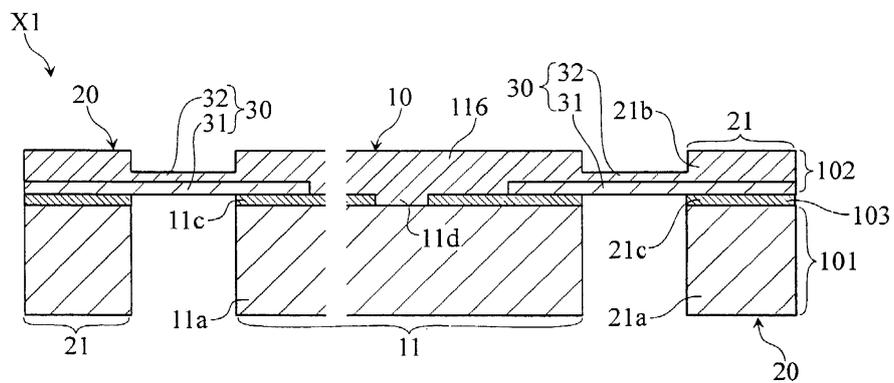
도면4



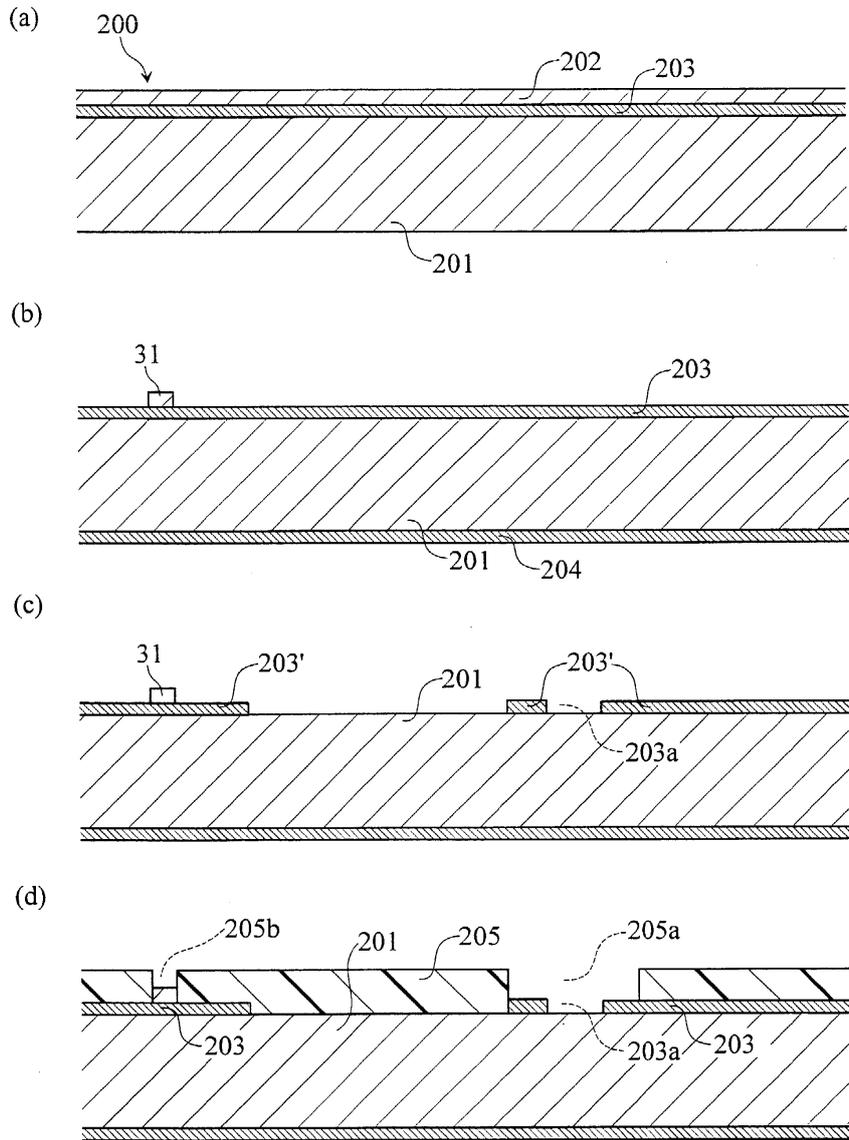
도면5



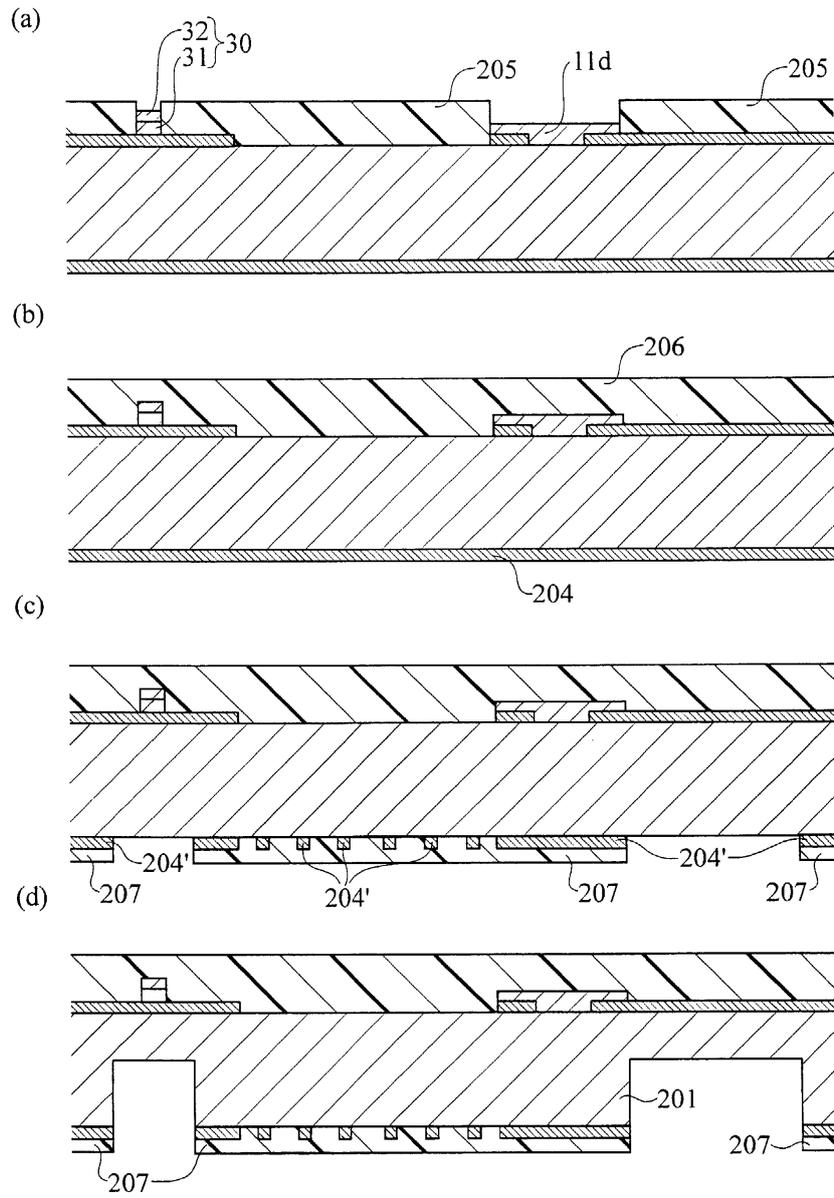
도면6



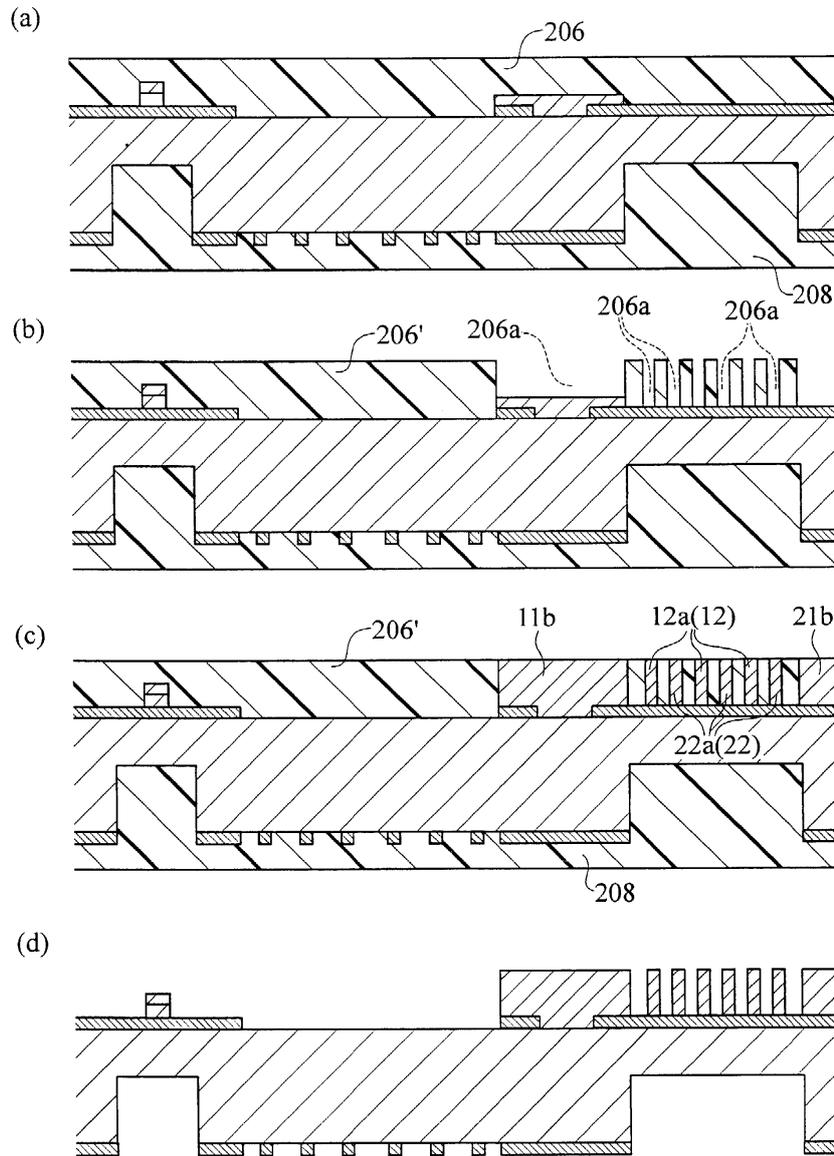
도면7



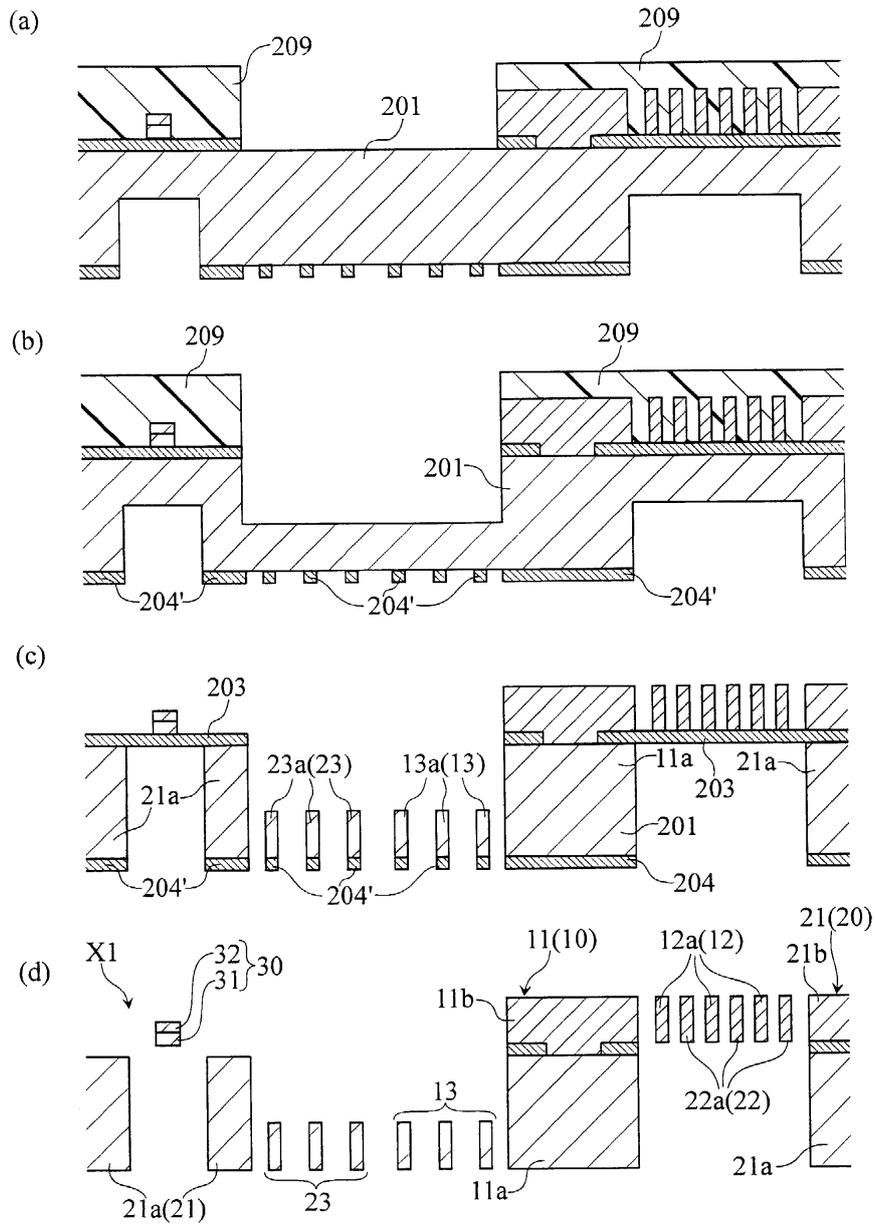
도면8



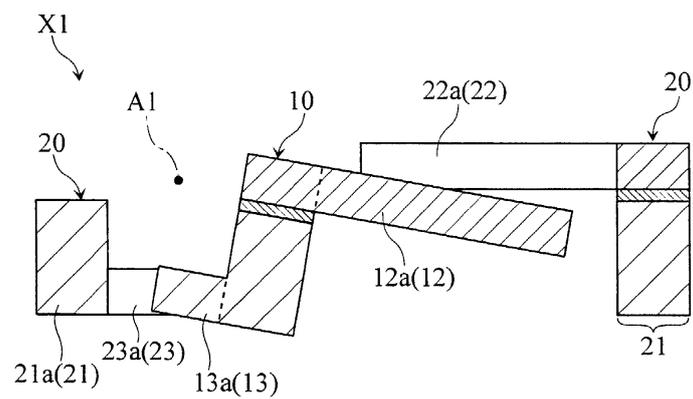
도면9



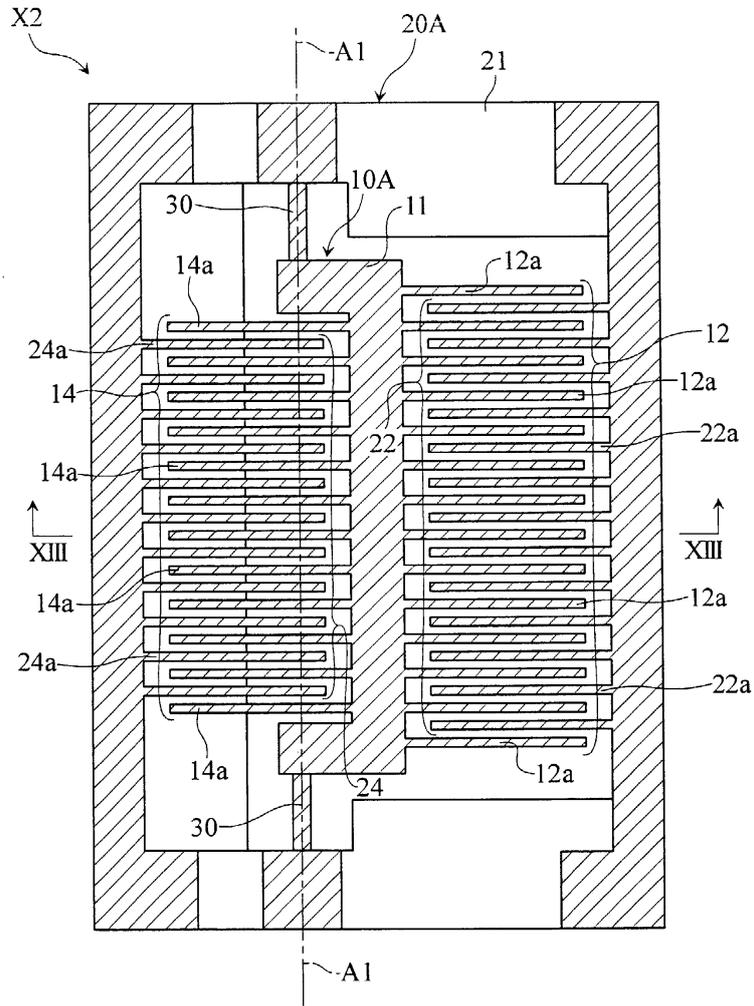
도면10



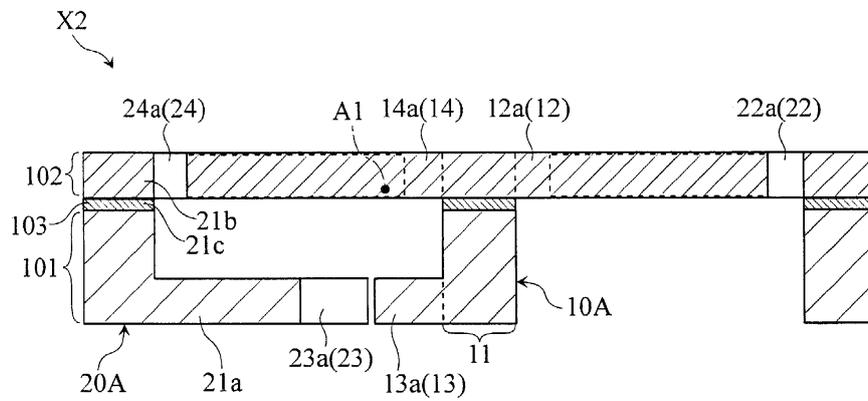
도면11



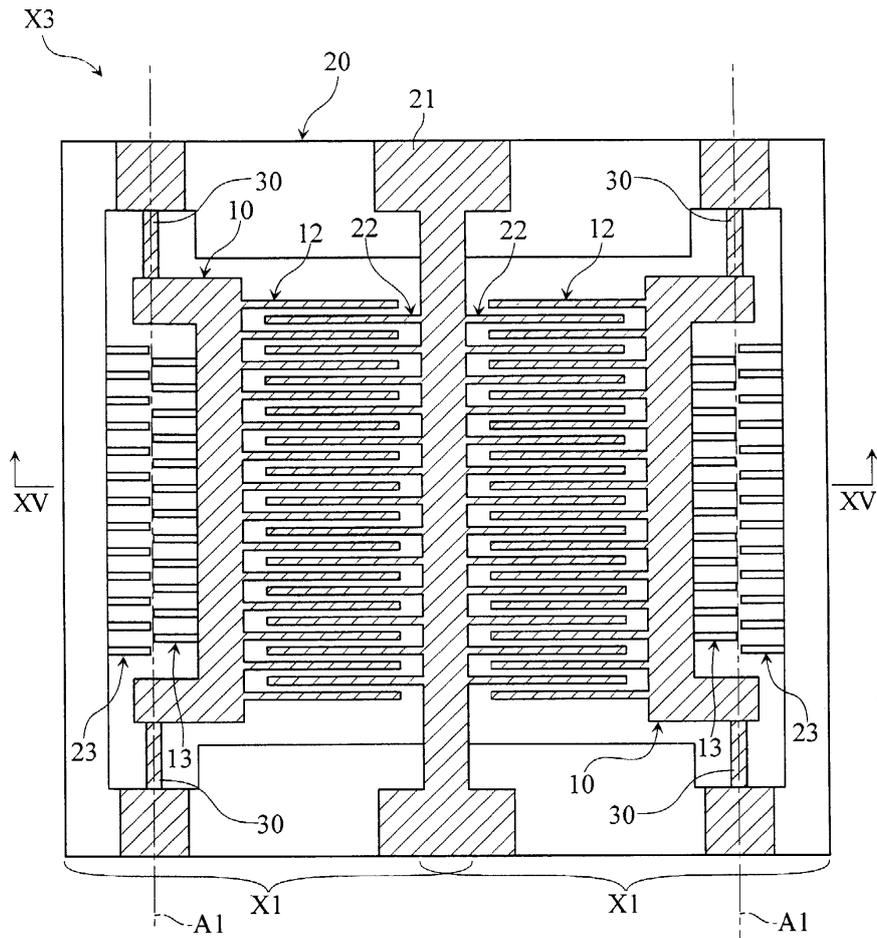
도면12



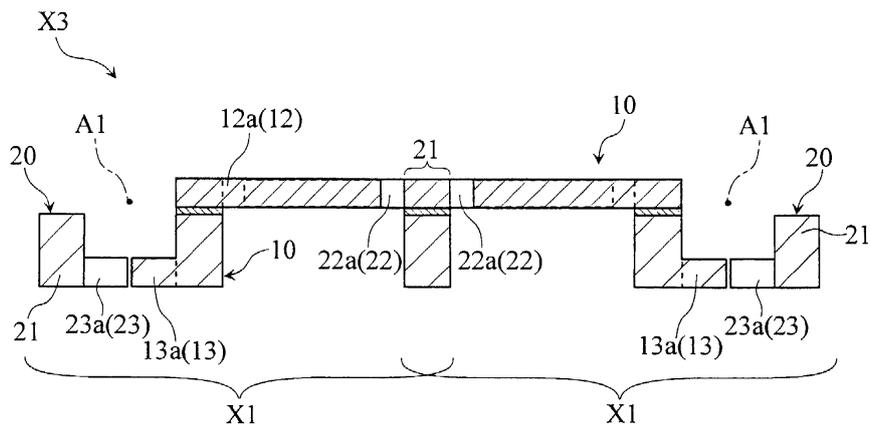
도면13



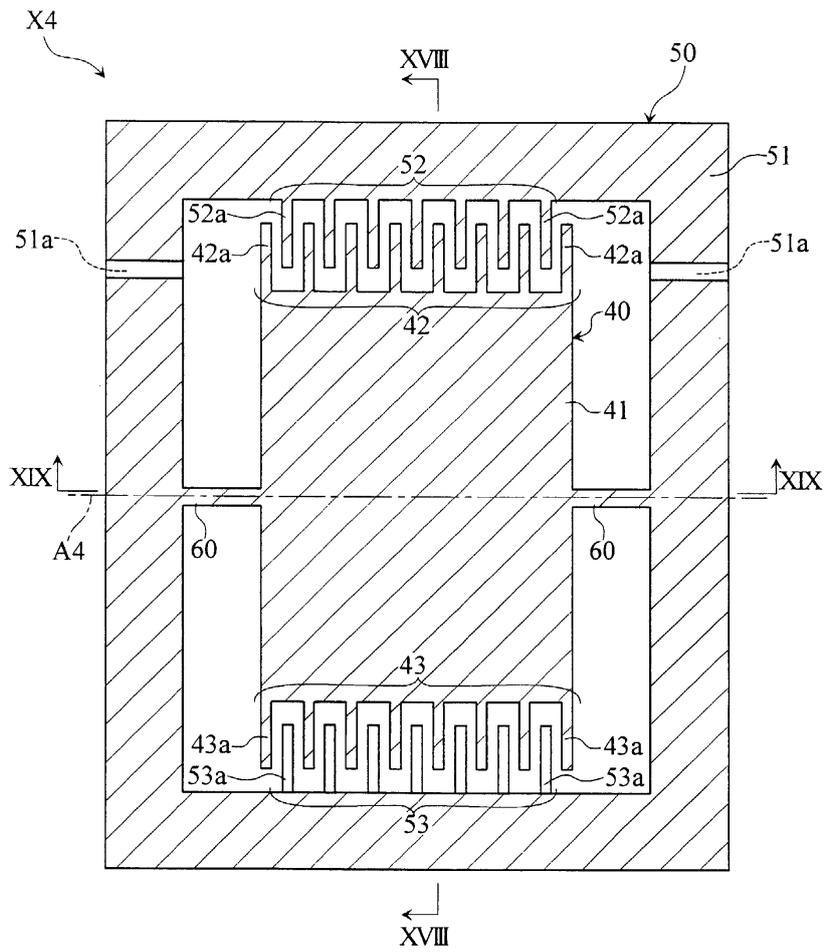
도면14



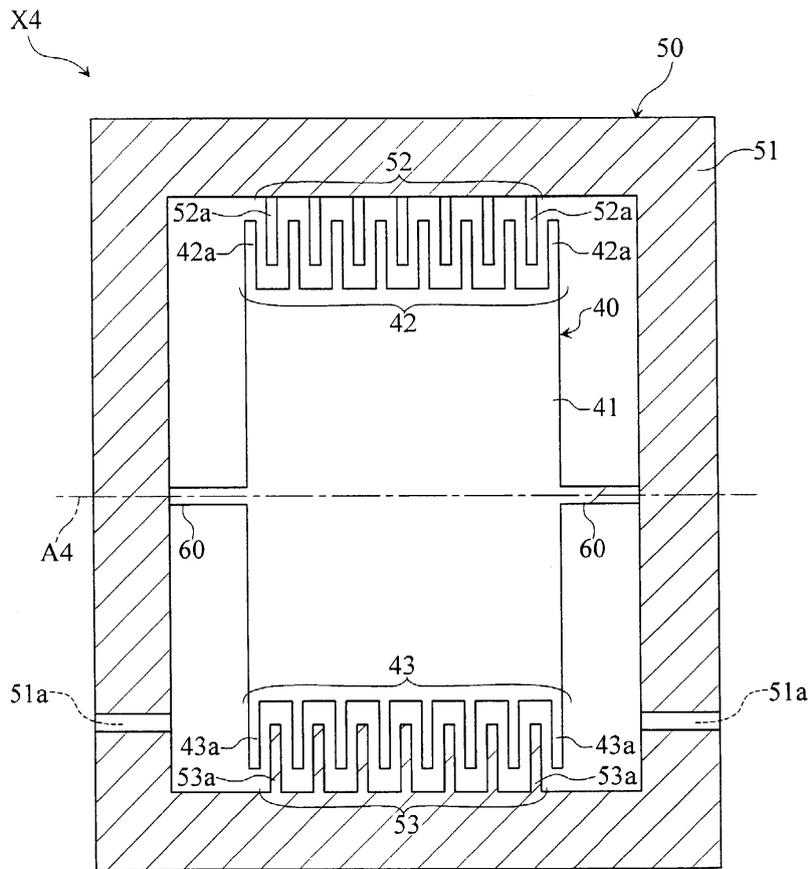
도면15



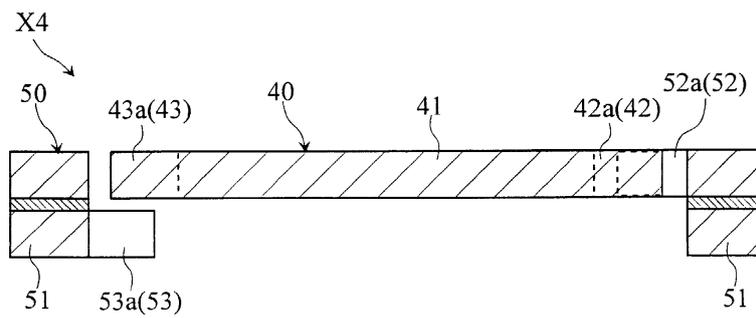
도면16



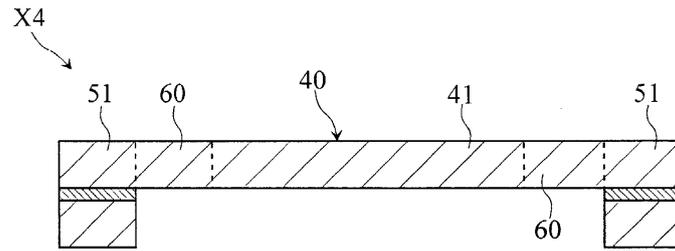
도면17



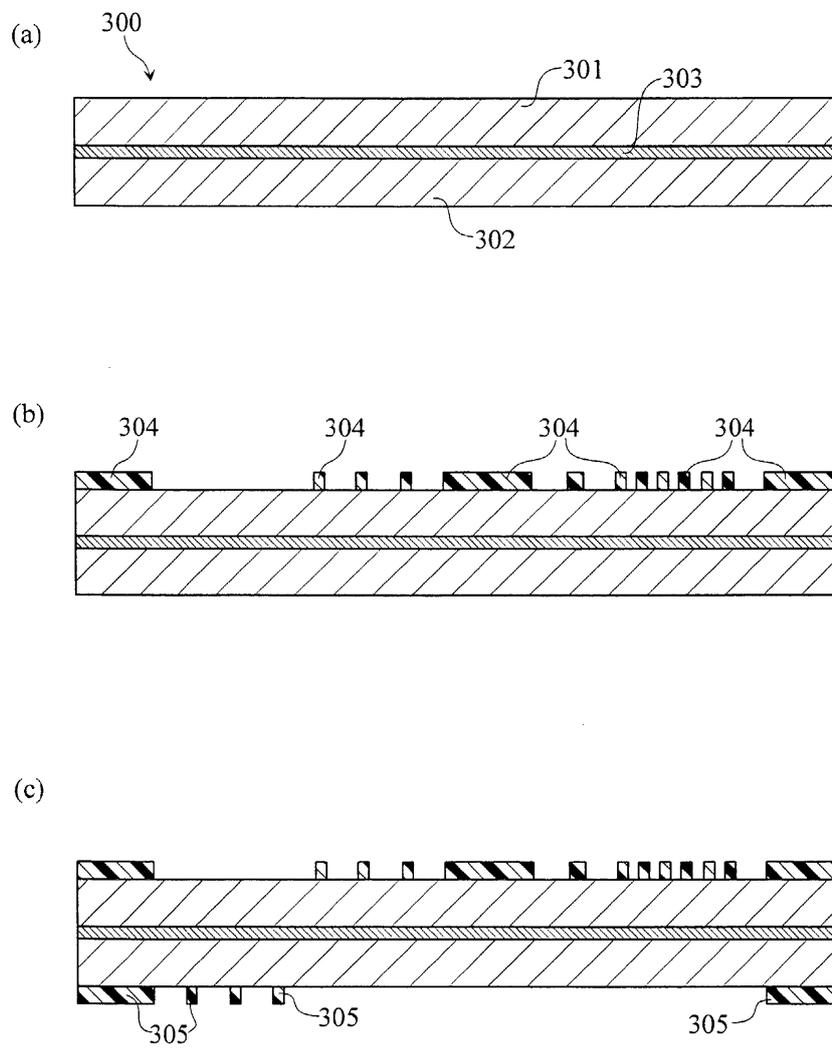
도면18



도면19



도면20



도면21

