

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-193525

(P2004-193525A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int. Cl.⁷

H01L 29/06

B82B 1/00

F I

H01L 29/06 G01D

H01L 29/06 G01N

B82B 1/00 ZNM

テーマコード (参考)

審査請求 未請求 請求項の数 21 O L (全 19 頁)

(21) 出願番号 特願2002-363132 (P2002-363132)
 (22) 出願日 平成14年12月13日 (2002.12.13)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100065385
 弁理士 山下 穰平
 (74) 代理人 100122921
 弁理士 志村 博
 (72) 発明者 小川 美紀
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 (72) 発明者 宮田 浩克
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

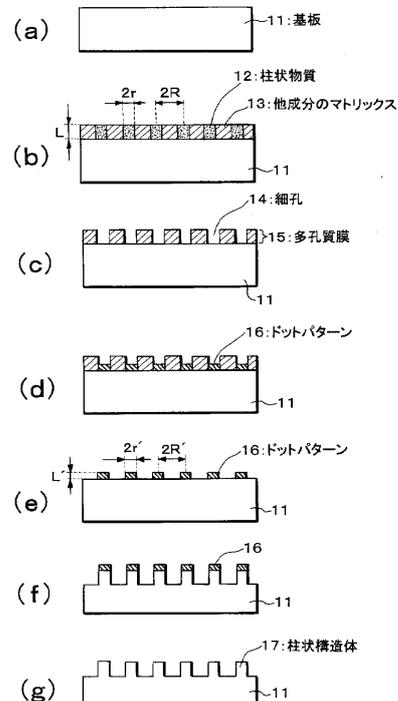
(54) 【発明の名称】 柱状構造体及びその製造方法

(57) 【要約】

【課題】非常に微細なサイズの柱状構造体を微細な間隔で低コストかつ短時間で基板上に形成する方法、及び、その製造方法により形成された柱状構造体を提供する。

【解決手段】柱状構造体17は、基板11上に形成された微細なドットパターン16をマスクとして利用したエッチングプロセスで形成される。微細なドットパターン16は、基板11上に形成した多孔質膜45の柱状の細孔14内にマスク材料(貴金属、とくに金)を導入した後に多孔質膜45を除去して得られる。多孔質膜45は、第一の成分(例えば、アルミニウム)を含み構成される柱状物質42が、第一の成分と共晶を形成し得る第二の成分(例えば、シリコン、ゲルマニウム、あるいはゲルマニウムとシリコンの混合物)を含み構成される他成分のマトリクス43中に分散している構造体から、柱状物質42を除去して形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

柱状の部材と該柱状の部材を取り囲む領域を含む構造体を用意する工程、該構造体から該柱状の部材を除去して多孔質体を形成する工程、及び該多孔質体にマスク材料を導入する工程を有することを特徴とするマスク部材の製造方法。

【請求項 2】

前記構造体は、第1の材料を含み構成される前記柱状の部材が、第2の材料を含み構成される前記領域に取り囲まれており、且つ該構造体には該第2の材料が、該第1の材料と第2の材料の全量に対して20 atomic%以上70 atomic%以下の割合で含まれている請求項1記載のマスク部材の製造方法。

10

【請求項 3】

柱状の部材とそれを取り囲む領域を含み構成される構造体から、該柱状の部材を除去して得られる多孔質体にマスク材料を導入して得られることを特徴とするマスク部材。

【請求項 4】

前記構造体は、第1の材料を含み構成される前記柱状の部材が、第2の材料を含み構成される前記領域に取り囲まれており、且つ該構造体には該第2の材料が、該第1の材料と第2の材料の全量に対して20 atomic%以上70 atomic%以下の割合で含まれている請求項3記載のマスク部材。

【請求項 5】

基板上に形成された柱状の構造を有する構造体であって、
該柱状の構造は、第一の成分を含み構成される柱状物質が第一の成分と共晶を形成し得る第二の成分を含み構成される部材中に分散している構造体から該柱状物質を除去して形成された柱状の空孔を有する多孔体を用いて該空孔内にマスク材料を導入した後に該多孔体を除去して得られる該マスク材料から構成されるドットを、前記基板上的マスクとして利用したエッチングプロセスで形成されていることを特徴とする柱状構造体。

20

【請求項 6】

前記構造体が薄膜状である請求項5記載の柱状構造体。

【請求項 7】

前記柱状物質がアルミニウムであり、前記部材がシリコンであって、且つ前記構造体におけるシリコンの割合が20 atomic%以上70 atomic%以下の範囲にある請求項5記載の柱状構造体。

30

【請求項 8】

前記柱状物質がアルミニウムであり、前記部材がゲルマニウムであって、且つ前記構造体におけるゲルマニウムの割合が20 atomic%以上70 atomic%以下の範囲にある請求項5記載の柱状構造体。

【請求項 9】

前記多孔体の主成分がシリコンである請求項5記載の柱状構造体。

【請求項 10】

前記多孔体の主成分がゲルマニウムである請求項5記載の柱状構造体。

【請求項 11】

前記柱状構造体の直径が0.5 nm以上15 nm以下である請求項5乃至10のいずれか1項に記載の柱状構造体。

40

【請求項 12】

前記柱状構造体の柱状部分と隣合う柱状部分との間隔が5 nm以上20 nm以下である請求項乃至11のいずれか1項に記載の柱状構造体。

【請求項 13】

前記柱状物質は結晶性物質であり、前記部材は非晶質物質である請求項5乃至12のいずれか1項に記載の柱状構造体。

【請求項 14】

前記ドットを構成するマスク材料が貴金属を含むことを特徴とする請求項5乃至13のい

50

ずれか 1 項に記載の柱状構造体。

【請求項 15】

前記貴金属が金であることを特徴とする請求項 14 に記載の柱状構造体。

【請求項 16】

前記柱状構造体が 1 層または複数層の材料からなることを特徴とする請求項 5 乃至 15 のいずれか 1 項に記載の柱状構造体。

【請求項 17】

前記 1 層または複数層の材料のうち少なくともひとつが半導体である請求項 5 乃至 16 のいずれか 1 項に記載の柱状構造体。

【請求項 18】

第一の成分を含み構成される柱状物質が、第一の成分と共晶を形成し得る第二の成分を含み構成される部材中に分散している構造体を基板上に用意する工程、該柱状物質を除去する除去工程、及び該除去工程により得られる柱状の空孔を有する多孔体の該空孔内にマスク材料を導入する導入工程、前記部材を除去しマスク材料からなるドットを用意する工程、前記ドットをマスクとして前記基板をエッチングする工程、前記ドットを除去する工程を有することを特徴とする柱状構造体の製造方法。

【請求項 19】

前記柱状物質を除去する除去工程がエッチングである請求項 18 に記載の柱状構造体の製造方法。

【請求項 20】

前記空孔内にマスク材料を導入する導入工程が電着である請求項 18 又は 19 に記載の柱状構造体の製造方法。

【請求項 21】

前記ドットをマスクとして前記基板をエッチングする工程において、該エッチングがドライエッチングである請求項 18 乃至 20 のいずれか 1 項に記載の柱状構造体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、微細な構造を有する柱状構造体及びその製造方法に係り、より詳細には、非常に微細な径を有し大きさの揃った柱状構造体を、非常に狭い間隔で基板上に配列形成することが可能な柱状構造体の作製方法に関する。特に、本発明は、量子効果を利用した電子デバイス及び光デバイスの高機能化並びに高性能化に寄与するものである。

【0002】

【従来の技術】

バンドギャップの狭い半導体の微細構造が、バンドギャップの広い半導体によって 2 次元もしくは 3 次元にわたって囲まれた、いわゆる「低次元量子構造」は、光素子、電子素子の高機能化、高性能化に有望であり、将来の光・電子産業発展の鍵として、近年多大な関心を集めている。特に、3 次元量子閉じこめ構造である量子ドットは、電子の強い閉じ込め効果に基づく状態密度の先鋭化に由来して、顕著な量子効果が多岐に渡り発現するため、従来にない優れた機能、性能を有する光・電子デバイスの基本構造としてその実現が期待されている。

【0003】

これらの微細構造を形成する技術として、電子ビームやイオンビーム、STM針を利用したリソグラフィ技術があり、近年では 100 nm 以下の微細加工まで可能となっている。しかし、これらの方法は製造コストがまだ高価であり、また、加工時間が非常にかかるという欠点を持っている。また、閉じ込め効果をより増大させるためには、100 nm オーダーのサイズよりさらに微細なサイズの構造が必要とされている。

【0004】

これらを解決するために、微細構造をもったマスクを用いて基板をエッチングすることにより微細な構造体を形成する方法が提案されている。この、マスクを用いる方法では多数

10

20

30

40

50

の微細構造体を一度に形成することが可能であり、加工時間において非常に有利である。

【0005】

例えば、特許文献1では、まず複数の貫通孔を有するスルーホールメンブレンと呼ばれる多孔質体をマスクとして基板上にマスク材料を堆積させ、そのマスク材料からなるドットパターンを形成し、そのドットパターンをマスクとして基板をエッチングすることで基板表面に微細な突起を形成する方法が開示されている。

【0006】

また、非特許文献1では、ジブロックコポリマーから形成されたミセルの核部分を利用して、基板表面に金のクラスターを形成し、該クラスターをマスクとして用い、ピラー状構造体を作製する方法が報告されている。ここでは、マスク、つまりクラスターの大きさはジブロックポリマー溶液に溶解した金属塩の量で、また、配列間隔はジブロックポリマーの疎水部分の分子量で規定できると記載されている。

10

【0007】

【特許文献1】

特開平11-112099号公報

【非特許文献1】

Journal of Applied Physics, Vol.91, No.9, 6057(2002)

【0008】

【発明が解決しようとする課題】

これらマスクを用いる方法では、最終的に形成される微細構造体の大きさ、配列の間隔はマスクの構造によってほぼ決められると言える。

20

【0009】

前記特許文献1でも微細な突起の構造は、最初のマスクとなるスルーホールメンブレンの構造に決定される。前記特許文献1のスルーホールメンブレンは、アルミニウム基板に所望の配列の突起を有する別基板を押し付け、該アルミニウム基板に微細な窪みパターンを形成し、次に該アルミニウム基板を酸性電解質溶液中において陽極酸化することにより窪み部分を孔として形成されるものである。よって、配列間隔を初めの別基板の突起の配列以下にすることはできず、実質的には数十ナノメートルのオーダーが限界と思われる。また、孔径は後処理によって配列間隔以内で大きくすることは可能であるが小さくすることは難しいため実質的には数十ナノメートルオーダーであることが多い。

30

【0010】

しかしながら、半導体の微細構造の寸法をおよそ20nm以下にすると、その構造内の電子や正孔のエネルギー分布幅を非常に狭くすることができると言われている。例えば、量子細線や量子ドットと呼ばれる微細構造を半導体レーザに応用すれば、閾値電流の極めて低い半導体レーザを実現することができる。よって、このような半導体レーザを実現するために、上記数十ナノメートルオーダーよりもさらに微細なサイズの形状を有する構造体を均一にかつ高密度に形成する技術が必要とされている。

【0011】

また、これら微細な構造体は単電子トランジスタや単電子メモリといった単電子デバイスへの応用にも期待されているが、量子サイズ効果等の特異的な性質を発現するのは多くの場合、10nm未満の大きさになった場合である。よって、単電子デバイスへの応用を考えた上でも、さらなる超微細構造の実現が望まれているのである。

40

【0012】

一方、非特許文献1の報告では、10nm以下の直径のピラー状構造体が可能となっている。しかし、配列の間隔はジブロックポリマーから形成されるミセルの大きさに規定され、100nm前後である。安定的にミセルを形成させるには、ジブロックポリマーの疎水部と親水部の安定的な分離が必要であり、このためにはポリマー内の疎水部、親水部それぞれにある程度の鎖長が必要である。よって、疎水部の鎖長の短縮による配列間隔の短縮にも実際には限界があり、上記高密度化に対してはまだ問題が残されていると言える。

【0013】

50

本発明は、上記問題点に鑑みなされたもので、非常に微細なサイズの柱状構造体を微細な間隔で低コストかつ短時間で基板上に形成する方法、及び、その製造方法により形成された柱状構造体を提供することを目的とする。

【0014】

【課題を解決するための手段】

本発明に係るマスク材の製造方法は、柱状の部材と該柱状の部材を取り囲む領域を含む構造体を用意する工程、該構造体から該柱状の部材を除去して多孔質体を形成する工程、及び該多孔質体にマスク材料を導入する工程を有することを特徴とする。

また、本発明に係るマスク材は、柱状の部材とそれを取り囲む領域を含み構成される構造体から、該柱状の部材を除去して得られる多孔質体にマスク材料を導入して得られることを特徴とする。

10

ここで前記構造体は、第1の材料を含み構成される前記柱状の部材が、第2の材料を含み構成される前記領域に取り囲まれており、且つ該構造体には該第2の材料が、該第1の材料と第2の材料の全量に対して20 atomic%以上70 atomic%以下の割合で含まれているのがよい。

【0015】

上記目的を達成するため、本発明は、基板上に形成された柱状の構造を有する構造体であって、該柱状の構造は、第一の成分を含み構成される柱状物質が第一の成分と共晶を形成し得る第二の成分を含み構成される部材中に分散している構造体から該柱状物質を除去して形成された柱状の空孔を有する多孔体を用いて該空孔内にマスク材料を導入した後に該多孔体を除去して得られる該マスク材料をから構成されるドットを、前記基板上のマスクとして利用したエッチングプロセスで形成されていることを特徴とする。

20

【0016】

前記構造体は、薄膜状であることが望ましい。

【0017】

前記柱状物質はアルミニウムであり、前記部材がシリコンであって、且つ前記構造体におけるシリコンの割合が20 atomic%以上70 atomic%以下の範囲にあることが望ましい。もしくは、前記柱状物質がアルミニウムであり、前記部材がゲルマニウムであって、且つ前記構造体におけるゲルマニウムの割合が20 atomic%以上70 atomic%以下の範囲にあることが望ましい。

30

【0018】

前記多孔体の主成分はシリコン、またはゲルマニウムであることが望ましい。

【0019】

前記柱状構造体の直径は0.5 nm以上15 nm以下であることが望ましい。前記柱状構造体の柱状部分と隣合う柱状部分との間隔は5 nm以上20 nm以下であることが望ましい。

【0020】

前記柱状物質は結晶性物質であり、前記部材は非晶質物質であることが望ましい。

【0021】

前記ドットを構成するマスク材料は貴金属、特に金を含むことが望ましい。

40

【0022】

前記柱状構造体は1層または複数層の材料からなり、該材料のうち少なくともひとつは半導体であることが望ましい。

【0023】

また、本発明に係る柱状構造体の製造方法は、第一の成分を含み構成される柱状物質が、第一の成分と共晶を形成し得る第二の成分を含み構成される部材中に分散している構造体を基板上に用意する工程、該柱状物質を除去する除去工程、及び該除去工程により得られる柱状の空孔を有する多孔体の該空孔内にマスク材料を導入する導入工程、前記部材を除去しマスク材料からなるドットを用意する工程、前記ドットをマスクとして前記基板をエッチングする工程、前記ドットを除去する工程を有することを特徴とする。 前記柱状物

50

質を除去する除去工程は、エッチングであることが望ましい。

【0024】

前記空孔内にマスク材料を導入する導入工程は、電着であることが望ましい。

【0025】

前記ドットをマスクとして前記基板をエッチングする工程において、エッチングはドライエッチングであることが望ましい。

【0026】

以下、上記多孔体の母材となる構造体について説明を加える。

【0027】

本発明で適用される構造体は、第1の成分と第2の成分を含み構成される構造体であって、該第1の成分を含み構成される柱状物質が、該第2の成分を含み構成される部材に取り囲まれているものである。この構成では、該構造体には該第2の成分が、該第1の成分と第2の成分の全量に対して20 atomic%以上70 atomic%以下の割合で含まれていることが望ましい。

【0028】

上記割合は、前記構造体を構成する前記第1の成分と第2の成分の全量に対する前記第2の成分の割合のことであり、好ましくは25 atomic%以上65 atomic%以下、より好ましくは30 atomic%以上60 atomic%以下である。

【0029】

なお、前記柱状物質は、実質的に柱状形状が実現していればよく、例えば柱状物質の成分として第2の成分が含まれていてもよいし、前記部材に第1の成分が含まれていてもよい。また、前記柱状物質やその周囲の部材に酸素、アルゴン、窒素、水素などが少量含まれていてもよい。

【0030】

上記割合は、例えば誘導結合型プラズマ発光分析法で定量分析することにより得られる。

【0031】

前記第1及び第2の成分としては、両者の成分系相平衡図において、共晶点を有する材料（いわゆる共晶系の材料）であることが好ましい。特に共晶点が300以上好ましくは400以上であるのがよい。なお、第1の成分と第2の成分として好ましい組み合わせとしては、第1の成分としてAlを用い、第2の成分としてSiを用いる形態、第1の成分としてAlを用い、第2の成分としてGeを用いる形態、あるいは第1の成分としてAlを用い、第2の成分として Si_xGe_{1-x} ($0 < x < 1$)を用いるのが好ましい。

【0032】

前記柱状物質の平面形状は、円形あるいは楕円形状である。前記構造体には、前記第2の成分を含み構成されるマトリクス中に複数の前記柱状物質が分散していることになる。柱状物質の径（平面形状が円の場合は直径）は、主として前記構造体の組成（即ち、前記第2の成分の割合）に応じて制御可能であるが、その平均径は、0.5 nm以上50 nm以下、好ましくは0.5 nm以上20 nm以下、さらに好ましくは0.5 nm以上15 nm以下である。楕円等の場合は、最も長い外径部が、上記範囲内であればよい。ここで平均径とは、例えば、実際のSEM写真（約100 nm × 70 nmの範囲）で観察される柱状の部分を、その写真から直接、あるいはコンピュータで画像処理して、導出される値である。平均径の下限としては1 nm以上、あるいは数 nm以上であることが実用的な下限値である。

【0033】

また、複数の柱状物質間の中心間距離2Rは、2 nm以上30 nm以下、好ましくは5 nm以上20 nm以下、更に好ましくは5 nm以上15 nm以下である。勿論、中心間距離の下限として上記2Rは、柱状物質どうしが接触しない間隔は最低限備えている必要がある。

【0034】

前記構造体は、膜状の構造体であることが好ましく、かかる場合、前記柱状の部材は膜の

面内方向に対して略垂直になるように前記第2の成分を含み構成されるマトリックス中に分散していることになる。膜状構造体の膜厚としては、特に限定されるものではないが、 $1\text{ nm} \sim 100\ \mu\text{m}$ の範囲で適用できる。プロセス時間等を考慮してより現実的な膜厚としては、 $1\text{ nm} \sim 1\ \mu\text{m}$ 程度である。特に 300 nm 以上の膜厚でも柱状構造が維持されていることが好ましい。

【0035】

前記構造体は膜状の構造体であることが好ましく、基板上に当該構造体が設けられていてもよい。基板としては、特に限定されるものではないが、石英ガラスなどの絶縁性基板、シリコン基板、ガリウム砒素、あるいはインジウム燐などの半導体基板、アルミニウムなどの金属基板あるいは支持部材としての基板上に上記構造体が形成できるのであれば、フレキシブル基板（例えばポリイミド樹脂など）も用いることができる。

10

【0036】

前記構造体は、非平衡状態で成膜する方法を利用して作製することができる。当該成膜方法としては、スパッタリング法が好ましいが、抵抗加熱蒸着、電子ビーム蒸着（EB蒸着）、イオンプレーティング法をはじめとする任意の非平衡状態で物質を形成する成膜法が適用可能である。スパッタリング法で行う場合には、マグネトロンスパッタリング、RFスパッタリング、ECRスパッタリング、DCスパッタリング法を用いることができる。スパッタリング法で行う場合は、アルゴンガス雰囲気中で反応装置内の圧力を 0.2 Pa から 1 Pa 程度にして成膜を行う。スパッタリングの際には、ターゲット原料として前記第1の材料と第2の材料をそれぞれ別途用意しても良いが、予め所望の割合で第1の材料と第2の材料が焼成されたターゲット材料を用いてもよい。

20

【0037】

基板上に形成される前記構造体は、基板温度を 20 以上 300 以下、好ましくは 20 以上 200 以下で形成されることが好ましい。

【0038】

前記構造体から前記柱状物質を除去（ウェットエッチングあるいはドライエッチングなど）することにより複数の柱状の孔を有する多孔体（多孔質体）が形成される。エッチングには、柱状の部材を選択的に除去できればよく、エッチング液としては例えば、燐酸、硫酸、塩酸、硝酸などの酸が好適である。当該除去により形成される多孔体の孔は、互いに連結せず独立していることが好適である。

30

【0039】

上記構造体から多孔体を作製する方法として、第1の成分と第2の成分を含み構成される構造体であって、該第1の成分を含み構成される柱状の部材が、該第2の成分を含み構成される領域に取り囲まれており、且つ該構造体には該第2の成分が、該第1の成分と第2の成分の全量に対して 20 atomic\% 以上 70 atomic\% 以下の割合で含まれている該構造体を用意する工程、及び該構造体から該柱状の部材を除去する工程を有することが望ましい。

【0040】

【発明の実施の形態】

以下、本発明に係る柱状構造体及びその製造方法の実施の形態を添付図面を参照して説明する。

40

【0041】

本実施形態は、従来の多孔質体と比較して、孔径、及び、細孔の配列間隔が非常に微細な新規の多孔質膜を用いて微細なドットパターンを形成し、該ドットパターンをマスクとして非常に微細な構造をもった柱状構造体を作製するものである。

【0042】

ここで、本実施形態による該多孔質膜について説明する。

【0043】

基板上に、例えばスパッタリング等の方法で、互いに共晶系にある複数の物質の膜を形成した場合、各々の成分は、膜中において混合することなく独立に存在する。そして、特定

50

の材料系について、成膜条件と物質の組成が最適化された場合、図2のようにある成分が微細な径の柱状の形態、すなわち柱状物質22となって、他成分のマトリクス23中に分散して存在した構造が形成される。この構造は、本発明者らによって発見された新規な構造体であり、柱状物質は、基板界面から膜表面まで貫通して存在する。形成される柱状物質の1本の柱の径は、0.5nmから15nmの範囲である。また、柱状物質の中心間隔は5nmから20nmの範囲にある。

【0044】

具体例を用いて説明すると、スパッタリングでアルミニウムとシリコンの混合膜を基板上に作製した場合、条件が最適化されると、非晶質なシリコンのマトリクス中に結晶性の柱状アルミニウムが形成される。形成される柱状アルミニウムの1本の柱の径は、0.5nmから15nmの範囲である。アルミニウムは、膜中において、基板界面から膜表面に至るまで、単一の柱として存在していることが走査型電子顕微鏡の観察によって示されている。同様の構造は、スパッタリングで作製したアルミニウムとゲルマニウムの混合膜に関しても、形成が確認されている。膜厚は、スパッタリング時間を調整することで制御することが可能であり、スパッタリングを中断しない限り、膜厚を厚くしても柱状構造が途切れることはない。

10

【0045】

本実施形態は、図3に示すように上記の柱状物質を含む膜から柱状物質を除去したものを多孔質膜33として用い、その細孔にマスクの材料となる物質を導入し、該多孔質膜を除去することによって基板上に図4に示すようなドットパターン42を得て、さらに、該ドットパターンをマスクとして基板をエッチングすることで、非常に微細な構造を持った柱状構造体を複数個同時に、つまり短時間で作製し得たものである。

20

【0046】

次に、本実施形態の製造方法について説明する。

【0047】

以下の工程(A)~工程(D)により、非常に微細な径の柱状構造体を基板上に非常に微細な間隔で形成することができる。図1は本実施形態による柱状構造体の製造方法を示した断面模式図である。

工程(A)：基板の用意

まず、図1(a)に示すように、基板11を用意する。この基板11は、基本的に材質や厚さを限定されるものではなく、ガラス、金属、セラミックス、半導体、有機物等種々のものが使用可能である。該基板11は、基板そのものが柱状構造体となるバルク材料であってもよいし、下地基板の上に柱状構造体となる材料層(柱状構造体形成層)が形成されていてもよい。本実施形態では、バルク材料である基板も、下地基板表面に柱状構造体形成層が形成されているものもあわせて基板と称する。

30

【0048】

基板11には、GaAs、InAs等の半導体が、光・電子デバイスへの応用を考えた上で有用であるが、これに限らない。所望の微細柱状構造体の構成にあわせて、例えばAlGaAs/GaAsやGaAs/InGaAsといった2層以上から成る多重量子井戸構造の層が柱状構造体形成層として下地基板表面に形成されていても構わない。また、この柱状構造体形成層は、分子ビームエピタキシー法(MBE法)等既存の方で形成することができる。

40

工程(B)：多孔質膜形成

次に、この基板11上に図1(c)に示すような細孔14を有する多孔質膜15を形成する方法について詳細に説明する。

【0049】

図1(b)に示すように、互いに共晶径を形成する材料を適当な比率で含むターゲットを用いて、スパッタリング法により、柱状形態の第一の成分である柱状物質12が他の成分のマトリクス13中に分散されている構造の薄膜を、基板11上に作製する。この場合、使用するターゲットは、2つの成分の混合体である必要はなく、一方の物質の上にもう一

50

方の物質が置かれているようなものでも良く、また、2つの物質が所望の面積比を与えるように貼りあわせられているような構成のものでも良い。

【0050】

例示すると、アルミニウムターゲット上にシリコンウエハーを適当な量置いた状態でスパッタリングを行うことで上記構造の膜を基板11上に作製することができる。

【0051】

膜形成は、スパッタリングを例にとって説明するが、同様の構造が形成できる成膜法であれば、本発明に適用することができる。

【0052】

形成される柱状物質12の柱一本の平均径 $2r$ は、 0.5 nm から 15 nm の範囲である。また、柱状物質12の平均中心間隔は $2R$ は 5 nm から 20 nm の範囲にある。(図1(b)参照)

次に、図1(c)に示すように、作製した構造体から、上記柱状物質12を除去して、多孔質膜15を形成する。柱状物質12の選択除去には、ウェットエッチングが好ましく用いられる。例えば、非晶質なシリコンのマトリクス中に形成された結晶性の柱状アルミニウムの場合には、リン酸や硫酸でエッチングすることによって、シリコンの形状を変化させることなく、アルミニウムのみを除去し細孔14を形成することが可能である。

【0053】

また、ここでその後のプロセスを簡便に行うため、形成された多孔質膜15に対して化学処理を施し、多孔質層の性質を変化させる工程をおこなうこともある。この場合の化学処理とは、具体的には酸化処理等を示す。

工程(C)：ドットパターンの形成

次に、図1(d)に示すように、多孔質膜15の細孔14内にドットパターン16を形成する方法について説明する。

【0054】

ドットパターンの材料としてはPt、Au、Ni、Al、Ta等金属類や酸化シリコン、窒化シリコンなどを用いればよい。すなわち、マスクとして、基板11とのエッチングにおいて選択性がとれ、かつ後の工程において支障のない材料ならよい。また、基板11が導電性を有していれば、電着プロセスによって、金属等は簡単に導入することができる。また、電着プロセス等で、細孔14の底に触媒となる物質を形成し、その触媒の作用によって目的の材料を形成しても良い。また、細孔14の底部の触媒は、多孔質膜15を形成する前に基板11の表面に蒸着等の方法によって形成しておいても良い。

【0055】

また、有機物もドットパターンの材料として用いることが可能である。例えばポリアニリンなど、有機物を多孔質層の空孔内で電解重合することにより良好なマスクパターンとすることができる。

【0056】

上記操作によって、図1(d)に示すように、最初の膜において柱状物質12を取り囲んでいたマトリクス13中に、目的のドットパターン材料で構成されるドットパターン16が形成される。

【0057】

次に、図1(e)に示すように、多孔質膜15を除去する。この工程では、多孔質膜15を選択的に除去し、ドットパターン16のみが基板11上に配列した構造が形成される。図4は、この工程により基板11(図中の例では符号41)上に形成されたドットパターン16(図中の例では符号42)を示す斜視図である。

【0058】

多孔質膜15を選択的に除去する方法としては、エッチング等のプロセスを適用することが可能である。例えば、シリコンが最初の多孔質膜材料であり、工程(B)において化学処理を施し酸化ケイ素に変化した場合には、希フッ酸によるエッチングが良好に適用可能である。

10

20

30

40

50

【0059】

以上の工程(C)により、図1(e)に示すように基板11上にドットパターン16が形成される。

工程(D)：基板のエッチング

次に、図1(f)に示すように、基板11をエッチングすることにより、その基板表面に柱状構造体17を形成する。ここで、このエッチングは酸などによりウェットエッチングを用いてもよいが、Arイオンミリングや反応性イオンによるエッチング等のドライエッチングのほうがより好適である。中でも特にイオン銃により数百～数千kVに加速したイオンを試料に照射しエッチングする方法である反応性イオンビームエッチング法(RIBE)は精度の高い垂直加工が可能であり、好適である。

10

【0060】

次に、図1(g)に示すように、プラズマ酸化処理や適当な酸処理(ウェット)等によりマスクとなったドットパターン16を除去すれば、所望の材料からなる柱状構造体17が得られる。

【0061】

また、ここで、形成された柱状構造体17に対してさらにアニール処理を行い、柱状構造体17内の再結晶化を行ってもよい。

【0062】

また、MBE法や有機金属気層エピタキシー法(MOVPE)等の既存の結晶成長技術を用いて柱状構造体17の空孔内に原子、分子あるいは反応ガス等を供給するようにすれば、他の材料による埋め込み層を形成することも可能である。

20

【0063】

以上説明したように、本実施形態によれば、互いに共晶系にある複数の物質からなる膜から非常に微細な構造を持った新規な多孔質膜を作製し、その細孔にマスク材料となる物質を導入し、該多孔質膜を除去することによってドットパターンを得て、さらに、該ドットパターンをマスクとして基板をエッチングすることで、非常に微細な構造を持った柱状構造体を微細な配列間隔で、一括して複数個作製できる。

【0064】

従って、本実施形態にて作製された柱状構造体を、例えば半導体レーザーに適用すれば、閾値電流の低下、特性の安定化、利得の向上などの高性能化を図ることができ、さらに、電子や光の閉じ込め効果及び量子効果を利用した演算素子等の電子デバイス及び光デバイスにも適用することもでき、その高機能化並びに高性能化に寄与することができる。

30

【0065】

【実施例】

以下、実施例を用いてさらに詳細に本発明を説明するが、本発明は、これらの実施例に限定されるものではなく、材料、反応条件等は、同様な構造の柱状構造体得られる範囲で自由に変えることが可能である。

(実施例1：第1の材料Al、第2の材料Si)

本実施例では、多孔質膜の母材となる混合膜として、シリコンに周囲を囲まれたアルミニウム構造体部分が円柱状構造であり、その径 $2r$ が 3nm であり、間隔 $2R$ が 7nm 、長さ L が 200nm であるアルミニウム細線を得た。

40

【0066】

まず、このアルミニウム細線の作製方法を説明する。

【0067】

ガラス基板上に、RFマグネトロンスパッタリング法を用いて、シリコンをアルミニウムとシリコンの全量に対して55atomic%含んだアルミニウムシリコン混合膜を約 200nm 形成する。ターゲットには、4インチのアルミニウムターゲット上に 15mm 角のシリコンチップ13を8枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量： 50sccm 、放電圧力： 0.7Pa 、投入電力： 1kW とした。また、基板温度は室温とした。

50

【0068】

なお、ここではターゲットとして、アルミニウムターゲット上にシリコンチップを8枚置いたものを用いたが、シリコンチップの枚数はこれに限定されるものではなく、スパッタ条件により変化し、アルミニウムシリコン混合膜の組成が約55 atomic%近辺になれば良い。また、ターゲットはアルミニウムターゲット上にシリコンチップを置いたものに限定したのではなく、シリコンターゲット上にアルミニウムチップを置いたものでも良いし、シリコンとアルミニウムの粉末を焼結したターゲットを用いても良い。

【0069】

次に、このようにして得られたアルミニウムシリコン混合膜をICP(誘導結合型プラズマ発光分析)にて、シリコンのアルミニウムとシリコンの全量に対する分量(atomic%)を分析した。その結果、シリコンのアルミニウムとシリコンの全量に対する分量は約55 atomic%であった。なお、ここでは測定の都合上、基板として、カーボン基板上に堆積したアルミニウムシリコン混合膜を用いた。

10

【0070】

FE-SEM(電界放出走査型電子顕微鏡)にて、アルミニウムシリコン混合膜を観察した。基板真上方向から見た表面の形状は、シリコンに囲まれた円形のアルミニウムナノ構造体が二次元的に配列していた。アルミニウムナノ構造体部分の孔径は3 nmであり、その平均中心間隔は7 nmであった。また、断面をFE-SEMにて観察した所、高さは200 nmであり、それぞれのアルミニウムナノ構造体部分はお互いに独立していた。

【0071】

また、X線回折法でこの試料を観察した所、結晶性を示すシリコンのピークは確認できず、シリコンは非晶質であった。

20

【0072】

従って、シリコンに周囲を囲まれた間隔2Rが7 nm、径2rが3 nm、高さLが200 nmのアルミニウム細線を含んだアルミニウムシリコンナノ構造体を作製することができた。

【0073】

(比較例)

上記実施例の比較試料Aとして、ガラス基板上に、スパッタ法を用いて、シリコンをアルミニウムとシリコンの全量に対して15 atomic%含んだアルミニウムシリコン混合膜を約200 nm形成した。ターゲットには、4インチのアルミニウムターゲット上に15 mm角のシリコンチップ13を2枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量:50 sccm、放電圧力:0.7 Pa、投入電力:1 kWとした。また、基板温度は室温とした。

30

【0074】

FE-SEM(電界放出走査型電子顕微鏡)にて、比較試料Aを観察した。基板真上方向から見た表面の形状は、アルミニウム部分は円形状にはなっておらず、縄状になっていた。即ち、アルミニウムの柱状構造体がシリコン領域内に均質に分散した微細構造体となっていなかった。さらに、その大きさは10 nmを遥かに超えていた。また、断面をFE-SEMにて観察した所、アルミニウム部分の幅は15 nmを超えていた。なお、このようにして得られたアルミニウムシリコン混合膜をICP(誘導結合型プラズマ発光分析)にて、シリコンのアルミニウムとシリコンの全量に対する分量(atomic%)を分析した。その結果、シリコンのアルミニウムとシリコンの全量に対する分量は約15 atomic%であった。

40

【0075】

さらに、比較試料Bとして、ガラス基板上に、スパッタ法を用いて、シリコンをアルミニウムとシリコンの全量に対して75 atomic%含んだアルミニウムシリコン混合膜を約200 nm形成した。ターゲットには、4インチのアルミニウムターゲット上に15 mm角のシリコンチップ13を14枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量:50 sccm、放電圧力:0.7 Pa、投入電力:1 kWとした。また

50

、基板温度は室温とした。

【0076】

FE-SEM（電界放出走査型電子顕微鏡）にて、比較試料Bを観察した。基板真上方向から見た試料表面には、アルミニウム部分を観察することができなかった。また、断面をFE-SEMにて観察しても、明確にアルミニウム部分を観察することができなかった。なお、このようにして得られたアルミニウムシリコン混合膜をICP（誘導結合型プラズマ発光分析）にて、シリコンのアルミニウムとシリコンの全量に対する分量（atomic%）を分析した。その結果、シリコンのアルミニウムとシリコンの全量に対する分量は約75atomic%であった。

【0077】

また、比較試料Aを作製した場合と、シリコンチップの枚数の条件のみを変え、アルミニウムシリコン混合体の全量に対するシリコンの割合が、20atomic%、35atomic%、50atomic%、60atomic%、70atomic%である試料を作製した。アルミニウムの柱状構造体がシリコン領域内に均質に分散した微細構造体となっている場合を○、なっていない場合を×としたものを以下に示す。

【0078】

【表1】

シリコンの割合 (atomic%)	微細構造体
15 (比較試料A)	×
20	○
25	○
35	○
50	○
55	○
60	○
65	○
70	○
75 (比較試料B)	×

このように、アルミニウムとシリコンの全量に対するシリコン含有量を、20atomic%以上70atomic%以下に調整することで、作製されたアルミニウムナノ構造体の孔径の制御が可能であり、また、直線性に優れたアルミニウム細線の作製が可能になる。なお、構造の確認には、SEMの他にもTEM（透過型電子顕微鏡）等を利用するのがよい。なお、上記含有量に関しては上記シリコンに代えてゲルマニウム、あるいはシリコンとゲルマニウムの混合物を用いても同様であった。

【0079】

さらに、比較試料Cとして、ガラス基板の上に、スパッタ法を用いて、シリコンをアルミニウムとシリコンの全量に対して55atomic%含んだアルミニウムシリコン混合膜を約200nm形成した。ターゲットには、4インチのアルミニウムターゲット上に15mm角のシリコンチップ13を8枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量：50sccm、放電圧力：0.7Pa、投入電力：1kWとした。また、基板温度は250とした。

【0080】

10

20

30

40

50

F E - S E M (電界放出走査型電子顕微鏡)にて、比較試料Cを観察した。基板真上方向から見た試料表面には、アルミニウムとシリコンの明瞭な境界を確認することができなかった。つまり、アルミニウムナノ構造体を確認することができなかった。即ち、基板温度が高すぎると、より安定な状態に変化してしまうため、このようなアルミニウムナノ構造体を形成する膜成長ができていないと思われる。

【0081】

なお、柱状の部材が分散した構造体を得る為に、ターゲットの組成をAl : Si = 55 : 45などに設定することも好ましい形態である。

(実施例2)

本実施例は、共晶を形成する物質としてアルミニウムとシリコンを用い酸化シリコンの多孔質膜を作製し、該多孔質膜を用いて金のドットパターンを作製し、代表的な半導体材料であるGaAsからなる基板をエッチングして非常に微細な構造を有するGaAs柱状構造体を作製した例である。

【0082】

本実施例では基板としてGaAs基板を用いた。この基板上にシリコン多孔質膜を形成する方法について説明する。

【0083】

まず、前記基板上に100nmのアルミニウム - シリコン混合膜を成膜した。ターゲットは4インチのアルミニウムターゲット上に15mm角のシリコンチップを6枚おいたものである。スパッタは、RF電源を用いて、Ar流量 : 50sccm、放電圧力 : 0.7Pa、投入電力 : 300Wの条件で行った。また、基板温度は室温とした。

【0084】

ここではターゲットとして、アルミニウムターゲット上にシリコンチップを6枚置いたものを用いたが、シリコンチップの枚数はスパッタ条件により変化するため、これに限定されるものではなく、後述するような、柱状のアルミニウムがシリコン中に分散した所望の構造が形成できるものであればよい。また、ターゲットはアルミニウムターゲット上にシリコンチップを置いたものに限定したのではなく、シリコンターゲット上にアルミニウムチップを置いたものでも良いし、シリコンとアルミニウムの粉末を焼結したターゲットを用いても良い。

【0085】

さらに、本実施例ではスパッタリング法としてRFスパッタリング法を用いたが、これに限定されるものではなく、ECRスパッタリング法、DCスパッタリング法、イオンビームスパッタリング法でもよい。さらに、スパッタリング条件は装置に依存しており、これに限定されるものではない。また、スパッタ法以外の蒸着法であっても、所望の構造体が形成できる方法であれば、本発明に適用可能である。

【0086】

このようにして得られたアルミニウム - シリコン混合膜をICP (誘導結合型プラズマ発光分析)にて、アルミニウムとシリコンの全量に対する該シリコンの分量 (atomic%) を分析した。その結果、アルミニウムとシリコンの全量に対する該シリコンの分量は約37atomic%であった。

【0087】

また、電界放出走査型電子顕微鏡 (F E - S E M)にて、以上のように作製されたアルミニウム - シリコン混合膜を観察したところ、シリコン部材に囲まれたほぼ円形の微細な柱状アルミニウムが二次元的に配列していた。柱状アルミニウム部分の画像処理より求めた平均径は2rは5nmであり、その平均中心間隔2Rは10nmであった。また、断面をF E - S E Mにて観察した所、膜の高さLは100nmであり、それぞれの柱状アルミニウムの部分はお互いに独立していた。

【0088】

また、X線回折法でこの薄膜試料を分析したところ、シリコンの回折線は確認できず、シリコンは非晶質であることがわかった。一方、複数のアルミニウムの回折線が確認できた

10

20

30

40

50

ことより、アルミニウムは多結晶であることが分かった。

【0089】

以上のことから、非晶質シリコンに周囲を囲まれ、平均径5 nm、平均高さ100 nmの結晶性の柱状アルミニウムが平均間隔10 nmで配列されたアルミニウム - シリコン構造体の作製が確認できた。

【0090】

次に、上記のように得られたアルミニウム - シリコン構造体を98%硫酸に浸漬し、アルミニウム柱状構造部分のみを選択的にエッチングして細孔を形成した。エッチング後の膜をFE-SEMで観察した結果、柱状のアルミニウムのみが除去され、多孔質膜になっていることが確認された。シリコン部の形状は、アルミニウム除去前と比較して実質的に変化していないことがわかった。この場合も断面をFE-SEMで観察したところ、アルミニウムは基板界面まで完全に除去されていることが明らかとなった。以上の工程によって、基板上に基板に対して垂直な貫通孔を有するシリコンの多孔質膜を作製できた。

【0091】

次に、作製した多孔質膜の細孔に金を導入し、ドットパターンを作製する方法について説明する。

【0092】

まず、上記の工程で作製したシリコン多孔質膜を市販の電気メッキ液（高純度化学研究所製金用電気メッキ液、商品コードK-24E）中に入れ、40℃に保持した酸性浴（pH = 4.5）中において、0.5 A/dm²の電流密度で電着を行った。

【0093】

金の電着を行った後の膜は、純水で洗浄した後、FE-SEMで、表面及び断面の観察を行った。その結果、金が細孔中に均一に導入され、微細な柱状構造を形成していることが確認された。

【0094】

この膜をさらに30%の水酸化ナトリウム水溶液中に浸漬し、金の周囲に存在するシリコンの除去を行った。この水酸化ナトリウム水溶液による処理には、GaAs基板表面に存在する酸化層を除去し洗浄する効果もある。シリコンの除去後の基板をFE-SEMで観察した結果、表面に微細な柱状構造の金が高密度で配列され、金のドットパターンが形成されていることが確認された。画像処理より求めた柱状の金の平均径 $2r'$ は5 nmであり、その平均中心間隔 $2R$ は10 nmであり、高さ L' は10 nmであった。

【0095】

次に、ドットパターンが形成された該基板をエッチングした。エッチングは、反応性イオンビームエッチング法（RIBE）で行った。ただし、RIBE法を用いると、ぶつけられた加速イオンのため、GaAs表面に損傷が入ってしまうことがある。この場合は後述のようにアニール処理を行うことが好ましい。

【0096】

前記エッチング工程の後に（Na₂SO₄、C₆FeK₃N₆、H₂NCSNH₂）水溶液に基板を浸漬して、金のドットパターンを除去した。

【0097】

さらに、Asリッチの雰囲気下に前記基板を設置し、580℃まで昇温してアニールし、再結晶化を行った。

【0098】

透過電子顕微鏡（TEM）にて、以上の工程を経た基板を観察したところ、微細な柱状形状のGaAsが基板上に配列していることが観察され、柱状構造体が形成されたことが確認された。観察像から概算された柱状構造体の直径は4 nm、高さは20 nmであり、中心間隔は10 nmで配列していた。

【0099】

よって、本実施例によれば、上記多孔質膜からドットパターンを形成してマスクとして用いることにより、非常に微細な構造を有するGaAs柱状構造体を微細な間隔を持って複

10

20

30

40

50

数同時に形成できることが確認された。

(実施例3)

本実施例は、共晶を形成する物質としてアルミニウムとゲルマニウムを用いゲルマニウムの多孔質膜を作製し、該多孔質膜を用いて金のドットパターンを作製し、GaAs/InGaAsからなる量子井戸構造が形成された基板をエッチングして、GaAs/InGaAs柱状構造体を作製した例である。光学デバイスや電子デバイス等への応用を考えた場合、複数の半導体層からなる微細な柱状構造体は非常に有用である。

【0100】

本実施例では、図5(a)に示すように下地基板54上にGaAs/InGaAsからなる柱状構造体形成層55(第一のGaAs層53、InGaAs層54、第二のGaAs層55)を形成し、基板として用いた。この基板上にゲルマニウム多孔質膜を形成する方法について説明する。

10

【0101】

まず、200nmのアルミニウム-ゲルマニウム混合膜を成膜した。ターゲットは4インチのアルミニウムターゲット上に15mm角のゲルマニウムチップを4枚おいたものである。スパッタは、RF電源を用いて、Ar流量:50sccm、放電圧力:0.7Pa、投入電力:1kWの条件で行った。また、基板温度は室温とした。

【0102】

ここではターゲットとして、アルミニウムターゲット上にゲルマニウムチップを4枚置いたものを用いたが、ゲルマニウムチップの枚数はスパッタ条件により変化するため、これに限定されるものではなく、後述するような、柱状のアルミニウムがゲルマニウム中に分散した所望の構造が形成できるものであればよい。また、ターゲットはアルミニウムターゲット上にゲルマニウムチップを置いたものに限らず、ゲルマニウムターゲット上にアルミニウムチップを置いたものでも良いし、ゲルマニウムとアルミニウムの粉末を焼結したターゲットを用いても良い。

20

【0103】

さらに、ここではスパッタリング法としてRFスパッタリング法を用いたが、これに限定されるものではなく、ECRスパッタリング法、DCスパッタリング法、イオンビームスパッタリング法でよい。さらに、スパッタリング条件は装置に依存しており、これに限定されるものではない。また、スパッタ法以外の蒸着法であっても、所望の構造体が形成できる方法であれば、本発明に適用可能である。

30

【0104】

次に、このようにして得られたアルミニウム-ゲルマニウム混合膜をICP(誘導結合型プラズマ発光分析)にて、アルミニウムとゲルマニウムの全量に対する該ゲルマニウムの分量(atomic%)を分析した。その結果、アルミニウムとゲルマニウムの全量に対する該ゲルマニウムの分量は約37atomic%であった。

【0105】

以上のように作製されたアルミニウム-ゲルマニウム混合膜を電界放出走査型電子顕微鏡(FE-SEM)にて観察したところ、ゲルマニウム部材に囲まれたほぼ円形の微細な柱状アルミニウムが二次元的に配列していた。柱状アルミニウム部分の画像処理より求めた平均径は2rは10nmであり、その平均中心間隔2Rは15nmであった。また、断面をFE-SEMにて観察した所、膜の高さLは100nmであり、それぞれの柱状アルミニウムの部分は互いに独立していた。

40

【0106】

また、X線回折法でこの薄膜試料を分析したところ、ゲルマニウムの回折線は確認できず、ゲルマニウムは非晶質であることがわかった。一方、複数のアルミニウムの回折線が確認できたことにより、アルミニウムは多結晶であることがわかった。

【0107】

以上のことから、非晶質ゲルマニウムに周囲を囲まれた、径2rが10nm、間隔2Rが15nm、高さLが100nm、の結晶性の柱状アルミニウムを含んだアルミニウム-ゲ

50

ルマニウム構造体の作製が確認できた。

【0108】

次に、このアルミニウム - ゲルマニウム構造体を98%硫酸(濃硫酸)中に浸し、アルミニウム柱状構造部分のみを選択的にエッチングして細孔を形成した。

【0109】

エッチング後の膜をFE-SEMで観察した結果、柱状のアルミニウムのみが除去され、多孔質膜になっていることが確認された。ゲルマニウム部の形状は、アルミニウム除去前と比較して実質的に変化していないことがわかった。この場合も断面をFE-SEMで観察したところ、アルミニウムは基板界面まで完全に除去されていることが明らかとなった。以上の工程によって、基板上に基板に対して垂直な貫通孔を有するゲルマニウムの多孔質膜を作製できた。

10

【0110】

次に、作製した多孔質膜の細孔に金を導入し、ドットパターンを作製する方法について説明する。

【0111】

まず、上記の工程で作製したゲルマニウム多孔質膜を市販の電気メッキ液(高純度化学研究所製金用電気メッキ液、商品コードK-24E)中に入れ、40℃に保持した酸性浴(pH=4.5)中において、0.5A/dm²の電流密度で電着を行った。

【0112】

金の電着を行った後の膜は、純水で洗浄した後、FE-SEMで、表面及び断面の観察を行った。その結果、金が細孔中に均一に導入され、柱状構造を形成していることが確認された。

20

【0113】

この膜をさらに50%の硝酸中に浸漬し、金の周囲に存在するゲルマニウムの除去を行った。ゲルマニウムの除去後のシリコン基板をFE-SEMで観察した結果、表面に微細な柱状構造の金が高密度で配列され、金のドットパターンが形成されていることが確認された。画像処理より求めた柱状の金の平均径 $2r'$ は10nmであり、その平均中心間隔 $2R$ は15nmであった。

【0114】

次に、ドットパターンが形成された基板をエッチングした。エッチングは、反応性イオンビームエッチング法(RIBE)で行った。ただし、RIBE法を用いると、ぶつけられた加速イオンのため、GaAs表面に損傷が入ってしまうことがある。この場合は後述のようにアニール処理を行うことが好ましい。

30

【0115】

前記エッチング工程の後に(Na₂SO₄, C₆FeK₃N₆, H₂NCSNH₂)水溶液に基板を浸漬して、金のドットパターンを除去した。

【0116】

さらに、Asリッチの雰囲気下に前記基板を設置し、580℃まで昇温してアニールし、再結晶化を行った。

【0117】

以上の工程を経た基板を透過電子顕微鏡(TEM)にて観察したところ、図5(b)に示すようなGaAs/InGaAsから成る柱状構造体56(第一のGaAs層59、InGaAs層58、第二のGaAs層59)が基板54上に配列していることが観察され、微細な柱状構造体56が形成されたことが確認された。観察像から概算されたドットの直径は8nm、高さは60nmであり、中心間隔は15nmで配列していた。

40

【0118】

よって、本実施例によれば、上記多孔質膜からドットパターンを形成してマスクとして用いることにより、非常に微細な構造を有するGaAs/InGaAs柱状構造体を微細な間隔を持って複数個同時に形成できることが確認された。

【0119】

50

【発明の効果】

以上説明したように、本発明によれば、孔径、及び、細孔の配列間隔が非常に微細な新規の多孔質膜を用いて微細なドットパターンを形成し、該ドットパターンをマスクとすることで非常に微細な構造をもった柱状構造体を高密度な配列で作製することが可能となる。また、本発明に係る柱状構造体を、例えば半導体レーザーに適用すれば、閾値電流の低下、特性の安定化、利得の向上などの高性能化が図れる。さらに、本発明は、電子や光の閉じ込め効果及び量子効果を利用した、演算素子等の電子デバイス及び光デバイスの作製にも適用できることは言うまでもない。

【図面の簡単な説明】

【図1】(a)～(g)は、本発明の実施形態に係る柱状構造体の作製方法の一例を示す模式的な断面図である。 10

【図2】本発明の実施形態による柱状物質が形成された膜の構造を示す模式図である。

【図3】本発明の実施形態による多孔質膜の構造を示す模式図である。

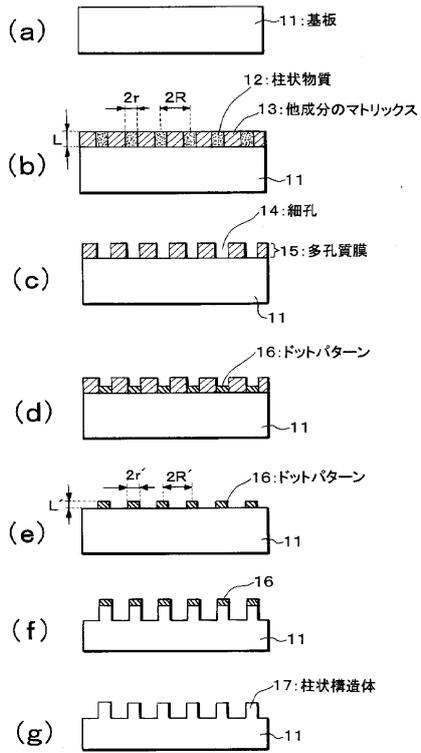
【図4】本発明の実施形態によるドットパターンの配列を示す模式図である。

【図5】(a)及び(b)は、実施例3における基板と柱状構造体を示す断面模式図である。

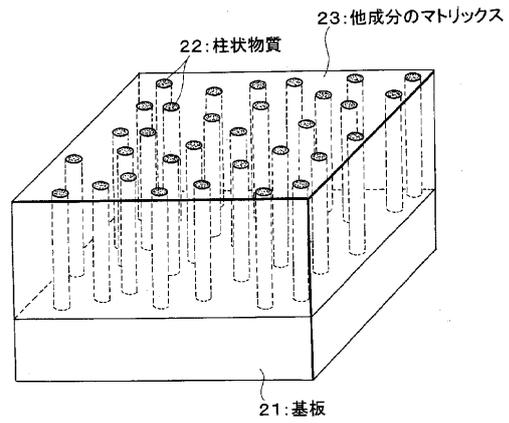
【符号の説明】

- | | | |
|-----|------------|----|
| 1 1 | 基板 | |
| 1 2 | 柱状物質 | |
| 1 3 | 他の成分のマトリクス | 20 |
| 1 4 | 細孔 | |
| 1 5 | 多孔質膜 | |
| 1 6 | ドットパターン | |
| 1 7 | 柱状構造体 | |
| 2 1 | 基板 | |
| 2 2 | 柱状物質 | |
| 2 3 | 他の成分のマトリクス | |
| 3 1 | 基板 | |
| 3 2 | 細孔 | |
| 3 3 | 多孔質膜 | 30 |
| 4 1 | 基板 | |
| 4 2 | ドットパターン | |
| 5 1 | 第一GaAs層 | |
| 5 2 | InGaAs層 | |
| 5 3 | 第二GaAs層 | |
| 5 4 | 下地基板 | |
| 5 5 | 柱状構造体形成層 | |
| 5 6 | 柱状構造体 | |
| 5 7 | 第一GaAs層 | |
| 5 8 | InGaAs層 | 40 |
| 5 9 | 第二GaAs層 | |

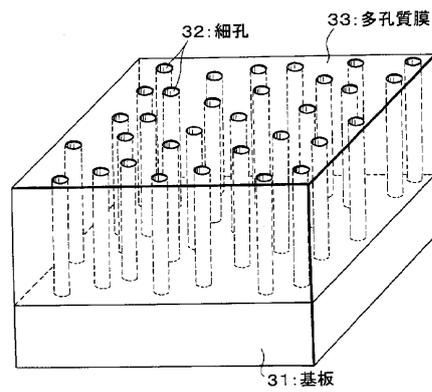
【 図 1 】



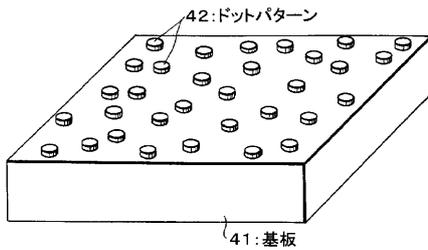
【 図 2 】



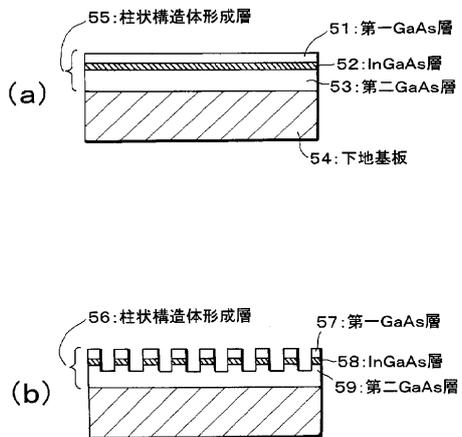
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 オットー・アルブレヒト
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 大倉 央
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 栗山 朗
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内