

①9 RÉPUBLIQUE FRANÇAISE
—
**INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE**
—
COURBEVOIE
—

①1 N° de publication :

3 061 354

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national :

16 63133

⑤1 Int Cl⁸ : **H 01 L 21/18** (2017.01), H 01 L 23/28, H 01 L 23/48,
H 01 S 5/323

⑫

BREVET D'INVENTION

B1

⑤4 PROCÉDE DE REALISATION DE COMPOSANT COMPRENANT DES MATERIAUX III-V ET
DES CONTACTS COMPATIBLES DE FILIERE SILICIUM.

②2 Date de dépôt : 22.12.16.

③0 Priorité :

④3 Date de mise à la disposition du public
de la demande : 29.06.18 Bulletin 18/26.

④5 Date de la mise à disposition du public du
brevet d'invention : 11.06.21 Bulletin 21/23.

⑤6 Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑥0 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public — FR.

⑦2 Inventeur(s) : GHEGIN ELODIE, JANY
CHRISTOPHE, NEMOUCHI FABRICE, RODRIGUEZ
PHILIPPE et SZELAG BERTRAND.

⑦3 Titulaire(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public.

⑦4 Mandataire(s) : MARKS & CLERK FRANCE Société
en nom collectif.

FR 3 061 354 - B1



Procédé de réalisation de composant comprenant des matériaux III-V et des contacts compatibles de filière silicium

Le domaine de l'invention est celui de la co-intégration de matériaux III-V sur substrat standard tel que le silicium et pouvant être réalisée sur une plateforme silicium pouvant accueillir des plaques de 100 mm de diamètre minimum. La co-intégration visée s'inscrit dans le cadre d'une intégration présentant un « back-end » planarisé compatible avec la filière Silicium 100 mm ou plus.

Les contacts actuellement intégrés sur matériaux III-V font appel à des procédés tel que le « lift-off » (le métal est déposé sur la résine et les zones d'intérêts puis la résine est dissoute ce qui retire le métal présent au dessus de la résine en laissant le métal sur les zones d'intérêts) ainsi qu'à une multitude de métaux très coûteux ou prohibés des salles blanches Silicium comme décrit dans l'article : A. Baca, F. Ren, J. Zolper, R. Briggs, and S. Pearton, "A survey of ohmic contacts to III-V compound semiconductors," *Thin Solid Films*, vol. 308-309, pp. 599–606, 1997, ou dans l'article de G. Stareev, H. Kunzel, and G. Dortmann, "A controllable mechanism of forming extremely low-resistance nonalloyed ohmic contacts to group III-V compound semiconductors," *Journal of Applied Physics*, vol. 74, no. 12, p. 7344, 1993.

Une telle intégration, non planaire, n'ouvre pas la voie à la réalisation de plusieurs niveaux supérieurs ou à la co-intégration d'autres objets. La miniaturisation et la densification des composants sont ainsi limitées.

Finalement, la multiplication du nombre de couches présentes dans les contacts actuels (entre 3 et 5), rend l'intégration complexe et non optimale. Un exemple typique d'intégration non planaire de contacts est fourni dans les références : B. Ben Bakir, C. Sciancalepore, A. Descos, H. Duprez, D. Bordel, L. Sanchez, C. Jany, K. Hassan, P. Brianceau, V. Carron, and S. Menezo, "Heterogeneously integrated III-V on silicon lasers," *Meeting Abstracts*, vol. MA2014-02, no. 34, p. 1724, 2014 et H. Duprez, A. Descos, T. Ferrotti, J. Harduin, C. Jany, T. Card, A. Myko, L. Sanchez, C. Sciancalepore, S. Menezo, and B. Ben Bakir, "Heterogeneously integrated III-V on silicon distributed feedback lasers at

1310 nm,” in *Optical Fiber Communications Conference and Exhibition (OFC), 2015*, pp. 1–3, March 2015.

La figure 1 reprend ce type de configuration pour application laser avec des reprises de contacts non planaires et composés de métaux nobles pour reprise direct sur les matériaux III-V. Sur un substrat InP dopé n, on réalise une structure de région active à base de multi-puits quantiques MQW, sur laquelle on vient réaliser l’empilement d’une couche InP dopée p et d’une couche InGaAs dopée p. On réalise des reprises de contacts via des plots de contact n-Pad pour connecter le substrat dopé n permettant de définir un contact inférieur et des reprises de contacts via des plots de contact p-Pad pour connecter la couche dopée p en InGaAs, permettant de définir un contact supérieur.

Dans ce contexte, la présente invention propose un procédé permettant de réaliser des contacts sur matériaux III-V compatibles notamment avec la filière silicium permettant ainsi une co-intégration matériaux III-V/Silicium sur une plateforme traitant des plaques de 100 mm de diamètre au minimum.

Cette invention ouvre ainsi la voie à un produit fini intégré dans une salle blanche compatible silicium traitant des plaques de 100 mm ou plus, compact et présentant au moins deux niveaux de contacts planaires réalisés simultanément ou séquentiellement.

Plus précisément, la présente invention a pour objet un procédé de réalisation d’un composant comprenant une structure en matériau(x) III-V à la surface d’un substrat, ladite structure comprenant au moins un niveau supérieur de contact défini à la surface d’un premier matériau III-V et un niveau inférieur de contact défini à la surface d’un second matériau III-V, comportant :

- des opérations successives d’encapsulation par au moins un diélectrique de ladite structure ;
- la réalisation d’au moins une ouverture supérieure primaire et d’au moins une ouverture inférieure primaire dans un diélectrique de manière à définir des zones de fond de contact sur ledit premier matériau III-V et sur ledit second matériau III-V ;

- la réalisation d'au moins une ouverture supérieure secondaire et d'au moins une ouverture inférieure secondaire dans un diélectrique de manière à définir des zones de plots de contacts sur lesdites zones de fond de contact ;
- 5 - le remplissage au moins partiel par au moins une matière métallique de ladite au moins ouverture supérieure primaire, de ladite au moins ouverture inférieure primaire, de ladite au moins ouverture supérieure secondaire et de ladite au moins ouverture inférieure secondaire de manière à réaliser :
 - 10 ○ au moins un contact supérieur dudit premier matériau III-V en contact avec le niveau supérieur de contact et comprenant au moins une métallisation de fond de contact supérieur et au moins un plot de contact supérieur en contact avec
 - 15 ladite métallisation ;
 - au moins un contact inférieur dudit second matériau III-V en contact avec ledit niveau inférieur de contact et comprenant au moins une métallisation de fond de contact inférieur et au
 - 20 moins un plot de contact inférieur en contact avec ladite métallisation ;
- au moins ledit contact supérieur et au moins ledit contact inférieur sont intégrés dans du diélectrique et présentent une surface définie dans un même plan.
- 25 On définit ainsi le caractère planaire comme étant l'ensemble des contacts émergents sur un même plan.
- Pour aboutir à ce résultat, les contacts inférieurs (pour la partie remplissage) peuvent être réalisés en une ou plusieurs étapes.
- 30 On définit par matière métallique :
 - les métaux purs, les alliages de métaux, les alliages métal + élément non métallique ;
 - les composés intermétalliques (différent d'un alliage dans sa construction cristallographique).

L'intégration de type planaire ouvre la voie à une intégration 3D, par le biais d'un collage hybride ou direct (par exemple photonique / électronique) ou du report de puces par le biais de bumps.

5 Dans le cadre d'une co-intégration III-V/Si, la réalisation d'un back-end (correspondant à l'ensemble des étapes constituant les interconnexions par liaisons métalliques) planarisé permet également d'envisager la reprise de contact sur les dispositifs des niveaux inférieurs (back-end front side ou intermétallique par exemple).

10 Selon des variantes de l'invention, la structure présente une base inférieure en second matériau III-V et une mesa en premier matériau III-V située au dessus de ladite base.

Selon des variantes de l'invention, le procédé comprend la réalisation successive d'au moins une ouverture supérieure primaire et d'au moins une ouverture inférieure primaire.

15 Il peut être intéressant d'optimiser indépendamment les métallisations de contact sur chacun des matériaux présents dans le composant III-V afin de minimiser les résistances de contact associées.

20 Selon des variantes de l'invention, le procédé comprend la réalisation simultanée d'au moins une ouverture supérieure secondaire et d'au moins une ouverture inférieure secondaire.

Selon des variantes de l'invention, le procédé comporte :

- l'encapsulation par du diélectrique d'un ensemble comprenant le premier matériau III-V recouvert d'une métallisation et le second matériau III-V recouvert d'une métallisation ;
- 25 - la réalisation d'au moins une ouverture inférieure secondaire en regard du second matériau III-V ;
- la réalisation d'au moins une ouverture supérieure secondaire au dessus dudit premier matériau III-V et la réalisation d'au moins une ouverture inférieure secondaire supplémentaire au dessus d'au moins ladite ouverture inférieure secondaire ;
- 30 - le remplissage d'au moins ladite ouverture supérieure secondaire, d'au moins une ouverture inférieure secondaire supplémentaire et d'au moins ladite ouverture inférieure secondaire.

Selon des variantes de l'invention, la structure comprenant au moins un matériau III-V dit supérieur, un matériau III-V dit intermédiaire, un matériau III-V dit inférieur, le procédé comprend :

- 5 - la réalisation d'au moins une ouverture supérieure primaire, d'au moins une ouverture intermédiaire primaire, d'au moins une ouverture inférieure primaire ;
- la réalisation d'au moins une ouverture supérieure secondaire, d'au moins une ouverture intermédiaire secondaire et d'au moins une ouverture inférieure secondaire ;
- 10 - le remplissage desdites ouvertures.

Selon des variantes de l'invention :

- au moins ladite ouverture inférieure secondaire comporte trois portions de dimensions différentes ;
- 15 - au moins ladite ouverture intermédiaire secondaire comporte deux portions de dimensions différentes ;
- au moins ladite ouverture supérieure secondaire comporte une portion.

Selon des variantes de l'invention, le procédé comprend les étapes suivantes :

- 20 - l'encapsulation de ladite structure par un premier diélectrique ;
- la réalisation d'au moins une ouverture inférieure primaire débouchant sur ledit second matériau III-V ;
- le dépôt de métallisation à la surface dudit premier diélectrique et à la surface dudit second matériau semiconducteur
- 25 définissant une métallisation de contact inférieur et un premier ensemble ;
- l'encapsulation dudit premier ensemble par un second diélectrique ;
- la planarisation dudit premier ensemble encapsulé ;
- 30 - la réalisation d'au moins une ouverture inférieure secondaire débouchant sur ladite métallisation de fond de contact inférieur ;
- le remplissage par au moins une matière métallique de ladite au moins ouverture inférieure secondaire définissant au moins

un plot de contact dudit contact inférieur et un second ensemble ;

- l'encapsulation dudit second ensemble par un troisième diélectrique ;
- 5 - la réalisation d'au moins une ouverture supérieure primaire au dessus dudit premier matériau III-V ;
- le dépôt de métallisation à la surface dudit troisième matériau diélectrique et de ladite ouverture supérieure définissant une métallisation de fond de contact supérieur et un troisième
- 10 ensemble ;
- l'encapsulation dudit troisième ensemble par un quatrième diélectrique ;
- la planarisation dudit troisième ensemble ;
- la réalisation d'au moins une ouverture supérieure secondaire
- 15 au dessus de ladite métallisation de fond de contact supérieur et au moins une ouverture supérieure au dessus au moins dudit plot de contact dudit contact inférieur ;
- le remplissage par au moins une matière métallique de ladite au moins ouverture supérieure secondaire au dessus de ladite
- 20 métallisation de fond de contact supérieur et de ladite au moins ouverture supérieure au dessus au moins dudit plot de contact dudit contact inférieur, définissant au moins un plot supérieur de contact supérieur et au moins une prolongement de plot de contact inférieur, ledit contact supérieur et au moins ledit
- 25 contact inférieur présentant une surface définie dans un même plan.

Selon des variantes, le procédé comporte les étapes suivantes :

- l'encapsulation de ladite structure par un premier diélectrique ;
- la réalisation d'au moins une ouverture supérieure primaire
- 30 débouchante sur ledit premier matériau III-V ;
- le dépôt de métallisation à la surface dudit premier diélectrique et à la surface dudit premier matériau semiconducteur définissant une métallisation de contact supérieur et un premier ensemble ;

- l'encapsulation dudit premier ensemble par un second diélectrique ;
- la planarisation dudit premier ensemble encapsulé ;
- la réalisation d'au moins une ouverture supérieure secondaire débouchant sur ladite métallisation de fond de contact supérieur ;
- le remplissage par au moins une matière métallique de ladite au moins ouverture supérieure secondaire définissant au moins un plot de contact dudit contact supérieur et un second ensemble ;
- la réalisation d'au moins une ouverture inférieure primaire au dessus dudit second matériau III-V;
- le dépôt de métallisation à la surface dudit premier matériau diélectrique et de ladite ouverture inférieure primaire définissant une métallisation de contact inférieur et un troisième ensemble ;
- l'encapsulation dudit troisième ensemble par un quatrième diélectrique ;
- la planarisation dudit troisième ;
- la réalisation d'au moins une ouverture inférieure secondaire au dessus de ladite couche de fond de contact inférieur;
- le remplissage par au moins une matière métallique de ladite au moins ouverture inférieure secondaire, définissant au moins un plot de contact inférieur, ledit contact supérieur et au moins ledit contact inférieur présentant une surface définie dans un même plan.

Selon des variantes, le procédé comprend :

- la réalisation simultanée d'au moins une ouverture supérieure primaire et d'au moins une ouverture inférieure primaire ;
- la réalisation simultanée d'au moins une ouverture supérieure secondaire et d'au moins une ouverture inférieure secondaire.

Selon des variantes de l'invention, le procédé comprend la réalisation d'un niveau supplémentaire de contact à la surface desdits contacts plans, comportant :

- un dépôt supplémentaire de diélectrique ;

- la réalisation d'au moins une ouverture supplémentaire inférieure et d'au moins une ouverture supplémentaire supérieure ;
- le remplissage desdites ouvertures supplémentaires par au moins une matière métallique pour définir au moins un contact supplémentaire inférieur et au moins un contact supplémentaire supérieur.

Selon des variantes de l'invention, le procédé comporte la réalisation d'ouvertures inférieures primaires présentant une largeur comprise entre 20 μm et 50 μm et la réalisation d'ouvertures inférieures secondaires présentant une largeur comprise entre 0,5 μm et 5 μm , préférentiellement comprise entre 1 μm et 3 μm .

Selon des variantes de l'invention, le premier matériau III-V et le second matériau III-V sont choisis parmi :

Le premier matériau III-V peut être constitué de matériau III-V tel que InP, $\text{In}_{1-x}\text{Ga}_x\text{As}$ (avec $0 \leq x \leq 1$), GaAs, InAs, du GaSb, $\text{In}_{1-x}\text{Ga}_x\text{Sb}$, $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{P}_y$, $\text{Ga}_{1-x}\text{In}_x\text{P}$, $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{N}_y$, $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$.

Le second matériau III-V peut également être constitué de matériau III-V tel que InP, $\text{In}_{1-x}\text{Ga}_x\text{As}$ (avec $0 \leq x \leq 1$), GaAs, InAs, du GaSb, $\text{In}_{1-x}\text{Ga}_x\text{Sb}$, $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{P}_y$, $\text{Ga}_{1-x}\text{In}_x\text{P}$, $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{N}_y$, $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$...

Selon des variantes de l'invention le substrat est en silicium.

Selon des variantes de l'invention, le ou les diélectriques sont choisis parmi : SiN, SiO₂, Al₂O₃, un polymère planarisant pouvant être à base de Benzocyclobutène (BCB) ou SOG.

Selon des variantes de l'invention, on réalise le dépôt d'un métal tel que Ni₂P, Ni₃P, NiGe, TiP, TiGe dans lesdites ouvertures primaires.

Selon des variantes de l'invention, on réalise le dépôt d'un métal tel que Ni, Ti et alliage comme NiPt, NiTi, NiCo dans lesdites ouvertures primaires.

Selon des variantes de l'invention, les opérations de remplissage comprennent :

- le dépôt d'une barrière de diffusion pouvant être composée d'une ou plusieurs couches de matériau choisi parmi : TiN, Ti/TiN, TaN, Ta/TaN, W (sans fluor) ;

- le dépôt d'un métal de remplissage choisi parmi : W, Cu, Al, AlCu, AlSi.

Concernant la barrière de diffusion, W est sans fluor car la barrière est déposée par CVD (voie chimique) dont le précurseur ne contient pas de F contrairement au W de remplissage. Le F étant néfaste pour les dispositifs c'est pour cela qu'une barrière est utilisée. Cette barrière peut servir également à faciliter la nucléation du métal de remplissage (W, Cu, Al...).

L'élément W est particulièrement intéressant dans le cadre de la présente invention car assez peu résistif et facile de mise en œuvre, il peut ainsi être avantageusement utilisé pour remplir les ouvertures secondaires.

Selon des variantes de l'invention, le dépôt de métallisation est suivi d'un traitement thermique ayant pour but de former un ou plusieurs composé(s) intermétallique(s).

Selon des variantes de l'invention, le composant étant un laser, le procédé de l'invention comprend une opération pour réaliser un guide en matériau semiconducteur pouvant être du Si, dans un substrat diélectrique pouvant être en SiO₂.

Selon des variantes de l'invention, le composant étant un laser, le procédé de l'invention comprend la réalisation d'un contact supérieur circulaire pour permettre l'émission verticale du rayonnement laser.

L'invention a encore pour objet le composant obtenu selon le procédé de l'invention.

Le composant peut être un laser à émission par la tranche, ou à émission verticale. Il peut également s'agir avantageusement d'un composant comprenant une série de matériaux III-V différents présentant des longueurs d'onde d'absorption différentes pour élargir la bande d'absorption du composant.

La présente invention peut s'appliquer à une multitude de configurations de départ, telles que :

- des reports III-V sur tout type de substrat par exemple sur Si puces à plaques ;
- des plaques à plaques ;
- des épitaxies de III-V sur substrat Si, III-V, ou tout substrat définitif ou temporaire permettant la croissance cristalline de III/V. Il est à noter qu'il convient d'avoir au moins un germe

5 cristallin de structure cristallographique identique à celui du matériau III/V que l'on veut faire croître et des paramètres de maille proches de la couche en croissance. Au-delà de 5% de différence entre les paramètres de maille, le cristal est défectueux (dislocation, joint d'antiphase voire polycristallin). Ceci est impossible sur substrat amorphe type verre.

Les substrats de départ peuvent être de diamètre 100 mm ou plus.

10 L'invention sera mieux comprise et d'autres avantages apparaîtront à la lecture de la description qui va suivre donnée à titre non limitatif et grâce aux figures annexées parmi lesquelles :

- la figure 1 illustre un exemple de composant à base de matériaux III-V de l'art antérieur ;
- la figure 2 illustre un exemple de structure de matériaux III-V sur substrat employée dans des exemples de procédé de l'invention ;
- la figure 3 illustre un exemple de composant réalisé dans le cadre de la présente invention ;
- les figures 4a à 4o illustrent les différentes étapes d'un premier exemple de procédé de l'invention comprenant la réalisation des contacts inférieurs puis celle des contacts supérieurs ;
- les figures 5a à 5n illustrent les différentes étapes d'un deuxième exemple de procédé de l'invention comprenant la réalisation des contacts supérieurs puis celle des contacts inférieurs ;
- les figures 6a à 6h illustrent les différentes étapes d'un troisième exemple de procédé de l'invention comprenant la réalisation simultanée des contacts inférieur et supérieur ;
- les figures 7a à 7d illustrent les différentes étapes d'un quatrième exemple de procédé de l'invention comprenant la réalisation simultanée d'ouvertures supérieures et inférieures secondaires à double niveau ;
- la figure 8 illustre une étape d'intégration d'un niveau supplémentaire de contact pouvant être utilisé dans des variantes de procédé de l'invention ;

- la figure 9 illustre un premier exemple de composant laser réalisé selon le procédé de l'invention ;
- la figure 10 illustre un second exemple de composant laser réalisé selon le procédé de l'invention ;
- 5 - la figure 11 illustre un exemple de composant obtenu selon le procédé de l'invention dans cadre d'une intégration photonique ;
- la figure 12 illustre un exemple de composant absorbant dans différentes gammes de longueur d'onde grâce à l'utilisation d'au moins trois niveaux de matériaux III-V différents, et réalisé
10 selon le procédé de l'invention.

Dans la description détaillée ci-après décrit différents modes de réalisation de l'invention sont décrits.

15 L'intégration des contacts est présentée sur deux niveaux mais est applicable à une multitude de niveaux présentant entre eux une topographie de niveaux de contacts différents au niveau des matériaux III-V.

L'invention est décrite ci-après dans le cadre d'un substrat **9** sur lequel est réalisée une structure comprenant un matériau III-V de base **2** et
20 un matériau III-V supérieur **1** comme illustré en figure 2, dans lequel on pourra réaliser une mesa présentant une surface inférieure à celle matériau III-V de base.

Dans l'ensemble de la description on référence ci-après :

- un premier matériau III-V : **1** ;
- 25 - un second matériau III-V : **2** ;
- un substrat : **9** ;
- un ou plusieurs matériau(x) diélectrique(s) : **8** ;
- une métallisation : **3** ;
- une barrière de diffusion : **4** ;
- 30 - un matériau de remplissage métallique : **5** ;

Un contact supérieur C_{sup} est défini à partir d'au moins une ouverture supérieure primaire O_{sp} et à partir d'au moins une ouverture supérieure secondaire O_{ss} .

Un contact intermédiaire C_{int} est défini à partir d'au moins une ouverture intermédiaire primaire O_{ip} et à partir d'au moins une ouverture intermédiaire secondaire O_{ts} .

Un contact inférieur C_{inf} est défini à partir d'au moins une
5 ouverture inférieure primaire O_{ip} et d'au moins une ouverture inférieure secondaire O_{is} .

De manière générale, on définit une métallisation de fond d'ouverture primaire et un plot de contact dans une ouverture secondaire. Le contact est ainsi constitué d'au moins la métallisation de fond d'ouverture et
10 du plot de contact en contact avec ladite métallisation.

La figure 3 montre un exemple de composant mettant en évidence, sur un substrat **9**, les matériaux III-V **1** et **2**, des métallisations **3** servant de métallisations de fond de contact, sur lesquelles sont réalisés des
15 plots de contact comprenant des barrières de diffusion **4**, les ouvertures secondaires sont remplies de métal de remplissage **5**. L'ensemble est encapsulé dans un diélectrique **8**. La figure 3 met en évidence les niveaux de contact : un niveau inférieur N_{inf} , un niveau supérieur N_{sup} . Selon cet exemple, il peut être prévu un niveau supplémentaire $N_{sup/supl}$ sur lequel
20 peuvent être réalisés des plots de contact remplis de barrière de diffusion **7** et de métal de remplissage **6**.

Le premier matériau III-V peut être constitué de matériau III-V tel que InP, $In_{1-x}Ga_xAs$ (avec $0 \leq x \leq 1$), GaAs, InAs, du GaSb, $In_{1-x}Ga_xSb$, $In_xGa_{1-x}As_{1-y}P_y$, $Ga_{1-x}In_xP$, $In_xGa_{1-x}As_{1-y}N_y$, $B_xIn_yGa_{1-x-y}As$.

Le second matériau III-V peut également être constitué de
25 matériau III-V tel que InP, $In_{1-x}Ga_xAs$ (avec $0 \leq x \leq 1$), GaAs, InAs, du GaSb, $In_{1-x}Ga_xSb$, $In_xGa_{1-x}As_{1-y}P_y$, $Ga_{1-x}In_xP$, $In_xGa_{1-x}As_{1-y}N_y$, $B_xIn_yGa_{1-x-y}A$. Il peut être identique au premier matériau ou différent de ce dernier.

Selon la présente invention, les niveaux supérieurs des contacts
30 supérieur(s) et inférieur(s) sont situés dans un même plan.

Premier exemple de procédé selon l'invention comprenant la réalisation de contacts inférieurs suivie de celle de contact supérieur :

Les figures relatives à cet exemple montrent des vues en coupe
35 de contacts pouvant être circulaires ou linéaires.

Première étape :

On procède à l'encapsulation de la structure préalablement réalisée et comportant une mesa en un premier matériau III-V **1** à la surface
5 d'une base en un matériau III-V **2** sur un substrat **9**.

Le (les) diélectriques **8** utilisés peuvent être : SiN, SiO₂, Al₂O₃, polymère de type planarisant par exemple à base de benzocyclobutane (BCB), ou de type: SOG « Spin-On-Glass » : dépôt de diélectrique amorphe par centrifugation.

10 Le dépôt peut être monocouche ou multicouches.

Les diélectriques sont déposés par PVD (dépôt physique en phase vapeur), CVD (dépôt chimique en phase vapeur) et/ou ALD (dépôt de couches minces atomique. Typiquement la température de dépôt peut être ≤ 550 °C, préférentiellement ≤ 450 °C.

15 Le stress des couches réalisées peut avantageusement être ≤ 200 MPa, préférentiellement ≤ 100 MPa.

La figure 4a illustre cette étape d'encapsulation.

Deuxième étape :

20 On procède à la planarisation du diélectrique par une opération de CMP pour "*chemical mechanical planarization*" ou "*chemical mechanical polishing*" (planarisation ou polissage mécano chimique) ou de retrait partiel par gravure sèche « *etch back* » dans le cas d'un polymère planarisant

Il existe certains polymères qui ont la propriété d'être auto-nivellant. C'est-à-dire qu'ils vont remplir en premier lieu les parties inférieures avant les parties supérieures. Mais pour être assuré de remplir les cavités entièrement le dépôt est plus épais que la profondeur de la cavité. Il convient ensuite de diminuer l'épaisseur du surplus de dépôt. Cela peut être fait par une gravure sèche sur l'ensemble de la plaque appelée « *etch back* ».

30 Il est possible également d'utiliser une opération de lithographie / gravure localisée sur la topographie avant CMP .

La figure 4b illustre cette étape de planarisation.

Troisième étape :

On procède à la réalisation d'ouvertures inférieures primaires O_{ip} dédiées au contact inférieur.

Typiquement les dimensions D1, D2, D3 et D4 peuvent être les
5 suivantes :

La dimension D1 (largeur de diélectrique de part et d'autre de la mesa en matériau III-V **1**) est au minimum de 200 nm et préférentiellement comprise entre 2 et 3 μm .

La dimension D2 (largeur des ouvertures inférieures primaires)
10 peut être comprise entre 20 et 50 μm .

La dimension D3 (épaisseur de diélectrique) est comprise entre 0,5 μm et 5 μm , préférentiellement entre 5 et 3 μm .

La dimension D4 (largeur centrale entre les deux ouvertures inférieures primaires) peut être comprise entre 0,5 μm et 10 μm ,
15 préférentiellement comprise entre 1 et 5 μm

Pour cela on réalise la gravure localisée du diélectrique (dans le cas de plusieurs couches) pour déboucher sur le matériau III-V **2**. On peut réaliser la gravure en une seule fois jusqu'au matériau III-V **2** par une opération de gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à
20 la gravure est optionnelle.

On peut procéder également à des opérations de gravures séquentielles : une première gravure sèche utilisée pour graver une partie du de l'empilement diélectrique avec arrêt sur une couche d'arrêt (SiN, Al_2O_3 , SiO_2 , BCB, SOC préférentiellement SiN) puis utilisation d'une gravure sèche
25 ou humide pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur le matériau III-V **2**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou préférentiellement à l'aide d'un masque dur composé par exemple de SiN.

30 Cette étape de réalisation d'ouvertures est illustrée en figure 4c.

Quatrième étape :

On procède au dépôt d'une métallisation compatible avec une filière silicium pour définir le contact inférieur permettant d'éviter l'emploi de
35 métaux nobles, métaux non utilisés par la filière silicium.

La métallisation compatible avec une filière silicium peut être réalisée selon deux options :

- option 1 :

(a) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni₂P, Ni₃P, NiGe, TiP, TiGe...;

On peut procéder à la stabilisation des phases par un traitement thermique optionnel réalisé après le dépôt métallique ;

(b) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni, Ti et alliage comme NiPt, NiTi, NiCo... ;

- option 2 : on réalise le dépôt d'un métal compatible avec une filière silicium (Ni, Ti et leurs alliages) ; puis on procède à un traitement thermique ayant pour but de réaliser une réaction à l'état solide entre le métal et le matériau III-V menant à la formation d'un ou plusieurs composé(s) intermétallique(s).

Les températures de dépôt sont préférentiellement ≤ 450 °C

La température de recuit est préférentiellement ≤ 450 °C

Selon l'option 1, on dépose le métal ou le composé intermétallique et on utilise le travail de sortie de ce dernier. Dans ce cas le recuit sert à guérir les défauts d'interface et cristalliser le métal ou le composé.

Selon l'option 2, on dépose le métal, on le fait réagir pour former le composé intermétallique ayant le travail de sortie visé. Dans ce cas le recuit sert à la réaction à l'état solide.

Un retrait sélectif du métal n'ayant pas réagi peut-être réalisé après traitement thermique.

On obtient alors un ensemble **E1** illustré en figure 4d.

Cinquième étape :

On procède à une étape d'encapsulation de l'ensemble **E1** par du diélectrique **8**. Le (les) diélectrique(s) utilisés peuvent être: SiN, SiO₂, Al₂O₃, polymère de type planarisant (par exemple BCB, SOG). Le dépôt peut être monocouche ou multicouches. Ils sont déposés par PVD, CVD et/ou ALD ;

La température de dépôt est ≤ 450 °C, préférentiellement ≤ 300 °C.

Cette étape est illustrée en figure 4e.

Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la quatrième étape.

5

Sixième étape :

On procède à la planarisation du diélectrique par une opération de CMP ou une opération de type « *etch back* » dans le cas d'un polymère planarisant.

10

La planarisation CMP ou « *etch back* » peuvent être réalisées :

- si le retrait sélectif n'a pas été effectué à la quatrième étape, jusqu'au retrait du métal ;
- si le retrait sélectif n'a pas été effectué à la quatrième étape, et si l'opération de type CMP ou « *etch back* » du métal est impossible, avec arrêt sur le métal. L'étape de retrait sélectif du métal peut alors être réalisée pour obtenir une structure comme illustré en figure 4f ;
- si le retrait sélectif a été effectué à la quatrième étape, jusqu'à obtenir une structure comme illustré en figure 4f.

15

20

Typiquement, la hauteur D5 représentée (épaisseur de diélectrique au dessus du matériau III-V **1**) peut être comprise entre 200 nm et 1 μm .

Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la quatrième étape ou à l'issue de la cinquième étape.

25

Septième étape :

On procède à une opération d'ouvertures inférieures secondaires supérieures \mathbf{O}_{is1} destinées aux plots de connexion. Pour cela on procède à une gravure du stack diélectrique pour déboucher sur la métallisation **3** au niveau inférieur.

30

La gravure est réalisée en une seule fois jusqu'à la métallisation : gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

35

On peut procéder à des gravures séquentielles : une première gravure sèche est utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al₂O₃, SiO₂, BCB, SOC, préférentiellement SiN), puis une gravure sèche ou humide est utilisée pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur la métallisation **3**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou à l'aide d'un masque dur composé par exemple de SiN. Typiquement la dimension D6 (largeur des ouvertures inférieures secondaires) représentée de diélectrique peut être comprise entre 0,5 µm et 5 µm et de préférence comprise entre 1 µm et 3 µm. Cette étape est illustrée en figure 4g.

Huitième étape :

On procède au remplissage des ouvertures inférieures secondaires et opération de CMP pour réaliser des plots de connexion. Le remplissage des ouvertures inférieures secondaires est fait en deux temps :

- on procède au dépôt d'une barrière de diffusion / d'une couche d'accroche ou de nucléation **4**. Elle peut être composée de TiN, Ti/TiN, TaN, Ta/TaN ou de W déposés par CVD, PVD ou ALD ;
- on procède au dépôt d'un métal de remplissage **5** (W, Cu, AlCu, AlSi) déposé par CVD, ECD ou PVD.

Une opération de CMP est finalement réalisée pour décontacter les plots. Le métal étant présent au sommet des cavités entre deux plots, un court-circuit est donc inévitable. L'opération de CMP permet de retirer uniquement le métal hors des plots et donc de décontacter.

On constitue un nouvel ensemble **E2**. L'ensemble de ces étapes est illustré en figure 4h.

Neuvième étape :

On procède à une opération d'encapsulation par un diélectrique **8**. Le (les) diélectriques utilisés peuvent être : SiN, SiO₂, Al₂O₃, un polymère de type planarisant (par exemple BCB, SOG). Le dépôt peut être monocouche ou multicouches. Les diélectriques sont déposés par PVD, CVD et/ou ALD. La température de dépôt ≤ 450 °C, préférentiellement ≤ 300 °C. Typiquement

la hauteur D7 représentée de diélectrique peut être comprise entre 200 nm et 1 μm et de préférence comprise entre 200 nm et 500 nm. Cette étape est illustrée en figure 4i.

5 Dixième étape :

On procède à la réalisation d'ouverture supérieure primaire O_{sp} pour réaliser un contact supérieur.

On procède à la gravure du stack diélectrique pour déboucher sur le matériau III-V **1**. La gravure peut être réalisée en une seule fois jusqu'au
10 matériau III-V **1** par gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

On peut procéder à des gravures séquentielles : une première gravure sèche est utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al_2O_3 , SiO_2 , BCB, SOC préférentiellement
15 SiN) puis une gravure sèche ou humide est utilisée pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur le matériau III-V **1**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou préférentiellement à l'aide
20 d'un masque dur composé par exemple de SiN.

Cette étape est illustré en figure 4j.

Onzième étape :

On procède au dépôt de la métallisation **3** compatible avec une
25 filière silicium destinée au contact supérieur. La métallisation compatible avec une filière silicium peut être réalisée de deux façons :

- option 1 :

(a) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni_2P , Ni_3P , NiGe, TiP, TiGe...;

30 On peut procéder à la stabilisation des phases par un traitement thermique optionnel réalisé après le dépôt métallique ;

(b) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni, Ti et alliage comme NiPt, NiTi, NiCo... ;

- option 2 : on réalise le dépôt d'un métal compatible avec une filière
35 silicium (Ni, Ti et leurs alliages) ; puis on procède à un traitement thermique

ayant pour but de réaliser une réaction à l'état solide entre le métal et le matériau III-V menant à la formation d'un ou plusieurs composé(s) intermétallique(s).

La température recuit est préférentiellement ≤ 450 °C

5 Un retrait sélectif du métal n'ayant pas réagi peut-être réalisé après traitement thermique. On obtient un troisième ensemble **E3**.

Cette étape est illustrée en figure 4k.

Douzième étape :

10 On procède à l'encapsulation du troisième ensemble **E3**. Le (les) diélectrique(s) utilisés peuvent être: SiN, SiO₂, Al₂O₃, polymère de type planarisant (par exemple BCB), SOG. Le dépôt peut être monocouche ou multicouches. Ils sont déposés par PVD, CVD et/ou ALD. La température de dépôt ≤ 450 °C, préférentiellement ≤ 300 °C.

15 Cette étape est illustrée en figure 4l.

Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la onzième étape.

20

Treizième étape :

On procède à une opération de planarisation.

La planarisation ou l'etch back peuvent être réalisés :

- 25 - si le retrait sélectif n'a pas été effectué à la onzième étape, jusqu'au retrait du métal ;
- si le retrait sélectif n'a pas été effectué à la onzième étape, et si la l'opération de CMP ou de « *etch back* » du métal est impossible, avec arrêt sur le métal. L'étape de retrait sélectif du métal peut alors être réalisée pour obtenir une structure comme représenté en figure 4m ;
- 30 - si le retrait sélectif a été effectué à la onzième étape, jusqu'à obtenir la structure illustrée en figure 4m.

Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent

être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la onzième étape ou à l'issue de la douzième étape.

Quatorzième étape :

5 On procède à la réalisation d'ouverture supérieure secondaire O_{ss} et à la réalisation d'ouvertures supplémentaires supérieures O_{is2} au dessus au moins des plots de contact d'un contact inférieur.

10 On procède à la gravure du stack diélectrique pour déboucher sur la métallisation du niveau de contact supérieur et sur les plots de contact du contact inférieur.

La gravure est réalisée en une seule fois jusqu'à la métallisation **3** et jusqu'aux plots du niveau inférieur, par gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

15 On peut procéder à des opérations de gravures séquentielles : une première gravure sèche est utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al_2O_3 , SiO_2 , BCB, SOC, préférentiellement SiN) sur la métallisation de fond de contact supérieur et sur les plots du contact inférieur ;

20 On peut utiliser une gravure sèche ou humide pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur la métallisation **3**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou à l'aide d'un masque dur composé par exemple de SiN.

25 Cette étape est illustrée en figure 4n.

Quinzième étape :

On procède au remplissage des ouvertures définies à l'étape précédente.

30 Le remplissage des ouvertures est réalisé en deux temps :

- on procède au dépôt d'un dépôt d'une barrière de diffusion / d'une couche d'accroche ou de nucléation. Elle peut être composée de TiN, Ti/TiN, TaN, Ta/TaN ou de W déposés par CVD, PVD ou ALD ;

- on procède au dépôt d'un métal de remplissage (W, Cu, AlCu, AlSi..) déposé par CVD, ECD ou PVD.

Une opération de CMP est finalement réalisée pour déconnecter les plots.

5 Cette étape est illustrée en figure 4o et conduit à la réalisation des contacts supérieur C_{sup} et inférieur C_{inf} .

Une alternative au premier exemple de procédé peut comprendre une réalisation séquentielle des ouvertures primaires couplée à une
10 réalisation simultanée des ouvertures secondaires.

Second exemple de procédé selon l'invention comprenant la réalisation de contacts supérieur suivie de celle de contacts inférieurs:

15

Première étape :

On procède à l'encapsulation de la structure préalablement réalisée et comportant une mesa en un premier matériau III-V **1** à la surface d'une base en un matériau III-V **2** sur un substrat **9**.

20

Le (les) diélectriques **8** utilisés peuvent être : SiN, SiO₂, Al₂O₃, polymère de type planarisant (par exemple BCB, SOG).

Le dépôt peut être monocouche ou multicouches.

25

Les diélectriques sont déposés par PVD, CVD et/ou ALD. Typiquement la température de dépôt peut être ≤ 450 °C, préférentiellement ≤ 300 °C.

Le stress des couches réalisées peut être ≤ 200 MPa, préférentiellement ≤ 100 MPa. La figure 5a illustre cette étape d'encapsulation.

30

Deuxième étape :

On procède à la planarisation du diélectrique par une opération de type CMP ou de type « *etch back* » dans le cas d'un polymère planarisant. Il est possible également d'utiliser une opération de lithographie / gravure localisée sur la topographie avant CMP. La figure 5b illustre cette étape de
35 planarisation.

Troisième étape :

On procède à la réalisation d'ouverture supérieure primaire O_{sp} dédiée au contact supérieur.

5 Pour cela on réalise la gravure localisée du diélectrique (dans le cas de plusieurs couches) pour déboucher sur le matériau III-V **1**. On peut réaliser la gravure en une seule fois jusqu'au matériau III-V **1** par une opération de gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

10 On peut procéder également à des opérations de gravures séquentielles : une première gravure sèche utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al_2O_3 , SiO_2 , BCB, SOC préférentiellement SiN) puis utilisation d'une gravure sèche ou humide pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et
15 déboucher sur le matériau III-V **1**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou préférentiellement à l'aide d'un masque dur composé par exemple de SiN.

Cette étape de réalisation d'ouvertures est illustrée en figure 5c.

20

Quatrième étape :

On procède au dépôt d'une métallisation **3** compatible avec une filière silicium sur le matériau III-V **1**.

La métallisation peut être réalisée selon deux options :

25

- option 1 :

(a) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni_2P , Ni_3P , NiGe, TiP, TiGe...;

On peut procéder à la stabilisation des phases par un traitement thermique optionnel réalisé après le dépôt métallique ;

30

(b) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni, Ti et alliage comme NiPt, NiTi, NiCo... ;

- option 2 : on réalise le dépôt d'un métal compatible avec une filière silicium (Ni, Ti et leurs alliages) ; puis on procède à un traitement thermique ayant pour but de réaliser une réaction à l'état solide entre le

métal et le matériau III-V menant à la formation d'un ou plusieurs composé(s) intermétallique(s).

La température de recuit est préférentiellement ≤ 450 °C.

Un retrait sélectif du métal n'ayant pas réagi peut-être réalisé
5 après traitement thermique.

On obtient alors un ensemble **E1'** illustré en figure 5d.

Cinquième étape :

On procède à une étape d'encapsulation de l'ensemble **E1'** par du
10 diélectrique **8**. Le (les) diélectrique(s) utilisés peuvent être: SiN, SiO₂, Al₂O₃, polymère de type planarisant (par exemple BCB, SOG). Le dépôt peut être monocouche ou multicouches. Ils sont déposés par PVD, CVD et/ou ALD ;

Température de dépôt ≤ 450 °C, préférentiellement ≤ 300 °C.

Cette étape est illustrée en figure 5e.

15 Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la quatrième étape.

20 Sixième étape :

On procède à la planarisation du diélectrique par une opération de type CMP ou de type « *etch back* » dans le cas d'un polymère planarisant. Ces opérations peuvent être réalisées :

- 25 - si le retrait sélectif n'a pas été effectué à la quatrième étape, jusqu'au retrait du métal ;
- si le retrait sélectif n'a pas été effectué à la quatrième étape, et si la l'opération de type CMP ou de type « *etch back* » du métal est impossible, avec arrêt sur le métal. L'étape de retrait sélectif du métal peut alors être réalisée pour obtenir une structure
30 comme illustré en figure 5f ;
- si le retrait sélectif a été effectué à la quatrième étape, jusqu'à obtenir une structure comme illustré en figure 5f.

Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent

être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la quatrième étape ou à l'issue de la cinquième étape.

Septième étape :

5 On procède à une opération d'ouvertures supérieures secondaires O_{ss} destinées aux plots de connexion. Pour cela on procède à une gravure du stack diélectrique pour déboucher sur la métallisation **3** au niveau supérieur.

10 La gravure est réalisée en une seule fois jusqu'à la métallisation pouvant être par gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

On peut procéder à des gravures séquentielles : une première gravure sèche est utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al_2O_3 , SiO_2 , BCB, SOC, préférentiellement
15 SiN), puis une gravure sèche ou humide est utilisée pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur la métallisation **3**.

20 Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou à l'aide d'un masque dur composé par exemple de SiN.

Cette étape est illustrée en figure 5g.

Huitième étape :

25 On procède au remplissage des ouvertures O_{ss} et à une opération de CMP pour réaliser des plots de connexion.

Le remplissage des ouvertures O_{ss} est fait en deux temps :

- on procède au dépôt d'une barrière de diffusion / d'une couche d'accroche ou de nucléation. Elle peut être composée de TiN, Ti/TiN, TaN, Ta/TaN ou de W déposés par CVD, PVD ou ALD ;
- 30 - on procède au dépôt d'un métal de remplissage (W, Cu, AlCu, AlSi,...) déposé par CVD, ECD ou PVD.

Une CMP est finalement réalisée pour décontacter les plots. On constitue un nouvel ensemble **E2'**. L'ensemble de ces étapes est illustré en figure 5h.

35

Neuvième étape :

On procède à la réalisation d'ouvertures inférieures primaires O_{ip} pour réaliser des contacts inférieurs.

On procède à la gravure du stack diélectrique pour déboucher sur le matériau III-V **2**. La gravure peut être réalisée en une seule fois jusqu'au matériau III-V **2** par gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

On peut procéder à des gravures séquentielles : une première gravure sèche est utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al_2O_3 , SiO_2 , BCB, SOC préférentiellement SiN) puis une gravure sèche ou humide est utilisée pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur le matériau III-V **2**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou préférentiellement à l'aide d'un masque dur composé par exemple de SiN.

Cette étape est illustré en figure 5i.

Dixième étape :

On procède au dépôt de la métallisation **3** compatible avec une filière silicium destinée aux contacts inférieurs. La métallisation compatible CMOS peut être réalisée de deux façons :

On procède au dépôt de la métallisation **3** compatible avec une filière silicium destinée au contact supérieur. La métallisation peut être réalisée de deux façons :

- option 1 :

(a) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni_2P , Ni_3P , NiGe, TiP, TiGe...;

On peut procéder à la stabilisation des phases par un traitement thermique optionnel réalisé après le dépôt métallique ;

(b) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni, Ti et alliage comme NiPt, NiTi, NiCo... ;

- option 2 : on réalise le dépôt d'un métal compatible avec une filière silicium (Ni, Ti et leurs alliages) ; puis on procède à un traitement thermique ayant pour but de réaliser une réaction à l'état solide entre le

métal et le matériau III-V menant à la formation d'un ou plusieurs composé(s) intermétallique(s).

Les températures de dépôt sont préférentiellement ≤ 450 °C

La température recuit est préférentiellement ≤ 450 °C

5 Un retrait sélectif du métal n'ayant pas réagi peut-être réalisé après traitement thermique. On obtient un troisième ensemble **E3'**.

Cette étape est illustrée en figure 5j.

Onzième étape :

10 On procède à une étape d'encapsulation de l'ensemble **E3'** par du diélectrique **8**. Le (les) diélectrique(s) utilisés peuvent être: SiN, SiO₂, Al₂O₃, polymère de type planarisant (par exemple BCB), SOG. Le dépôt peut être monocouche ou multicouches. Ils sont déposés par PVD, CVD et/ou ALD ;

15 Température de dépôt ≤ 450 °C, préférentiellement ≤ 300 °C.

Cette étape est illustrée en figure 5k.

20 Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la dixième étape.

Douzième étape :

25 On procède à une opération de planarisation du diélectrique par une opération de type CMP ou de type « *etch back* » dans le cas d'un polymère planarisant.

Cette étape est illustrée en figure 5l.

30 Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la dixième étape ou à l'issue de la douzième étape.

Treizième étape :

35 On procède à une opération d'ouvertures inférieures secondaires **O_{is}** destinés aux plots de connexion. Pour cela on procède à une gravure du stack diélectrique pour déboucher sur la métallisation **3** au niveau inférieur.

La gravure est réalisée en une seule fois jusqu'à la métallisation par gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

On peut procéder à des gravures séquentielles : une première gravure sèche est utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al₂O₃, SiO₂, BCB, SOC, préférentiellement SiN), puis une gravure sèche ou humide est utilisée pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur la métallisation **3**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou à l'aide d'un masque dur composé par exemple de SiN. Typiquement la hauteur D6 représentée de diélectrique peut être comprise entre 0,5 µm et 5 µm et de préférence comprise entre 1 µm et 3 µm.

Cette étape est illustrée en figure 5m.

Quatorzième étape :

On procède au remplissage des ouvertures définies à l'étape précédente.

Le remplissage des ouvertures est réalisé en deux temps :

- on procède au dépôt d'une barrière de diffusion / d'une couche d'accroche ou de nucléation. Elle peut être composée de TiN, Ti/TiN, TaN, Ta/TaN ou de W déposés par CVD, PVD ou ALD ;
- on procède au dépôt d'un métal de remplissage (W, Cu) déposé par CVD, ECD ou PVD.

Une opération de CMP est finalement réalisée pour décontacter les plots.

Cette étape est illustrée en figure 5n et conduit à la réalisation des contacts supérieur **C_{sup}** et inférieur **C_{inf}**.

Une alternative au second exemple de procédé peut comprendre une réalisation séquentielle des ouvertures primaires couplée à une réalisation simultanée des ouvertures secondaires.

Troisième exemple de procédé selon l'invention comprenant la réalisation simultanée de contact supérieur et de contact inférieur :

5 Première étape :

On procède à l'encapsulation de la structure préalablement réalisée et comportant une mesa en un premier matériau III-V **1** à la surface d'une base en un matériau III-V **2** sur un substrat **9**.

10 Le (les) diélectriques **8** utilisés peuvent être : SiN, SiO₂, Al₂O₃, polymère de type planarisant (par exemple BCB, SOG).

Le dépôt peut être monocouche ou multicouches.

Les diélectriques sont déposés par PVD, CVD et/ou ALD. Typiquement la température de dépôt peut être ≤ 450 °C, préférentiellement ≤ 300 °C.

15 Le stress des couches réalisées peut être ≤ 200 MPa, préférentiellement ≤ 100 MPa. La figure 6a illustre cette étape d'encapsulation.

20 Deuxième étape :

On procède à la planarisation du diélectrique par une opération de type CMP ou de type « *etch back* » dans le cas d'un polymère planarisant. Il est possible également d'utiliser une opération de lithographie / gravure localisée sur la topographie avant CMP. La figure 6b illustre cette étape de planarisation.

25

Troisième étape :

On procède à la réalisation d'ouvertures inférieures primaires **O_{ip}** dédiées au contact inférieur et à une ouverture supérieure primaire **O_{sp}** dédiée au contact supérieur.

30 Pour cela on réalise la gravure localisée du diélectrique (dans le cas de plusieurs couches) pour déboucher sur le matériau III-V **2** et pour déboucher sur le matériau III-V **1**.

35 On peut réaliser la gravure en une seule fois jusqu'au matériau III-V **2** et jusqu'au matériau **1** par une opération de gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

On peut procéder également à des opérations de gravures séquentielles : une première gravure sèche utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al₂O₃, SiO₂, BCB, SOC préférentiellement SiN) puis utilisation d'une gravure sèche ou humide pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur le matériau III-V **2** et sur le matériau III-V **1**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou préférentiellement à l'aide d'un masque dur composé par exemple de SiN.

Cette étape de réalisation d'ouvertures est illustrée en figure 6c.

Quatrième étape :

On procède au dépôt d'une métallisation **3** compatible avec une filière silicium sur le matériau III-V **1** et sur le matériau III-V **2**.

On procède au dépôt de la métallisation **3** compatible avec une filière silicium destinée au contact supérieur. La métallisation peut être réalisée de deux façons :

- option 1 :

(a) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni₂P, Ni₃P, NiGe, TiP, TiGe...;

On peut procéder à la stabilisation des phases par un traitement thermique optionnel réalisé après le dépôt métallique ;

(b) on réalise le dépôt d'un métal **3** compatible avec une filière silicium tel que Ni, Ti et alliage comme NiPt, NiTi, NiCo... ;

- option 2 : on réalise le dépôt d'un métal compatible avec une filière silicium (Ni, Ti et leurs alliages) ; puis on procède à un traitement thermique ayant pour but de réaliser une réaction à l'état solide entre le métal et le matériau III-V menant à la formation d'un ou plusieurs composé(s) intermétallique(s).

La température de recuit est préférentiellement ≤ 450 °C

Un retrait sélectif du métal n'ayant pas réagi peut-être réalisé après traitement thermique.

On obtient alors un ensemble **E1**'' illustré en figure 6d.

Cinquième étape :

On procède à une étape d'encapsulation de l'ensemble **E1** par du diélectrique **8**. Le (les) diélectrique(s) utilisés peuvent être: SiN, SiO₂, Al₂O₃, polymère de type planarisant (par exemple BCB, SOG). Le dépôt peut être monocouche ou multicouches. Ils sont déposés par PVD, CVD et/ou ALD ;

La température de dépôt est ≤ 450 °C, préférentiellement ≤ 300 °C.

Cette étape est illustrée en figure 6e.

Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la quatrième étape.

Sixième étape :

On procède à la planarisation du diélectrique par une opération de type CMP ou de type « *etch back* » dans le cas d'un polymère planarisant. Ces opérations peuvent être réalisées :

- si le retrait sélectif n'a pas été effectué à la quatrième étape, jusqu'au retrait du métal ;
- si le retrait sélectif n'a pas été effectué à la quatrième étape, et si l'opération de type CMP ou de type « *etch back* » du métal est impossible, avec arrêt sur le métal. L'étape de retrait sélectif du métal peut alors être réalisée pour obtenir une structure comme illustré en figure 6f ;
- si le retrait sélectif a été effectué à la quatrième étape, jusqu'à obtenir une structure comme illustré en figure 6f.

Les opérations de stabilisation des phases ou de traitement thermique pour former un ou plusieurs composé(s) intermétallique(s) peuvent être réalisées à l'issue de cette étape, si elles n'ont pas été réalisées à l'issue de la quatrième étape ou à l'issue de la cinquième étape.

Septième étape :

On procède à une opération d'ouvertures supérieures secondaires **O_{ss}** et à des ouvertures inférieures secondaires **O_{is}** destinées aux plots de

connexion. Pour cela on procède à une gravure du stack diélectrique pour déboucher sur la métallisation **3** au niveau supérieur et au niveau inférieur.

La gravure est réalisée en une seule fois jusqu'à la métallisation par gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

On peut procéder à des gravures séquentielles : une première gravure sèche est utilisée pour graver une partie du stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al₂O₃, SiO₂, BCB, SOC, préférentiellement SiN), puis une gravure sèche ou humide est utilisée pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur la métallisation **3**.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou à l'aide d'un masque dur composé par exemple de SiN.

Cette étape est illustrée en figure 6g.

Huitième étape :

On procède au remplissage des ouvertures définies à l'étape précédente.

Le remplissage des ouvertures est réalisé en deux temps :

- on procède au dépôt d'une barrière de diffusion / d'une couche d'accroche ou de nucléation. Elle peut être composée de TiN, Ti/TiN, TaN, Ta/TaN ou de W déposés par CVD, PVD ou ALD ;
- on procède au dépôt d'un métal de remplissage (W, Cu) déposé par CVD, ECD ou PVD.

Une opération de CMP est finalement réalisée pour décontacter les plots.

Cette étape est illustrée en figure 6h et conduit à la réalisation des contacts supérieur **C_{sup}** et inférieur **C_{inf}**.

Une alternative aux trois exemples de procédés décrits précédemment consiste à réaliser des plots de contact présentant plusieurs tronçons pour le contact inférieur.

Quatrième exemple de procédé

Première étape :

On réalise selon des sous-étapes identiques à celles
5 précédemment décrites un ensemble comprenant :

- un substrat **9** ;
- un matériau III-V **1** ;
- un matériau III-V **2** ;
- des métallisations **3** ;

10 L'ensemble est encapsulé dans un diélectrique **8** et est illustré en figure 7a.

Deuxième étape :

On procède à la réalisation d'ouvertures inférieures secondaires
 O_{is1} par gravure partielle de l'ensemble préconstitué, soit par la gravure
15 partielle du diélectrique **8**. On peut procéder par gravure sèche. Dans ce cas, la présence d'une couche d'arrêt à la gravure est optionnelle.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement
via une résine utilisée pour la photolithographie ou à l'aide d'un masque dur
composé par exemple de SiN.

20 Cette étape est illustrée en figure 7b.

Troisième étape :

On procède dans un second temps à une seconde opération de
gravure pour prolonger les ouvertures inférieures secondaires, en procédant
25 à la réalisation des ouvertures O_{is2} dans le prolongement des ouvertures
précédemment réalisées O_{is1} , et à réaliser des ouvertures supérieures
secondaires O_{ss} de manière à déboucher sur les métallisations **3**.

L'opération de gravure peut être réalisée en une seule fois jusqu'à
la métallisation et ce par gravure sèche. Dans ce cas, la présence d'une
30 couche d'arrêt à la gravure est optionnelle.

Préférentiellement, on peut réaliser des opérations de gravures
séquentielles : une première gravure sèche utilisée pour graver une partie du
stack diélectrique avec arrêt sur une couche d'arrêt (SiN, Al_2O_3 , SiO_2 , BCB,
SOC, préférentiellement SiN) puis utilisation d'une gravure sèche ou humide

pour graver la couche d'arrêt et les éventuelles couches sous-jacentes et déboucher sur les métallisations.

Cette (ces) gravure(s) peut (peuvent) être réalisée(s) directement via la résine utilisée pour la photolithographie ou à l'aide d'un masque dur
5 composé par exemple de SiN.

Cette étape est illustrée en figure 7c.

Quatrième étape :

On procède au remplissage des ouvertures définies à l'étape
10 précédente.

Le remplissage des ouvertures est réalisé en deux temps :

- on procède au dépôt d'un dépôt d'une barrière de diffusion / d'une couche d'accroche ou de nucléation. Elle peut être composée de TiN, Ti/TiN, TaN, Ta/TaN ou de W déposés par
15 CVD, PVD ou ALD ;
- on procède au dépôt d'un métal de remplissage (W, Cu, AlCu, AlSi) déposé par CVD, ECD ou PVD.

Une opération de CMP est finalement réalisée pour déconnecter
les plots.

20 Cette étape est illustrée en figure 7d et conduit à la réalisation des contacts supérieur C_{sup} et inférieur C_{inf} .

De manière générale, il est possible de réaliser un niveau
25 supplémentaire de contact à la surface des contacts planaires préalablement élaborés et notamment décrits dans les précédents exemples de procédé selon l'invention.

Une étape complémentaire peut ainsi être réalisée en procédant à un dépôt supplémentaire de diélectrique **8**, puis à la réalisation d'ouvertures
30 supplémentaires supérieures et inférieures par gravure et au remplissage de ces ouvertures pour définir les contacts $C_{inf/supl}$ et $C_{sup/supl}$ comme illustré en figure 8.

Pour cela on procède, dans les ouvertures supplémentaires supérieures et inférieures, au dépôt d'une barrière **7** pouvant être en TiN,

Ti/TiN, TaN, Ta/TaN, W et au remplissage par un métal **6** pouvant être du W, Cu ou Al, AlCu, AlSi .

Il est à noter que le niveau supplémentaire de contact peut également être réalisé par la gravure d'un empilement métallique préalablement réalisé via une résine ou un masque dur.

Exemple de composant laser réalisé selon le procédé de l'invention :

Le procédé de la présente invention permet avantageusement de réaliser un laser à base de matériaux III-V :

Un substrat **90** en SiO₂ comporte un guide **91** en silicium au dessus duquel sont réalisées :

- une base de second matériau III-V **2**, pouvant être en InP dopé n et une mesa **1** comprenant une structure multipuits quantiques pouvant être réalisés en InGaAsP avec différents dopages et une couche de InGaAs dopé p, la nature des matériaux III-V fixe la longueur d'onde d'émission ;
- le diélectrique **8** peut être en SiN, SiO₂, en polymère de type planarisant par exemple à base de BCB ;
- la métallisation **3** de fond de contact peut être par exemple en Ni,Ti, ou en leur alliages (Ni₂P, Ni₃P, NiGe, TiP, TiGe,) ;
- la barrière de diffusion au F et/ou la couche d'accroche au W **4** peut être en TiN, Ti/TiN, TaN, Ta/TaN, W ;

Le métal de remplissage **5** peut être en Cu ou Al, AlCu, AlSi.

Cet exemple de laser est illustré en figure 9.

Exemple de composant laser émettant verticalement de type VCSEL :

Il est rappelé que de manière générale, une diode laser à cavité verticale émettant par la surface, ou VCSEL (*vertical-cavity surface-emitting laser*) est un type de diode laser à semi-conducteur émettant un rayon laser perpendiculairement à la surface, contrairement aux lasers conventionnels à semi-conducteur émettant par la tranche.

Cet exemple de laser, comporte principalement le même type de structure que celle décrite dans l'exemple précédent.

Néanmoins, afin de permettre une émission de rayonnement laser par le dessus de la structure, le contact supérieur est réalisé de manière circulaire.

Cet exemple de composant comprend un substrat **9** en silicium au dessus duquel sont réalisées une base de second matériau III-V **2**, pouvant être en InP dopé n et une mesa **1** comprenant une structure multipuits quantiques pouvant être à base de InGaAsP, AlGaAs, GaAs, InGaAsN et une couche de InGaAs dopé p, la nature des matériaux III-V fixe la longueur d'onde d'émission.

Le diélectrique **8** peut être en SiN, SiO₂, en polymère de type planarisant par exemple à base de BCB.

La métallisation **3** de fond de contact peut être par exemple en Ni, Ti, ou en leurs alliages (Ni₂P, Ni₃P, NiGe, TiP, TiGe,).

La barrière de diffusion au F et/ou la couche d'accroche au W **4** peut être en TiN, Ti/TiN, TaN, Ta/TaN, W.

Le métal de remplissage **5** peut être en Cu ou Al, AlCu, AlSi.

Les métallisations **3** et les éléments **4** et **5** constituent les contacts **C_{sup}** et **C_{inf}**.

Grâce au contact supérieur circulaire **C_{sup}**, le faisceau laser peut être extrait depuis la surface supérieure du composant.

Cet exemple de laser est illustré en figure 10.

L'intégration de contacts planaires ouvre typiquement pour les composants laser décrits précédemment la voie à une intégration 3D, par le biais d'un collage hybride ou direct (par exemple photonique / électronique) ou du report de puces par le biais de bumps.

Dans le cadre d'une co-intégration III-V/Si, la réalisation d'un back-end planarisé permet également d'envisager la reprise de contact sur les dispositifs des niveaux inférieurs (back-end front side ou intermétallique par exemple).

Un exemple est donné en figure 11 dans le cadre d'une intégration Photonique avec la réalisation de l'ensemble des contacts décrits précédemment **C_{sup}** et **C_{inf}**, sur le composant III-V (laser) et sur le back-end

de la partie silicium . Les contacts supplémentaires sont assurés par les plots P_{Mi} qui connectent des niveaux métalliques Mi , intégrés dans du diélectrique **8**. Typiquement le substrat **91** peut être du silicium, le diélectrique **90** pouvant être du SiO_2 .

5

Exemple de composant utilisé dans des applications de type cellule solaire dans lequel on empile une série de matériaux III-V différents, permettant de diversifier les longueurs d'onde d'émission

Cet exemple de composant comprend un substrat **9** en silicium au dessus duquel sont empilés comme illustré en figure 12 :

- un matériau III-V **22** situé à un niveau dit inférieur ;
- un matériau III-V **21** situé à un niveau dit intermédiaire ;
- un matériau III-V **10** situé à un niveau dit supérieur.

Le composant comprend :

- des contacts C_{inf} de matériau **22** ;
- des contacts C_{int} de matériau **21** ;
- des contacts C_{sup} de matériaux **10**.

Les contacts C_{inf} sont réalisés grâce au remplissage de l'empilement d'ouvertures réalisées successivement : O_{is1} , O_{is2} et O_{is3} .

Les contacts C_{int} sont réalisés grâce au remplissage de l'empilement d'ouvertures réalisées successivement : O_{ts1} , O_{ts2} .

Les contacts C_{sup} sont réalisés grâce au remplissage d'ouverture :

O_{ss}

Typiquement les matériaux III-V utilisés peuvent être notamment :
InGaAsN, BInGaAs, InGaN, GaInP, GaInAsP, GaAs.

25

REVENDEICATIONS

1. Procédé de réalisation d'un composant comprenant une structure en matériau(x) III-V à la surface d'un substrat, ladite structure
- 5 comprenant au moins un niveau supérieur de contact (N_{sup}) défini à la surface d'un premier matériau III-V (1) et un niveau inférieur de contact (N_{inf}) défini à la surface d'un second matériau III-V (2), ledit niveau inférieur de contact étant inférieur audit niveau supérieur de contact, comportant :
- 10 - des opérations successives d'encapsulation comprenant une opération d'encapsulation par au moins un diélectrique de ladite structure ;
 - la réalisation d'au moins une ouverture supérieure primaire (O_{sp}) et d'au moins une ouverture inférieure primaire (O_{ip}) dans ledit diélectrique de manière à définir des zones de fond de contact sur ledit premier matériau III-V et sur ledit second
 - 15 matériau III-V ;
 - le dépôt de métallisation à la surface dudit premier matériau III-V (1) et à la surface dudit second matériau III-V (2) définissant des métallisations de fond de contact (3) dans ladite au moins
 - 20 ouverture supérieure primaire et dans ladite au moins ouverture inférieure primaire ;
 - une opération d'encapsulation par un au moins diélectrique (8) de l'ensemble prédéfini ;
 - la réalisation d'au moins une ouverture supérieure secondaire (O_{ss}) dans ledit diélectrique pour déboucher sur ladite
 - 25 métallisation de fond de contact (3) dans ladite ouverture supérieure primaire (O_{sp}) et d'au moins une ouverture inférieure secondaire (O_{is}) dans ledit diélectrique pour déboucher sur ladite métallisation de fond de contact (3) dans ladite ouverture
 - 30 inférieure primaire (O_{ip}) de manière à définir des zones de plots de contacts sur lesdites métallisations de fond de contact ;
 - le remplissage au moins partiel par au moins une matière métallique de ladite au moins ouverture supérieure secondaire et de ladite au moins ouverture inférieure secondaire de
 - 35 manière à réaliser :

- la réalisation d'au moins une ouverture supérieure secondaire (O_{ss}) au dessus dudit premier matériau III-V (**1**) et la réalisation d'au moins une ouverture inférieure secondaire supplémentaire (O_{is2}) au dessus d'au moins ladite ouverture inférieure secondaire (O_{is1}) ;
- le remplissage d'au moins ladite ouverture supérieure secondaire (O_{ss}), d'au moins une ouverture inférieure secondaire supplémentaire (O_{is2}) et d'au moins ladite ouverture inférieure secondaire (O_{is1}).

10

6. Procédé de réalisation selon l'une des revendications 1 à 5, caractérisé en ce que la structure comprenant au moins un matériau III-V dit supérieur (**10**), un matériau III-V dit intermédiaire (**21**), un second matériau III-V dit inférieur (**22**), le procédé comprend :

15

- la réalisation d'au moins une ouverture supérieure primaire, d'au moins une ouverture intermédiaire primaire, d'au moins une ouverture inférieure primaire ;
- la réalisation d'au moins une ouverture supérieure secondaire, d'au moins une ouverture intermédiaire secondaire et d'au moins une ouverture inférieure secondaire ;
- le remplissage desdites ouvertures.

20

7. Procédé de réalisation selon la revendication 6, dans lequel :

25

- au moins ladite ouverture inférieure secondaire comporte trois portions de dimensions différentes (O_{is1} , O_{is2} , O_{is3}) ;
- au moins ladite ouverture intermédiaire secondaire comporte deux portions de dimensions différentes (O_{ts1} , O_{ts2}) ;
- au moins ladite ouverture supérieure secondaire comporte une portion (O_{ss}).

30

8. Procédé de réalisation selon la revendication 3, caractérisé en ce qu'il comprend les étapes suivantes :

35

- l'encapsulation de ladite structure par un premier diélectrique;
- la réalisation d'au moins une ouverture inférieure primaire (O_{ip}) débouchant sur ledit second matériau III-V (**2**) ;

- le dépôt de métallisation à la surface dudit premier diélectrique et à la surface dudit second matériau III-V **(2)** définissant une métallisation de fond de contact inférieur et un premier ensemble **(E1)** ;
- 5 - l'encapsulation dudit premier ensemble **(E1)** par un second diélectrique;
- la planarisation dudit premier ensemble encapsulé ;
- la réalisation d'au moins une ouverture inférieure secondaire (O_{is1}) débouchant sur ladite métallisation de fond de contact
- 10 inférieur ;
- le remplissage par au moins une matière métallique de ladite au moins ouverture inférieure secondaire définissant au moins un plot de contact dudit contact inférieur et un second ensemble **(E2)**;
- 15 - l'encapsulation dudit second ensemble **(E2)** par un troisième diélectrique;
- la réalisation d'au moins une ouverture supérieure primaire au dessus dudit premier matériau III-V **(1)**;
- le dépôt de métallisation à la surface dudit troisième matériau
- 20 diélectrique et de ladite ouverture supérieure définissant une métallisation de fond de contact supérieur et un troisième ensemble **(E3)**;
- l'encapsulation dudit troisième ensemble par un quatrième diélectrique;
- 25 - la planarisation dudit troisième ensemble ;
- la réalisation d'au moins une ouverture supérieure secondaire (O_{ss}) au dessus de ladite métallisation de fond de contact supérieur et au moins une ouverture supérieure (O_{is2}) au dessus au moins dudit plot de contact dudit contact inférieur;
- 30 - le remplissage par au moins une matière métallique de ladite au moins ouverture supérieure secondaire au dessus de ladite métallisation de fond de contact supérieur et de ladite au moins ouverture supérieure au dessus au moins dudit plot de contact dudit contact inférieur, définissant au moins un plot supérieur
- 35 de contact supérieur et au moins une prolongement de plot de

contact inférieur, ledit contact supérieur (C_{sup}) et au moins ledit contact inférieur (C_{inf}) présentant une surface définie dans un même plan.

- 5 9. Procédé de réalisation selon la revendication 3, caractérisé en ce qu'il comporte les étapes suivantes :
- l'encapsulation de ladite structure par un premier diélectrique;
 - la réalisation d'au moins une ouverture supérieure primaire (O_{sp}) débouchant sur ledit premier matériau III-V (1) ;
 - 10 - le dépôt de métallisation à la surface dudit premier diélectrique et à la surface dudit premier matériau III-V (1) définissant une métallisation de contact supérieur et un premier ensemble ($E1'$) ;
 - l'encapsulation dudit premier ensemble ($E1'$) par un second diélectrique;
 - 15 - la planarisation dudit premier ensemble encapsulé;
 - la réalisation d'au moins une ouverture supérieure secondaire (O_{ss}) débouchant sur ladite métallisation de fond de contact supérieur ;
 - 20 - le remplissage par au moins une matière métallique de ladite au moins ouverture supérieure secondaire définissant au moins un plot de contact dudit contact supérieur et un second ensemble ($E2'$);
 - la réalisation d'au moins une ouverture inférieure primaire (O_{ip}) au dessus dudit second matériau III-V (2);
 - 25 - le dépôt de métallisation à la surface dudit premier matériau diélectrique et de ladite ouverture inférieure primaire définissant une métallisation de contact inférieur et un troisième ensemble ($E3'$);
 - 30 - l'encapsulation dudit troisième ensemble par un quatrième diélectrique;
 - la planarisation dudit troisième ensemble ;
 - la réalisation d'au moins une ouverture inférieure secondaire (O_{is}) au dessus de ladite couche de fond de contact inférieur;

- le remplissage de ladite au moins ouverture inférieure secondaire, définissant au moins un plot de contact inférieur, ledit contact supérieur (C_{sup}) et au moins ledit contact inférieur (C_{inf}) présentant une surface définie dans un même plan

5

10. Procédé de réalisation selon l'une des revendications 1 ou 2, caractérisé en ce qu'il comprend :

- la réalisation simultanée d'au moins une ouverture supérieure primaire et d'au moins une ouverture inférieure primaire ;
- 10 - la réalisation simultanée d'au moins une ouverture supérieure secondaire et d'au moins une ouverture inférieure secondaire.

11. Procédé de réalisation selon l'une des revendications 1 à 10, caractérisé en ce qu'il comprend la réalisation d'un niveau supplémentaire de contact à la surface desdits contacts plans, comportant :

15

- un dépôt supplémentaire de diélectrique (**8**) ;
- la réalisation d'au moins une ouverture supplémentaire inférieure et d'au moins une ouverture supplémentaire supérieure ;
- 20 - le remplissage desdites ouvertures supplémentaires par au moins une matière métallique pour définir au moins un contact supplémentaire inférieur ($C_{inf/supl}$) et au moins un contact supplémentaire supérieur ($C_{sup/supl}$).

25

12. Procédé de réalisation selon l'une des revendications 1 à 11, dans lequel :

- les ouvertures inférieures primaires présentent une largeur ($D2$) comprise entre 20 μm et 50 μm ;
- les ouvertures inférieures secondaires présentent une largeur ($D6$) comprise entre 0,5 μm et 5 μm , préférentiellement comprise entre 1 μm et 3 μm .

30

13. Procédé de réalisation selon l'une des revendications 1 à 12, caractérisé en ce que le premier matériau III-V et/ou le second matériau III-V

sont choisis parmi : InP, $\text{In}_{1-x}\text{Ga}_x\text{As}$ (avec $0 \leq x \leq 1$), GaAs, InAs, du GaSb, $\text{In}_{1-x}\text{Ga}_x\text{Sb}$, $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{P}_y$, $\text{Ga}_{1-x}\text{In}_x\text{P}$, $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{N}_y$, $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$.

14. Procédé de réalisation selon l'une des revendications 1 à 13,
5 caractérisé en ce que le substrat est en silicium.

15. Procédé de réalisation selon l'une des revendications 1 à 14,
dans lequel le ou les diélectriques sont choisis parmi : SiN, SiO₂, Al₂O₃, un
polymère planarisant pouvant être à base de Benzocyclobutène (BCB) ou
10 SOG.

16. Procédé de réalisation selon l'une des revendications 1 à 15,
dans lequel on réalise le dépôt d'un métal tel que Ni₂P, Ni₃P, NiGe, TiP, TiGe
dans lesdites ouvertures primaires.

15

17. Procédé de réalisation selon l'une des revendications 1 à 15,
dans lequel on réalise le dépôt d'un métal tel que Ni, Ti et alliage comme
NiPt, NiTi, NiCo dans lesdites ouvertures primaires.

20

18. Procédé de réalisation selon l'une des revendications 1 à 16,
dans lequel le dépôt de métallisation est suivi d'un traitement thermique pour
former un ou plusieurs composé(s) intermétallique(s)

19. Procédé de réalisation selon l'une des revendications 1 à 18,
25 caractérisé en ce que les opérations de remplissage comprennent :

- le dépôt d'une barrière de diffusion pouvant être composée
d'une ou plusieurs couches de matériau choisi parmi : TiN,
Ti/TiN, TaN, Ta/TaN, W ;
- le dépôt d'un métal de remplissage choisi parmi : W, Cu, Al,
30 AlCu, AlSi.

20. Procédé de réalisation selon l'une des revendications 1 à 19,
dans lequel le composant étant un laser, ledit procédé comprend une
opération pour réaliser un guide (**91**) en matériau semiconducteur pouvant
35 être du Si, dans un substrat diélectrique (**90**) pouvant être en SiO₂.

21. Procédé de réalisation selon l'une des revendications 1 à 19, dans lequel le composant étant un laser, ledit procédé comprend la réalisation d'un contact supérieur circulaire pour permettre l'émission 5 verticale du rayonnement laser, au centre dudit contact supérieur.

22. Composant obtenu selon le procédé de l'une des revendications 1 à 21.

Contacts non planaires et composés de métaux nobles

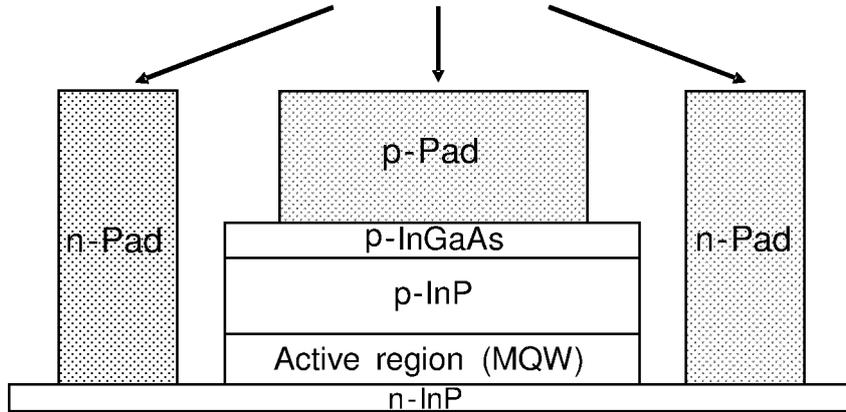


FIG.1

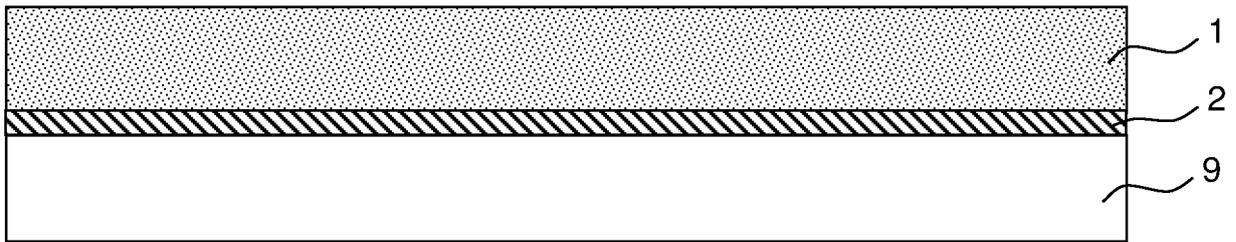


FIG.2

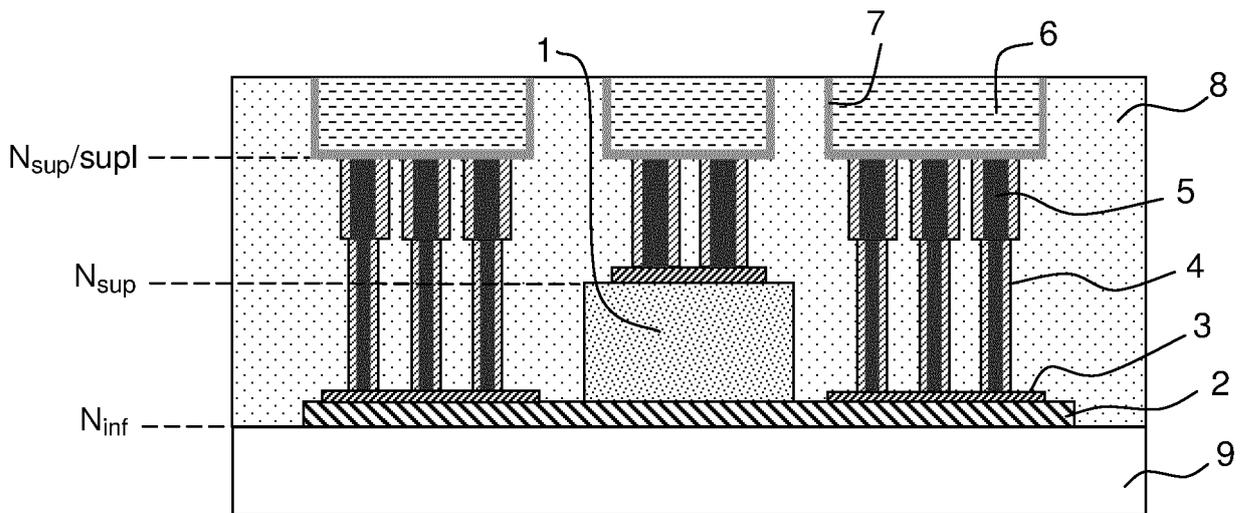


FIG.3

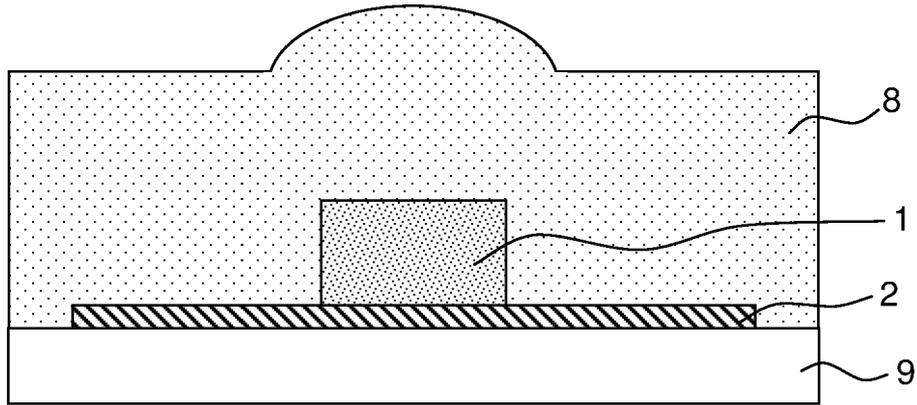


FIG. 4a

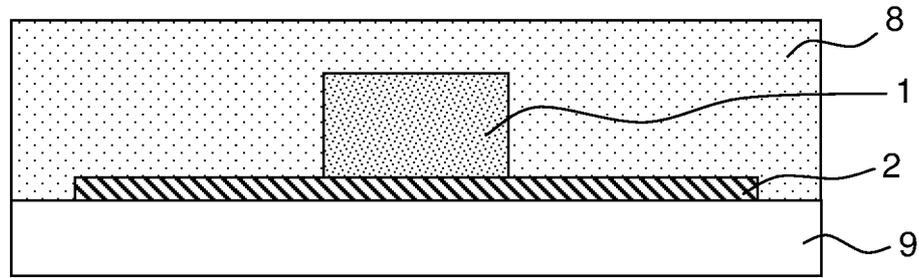


FIG. 4b

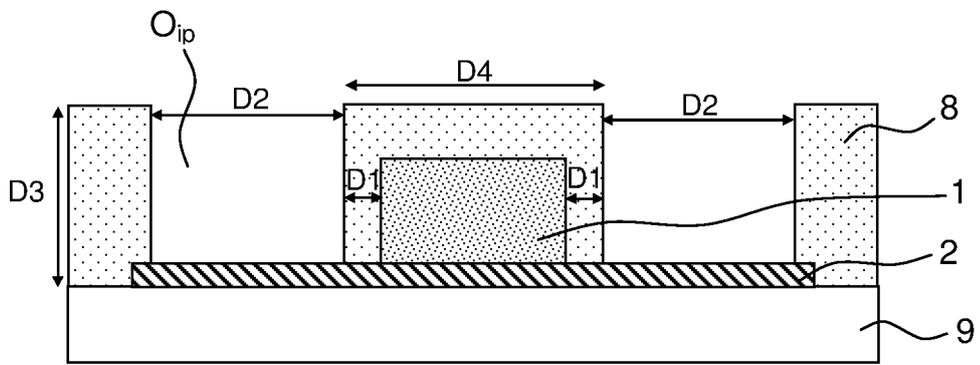


FIG. 4c

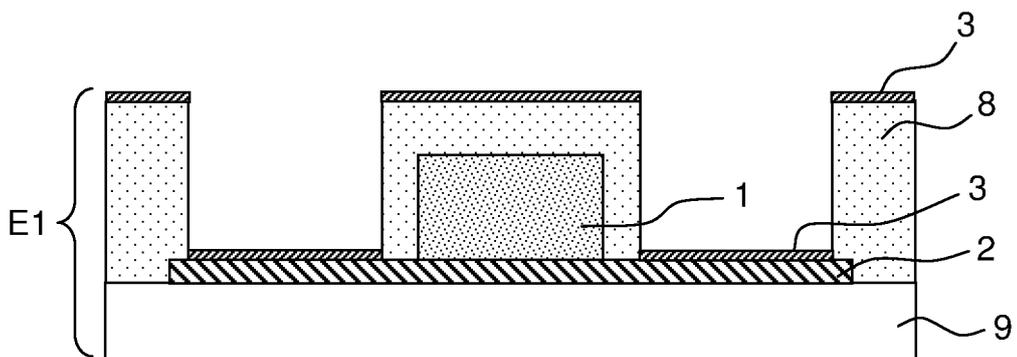


FIG. 4d

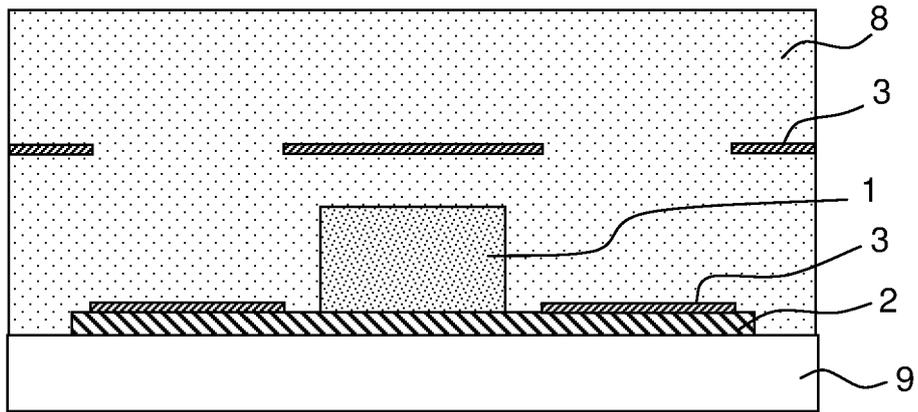


FIG.4e

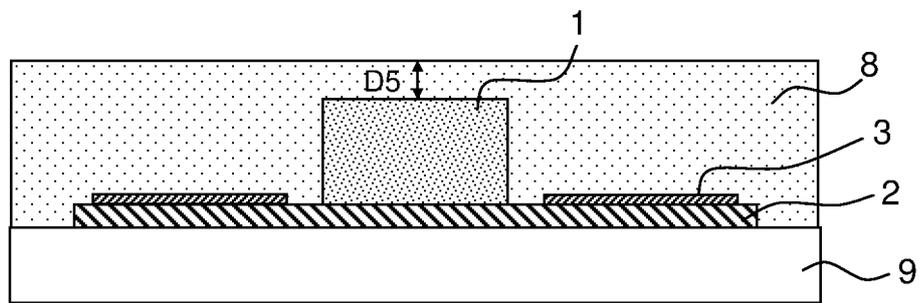


FIG.4f

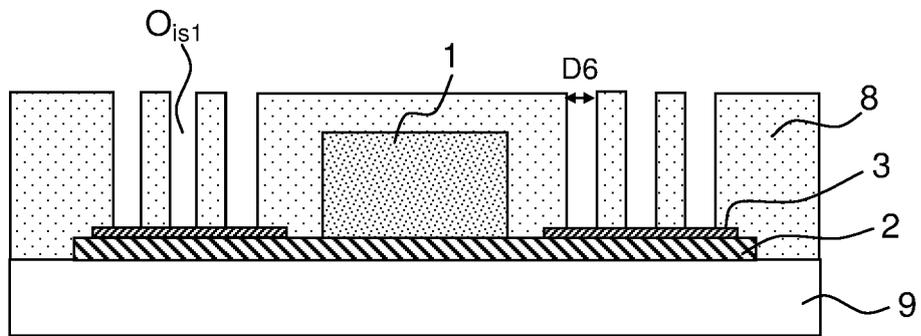


FIG.4g

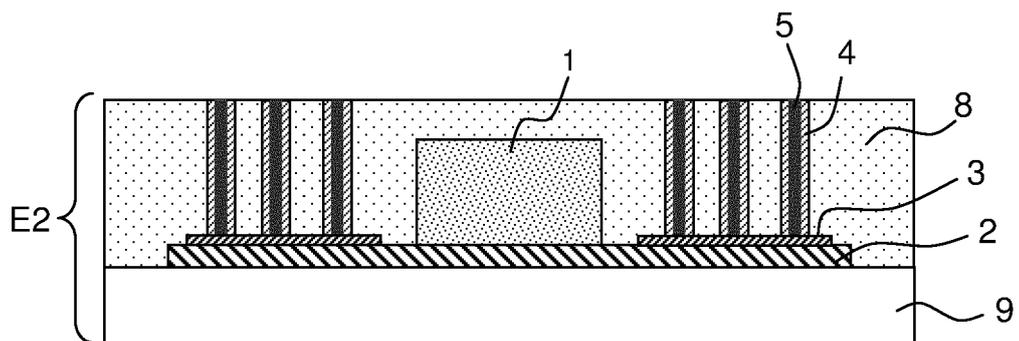


FIG.4h

4/14

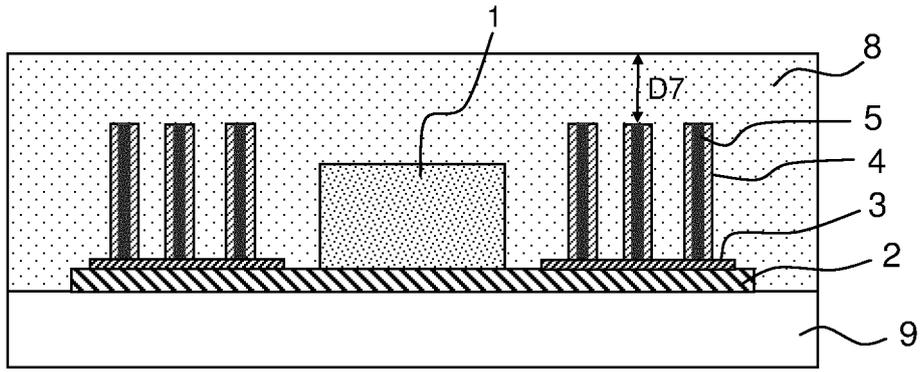


FIG. 4i

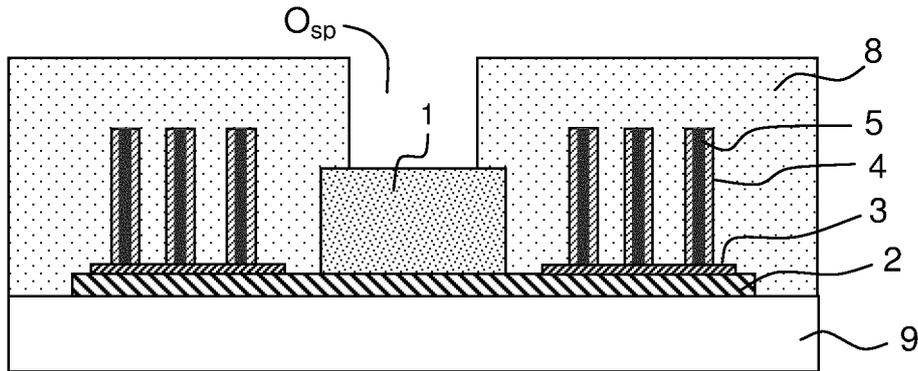


FIG. 4j

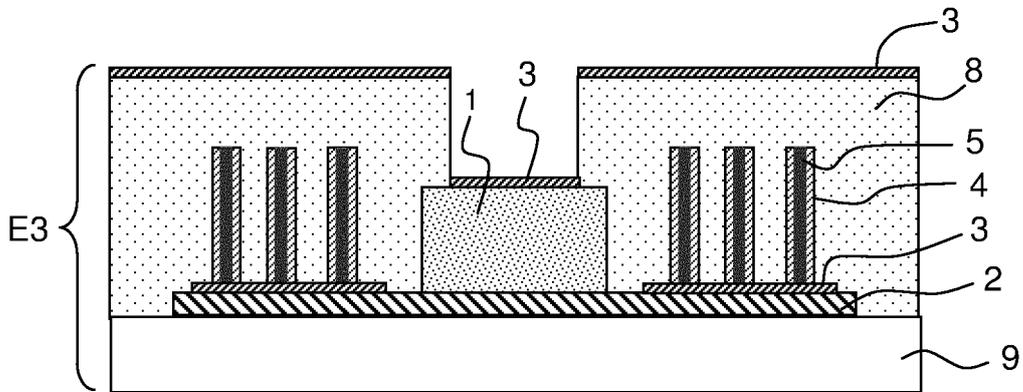


FIG. 4k

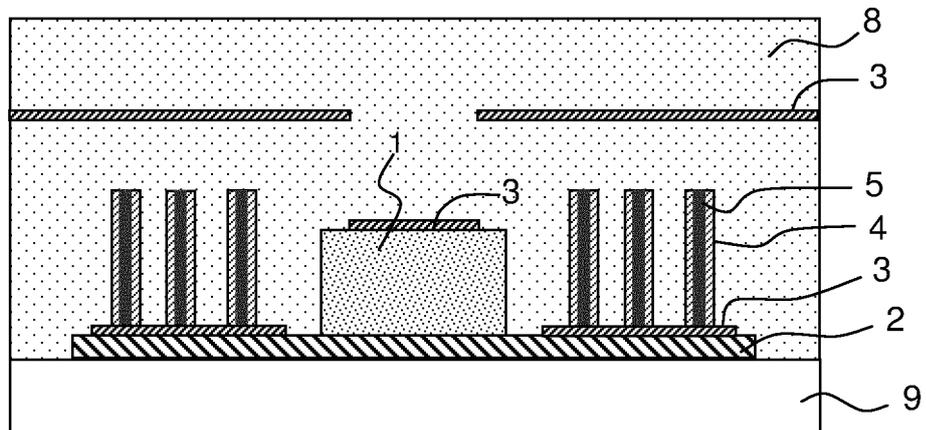


FIG. 4l

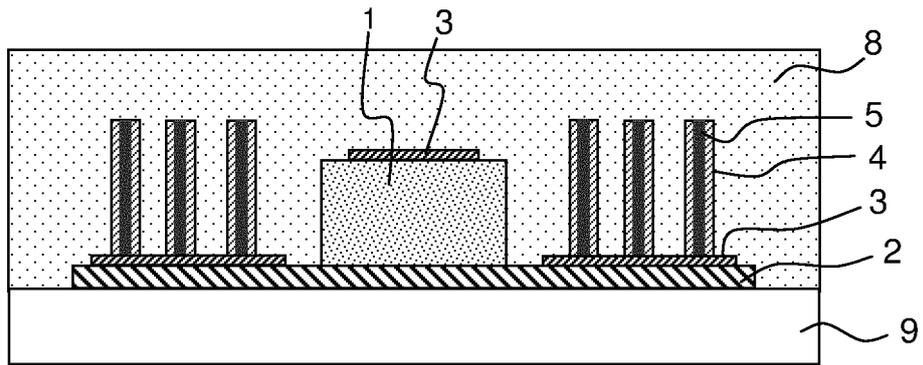


FIG. 4m

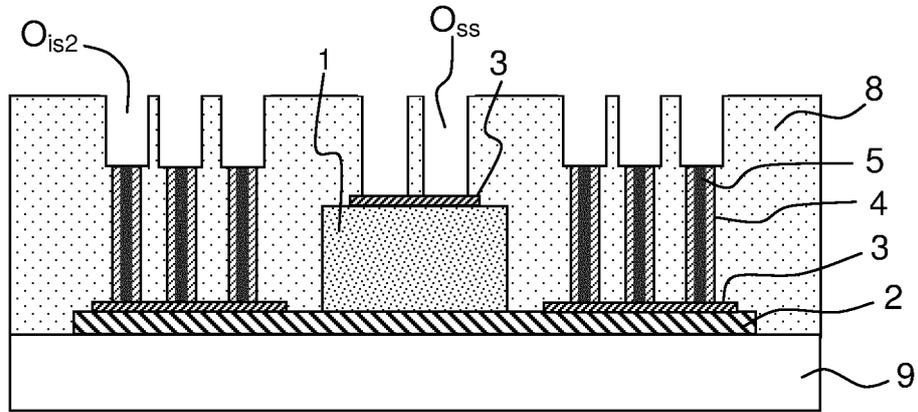


FIG. 4n

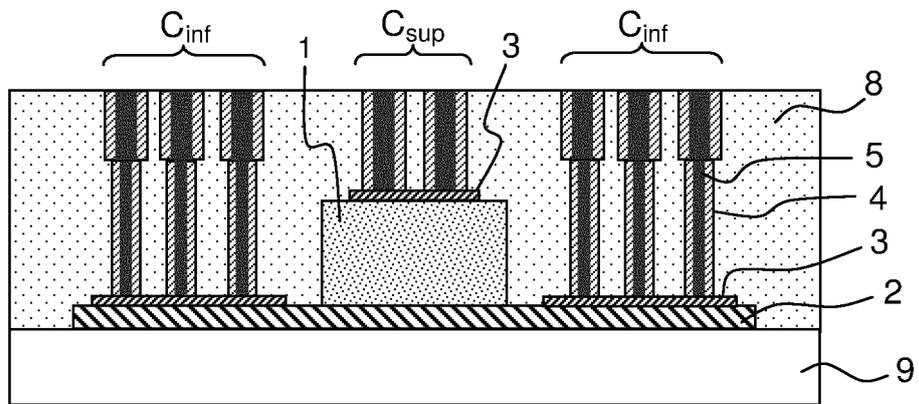


FIG. 4o

6/14

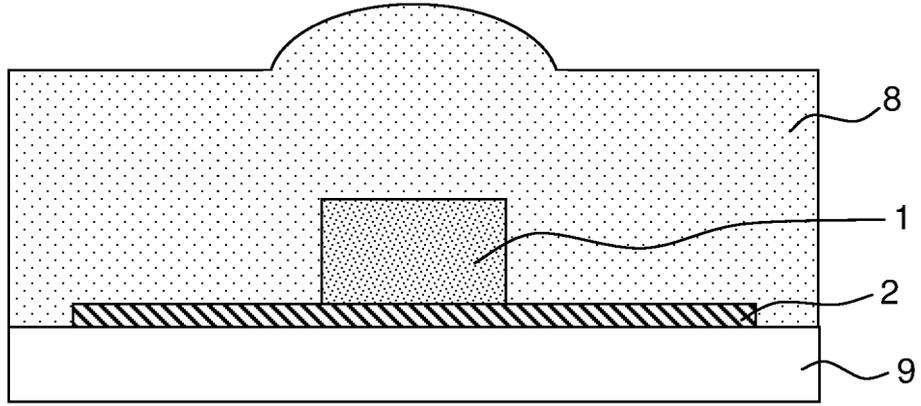


FIG.5a

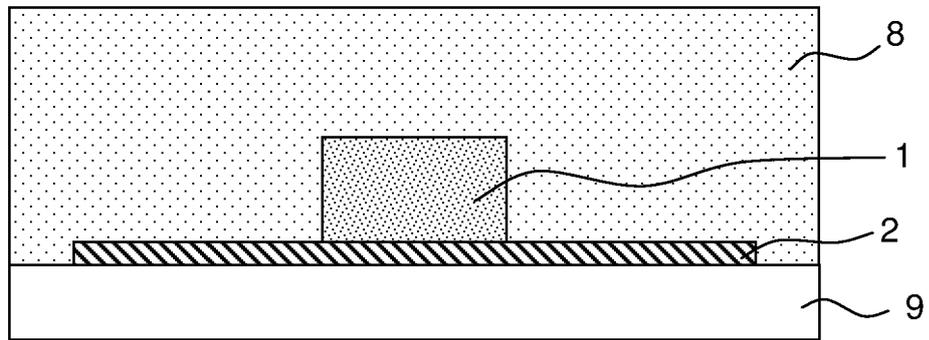


FIG.5b

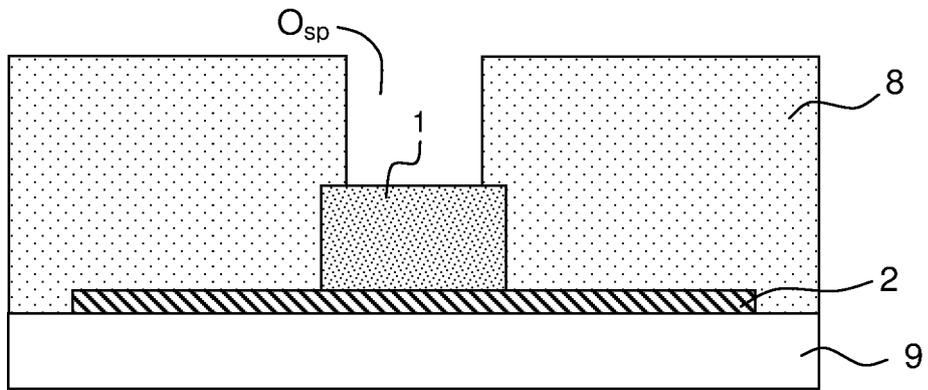


FIG.5c

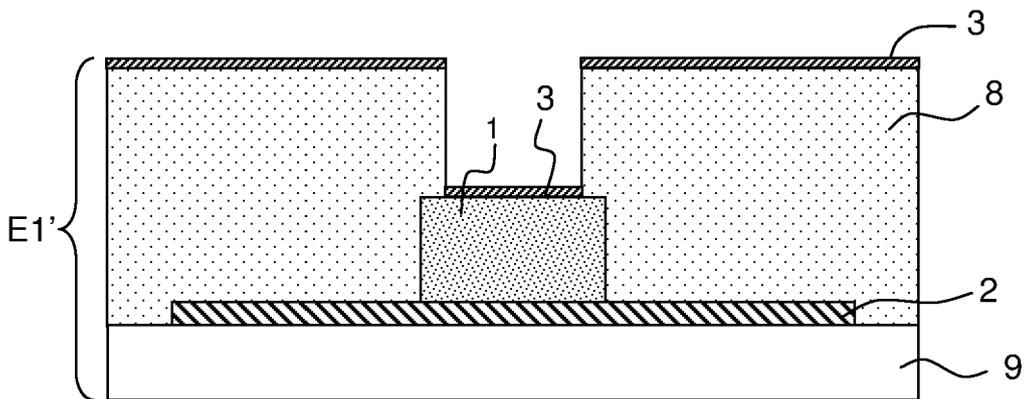


FIG.5d

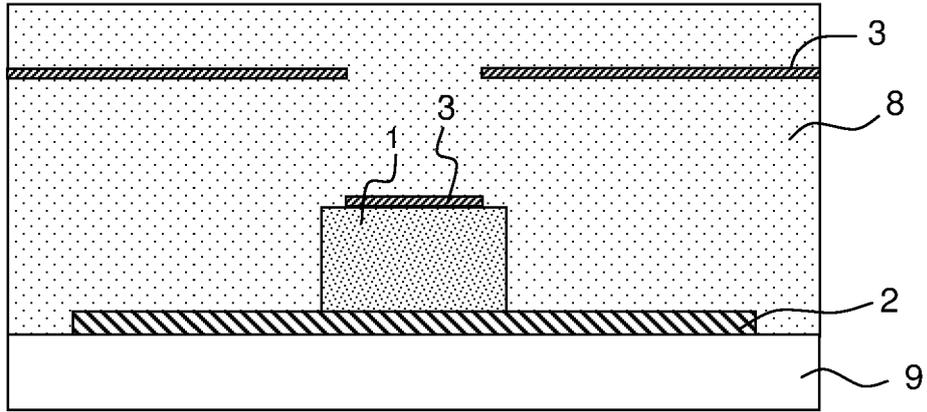


FIG. 5e

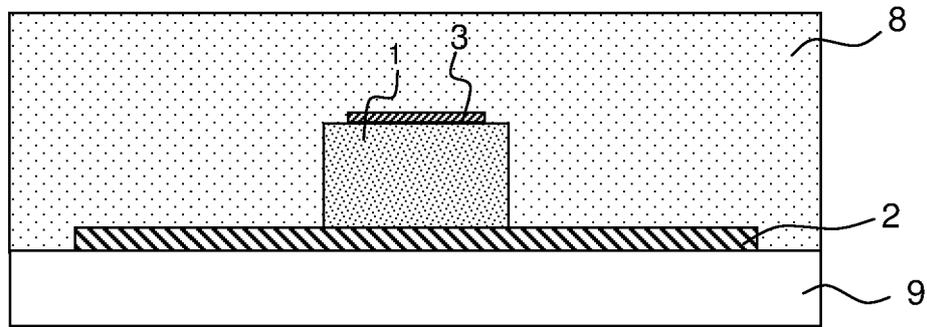


FIG. 5f

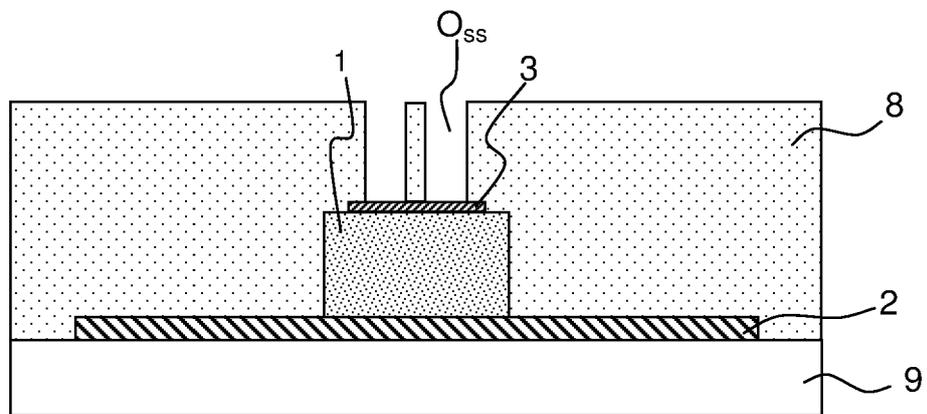


FIG. 5g

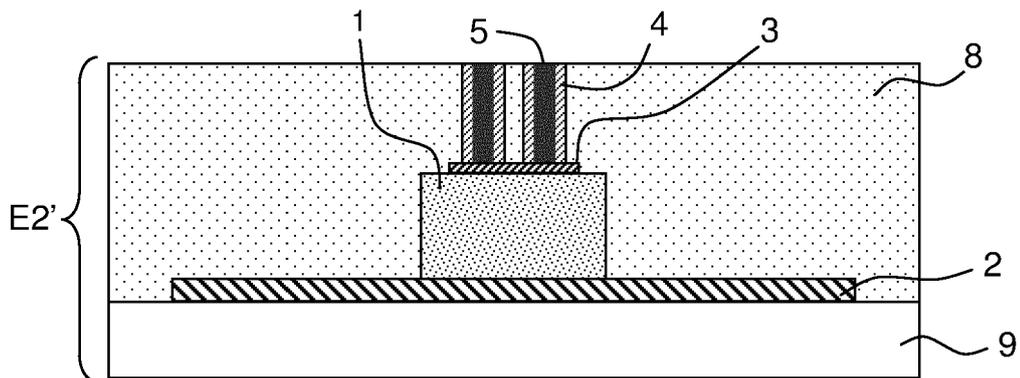
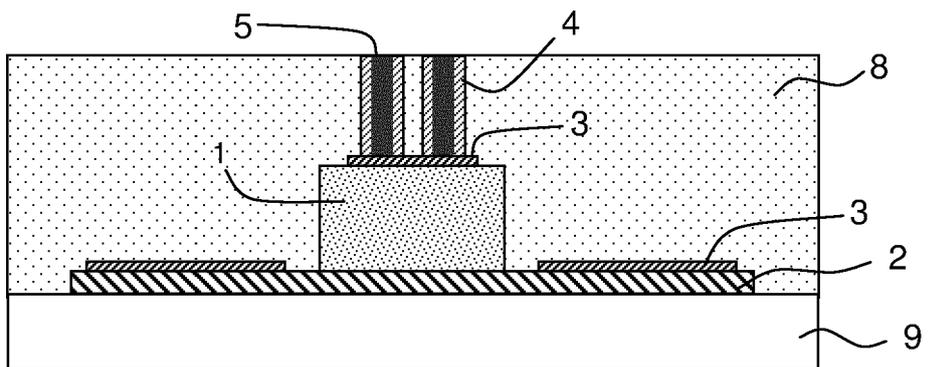
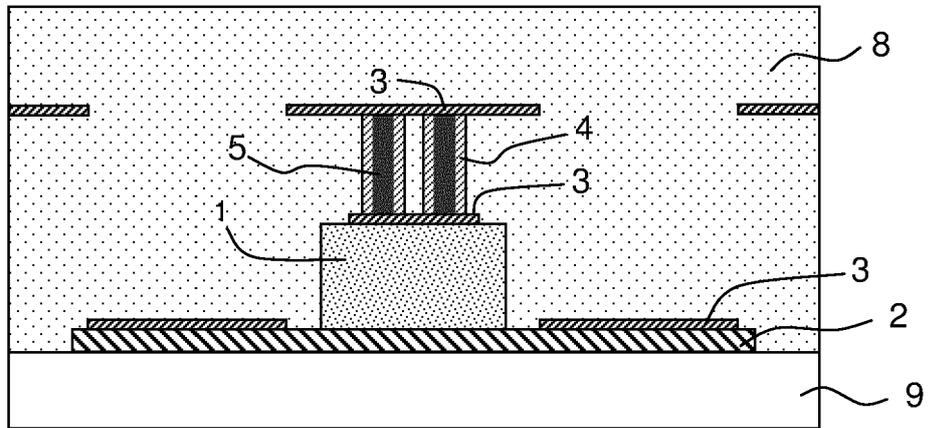
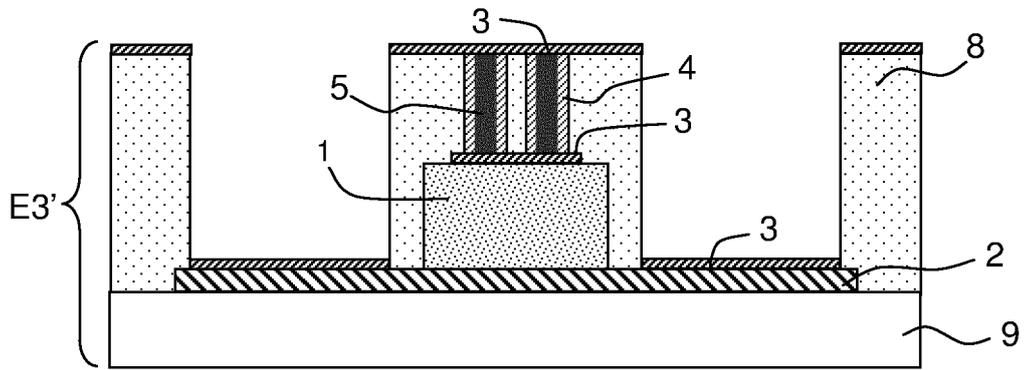
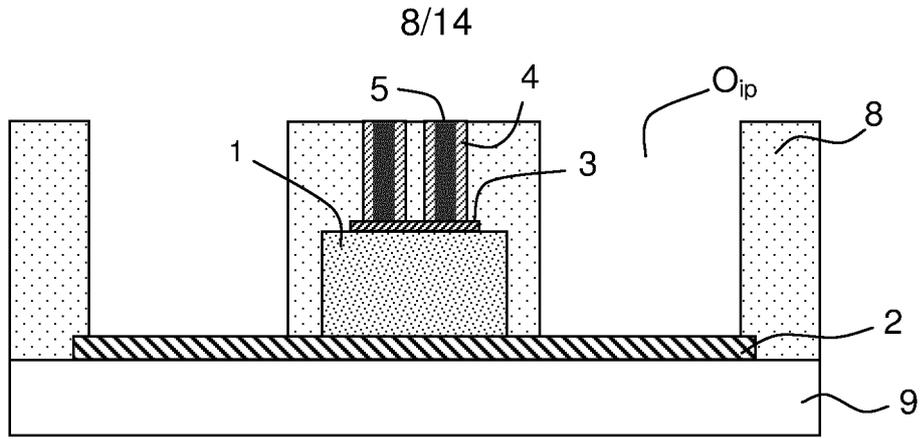


FIG. 5h



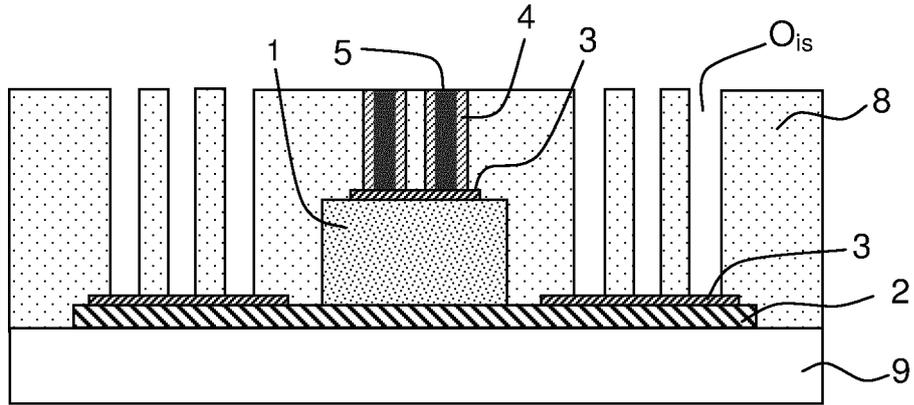


FIG. 5m

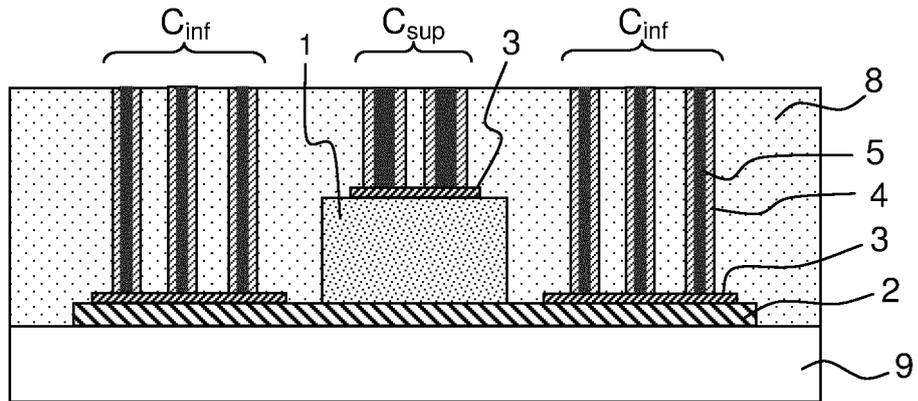


FIG. 5n

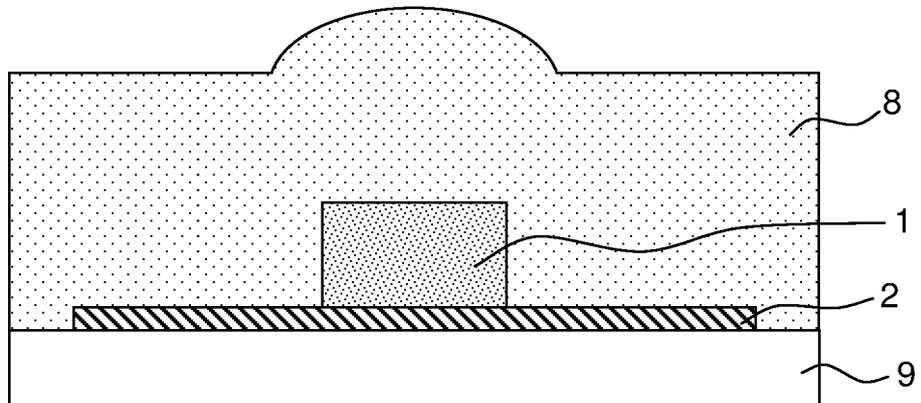


FIG. 6a

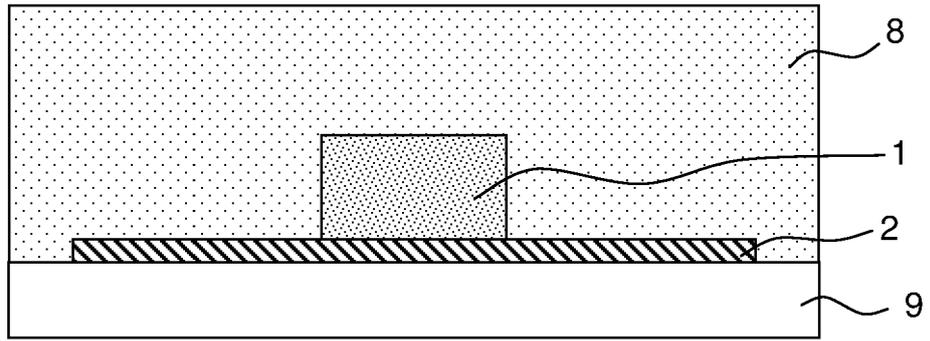


FIG. 6b

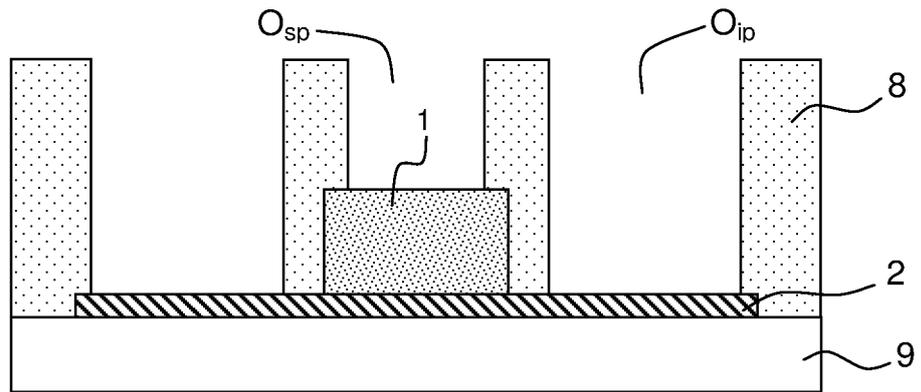


FIG. 6c

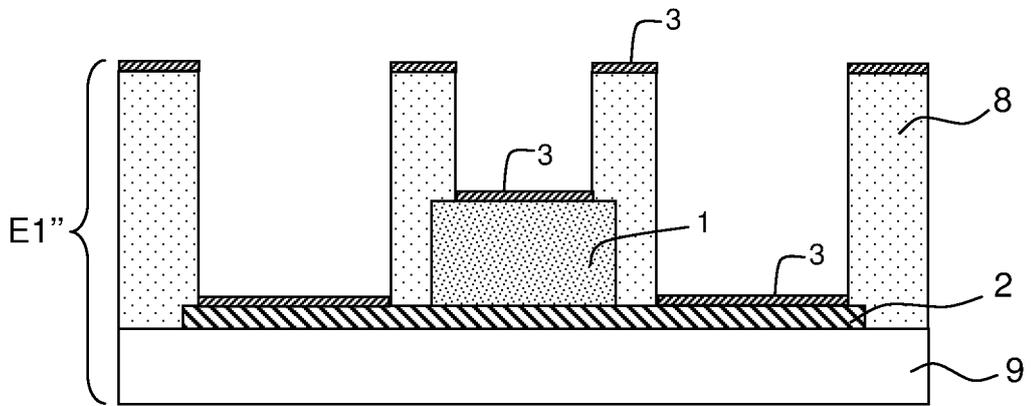


FIG. 6d

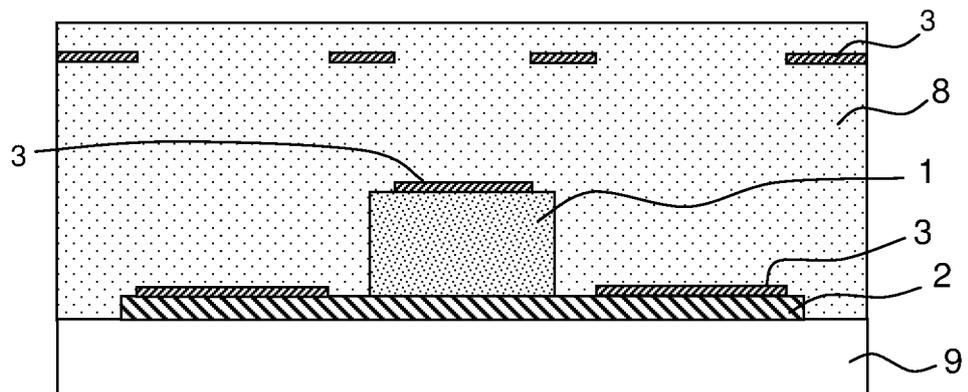


FIG. 6e

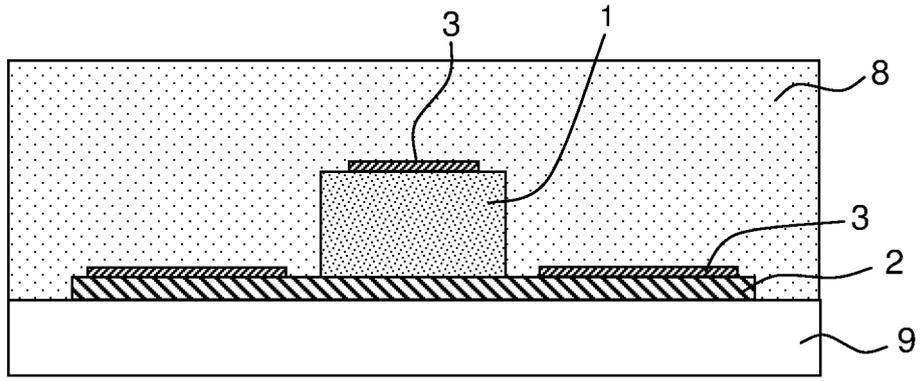


FIG. 6f

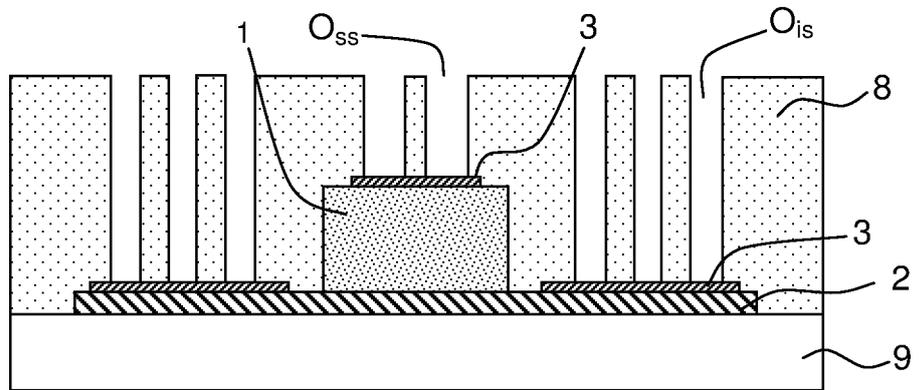


FIG. 6g

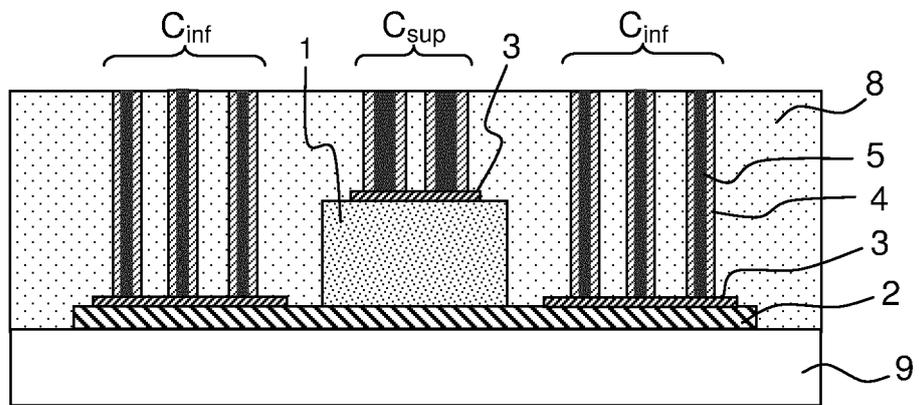


FIG. 6h

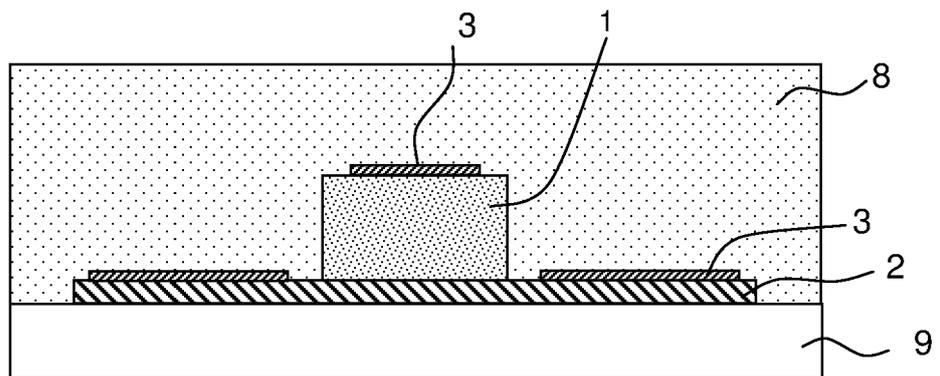
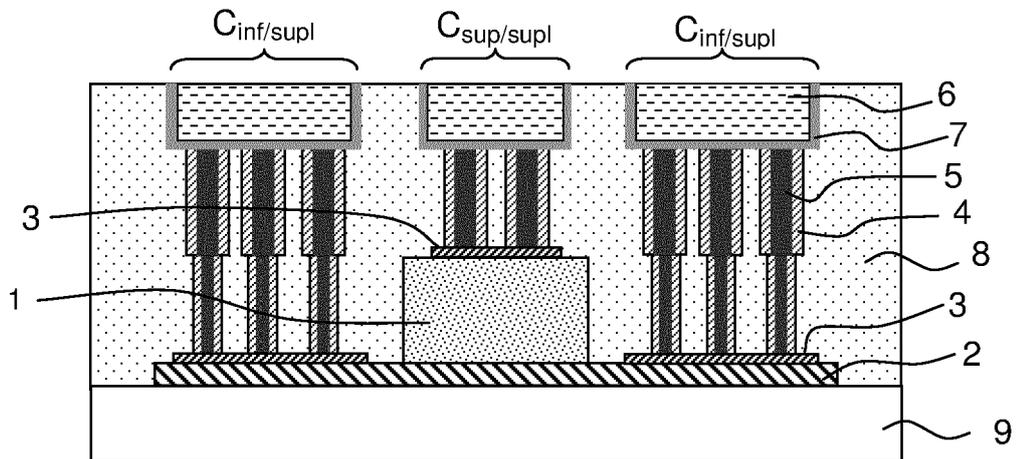
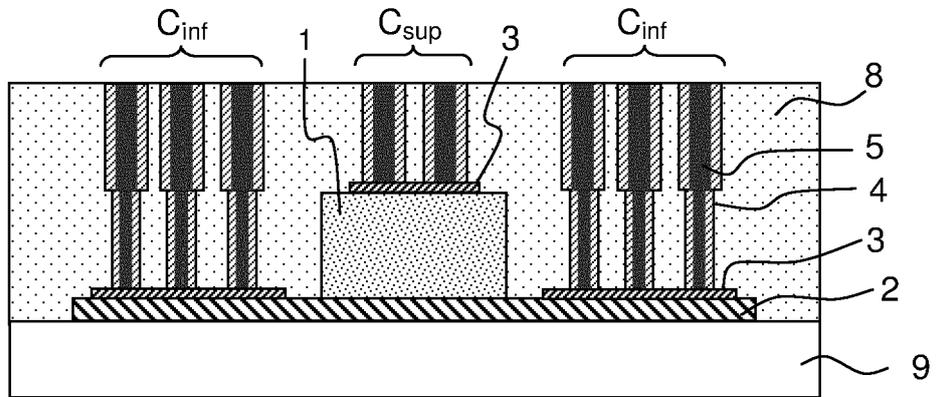
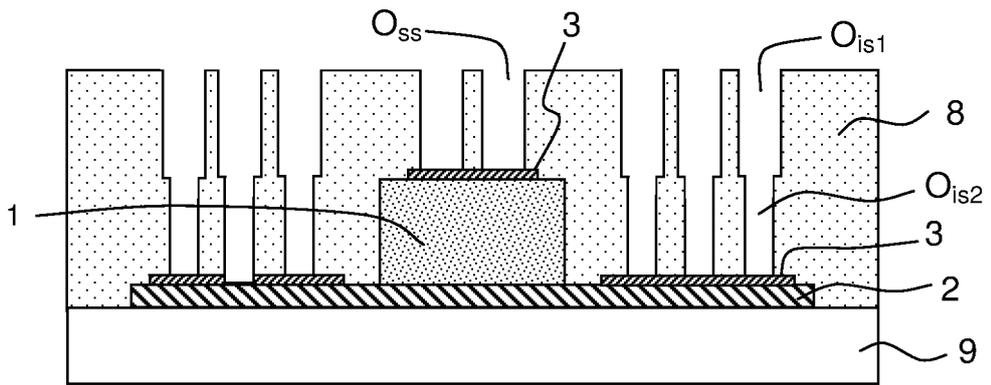
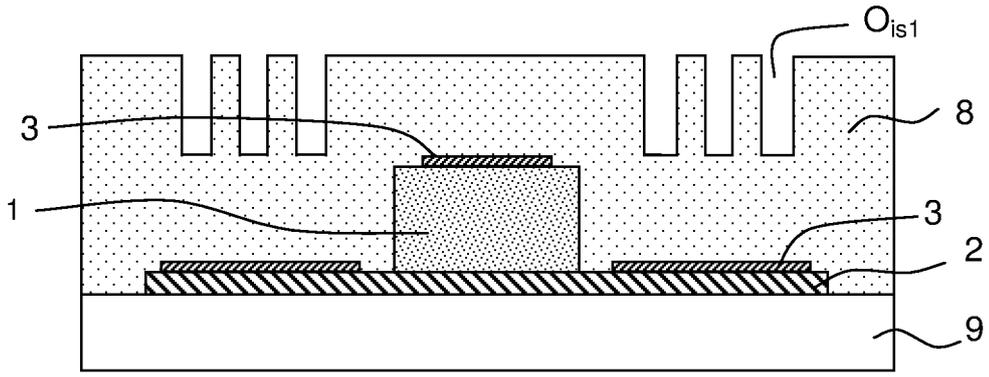


FIG. 7a



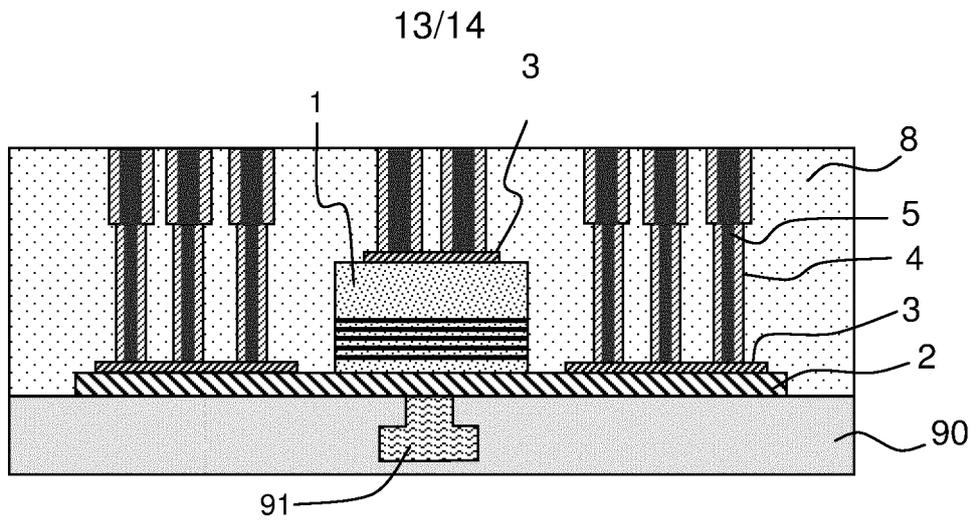


FIG. 9

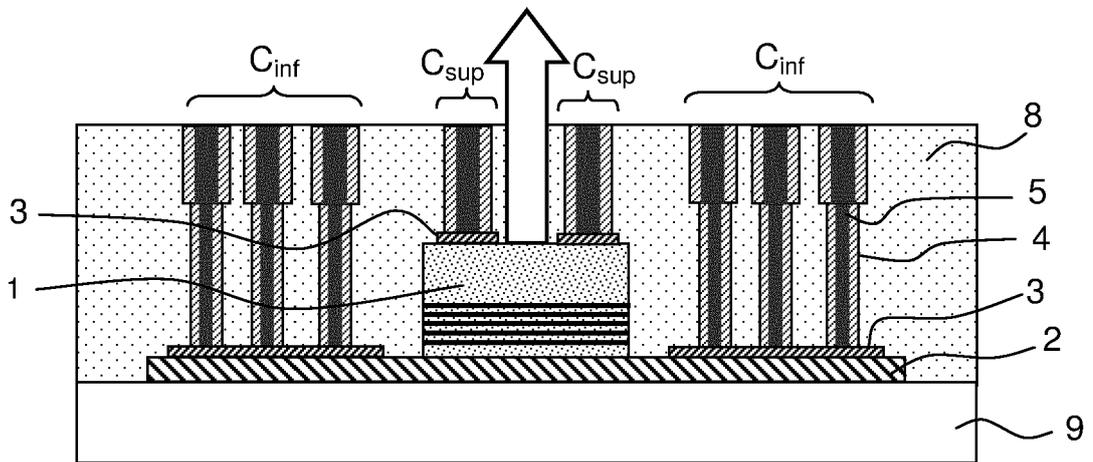


FIG. 10

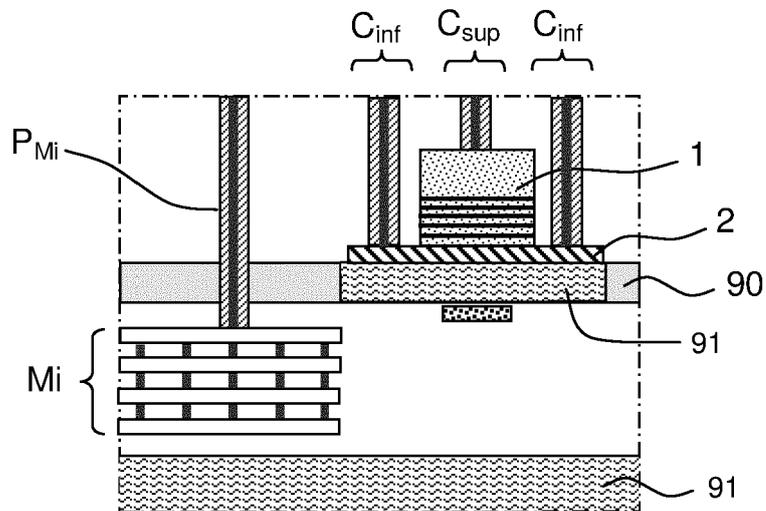


FIG. 11

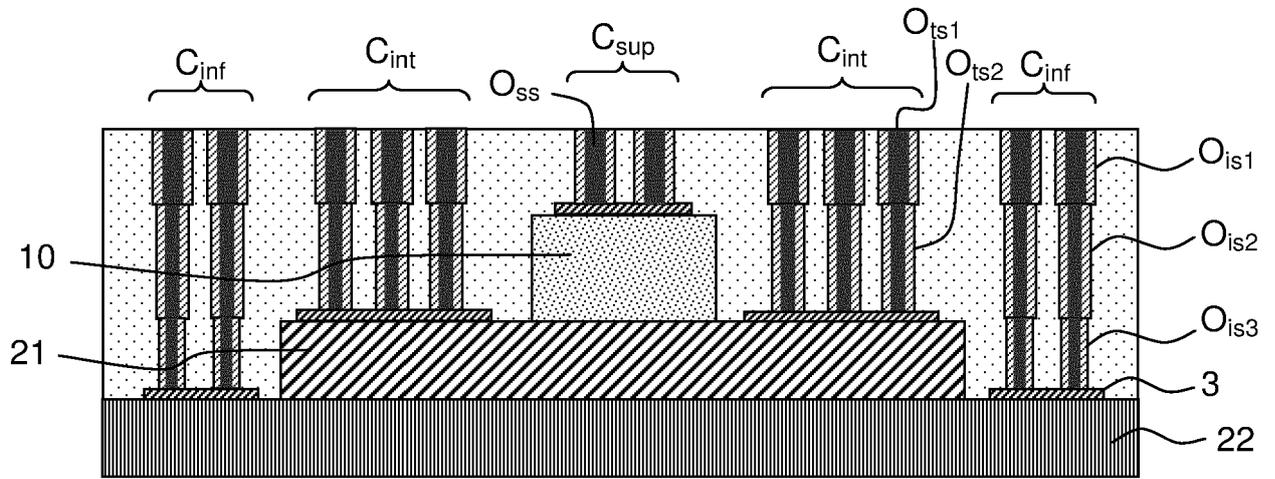


FIG.12

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

SHIGERU KURODA ET AL: "A NEW FABRICATION TECHNOLOGY FOR ALGAAS/GAAS HEMT LSI'S USING INGAAS NONALLOYED OHMIC CONTACTS", IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISACATAWAY, NJ, US, vol. 36, no. 10, 1 octobre 1989 (1989-10-01), pages 2196-2203, XP000095533, ISSN: 0018-9383, DOI: 10.1109/16.40900

BACA A G ET AL: "A survey of ohmic contacts to III-V compound semiconductors", THIN SOLID F, ELSEVIER, AMSTERDAM, NL, vol. 308-309, 31 octobre 1997 (1997-10-31) , pages 599-606, XP004524436, ISSN: 0040-6090, DOI: 10.1016/S0040-6090(97)00439-2

US 6 596 616 B1 (HOLM PAIGE M [US] ET AL) 22 juillet 2003 (2003-07-22)

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

NEANT

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT