

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月29日(29.07.2010)

PCT

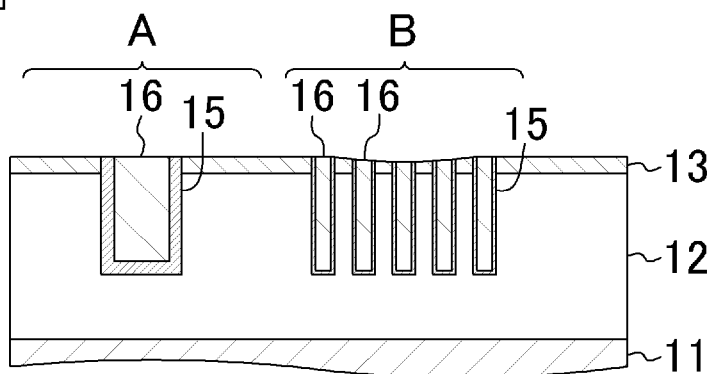
(10) 国際公開番号
WO 2010/084538 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 21/768 (2006.01)
B24B 37/00 (2006.01) H01L 23/522 (2006.01)
H01L 21/304 (2006.01)
 - (21) 国際出願番号: PCT/JP2009/005273
 - (22) 国際出願日: 2009年10月9日(09.10.2009)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2009-009982 2009年1月20日(20.01.2009) JP
 - (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 金山秀哲(KANAYAMA, Shutetsu).
 - (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: Disclosed is a semiconductor device which comprises an ELK film (12) which is formed on a semiconductor substrate (11), an SiN film (13) which is formed on the ELK film (12), and a plurality of wiring lines (16) which are formed in the ELK film (12) and the SiN film (13) so as to be substantially at the same level. The plurality of wiring lines (16) have a non-dense wiring region (A) having a first wiring area ratio that is a wiring occupancy ratio per unit volume, and a dense wiring region (B) having a second wiring area ratio that is higher than the first wiring area ratio. The height of the upper surface of the dense wiring region (B) in the SiN film (13) is lower than the height of the upper surface of the non-dense wiring region (A) in the SiN film (13).

(57) 要約: 半導体装置は、半導体基板(11)の上に形成されたELK膜(12)と、該ELK膜(12)の上に形成されたSiN膜(13)と、ELK膜(12)及びSiN膜(13)に形成され、実質的に同一の高さに配置された複数の配線(16)とを有している。複数の配線(16)は、単位面積当たりの配線占有率である第1の配線面積率を持つ配線非密集部(A)と、第1の配線面積率よりも高い第2の配線面積率を持つ配線密集部(B)とを有し、SiN膜(13)における配線密集部(B)の上面の高さは、SiN膜(13)における配線非密集部(A)の上面の高さよりも低い。



WO 2010/084538 A1

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に、埋め込み配線を有する層間絶縁膜に多孔質の低誘電率絶縁膜を用いた半導体装置及びその製造方法に関する。

背景技術

[0002] 近年の半導体装置の微細化と高速化とに伴って、半導体装置に形成される配線構造の多層化が進んでいる。しかし、このような微細化、高速化及び多層化が進むにつれて、配線抵抗並びに配線間及び配線層間の寄生容量の増大による信号遅延が問題となる。信号遅延 T は、配線抵抗 R と寄生容量 C との積に比例することから、信号遅延 T を小さくするためには、配線層の低抵抗化と共に寄生容量を小さくすることが必要となる。

[0003] 配線抵抗 R を低減するには、配線材料としてより低抵抗の材料を用いればよい。例えば、従来の Al （アルミニウム）配線から Cu （銅）配線に移行することが挙げられる。

[0004] 一方、配線層間の寄生容量 C と、配線層の間に設けられる層間絶縁膜の比誘電率 ϵ 、配線層の間隔 d 及び配線層の側面の面積 S との間には、 $C = (\epsilon \cdot S) / d$ の関係がある。従って、寄生容量 C を低減するには、低誘電率の絶縁膜（以下、 $Low-k$ 膜と呼ぶ。）を層間絶縁膜として用いることが必要となる。

[0005] $Low-k$ 膜を用いた銅配線の形成方法には、ダマシン法がある（例えば、特許文献 1 を参照。）。これは、銅がアルミニウムと比較してエッチングレートの制御が困難であることに鑑み、銅をエッチングすることなく配線を形成する技術として知られている。ダマシン法は、具体的には、下層配線の上にエッチングストップ膜、 $Low-k$ 膜及びキャップ膜を順次形成した後、レジスト膜をマスクとしたドライエッチングによって配線溝を形成し、ア

ッシングによりレジスト膜を除去した後、配線溝内に銅層を埋め込むことによって銅配線層を形成する方法である。銅層の埋め込みは、めっき法により配線溝を埋設するように銅層を形成した後、配線溝の内部にのみ銅層を残すように化学機械研磨（Chemical Mechanical Polishing：CMP）法を用いて表面を平坦化することによって実現できる。

先行技術文献

特許文献

[0006] 特許文献1：特開2002-270586号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、ELK（Extreme Low-k）膜を配線の層間絶縁膜として単層で用いた場合に、埋め込み配線を形成する際のCMP工程において、ELK膜の表面を直接に研磨することになる。この際に、研磨による機械的ダメージ並びに研磨後洗浄における薬液成分及び水分の膜中へ浸透等による膜ダメージが影響して、配線の信頼性の劣化を引き起こすことが大きな問題となる。

[0008] そこで、ELK膜を用いることによる低誘電率化と高信頼性との確保のために、ELK膜の上に膜密度が高いLow-k膜（比誘電率が3.0程度、以下、DPL（Dielectric Protection Layer）膜と呼ぶ。）を設けることにより、CMPダメージによる信頼性劣化を回避しようとする手法がある。

[0009] しかしながら、本願発明者は、実際のCMP後の配線断面を確認した結果、Cu配線における配線密集部において、DPL膜がCMPにより過剰に研磨されて、その下のELK膜が露出することを確認している。

[0010] 例えば、図15（a）のCMP工程を行う直前の断面構成に示すように、半導体基板101の上に形成されたELK膜102及びDPL膜103の配線非密集部A及び配線密集部Bには、複数の配線溝が形成され、DPL膜1

03の上には各配線溝を含め、銅めっき膜104がバリアメタル膜105を介在させて形成されている。

[0011] その後、図15(b)のCMP後の断面構成に示すように、配線密集部Bにおいては、CMPにより、段差量がCの表面段差（いわゆるエロージョン）が発生するという問題がある。

[0012] 前記従来の問題に鑑み、本発明は、比誘電率が小さい層間絶縁膜に形成された配線の配線密集部に生じるエロージョンを抑制して、比誘電率が小さい層間絶縁膜の露出を防止できるようにすることを目的とする。

課題を解決するための手段

[0013] 前記の目的を達成するため、本発明は、半導体装置を、層間絶縁膜である第1の絶縁膜の上に第2の絶縁膜及び第3の絶縁膜を設けることにより、配線密集部において第1の層間絶縁膜が露出しないようにする構成とする。

[0014] 具体的に、本発明に係る半導体装置は、半導体領域の上に形成された第1の絶縁膜と、第1の絶縁膜の上に形成された第2の絶縁膜と、第1の絶縁膜及び第2の絶縁膜に形成され、実質的に同一の高さに配置された複数の配線とを備え、複数の配線は、単位面積当たりの配線占有率である第1の配線面積率を持つ第1の配線領域と、該第1の配線面積率よりも高い第2の配線面積率を持つ第2の配線領域とを有し、第2の絶縁膜における第2の配線領域の上面の高さは、第2の絶縁膜における第1の配線領域の上面の高さよりも低いことを特徴とする。

[0015] 本発明の半導体装置によると、第2の絶縁膜における第2の配線領域の上面の高さは、第2の絶縁膜における第1の配線領域の上面の高さよりも低い。すなわち、配線密集部である第2の配線領域においては、第2の絶縁膜が残存しており、第1の絶縁膜が露出していないため、第1の絶縁膜にELK膜を用いたとしても、該ELK膜が露出することがない。

[0016] 本発明の半導体装置において、第2の配線面積率は、20%以上且つ90%以下であってよい。

[0017] 本発明の半導体装置において、第2の絶縁膜における第2の配線領域の上

面の最も低い部分の高さは、第2の絶縁膜における第1の配線領域の上面の高さと比べて、第2の絶縁膜の膜厚の1%以上且つ99%以下だけ低くてもよい。

[0018] また、本発明の半導体装置において、第2の絶縁膜における第2の配線領域の上面の最も低い部分の高さは、第2の絶縁膜における第1の配線領域の上面の高さと比べて、1nm以上且つ10nm以下だけ低くてもよい。

[0019] 本発明の半導体装置において、第1の絶縁膜と第2の絶縁膜との間には、第3の絶縁膜が形成されていてもよい。

[0020] この場合に、第3の絶縁膜は、第1の絶縁膜よりも誘電率が高いことが好ましい。

[0021] 本発明の半導体装置において、第1の絶縁膜は、第2の絶縁膜よりも空孔率が高い絶縁膜であってもよい。

[0022] 本発明の半導体装置において、第1の絶縁膜の誘電率は、第2の絶縁膜の誘電率よりも低いことが好ましい。

[0023] 本発明の半導体装置において、第1の絶縁膜の誘電率は、2.7以下であることが好ましい。

[0024] 本発明の半導体装置において、第2の絶縁膜は、窒素を含む絶縁膜であることが好ましい。

[0025] 本発明の半導体装置において、第2の絶縁膜は、窒化シリコン、炭化窒化シリコン又は酸化窒化シリコンからなることが好ましい。

[0026] 本発明の半導体装置において、第2の絶縁膜の膜厚は、第1の絶縁膜の膜厚の1%以上且つ20%以下であってもよい。

[0027] また、本発明の半導体装置において、第2の絶縁膜の膜厚は、20nm以下であってもよい。

[0028] 本発明に係る半導体装置の製造方法は、半導体領域の上に、第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜を順次形成する工程(a)と、第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜に複数の配線溝を形成する工程(b)と、各配線溝を含む第3の絶縁膜の上に、金属膜を形成する工程(c)と、金

属膜における第3の絶縁膜の上に形成された部分を除去する工程（d）と、第3の絶縁膜を除去することにより、第1の絶縁膜及び第2の絶縁膜の各記配線溝に埋められた金属からなる複数の配線を形成する工程（e）とを備え、工程（e）において、第3の絶縁膜は、第2の絶縁膜よりも除去される速度が速いことを特徴とする。

[0029] 本発明の半導体装置の製造方法によると、第2の絶縁膜の上に形成された第3の絶縁膜を除去することにより、第1の絶縁膜及び第2の絶縁膜の各記配線溝に埋められた金属からなる複数の配線を形成する。このとき、第3の絶縁膜は第2の絶縁膜よりも除去される速度が速いため、第2の絶縁膜は、第3の絶縁膜を除去する際のストッパ膜として機能するので、第1の絶縁膜が露出することがない。

[0030] 本発明の半導体装置の製造方法は、工程（b）と工程（c）との間に、各記配線溝を含む第3の絶縁膜の上にバリアメタル膜を形成する工程（f）をさらに備え、工程（c）において、金属膜はバリアメタル膜の上に形成し、工程（d）は、バリアメタル膜における第3の絶縁膜の上に形成された部分をも除去する工程を含んでもよい。

[0031] 本発明の半導体装置の製造方法において、複数の配線は、単位面積当たりの配線占有率である第1の配線面積率を持つ第1の配線領域と、該第1の配線面積率よりも高い第2の配線面積率を持つ第2の配線領域とを有し、第2の絶縁膜における第2の配線領域の上面の高さは、第2の絶縁膜における第1の配線領域の上面の高さよりも低くてもよい。

[0032] この場合に、第2の配線面積率は、20%以上且つ90%以下であってよい。

[0033] また、この場合に、第2の絶縁膜における第2の配線領域の上面の最も低い部分の高さは、第2の絶縁膜における第1の配線領域の上面の高さと比べて、第2の絶縁膜の膜厚の1%以上且つ99%以下だけ低くてもよい。

[0034] また、第2の絶縁膜における第2の配線領域の上面の最も低い部分の高さは、第2の絶縁膜における第1の配線領域の上面の高さと比べて、1 nm以

上且つ10nm以下だけ低くてもよい。

- [0035] また、第3の絶縁膜は、第2の絶縁膜における第1の配線領域の上面の高さと、第2の絶縁膜における第2の配線領域の上面の高さの最も低い部分の高さの差以上の膜厚を有していることが好ましい。
- [0036] 本発明の半導体装置の製造方法において、第3の絶縁膜の第2の絶縁膜に対する研磨速度の比の値は、50以上であることが好ましい。
- [0037] 本発明の半導体装置の製造方法は、工程(e)において、第3の絶縁膜は化学機械研磨法によって除去され、且つ、第2の絶縁膜において研磨が停止することが好ましい。
- [0038] この場合に、化学機械法には、セリアスラリを用いることができる。
- [0039] この場合に、セリアスラリは、セリア粒子の濃度が1wt%以上且つ3wt%以下であり、添加物である界面活性剤の濃度が2wt%以上且つ4wt%以下であってよい。
- [0040] 本発明の半導体装置の製造方法において、工程(a)は、第1の絶縁膜と第2の絶縁膜の間に、第4の絶縁膜を形成する工程を含んでいてもよい。
- [0041] 本発明の半導体装置の製造方法において、第1の絶縁膜は、第2の絶縁膜よりも空孔率が高い絶縁膜であってもよい。
- [0042] 本発明の半導体装置の製造方法において、第3の絶縁膜は、第1の絶縁膜よりも誘電率が高くてもよい。
- [0043] 本発明の半導体装置の製造方法において、第1の絶縁膜の誘電率は、第2の絶縁膜の誘電率よりも低いことが好ましい。
- [0044] 本発明の半導体装置の製造方法において、第1の絶縁膜の誘電率は、2.7以下であることが好ましい。
- [0045] 本発明の半導体装置の製造方法において、第2の絶縁膜は、窒素を含む絶縁膜であることが好ましい。
- [0046] 本発明の半導体装置の製造方法において、第2の絶縁膜は、窒化シリコン、炭化窒化シリコン又は酸化窒化シリコンからなることが好ましい。
- [0047] 本発明の半導体装置において、第2の絶縁膜の膜厚は、第1の絶縁膜の膜

厚の 1%以上且つ 20%以下であってよい。

[0048] また、本発明の半導体装置の製造方法において、第 2 の絶縁膜の膜厚は、20 nm 以下であってもよい。

[0049] 本発明の半導体装置の製造方法において、第 3 の絶縁膜は、酸素を含む絶縁膜であることが好ましい。

発明の効果

[0050] 本発明に係る半導体装置及びその製造方法によると、比誘電率が小さい層間絶縁膜に形成された配線の配線密集部に生じるエロージョンが抑制されて、比誘電率が小さい層間絶縁膜の露出を防止できるようになるため、配線層の低誘電率化と高信頼性とを確保することができる。

図面の簡単な説明

[0051] [図1] 図 1 は本発明の第 1 の実施形態に係る半導体装置における配線層を示す部分的な断面図である。

[図2] 図 2 (a) ~ 図 2 (c) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す部分的な工程順の断面図である。

[図3] 図 3 (a) 及び図 3 (b) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す部分的な工程順の断面図である。

[図4] 図 4 は本発明の第 1 の実施形態に係るセリア CMP プロセス後の配線密集部におけるエロージョン量と配線面積率との関係を従来の CMP プロセスと共に示したグラフである。

[図5] 図 5 は ELK 膜上に設けるキャップ膜の材料の違いによる膜厚と誘電率との関係を示すグラフである。

[図6] 図 6 (a) は本発明の第 1 の実施形態に係る半導体装置と従来の半導体装置との誘電率及び信頼性の観点からの優位差を比較した表である。図 6 (b) は実効誘電率 k_{eff} の算出領域を示す模式的な断面図である。

[図7] 図 7 は本発明の第 1 の実施形態に係る半導体装置の製造方法におけるセリアスラリによる研磨圧力と研磨レートの関係を示すグラフである。

[図8] 図 8 は本発明の第 1 の実施形態に係る半導体装置の製造方法におけるセ

リアスラリの研磨メカニズムを説明する模式的な断面図である。

[図9] 図9は本発明の第1の実施形態に係る半導体装置の製造方法であって、セリアスラリを用いたときの SiO_2 膜と、初期段差（バリアCMP後）のエロージョンとの関係を示すグラフである。

[図10] 図10は本発明の第1の実施形態に係る半導体装置の製造方法であって、セリアCMPにおける SiO_2 膜の必要膜厚を説明するグラフである。

[図11] 図11は本発明の第2の実施形態に係る半導体装置における配線層を示す部分的な断面図である。

[図12] 図12(a)～図12(c)は本発明の第2の実施形態に係る半導体装置の製造方法を示す部分的な工程順の断面図である。

[図13] 図13(a)～図13(c)は本発明の第2の実施形態に係る半導体装置の製造方法であって、図13(b)はウエハの中心部を示す部分的な断面図であり、図13(c)はウエハの端部を示す部分的な断面図である。

[図14] 図14は本発明の第2の実施形態に係る半導体装置の製造方法におけるウエハ中心部のオーバ研磨量とウエハの端部のオーバ研磨量を示すグラフである。

[図15] 図15は本発明の課題を説明する図であって、従来の半導体装置における配線層を示す部分的な断面図である。

発明を実施するための形態

[0052] (第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

[0053] 図1は本発明の第1の実施形態に係る半導体装置であって、一配線層を示す部分的な断面構成を示している。なお、本実施形態において使用される材料及び各部材の寸法等の数値は好ましい例を示すに過ぎず、本実施形態に限定されることはない。また、本発明の技術思想の範囲を逸脱しない範囲で適宜変更は可能である。さらに、他の実施形態との組み合わせ等も可能である。

[0054] 図1に示すように、第1の実施形態に係る半導体装置は、例えばシリコン

(Si) からなる半導体基板（半導体領域）11の上に、層間絶縁膜として、膜厚が約100nmのELK膜12と、膜厚が約20nmのシリコン窒化(SiN)膜13とが形成されている。ここで、ELK膜12とは、適当な空孔形成材（例えばポロジェン）が添加されたMSQ（メチルシルセスキオキサン）膜を半導体基板11の上に成膜した後、熱処理又はプラズマ処理によって空孔形成材を除去することによって、MSQ膜の内部に多数の空孔を導入することができる。これにより、ELK膜12の比誘電率は、2.7又はそれ以下の2.5程度にまで低減できる。

[0055] また、SiN膜13の膜厚は、0nmより厚く且つ20nm以下程度が好ましい。なお、SiN膜13には、窒化シリコン(SiN)に代えて、炭化窒化シリコン(SiCN)又は酸化窒化シリコン(SiON)を用いることができる。

[0056] SiN膜13及びELK膜12には、SiN膜12を貫通してELK膜12に形成された複数の配線形成溝を埋めるように、銅(Cu)からなる配線16が形成されている。ここで、各配線形成溝の底面及び壁面上には、例えば窒化タンタル(TaN)とタンタル(ta)とからなり、膜厚が約15nmのバリアメタル膜15を介在させている。

[0057] なお、配線非密集部A及び配線密集部Bに形成された各配線16は、半導体基板11に形成された、図示しない半導体素子、容量素子又は抵抗素子等と接続されて、半導体集積回路を構成している。ここで、半導体集積回路は、32nmノード以細のデバイスを想定しており、図1に示す配線密集部Bにおける配線形成溝の幅は約50nm以下である。

[0058] ここで、第1の実施形態の特徴として、SiN膜13における配線密集部Bの上面の高さは、SiN膜における配線密集部Bを除く領域の上面の高さよりも、約1nm以上且つ約10nm以下だけ低くなっている。

[0059] さらには、SiN膜13における配線密集部Bの上面の最も低い部分の高さは、SiN膜13における配線密集部Bを除く領域の上面の高さと比べて、SiN膜13の膜厚の約1%以上且つ約99%以下だけ低い。

- [0060] このように、第1の実施形態によると、比誘電率が小さいELK膜12に形成された配線16の配線密集部Bに生じるエロージョンが抑制されて、該ELK膜12の露出を防止できるため、配線16の低誘電率化と高信頼性を確保することができる。
- [0061] 以下、前記のように構成された半導体装置、すなわち配線の製造方法について図2(a)～図2(c)、図3(a)及び図3(b)を参照しながら説明する。
- [0062] まず、図2(a)に示すように、半導体基板11の上に、ELK膜12、SiN膜13及び膜厚が60nmのシリコン酸化(SiO₂)膜14を順次成膜する。その後、成膜されたSiO₂膜14、SiN膜13を貫通し、ELK膜12の内部に達する複数の配線形成溝12aを形成する。
- [0063] 次に、図2(b)に示すように、配線形成溝12aを含むSiO₂膜14の上に、バリアメタル膜15を成膜する。続いて、銅による電解めっき時のシード層となるシードCu膜(図示せず)を堆積する。その後、電解めっき法により、配線形成溝12aを含むバリアメタル膜15の上に銅めっき膜16Aを堆積し、100℃から400℃程度の温度でアニール処理を行うことにより、シードCu膜と銅めっき膜16Aとを一体化する。
- [0064] 次に、図2(c)に示すように、化学機械研磨(CMP)法により、バリアメタル膜15の上に堆積した余剰な銅めっき膜16Aを研磨して除去することにより、銅めっき膜16Aから複数の配線16を形成する。以下では、このCMP工程をCu-CMPと呼ぶ。Cu-CMP工程の後の配線密集部Bには、エロージョンと呼ばれる段差が発生する。このエロージョンの段差量Cは、CMPプロセスにもよるが、32nmノードプロセスにおいては、銅の配線面積率が90%の場合の配線密集部Bにおいて40nmから60nm程度発生する。
- [0065] 次に、図3(a)に示すように、再度、CMP法により、SiO₂膜14の上に堆積した余剰なバリアメタル膜15を研磨して除去する。このバリアメタル膜15を除去するCMP工程をバリアCMPと呼ぶ。バリアCMP工程

の後の配線密集部Bに生じたエロージョンの段差量Cは、バリアメタル膜15が研磨された分だけ低減される。

[0066] ところで、従来の銅配線を用いる半導体装置の製造方法においては、Cu-CMP工程及びバリアCMP工程の2段階の研磨工程によってCMPプロセスは完結する。しかしながら、本発明においては、図3(b)に示すように、バリアCMPの後にSiO₂膜14を酸化セリウム(CeO₂)からなる粒子が添加された、いわゆるセリアスラリを用いた研磨(セリアCMPと呼ぶ。)により除去する。

[0067] これにより、Cu-CMP及びバリアCMPによって発生したエロージョンが、SiO₂膜14を研磨することによりほぼ解消される。このとき、SiO₂膜14はその下のSiN膜13との高い研磨レート選択比により、CMPによる研磨が自動停止する。但し、SiN膜13の上にSiO₂膜14を残存させないためにはオーバ研磨を行う必要がある。従って、CMP法というプロセス手段を用いる限りは、配線密集部Bにエロージョンが再発生することは仕方がない。しかしながら、本実施形態に係るセリアCMPは、このエロージョンの再発生を抑制できるため、発生した段差量Cは配線面積率が90%の領域で10nm程度である。このようなパターン依存性が発生することは、CMP法を実施している証拠にもなる。これにより、最終的には、ELK膜12を露出することなく、銅からなる配線16を形成できるため、高い信頼性を有する配線16を得ることができると共に、最終的な段差をも最小限に抑えることができる。

[0068] 以下、本願発明者が実験した結果を具体的に示しながら、CMPの配線パターン依存性と層間絶縁膜の誘電率との関係を説明する。

[0069] 図4は第1の実施形態に係るセリアCMPプロセス後の配線密集部Bにおけるエロージョン量と配線面積率との関係を従来のCMPプロセスを併せて示している。図4においては、従来のCMPプロセスは、Cu-CMP及びバリアCMPを終了した後のエロージョン量を示しており、配線面積率の増大に応じて、エロージョン量は大きくなっている。その数値は配線面積率が

90%の領域で最大段差値の40nmを示している。一般に、半導体装置は、90%以上の配線面積率をデザインルールとして使用することはないため、配線面積率が90%でのデータを評価対象とすればよい。一方、本実施形態に係るセリアCMP後のエロージョン量の傾向は配線面積率が90%の領域を最大段差として、その数値は10nm程度である。

[0070] [表1] に第1の実施形態における研磨条件を示す。

[0071] [表1]

	圧力(kPa)	回転数(rpm)	スラリー流量(ml/min)
Cu-CMP	13.8	103	200
ハリアCMP	13.8	83	200
セリアCMP	20.7	53	200

[0072] 次に、エロージョンによる段差が層間絶縁膜の誘電率に及ぼす影響について図5に基づいて説明する。

[0073] 図5はELK膜上に設けるキャップ膜の材料の違いによる膜厚と誘電率との関係を示している。

[0074] キャップ膜として、従来構成ではDPL膜を用い、本実施形態においてはSiN膜を用いている。両者の膜厚の増加と誘電率の上昇分とを調べた結果、DPL膜では $\Delta k_{eff} = 0.04 / 10 \text{ nm}$ であり、SiN膜では $\Delta k_{eff} = 0.08 / 10 \text{ nm}$ であった。

[0075] 次に、構造設計として、従来例と本実施形態とにそれぞれ必要な各キャップ膜の膜厚を検討すると、図4で示したように最大段差となる配線面積率が90%の領域のエロージョン量以上の膜厚がELK膜を露出しないためには必要となる。このため、従来例では図4及び図5に示した α の位置、すなわち必要な膜厚として40nmが必要となるので、その Δk_{eff} は0.16となる。一方、本実施形態によると、図4から、配線面積率が90%の領域でのエロージョン量が10nmであるため、図5に示す β の位置にある $\Delta k_{eff} = 0.08$ の上昇分に抑えることができる。

[0076] 以上により、本実施形態と従来との誘電率及び信頼性の観点からの優位差を比較した結果を図6(a)及び図6(b)に示す。ここで、配線全体の実効誘電率を算出するため、配線構造として比誘電率が2.4のELK膜を用い、そのエッチングストップ膜として比誘電率が0.4のSiCN膜を用いた場合を想定して、比誘電率の値(k値)をそれぞれ算出して両者を比較した。その結果、図6(a)に示すように、本実施形態は $k=2.88$ となり、従来例は $k=2.96$ となり、本発明の方が実効誘電率としては優位であることが分かる。また、従来例ではELK膜が露出するため、信頼性の観点からは問題がある。一方、本実施形態においては、ELK膜12が露出しないことから、信頼性が低下しない点でも効果は大きい。なお、図6(b)は実効誘電率 k_{eff} の算出領域を示している。

[0077] このように、本実施形態に係る配線構造及びCMPプロセスは、32nmノード以細の半導体デバイスに有効な技術である。そこで、本実施形態の根幹となるセリアCMPの研磨プロセスについて以下に詳細に説明する。

[0078] 本願発明者は、セリアスラリの特徴である段差緩和能力の高さと窒化シリコン(SiN)の高選択比とに着目して、配線構造にCMPプロセスとして導入し、その検討を行って高い効果を得られることを見出した。

[0079] セリアスラリは、配位子となる界面活性剤が添加されており、スラリ粒子の端部が酸化セリウムで修飾され、スラリ粒子の周辺に有機酸等の化合物が配位した構造を有するスラリである。このセリアスラリが高い段差緩和能力を有する特徴は、セリア粒子の周囲に配位子があり、ある程度の圧力を負荷しなければ粒子を取り巻く配位子を除去できない構造を持つ。このため、セリアスラリは、ある閾値を超えた圧力が負荷されることにより、配位子が除去されて、粒子がむき出しになることにより急激に研磨レートが向上する。

[0080] この一連の工程を図7及び図8に模式的に示す。ここで、図7は研磨圧力と研磨レートとの関係を示している。図7に示すように、セリアスラリはある閾値を超える研磨圧力を印加することにより、その後、研磨圧力に比例して急激に研磨レートが高くなっている。

- [0081] 次に、図8(a)～図8(c)を参照しながら、平坦性とSiN膜(窒化膜)に対する選択性に関して、素子分離膜であるSTI(shallow trench isolation)プロセスを例に説明する。図8(a)～図8(c)はセリアスラリによる研磨開始から終了までの研磨メカニズムを模式的に表している。
- [0082] 図8(a)は研磨開始初期段階であって、半導体基板21及びその上のSiN膜22に選択的に形成された溝部(トレンチ)を覆うように、SiO₂膜23が堆積されており、研磨パッド24がセリアスラリを介在させた状態で圧着されている。この段階での研磨は、SiO₂膜23の表面の初期の凹凸形状に応じて、凸部のみが選択的に研磨される。これは、上述したように、セリアスラリの圧力依存性によって、その凸部のみが研磨圧力による作用をセリア粒子に受けるからである。一方、SiO₂膜23の凹部は、セリア粒子が添加剤である界面活性剤による保護作用を受けることにより、研磨が抑制される。
- [0083] 次に、図8(b)に示すように、続いてSiO₂膜23に対してその凸部が選択的に研磨されるため、SiO₂膜23の凹凸状の段差が解消されて平坦化がほぼ完了する。
- [0084] 次に、図8(c)に示すように、研磨終了時点では、SiN膜22が露出した時点で添加剤が選択的にSiN膜22に吸着する。この理由は、添加剤として使用する界面活性剤は、主にポリアクリル酸アンモニウム塩等の負に帯電した状態で使用する。このため、酸性雰囲気調整されたセリアスラリ中では、SiN膜22の表面が正に帯電する。これにより、添加剤はSiN膜22の表面に選択的に吸着されるので、該SiN膜22に対する研磨を阻害する。その結果、SiN膜22に対する高い研磨選択比が生じるので、SiN膜22に対する研磨が実質的に自動停止する。
- [0085] このように、上記の特性を持つセリアスラリを配線層の形成に適用することにより、バリアCMPの後に発生した段差を高い段差緩和能力で研磨が進行すると共に、高い選択比を持つSiN膜を研磨停止膜として採用すること

により、ELK膜の露出を防止することができる。

[0086] 図9にセリアCMPにセリアスラリを用いたときの被研磨膜であるSiO₂膜と、初期段差すなわちバリアCMPの後のエロージョンとの関係を示す。図9からは、初期段差と同等のSiO₂の研磨量で段差が緩和されることが分かる。従って、セリアスラリを用いると、凹凸状の段差を理想的に研磨することが可能である。このことから、セリアCMPを実施するためのSiO₂膜における必要な膜厚は、研磨前の初期段差であるエロージョン量と図10に示す関係にあることになる。すなわち、SiO₂膜の膜厚の必要要件として、エロージョン量以上の膜厚を要することが分かる。第1の実施形態において、SiO₂膜14の膜厚として60nmを設定している。

[0087] これは、図4からバリアCMPの後の最大段差部となる、配線面積率が90%の領域でエロージョン量が約40nmであることから、十分な段差緩和へのマージンを取って実験を試みたことによる。言い換えれば、SiO₂膜14の膜厚が少なくとも40nmであれば、本実施形態は実現可能である。

[0088] なお、本実施形態に用いるセリアスラリには、セリア粒子の濃度が約1wt%以上且つ3wt%以下であり、添加物である界面活性剤の濃度が約2wt%以上且つ4wt%以下であるセリアスラリを用いることができる。

[0089] また、SiO₂膜14はいわゆる犠牲膜であり、SiN膜13との間で研磨選択比を有する材料であればよい。例えば、特にその研磨選択の比の値が50以上である材料としてSiNに代えて、例えば炭化窒化シリコン(SiCN)を用いることもできる。

[0090] (第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

[0091] 図11は本発明の第2の実施形態に係る半導体装置であって、一配線層を示す部分的な断面構成を示している。なお、本実施形態において使用される材料及び各部材の寸法等の数値は好ましい例を示すに過ぎず、本実施形態に限定されることはない。また、本発明の技術思想の範囲を逸脱しない範囲で適宜変更は可能である。なお、図11において図1に示した部材と同一の部

材には同一の符号を付すことにより説明を省略する。

- [0092] 図 1 1 に示すように、第 2 の実施形態においては、E L K 膜 1 2 と S i N 膜 1 3 との間に、例えば膜厚が約 1 0 n m の S i O₂ からなる D P L 膜 1 7 が形成されている。
- [0093] なお、第 2 の実施形態においても、銅からなる各配線 1 6 は、半導体基板 1 1 に形成された、図示しない半導体素子、容量素子又は抵抗素子等と接続されて半導体集積回路を構成している。
- [0094] 以下、前記のように構成された半導体装置、すなわち配線の製造方法について図 1 2 (a) ~ 図 1 2 (c) 及び図 1 3 (a) ~ 図 1 3 (c) を参照しながら説明する。
- [0095] まず、図 1 2 (a) に示すように、半導体基板 1 1 の上に、E L K 膜 1 2 、 D P L 膜 1 7 、 S i N 膜 1 3 及び膜厚が 6 0 n m の S i O₂ 膜 1 4 を順次成膜する。その後、成膜された S i O₂ 膜 1 4 、 S i N 膜 1 3 、 D P L 膜 1 7 及び E L K 膜 1 2 に複数の配線形成溝 1 2 a を形成する。
- [0096] 次に、図 1 2 (b) に示すように、配線形成溝 1 2 a を含む S i O₂ 膜 1 4 の上に、バリアメタル膜 1 5 を成膜する。続いて、シード C u 膜 (図示せず) を堆積し、電解めっき法により、配線形成溝 1 2 a を含むバリアメタル膜 1 5 の上に銅めっき膜 1 6 A を堆積する。続いて、1 0 0 ° C から 4 0 0 ° C 程度の温度でアニール処理を行うことにより、シード C u 膜と銅めっき膜 1 6 A とを一体化する。
- [0097] 次に、図 1 2 (c) に示すように、CMP 法により、バリアメタル膜 1 5 の上の余剰な銅めっき膜 1 6 A を除去することにより、銅めっき膜 1 6 A から複数の配線 1 6 を形成する。この C u - C M P 工程の後の配線密集部 B には、段差量 C のエロージョンが発生する。このエロージョンの段差量 C は、前述したように、例えば 3 2 n m ノードプロセスにおいては、銅の配線面積率が 9 0 % の場合の配線密集部 B において 4 0 n m から 6 0 n m 程度である。
- [0098] 次に、図 1 3 (a) に示すように、再度、CMP 法により、S i O₂ 膜 1 4

の上の余剰なバリアメタル膜 15 を研磨して除去する。ここで、第 1 の実施形態と同様に、このバリア CMP 工程の後の配線密集部 B に生じたエロージョンの段差量 C は、バリアメタル膜 15 が研磨された分だけ低減される。

[0099] 次に、図 13 (b) 及び (c) に示すように、いわゆるセリア CMP を実施する。ここでは、ELK 膜 12 と SiN 膜 13 との間に設けた DPL 膜 17 の必要性について、第 1 の実施形態と比較して説明する。

[0100] 前述したように、セリア CMP は、SiN 膜 13 に対する研磨レート選択性が高いため、以下に示すような事態が起こることは少ない。しかしながら、その予防策として実施することは有効である。

[0101] 具体的には、CMP プロセスは、スラリをウエハ上に流して機械的に研磨を行うため、ウエハ面内での研磨レートが不均一である場合に、例えばウエハの中心部と比べてウエハの端部が過剰に研磨される、すなわち SiN 膜 13 が露出した後、さらにオーバ研磨されることがある。

[0102] 例えば、図 13 (b) に示すウエハの中心部においては、SiN 膜 13 で研磨が停止するのに対し、図 13 (c) に示すウエハの端部においては、オーバ研磨によって SiN 膜 13 で研磨が停止せず、下地の DPL 膜 17 が露出する。従って、図 13 (c) に示すウエハの端部のエロージョンの段差量 C_2 は、図 13 (b) に示すウエハの中心部のエロージョンの段差量 C_1 よりも大きい。この場合のオーバ研磨量とエロージョン量との関係を図 14 に示す。

[0103] 図 14 に示すように、ウエハ中心部のオーバ研磨量を標準量とした場合に、ウエハの端部のオーバ研磨量は標準量の 2 倍以上となる。この場合は、最大段差部には SiN 膜 13 が残存しないため、該 SiN 膜 13 の下地膜が露出することになる。

[0104] そこで、第 2 の実施形態においては、ELK 膜 12 の上面を DPL 膜 17 によって覆う (キャップする) ことによって、該 ELK 膜 12 の露出を防止している。ここで、SiN 膜 13 の膜厚は 20 nm 以下が好ましい。これは図 5 で示したように、SiN 膜 13 が 20 nm よりも大きいと誘電率の観点

から、単位膜厚当たりの誘電率の上昇率が小さいDPL膜を用いる方が、配線16の全体の実効誘電率を小さくすることができるためである。

[0105] 第2の実施形態においては、ウエハの端部での段差が21nmであった場合を想定している。この場合、SiN膜13の膜厚は20nmとし、DPL膜10の膜厚は10nmを適用すればよい。その結果、ウエハの端部での誘電率の上昇分としては、SiN膜13の膜厚20nm ($\Delta k_{eff}=0.16$)分と、DPL膜17の膜厚10nm ($\Delta k_{eff}=0.04$)分とを加えると、 $\Delta k_{eff}=0.2$ となる。この上昇分は、膜厚が30nmのSiN膜13 ($\Delta k_{eff}=0.24$)を用いる場合と比べて小さい。

[0106] このように、第2の実施形態によると、ELK膜12とSiN膜13との間にDPL膜17を設けることにより、ウエハの端部においてもELK膜12が露出することを確実に防止することができる。

産業上の利用可能性

[0107] 本発明に係る半導体装置及びその製造方法は、比誘電率が小さい層間絶縁膜に形成された配線の配線密集部に生じるエロージョンが抑制されて、比誘電率が小さい層間絶縁膜の露出を防止できるようになって、配線層の低誘電率化と高信頼性とを確保することができ、特に、埋め込み配線を有する層間絶縁膜に多孔質の低誘電率絶縁膜を用いた半導体装置及びその製造方法等に有用である。

符号の説明

[0108] A 配線非密集部（第1の配線領域）
B 配線密集部（第2の配線領域）
C エロージョン（段差量）
C₁ エロージョン（段差量）
C₂ エロージョン（段差量）
11 半導体基板（半導体領域）
12 ELK膜
13 SiN膜

- 14 SiO₂膜
- 15 バリアメタル膜
- 16 配線
- 16A 銅めっき膜
- 17 DPL膜
- 21 半導体基板（半導体領域）
- 22 SiN膜
- 23 SiO₂膜
- 24 研磨パッド

請求の範囲

- [請求項1] 半導体領域の上に形成された第1の絶縁膜と、
前記第1の絶縁膜の上に形成された第2の絶縁膜と、
前記第1の絶縁膜及び第2の絶縁膜に形成され、実質的に同一の高さに配置された複数の配線とを備え、
前記複数の配線は、単位面積当たりの配線占有率である第1の配線面積率を持つ第1の配線領域と、該第1の配線面積率よりも高い第2の配線面積率を持つ第2の配線領域とを有し、
前記第2の絶縁膜における前記第2の配線領域の上面の高さは、前記第2の絶縁膜における前記第1の配線領域の上面の高さよりも低い半導体装置。
- [請求項2] 請求項1において、
前記第2の配線面積率は、20%以上且つ90%以下である半導体装置。
- [請求項3] 請求項1又は2において、
前記第2の絶縁膜における前記第2の配線領域の上面の最も低い部分の高さは、前記第2の絶縁膜における前記第1の配線領域の上面の高さと比べて、前記第2の絶縁膜の膜厚の1%以上且つ99%以下だけ低い半導体装置。
- [請求項4] 請求項1～3のいずれか1項において、
前記第2の絶縁膜における前記第2の配線領域の上面の最も低い部分の高さは、前記第2の絶縁膜における前記第1の配線領域の上面の高さと比べて、1nm以上且つ10nm以下だけ低い半導体装置。
- [請求項5] 請求項1～4のいずれか1項において、
前記第1の絶縁膜と前記第2の絶縁膜との間には、第3の絶縁膜が形成されている半導体装置。
- [請求項6] 請求項5において、
前記第3の絶縁膜は、前記第1の絶縁膜よりも誘電率が高い半導体

装置。

- [請求項7] 請求項1～6のいずれか1項において、
前記第1の絶縁膜は、前記第2の絶縁膜よりも空孔率が高い絶縁膜である半導体装置。
- [請求項8] 請求項1～7のいずれか1項において、
前記第1の絶縁膜の誘電率は、前記第2の絶縁膜の誘電率よりも低い半導体装置。
- [請求項9] 請求項1～8のいずれか1項において、
前記第1の絶縁膜の誘電率は、2.7以下である半導体装置。
- [請求項10] 請求項1～9のいずれか1項において、
前記第2の絶縁膜は、窒素を含む絶縁膜である半導体装置。
- [請求項11] 請求項1～10のいずれか1項において、
前記第2の絶縁膜は、窒化シリコン、炭化窒化シリコン又は酸化窒化シリコンからなる半導体装置。
- [請求項12] 請求項1～11のいずれか1項において、
前記第2の絶縁膜の膜厚は、前記第1の絶縁膜の膜厚の1%以上且つ20%以下である半導体装置。
- [請求項13] 請求項1～12のいずれか1項において、
前記第2の絶縁膜の膜厚は、20nm以下である半導体装置。
- [請求項14] 半導体領域の上に、第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜を順次形成する工程(a)と、
前記第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜に複数の配線溝を形成する工程(b)と、
前記各配線溝を含む第3の絶縁膜の上に、金属膜を形成する工程(c)と、
前記金属膜における前記第3の絶縁膜の上に形成された部分を除去する工程(d)と、
前記第3の絶縁膜を除去することにより、前記第1の絶縁膜及び第

2の絶縁膜の前記各配線溝に埋められた前記金属からなる複数の配線を形成する工程(e)とを備え、

前記工程(e)において、前記第3の絶縁膜は、前記第2の絶縁膜よりも除去される速度が速い半導体装置の製造方法。

[請求項15]

請求項14において、

前記工程(b)と前記工程(c)との間に、

前記各配線溝を含む第3の絶縁膜の上にバリアメタル膜を形成する工程(f)をさらに備え、

前記工程(c)において、前記金属膜は前記バリアメタル膜の上に形成し、

前記工程(d)は、前記バリアメタル膜における前記第3の絶縁膜の上に形成された部分をも除去する工程を含む半導体装置の製造方法。

[請求項16]

請求項14又は15において、

前記複数の配線は、単位面積当たりの配線占有率である第1の配線面積率を持つ第1の配線領域と、該第1の配線面積率よりも高い第2の配線面積率を持つ第2の配線領域とを有し、

前記第2の絶縁膜における前記第2の配線領域の上面の高さは、前記第2の絶縁膜における前記第1の配線領域の上面の高さよりも低い半導体装置の製造方法。

[請求項17]

請求項16において、

前記第2の配線面積率は、20%以上且つ90%以下である半導体装置の製造方法。

[請求項18]

請求項16又は17において、

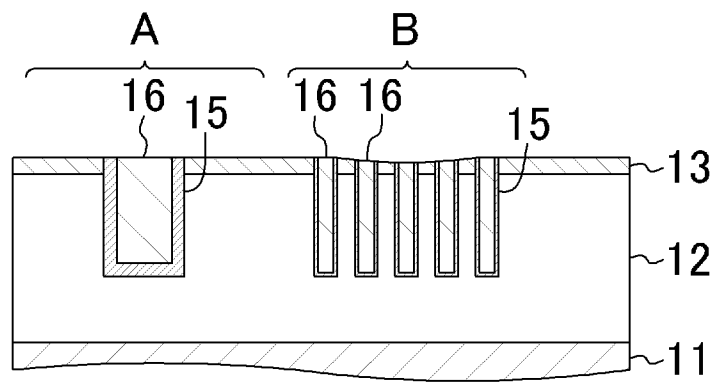
前記第2の絶縁膜における前記第2の配線領域の上面の最も低い部分の高さは、前記第2の絶縁膜における前記第1の配線領域の上面の高さと比べて、前記第2の絶縁膜の膜厚の1%以上且つ99%以下だけ低い半導体装置の製造方法。

- [請求項19] 請求項16～18のいずれか1項において、
前記第2の絶縁膜における前記第2の配線領域の上面の最も低い部分の高さは、前記第2の絶縁膜における前記第1の配線領域の上面の高さと比べて、1nm以上且つ10nm以下だけ低い半導体装置の製造方法。
- [請求項20] 請求項16～19のいずれか1項において、
前記第3の絶縁膜は、前記第2の絶縁膜における前記第1の配線領域の上面の高さと、前記第2の絶縁膜における前記第2の配線領域の上面の高さの最も低い部分の高さの差以上の膜厚を有している半導体装置の製造方法。
- [請求項21] 請求項14～20のいずれか1項において、
前記第3の絶縁膜の前記第2の絶縁膜に対する研磨速度の比の値は、50以上である半導体装置の製造方法。
- [請求項22] 請求項14～21のいずれか1項において、
前記工程(e)において、前記第3の絶縁膜は化学機械研磨法によって除去され、且つ、前記第2の絶縁膜において研磨が停止する半導体装置の製造方法。
- [請求項23] 請求項22において、
前記化学機械法は、セリアスラリを用いる半導体装置の製造方法。
- [請求項24] 請求項23において、
前記セリアスラリは、セリア粒子の濃度が1wt%以上且つ3wt%以下であり、添加物である界面活性剤の濃度が2wt%以上且つ4wt%以下である半導体装置の製造方法。
- [請求項25] 請求項14～24のいずれか1項において、
前記工程(a)は、前記第1の絶縁膜と前記第2の絶縁膜の間に、第4の絶縁膜を形成する工程を含む半導体装置の製造方法。
- [請求項26] 請求項14～25のいずれか1項において、
前記第1の絶縁膜は、前記第2の絶縁膜よりも空孔率が高い絶縁膜

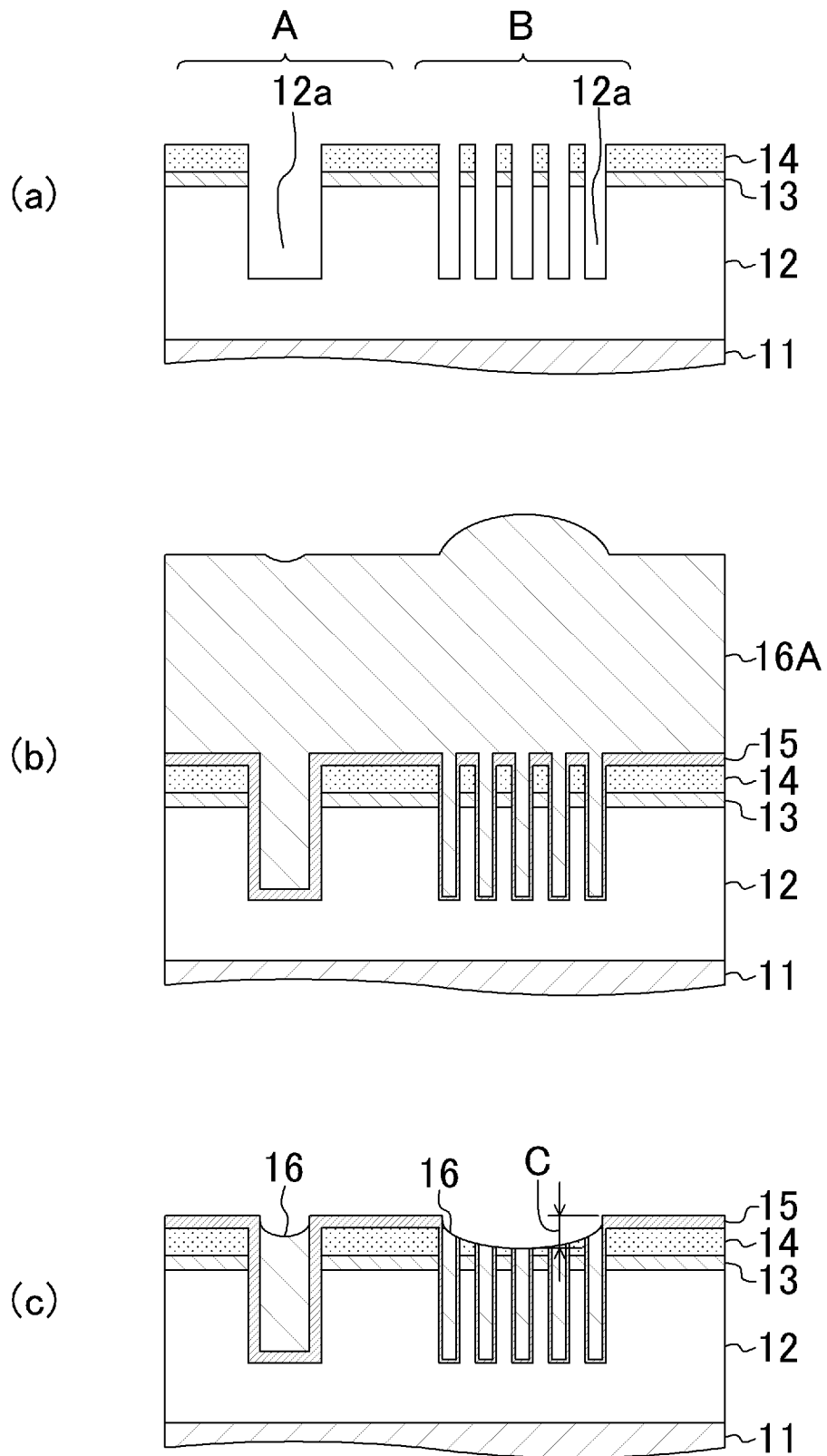
である半導体装置の製造方法。

- [請求項27] 請求項14～25のいずれか1項において、
前記第3の絶縁膜は、前記第1の絶縁膜よりも誘電率が高い半導体装置の製造方法。
- [請求項28] 請求項14～27のいずれか1項において、
前記第1の絶縁膜の誘電率は、前記第2の絶縁膜の誘電率よりも低い半導体装置の製造方法。
- [請求項29] 請求項14～28のいずれか1項において、
前記第1の絶縁膜の誘電率は、2.7以下である半導体装置の製造方法。
- [請求項30] 請求項14～29のいずれか1項において、
前記第2の絶縁膜は、窒素を含む絶縁膜である半導体装置の製造方法。
- [請求項31] 請求項14～30のいずれか1項において、
前記第2の絶縁膜は、窒化シリコン、炭化窒化シリコン又は酸化窒化シリコンからなる半導体装置の製造方法。
- [請求項32] 請求項14～31のいずれか1項において、
前記第2の絶縁膜の膜厚は、前記第1の絶縁膜の膜厚の1%以上且つ20%以下である半導体装置の製造方法。
- [請求項33] 請求項14～32のいずれか1項において、
前記第2の絶縁膜の膜厚は、20nm以下である半導体装置の製造方法。
- [請求項34] 請求項14～33のいずれか1項において、
前記第3の絶縁膜は、酸素を含む絶縁膜である半導体装置の製造方法。

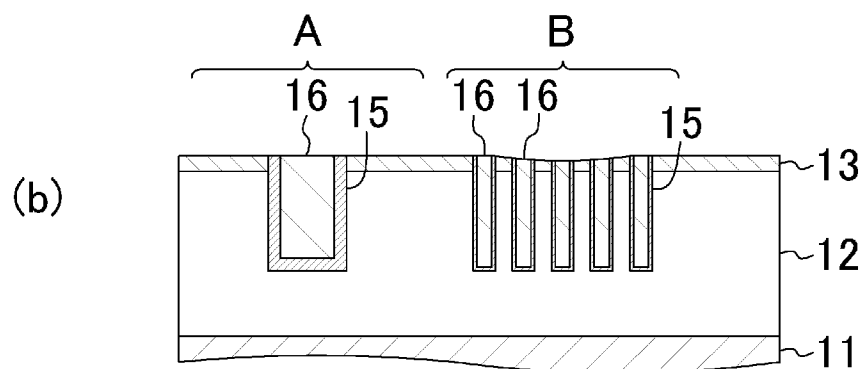
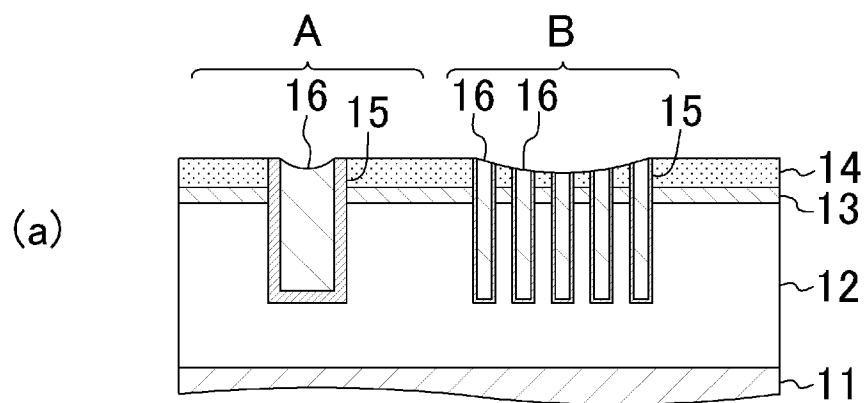
[図1]



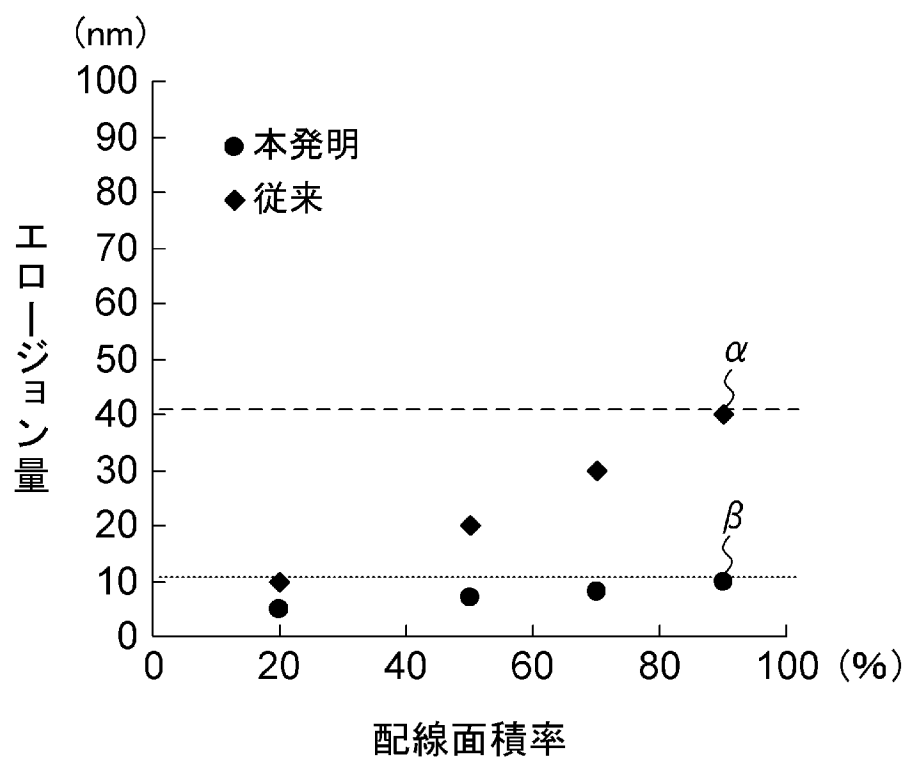
[図2]



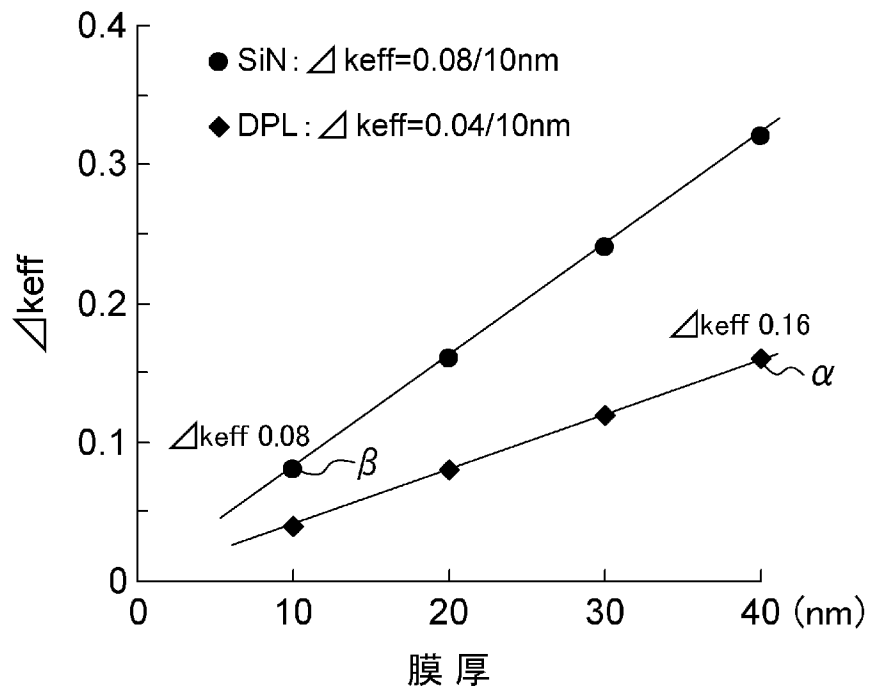
[図3]



[図4]



[図5]

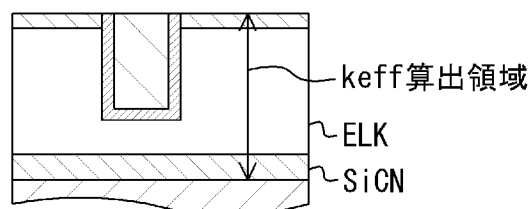


[図6]

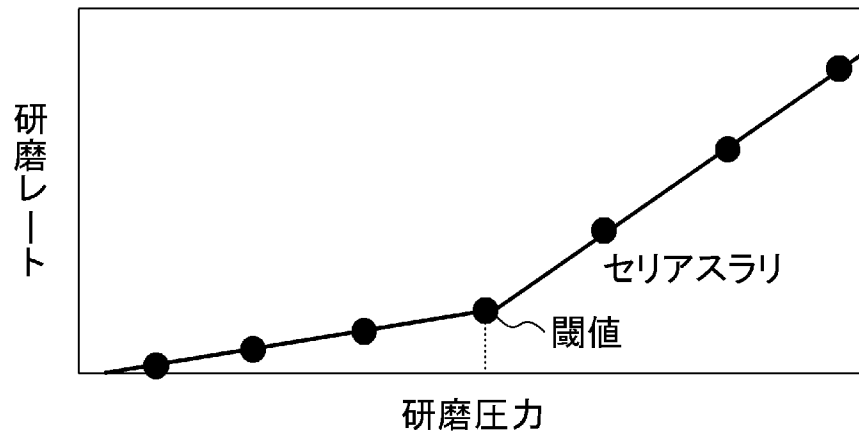
(a)

	エロージョン (占有率90%)	実効誘電率 k_{eff} (内 Δk_{eff})	ELK 露出	信頼性
本発明	10nm	2.88 (0.08)	無	良
従来	40nm	2.96 (0.16)	有	不良

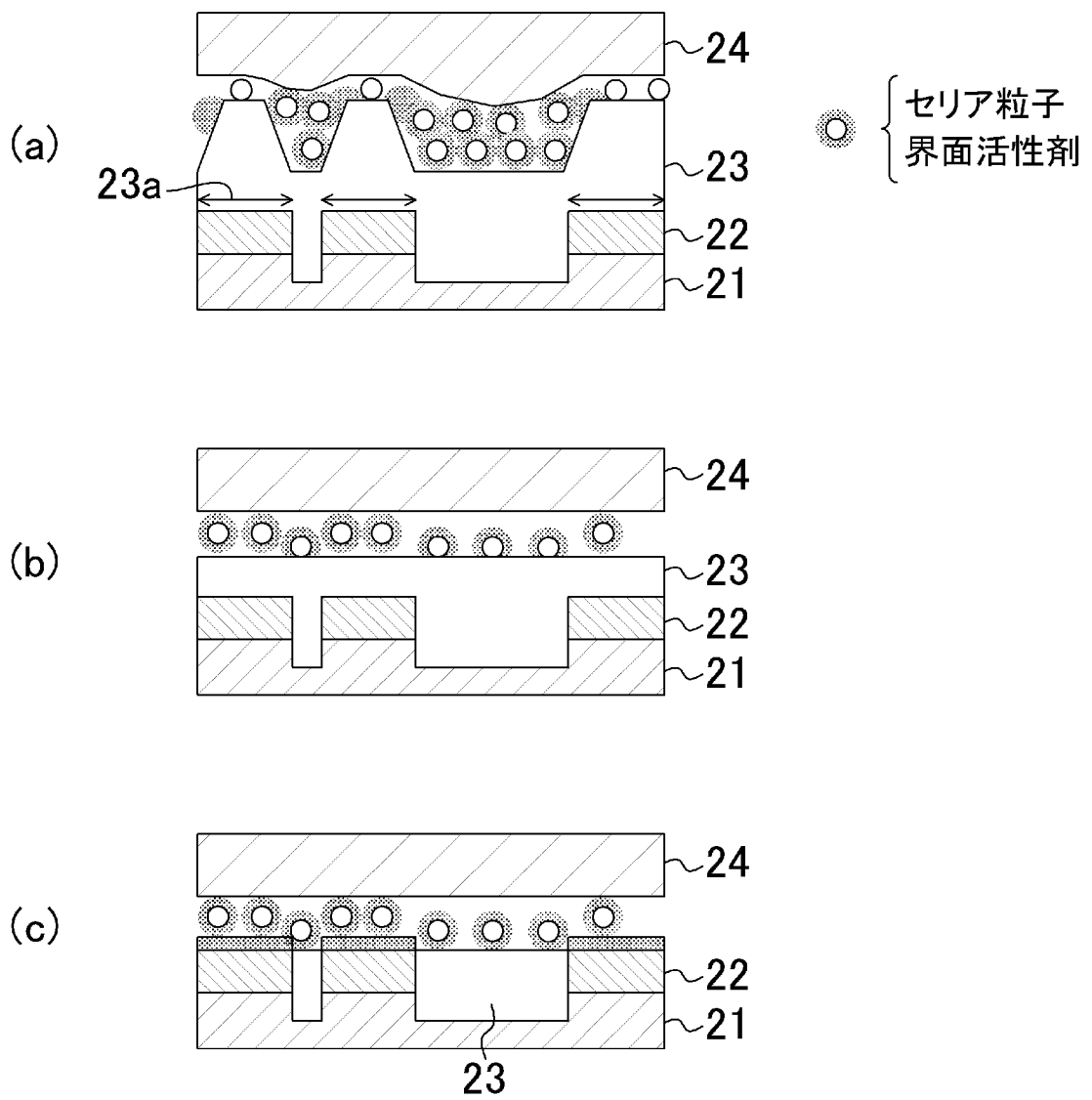
(b)



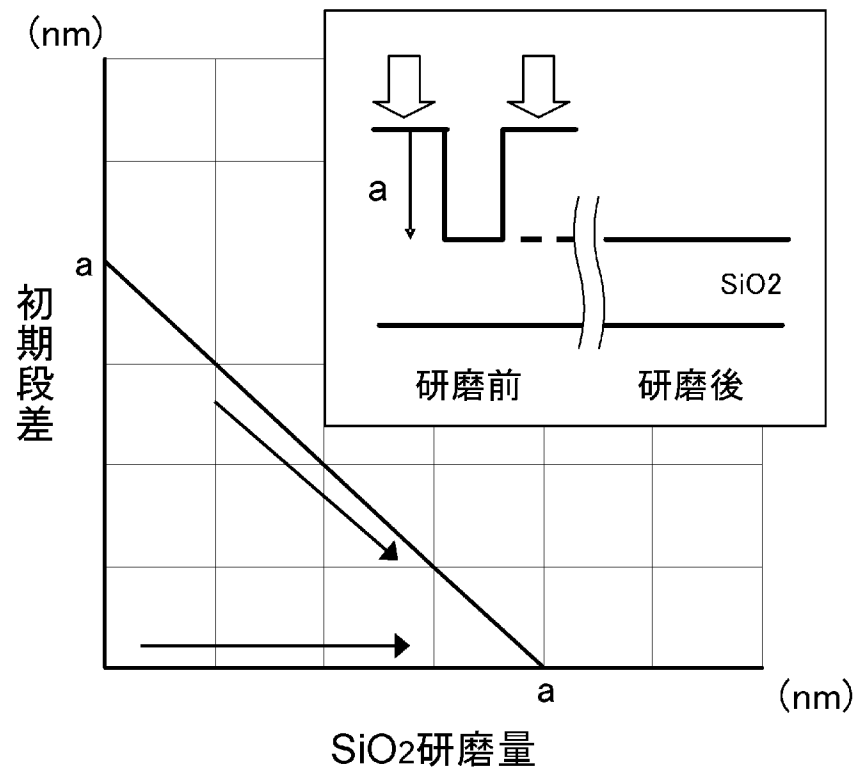
[図7]



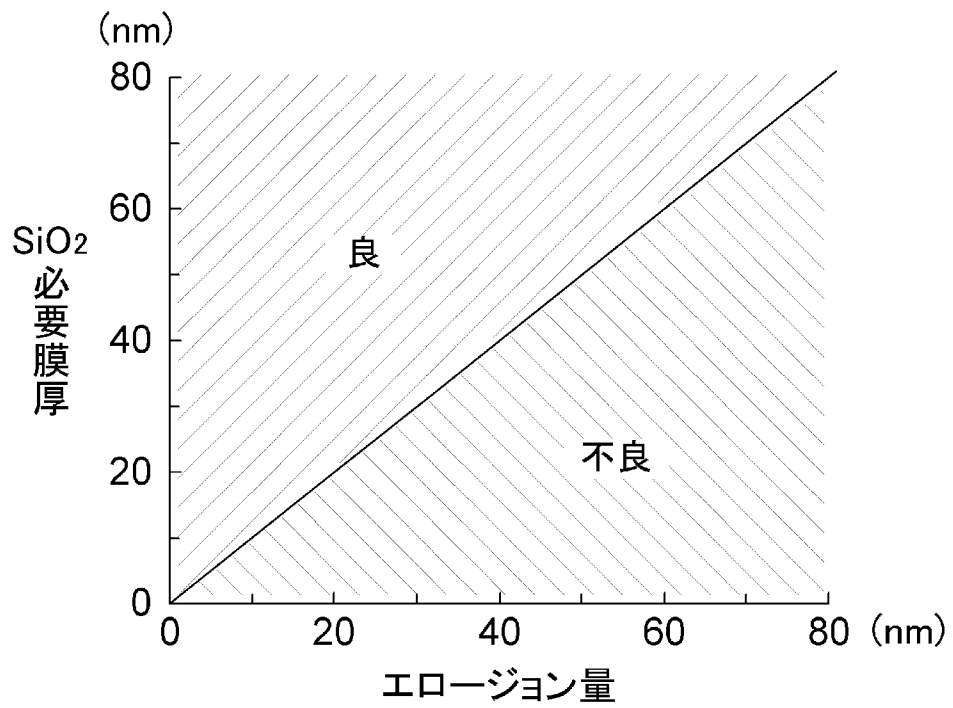
[図8]



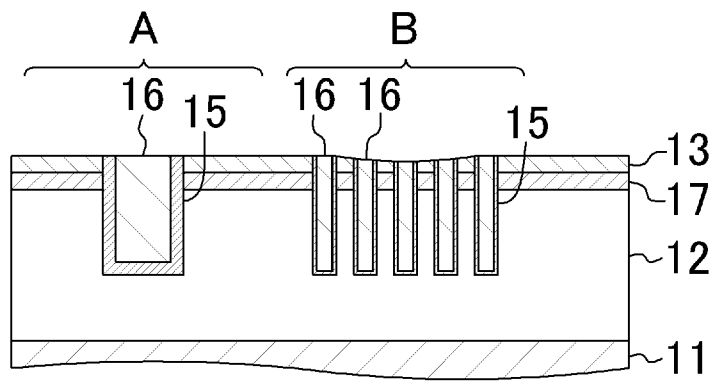
[図9]



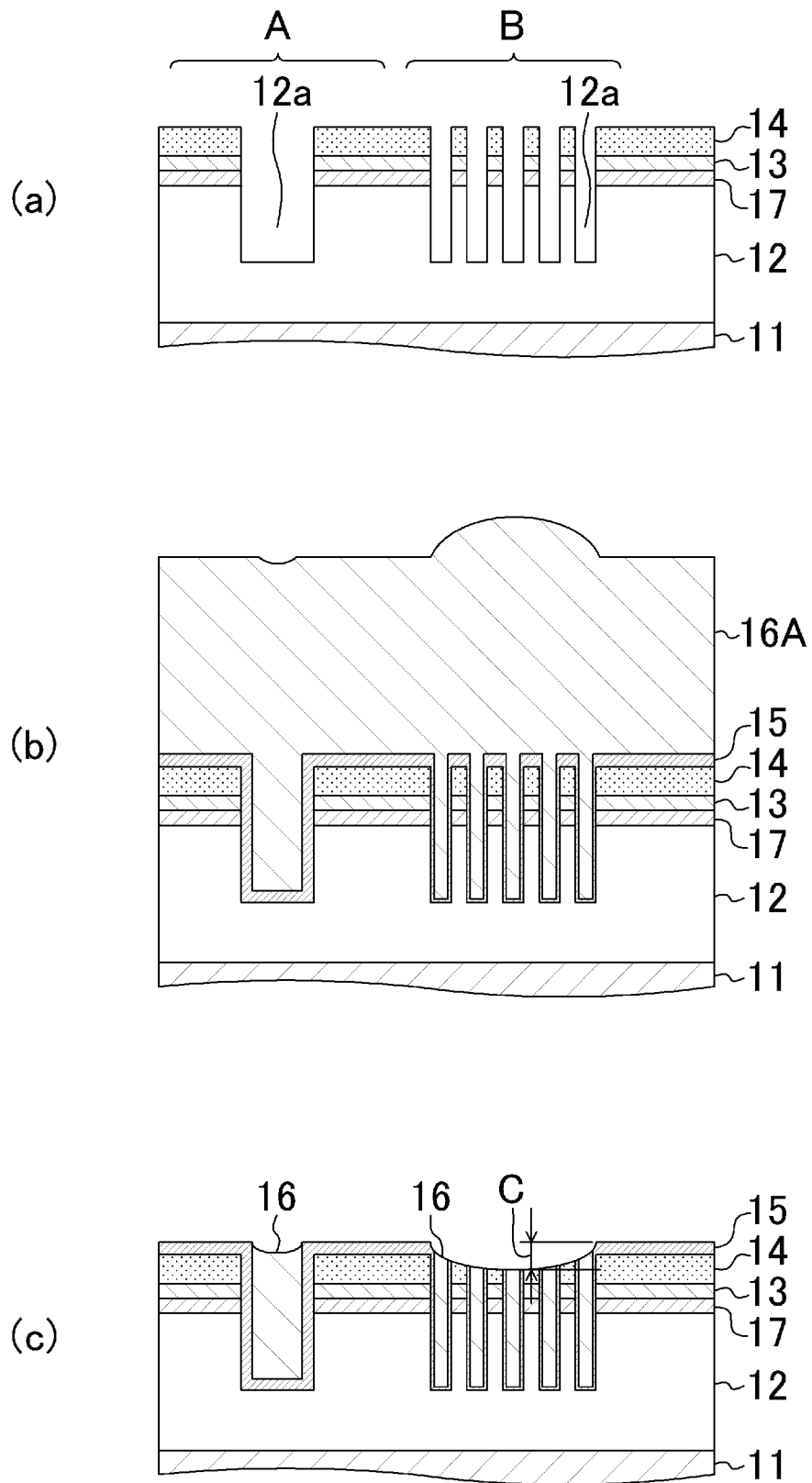
[図10]



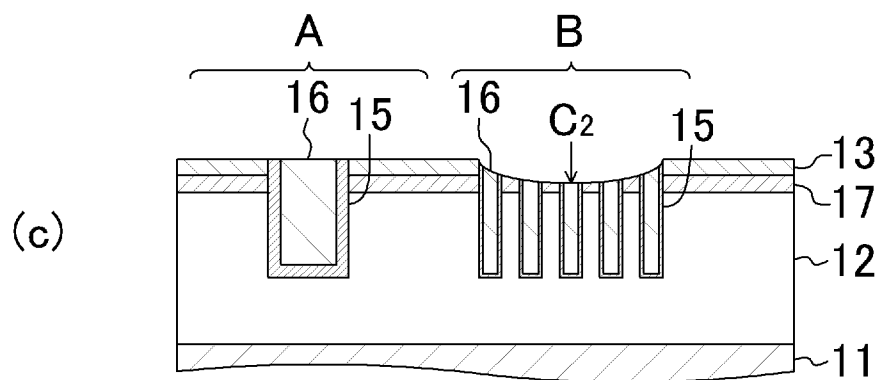
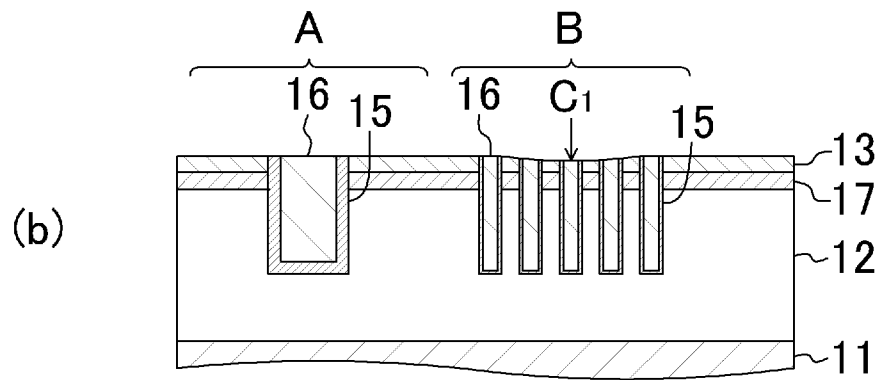
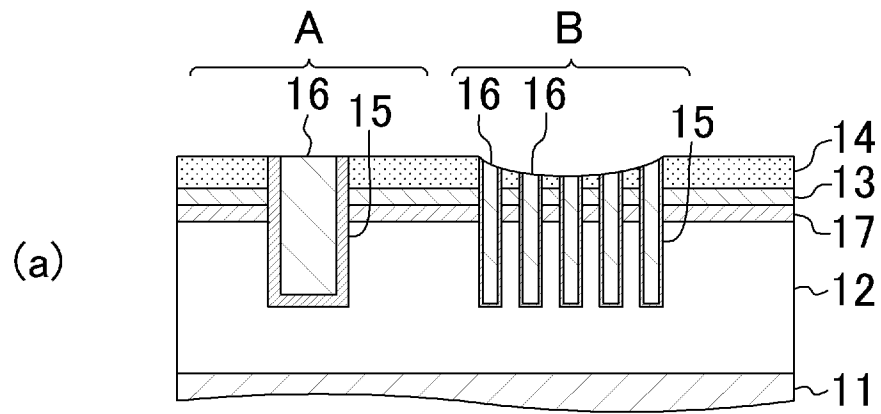
[図11]



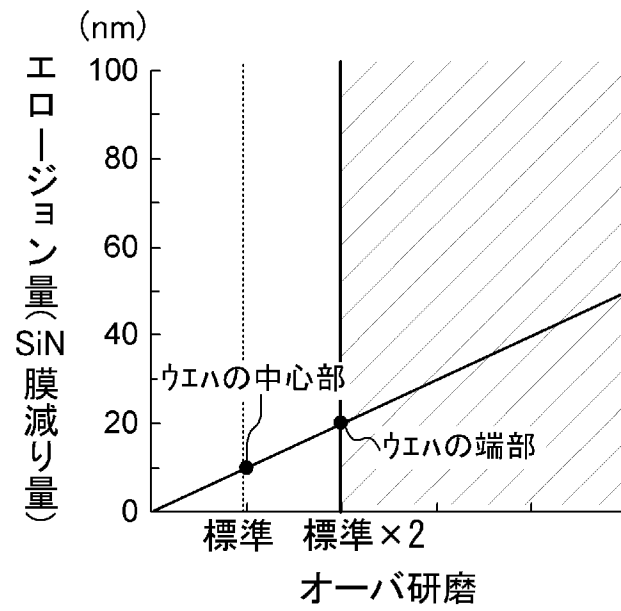
[図12]



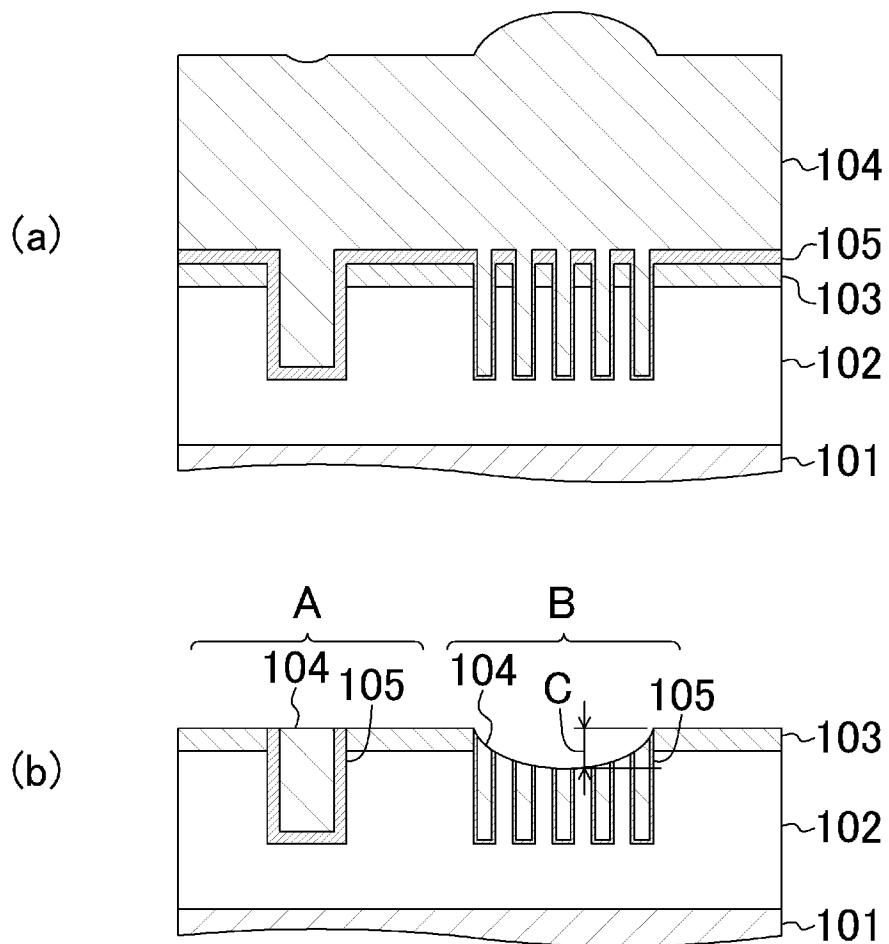
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005273

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, B24B37/00(2006.01)i, H01L21/304(2006.01)i,
H01L21/768(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, B24B37/00, H01L21/304, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-165434 A (Sony Corp.), 10 June 2004 (10.06.2004), fig. 1 to 3 (Family: none)	1-4, 7-22, 26-34
Y	US 2005/0023689 A1 (International Business Machines Corp.), 03 February 2005 (03.02.2005), fig. 2 & JP 2005-51214 A	5, 6, 23-25
Y	US 2005/0023689 A1 (International Business Machines Corp.), 03 February 2005 (03.02.2005), fig. 2 & JP 2005-51214 A	5, 6, 25
Y	JP 2006-196512 A (Sony Corp.), 27 July 2006 (27.07.2006), paragraphs [0030] to [0037] (Family: none)	23, 24

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 December, 2009 (02.12.09)

Date of mailing of the international search report
15 December, 2009 (15.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005273

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-092300 A (Matsushita Electric Industrial Co., Ltd.), 28 March 2003 (28.03.2003), fig. 1, 2 (Family: none)	1-34
A	JP 2004-014828 A (Fujitsu Ltd.), 15 January 2004 (15.01.2004), fig. 3, 4 & US 2003/0228765 A1 fig. 2	1-34
A	WO 2004/061949 A1 (ADVANCED MICRO DEVICES, INC.), 22 July 2004 (22.07.2004), fig. 2 & JP 2006-525651 A & US 2004/0121621 A1	1-34

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005273

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical features common to claims 1-34 are "a semiconductor region", "a first insulating film", "a second insulating film" and "a plurality of wiring lines" formed on the first insulating film and the second insulating film. Those common technical features, however, are not novel since they are disclosed in document 1 (JP 2004-165434 A (Sony Corp.), 10 June 2004 (10.06.2004), fig. 1-3).

Consequently, claims 1-34 do not have a common technical feature which is a special technical feature within the meaning of PCT Rule 13.2, second sentence, and thus claims 1-34 do not satisfy the requirement of unity of invention.

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3205(2006.01)i, B24B37/00(2006.01)i, H01L21/304(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3205, B24B37/00, H01L21/304, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-165434 A (ソニー株式会社) 2004.06.10, 図 1-3 (ファミリーなし)	1-4, 7-22, 26-34
Y		5, 6, 23-25
Y	US 2005/0023689 A1 (International Business Machines Corporation) 2005.02.03, 図 2 & JP 2005-51214 A	5, 6, 25

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

02.12.2009

国際調査報告の発送日

15.12.2009

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	4 L	3 4 4 8
村岡 一磨		
電話番号 03-3581-1101 内線		3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-196512 A (ソニー株式会社) 2006. 07. 27, 段落【0030】 - 【0037】 (ファミリーなし)	23, 24
A	JP 2003-092300 A (松下電器産業株式会社) 2003. 03. 28, 図 1, 2 (フ ァミリーなし)	1-34
A	JP 2004-014828 A (富士通株式会社) 2004. 01. 15, 図 3, 4 & US 2003/0228765 A1, 図 2	1-34
A	WO 2004/061949 A1 (ADVANCED MICRO DEVICES, INC.) 2004. 07. 22, 図 2 & JP 2006-525651 A & US 2004/0121621 A1	1-34

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1-34の共通事項は、「半導体領域」、「第1の絶縁膜」、「第2の絶縁膜」、第1の絶縁膜及び第2の絶縁膜に形成された「複数の配線」であるが、それらの共通事項は、文献1（JP2004-165434A（ソニー株式会社）2004.06.10、図1-3）に記載されており、新規なものではない。

したがって、請求項1-34には、PCT規則13.2の第2文における意味において、特別な技術的特徴である共通事項は存在せず、よって、発明の単一性の要件を満たしていない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。