

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5096470号
(P5096470)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl. F I
G O 6 F 12/02 (2006.01) G O 6 F 12/02 5 6 0 D

請求項の数 15 (全 18 頁)

(21) 出願番号	特願2009-526886 (P2009-526886)	(73) 特許権者	595020643
(86) (22) 出願日	平成19年8月29日 (2007.8.29)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2010-503073 (P2010-503073A)		QUALCOMM INCORPORATED
(43) 公表日	平成22年1月28日 (2010.1.28)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2007/077087		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02008/027951		ハウス・ドライブ 5775
(87) 国際公開日	平成20年3月6日 (2008.3.6)	(74) 代理人	100108855
審査請求日	平成21年4月28日 (2009.4.28)		弁理士 蔵田 昌俊
(31) 優先権主張番号	11/469,347	(74) 代理人	100091351
(32) 優先日	平成18年8月31日 (2006.8.31)		弁理士 河野 哲
(33) 優先権主張国	米国 (US)	(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 相対アドレス生成

(57) 【特許請求の範囲】

【請求項 1】

ベースアドレスとオフセットとから成る相対アドレスを受け取るように、前記ベースアドレスについての基準値を取得するように、前記基準値を前記オフセットと加算して、絶対アドレスを計算するように、そして前記ベースアドレス、または前記相対アドレスに対応する前記絶対アドレスを供給するように、動作するアドレスジェネレータと、ここにおいて、前記アドレスジェネレータは、ストレージユニットへ前記絶対アドレスまたは前記ベースアドレスを供給するように動作するマルチプレクサを備える、

前記絶対アドレスまたは前記ベースアドレスを受け取り、前記ベースアドレスを受け取ることに応じて前記基準値を前記アドレスジェネレータへと供給するように、動作する前記ストレージユニットと、
を備えるプロセッサ。

【請求項 2】

前記アドレスジェネレータは、メモリアクセスの第1のクロックサイクルにおいて前記絶対アドレスを導き出し、前記ストレージユニットは、前記メモリアクセスの第2のクロックサイクルにおいて前記絶対アドレスにおいてアクセスされる、請求項1に記載のプロセッサ。

【請求項 3】

前記アドレスジェネレータは、前記基準値と前記オフセットとを加算するように動作する加算器を備える、

前記アドレスジェネレータは、前記加算器に結合され、そして、前記加算器の出力を記憶するように、そして前記絶対アドレスを供給するように動作する、ラッチ、

ここにおいて、前記マルチプレクサは、前記ラッチに結合され、そして、前記ラッチからの前記絶対アドレス、または前記ベースアドレスを、前記ストレージユニットへと供給するように動作する、

前記マルチプレクサは、メモリアクセスの第1のクロックサイクルにおいて前記ベースアドレスを前記ストレージユニットへと供給するように、そして前記メモリアクセスの第2のクロックサイクルにおいて前記絶対アドレスを前記ストレージユニットへと供給するように、動作する、

請求項1に記載のプロセッサ。

10

【請求項4】

前記ストレージユニットは、第1のポートと第2のポートとを備え、前記アドレスジェネレータは、前記第1のポートまたは前記第2のポートから前記基準値を受け取るように動作する、請求項3に記載のプロセッサ。

【請求項5】

前記ストレージユニットは、レジスタのバンクである、請求項1に記載のプロセッサ。

【請求項6】

前記ストレージユニットは、ランダムアクセスメモリ(RAM)、シンクロナスRAM(SRAM)、または、シンクロナスダイナミックRAM(SDRAM)である、請求項1に記載のプロセッサ。

20

【請求項7】

相対アドレスを受け取り、絶対アドレスまたはベースアドレスを供給する、ように動作する複数のアドレスジェネレータと、

前記複数のアドレスジェネレータに結合され、そして、前記絶対アドレスまたは前記ベースアドレスを受け取り、前記絶対アドレスにおけるデータを供給し、前記ベースアドレスに応じて基準値を提供するように動作する、複数のレジスタバンクを備えるストレージユニットと、

をさらに備える、請求項1のプロセッサ。

【請求項8】

前記複数のアドレスジェネレータは、
少なくとも2つのオペランドについての少なくとも2つの絶対アドレスを供給するように動作する少なくとも2つのアドレスジェネレータと、

結果についての絶対アドレスを供給するように動作するアドレスジェネレータと、
を備える、

請求項7に記載のプロセッサ。

30

【請求項9】

前記複数のレジスタバンクは、ベースアドレスを受け取るように、そして基準値を供給するように、動作しており、前記複数のアドレスジェネレータは、前記絶対アドレスを取得するために前記相対アドレスについてのオフセットを前記基準値と加算するように動作する、請求項7に記載のプロセッサ。

40

【請求項10】

前記複数のアドレスジェネレータの出力を前記複数のレジスタバンクに結合するように動作するクロスバー、

をさらに備える請求項7に記載のプロセッサ。

【請求項11】

前記複数のレジスタバンクからの前記データに対して動作するように構成された複数の算術論理演算装置(ALU)、

をさらに備える請求項7に記載のプロセッサ。

【請求項12】

前記複数のALUは、複数のピクセルについてのデータに対して同時に動作するように

50

構成されている、請求項 1 1 に記載のプロセッサ。

【請求項 1 3】

前記複数のレジスタバンクからの前記データを前記複数の A L U へと供給するように動作するクロスバー、

をさらに備える請求項 1 1 に記載のプロセッサ。

【請求項 1 4】

前記プロセッサは、

相対アドレスを受け取り、絶対アドレスまたはベースアドレスを供給するように、動作する複数のアドレスジェネレータと、

前記複数のアドレスジェネレータに結合され、そして、前記絶対アドレスまたは前記ベースアドレスを受け取り、前記絶対アドレスにおけるグラフィックスデータを供給し、前記ベースアドレスに応じて前記基準値を提供するように動作する、複数のレジスタバンクと、

前記複数のレジスタバンクからの前記グラフィックスデータに対して動作するように構成された、複数の算術論理演算装置 (A L U) と、

を備えるグラフィックスプロセッサを備える、請求項 1 のプロセッサ。

【請求項 1 5】

前記プロセッサは、ワイヤレスデバイス内のグラフィックスプロセッサであり、前記ストレージユニットは複数のレジスタバンクを備え、前記ワイヤレスデバイスは、

複数のアドレスジェネレータと前記複数のレジスタバンクとを備える前記グラフィックスプロセッサと、なお、前記複数のアドレスジェネレータは、相対アドレスを受け取り、絶対アドレスまたはベースアドレスを供給するように動作し、前記複数のレジスタバンクは、前記絶対アドレスまたは前記ベースアドレスを受け取り、前記絶対アドレスにおけるグラフィックスデータを供給し、前記ベースアドレスに応じて前記基準値を提供するように動作する；

前記グラフィックスプロセッサに結合されたメモリと；

を備える、請求項 1 のプロセッサ。

【発明の詳細な説明】

【背景】

【0001】

[I . 技術分野]

本開示は、一般にエレクトロニクスに関し、より詳細には相対アドレス (relative address) を生成するための技法に関する。

【0002】

[I I . 背景]

プロセッサは、通信、コンピューティング、データネットワーキングなど、様々なアプリケーションのために広く使用される。プロセッサは、ストレージユニット (storage unit) に記憶されるデータに対する様々な演算を実行することができ、このストレージユニットは、レジスタファイル (register file)、ランダムアクセスメモリ (random access memory) (R A M) などとすることができる。演算のためのデータは、絶対アドレス (absolute address) または相対アドレスのいずれかによって指定されることができる。絶対アドレスは、データが記憶されるストレージユニットにおける特定のロケーションを指し示す。相対アドレスは、ベースアドレス (base address) と、オフセットとによって与えられる。ベースアドレスは、ストレージユニットにおける基準ロケーション (reference location) を指し示す。オフセットは、その基準ロケーションと、データが記憶される実際のロケーションとの間の距離を指し示す。相対アドレスは、一般的に絶対アドレスに変換され、次いで、この絶対アドレスは、ストレージユニットから望ましいデータをフェッチするために使用される。

【0003】

一例として、2つのオペランドを加算する命令は、次式のように与えられることができ

る。

【0004】

```
add r0, x0[r1+15], r2
```

第1のオペランドは、レジスタ/ロケーションr2に記憶される。第2のオペランドは、レジスタr1に記憶される基準値(base value)と、15というオフセットとによって決定されるロケーションに記憶される。2つのオペランドの加算の結果は、レジスタ/ロケーションr0に記憶される。

【0005】

上記命令は、以下のように2つの命令へと変換される。

【0006】

```
add a0, r1, 15
add r0, x0[a0], r2
```

第1の命令は、レジスタr1における基準値を15というオフセットと加算することにより、第2のオペランドについての絶対アドレスを計算し、次いでその絶対アドレスをレジスタa0に記憶する。第2の命令は、絶対アドレスによって決定されている第2のオペランドが、第1の命令によって計算されて、2つのオペランドの和を計算する。算術論理演算装置(arithmetic logic unit)(ALU)は、第1の命令と、第2の命令との両方について計算を実行することができる。

【0007】

相対アドレスを有する単一命令を2つの命令に変換することは、いくつかの理由のために望ましくない可能性がある。第1に、第1の命令による絶対アドレスの計算は、ALUリソースを消費する。第2に、第2の命令は、第1の命令の結果に依存するので、2つの命令を逐次的な順序で完了するために、より長い遅延が経験される可能性がある。この遅延ペナルティは、ALUが複数のステージを有するときに、より厳しくなる。複数のALUステージに起因したより長い遅延は、性能に悪影響を及ぼす可能性がある。

【0008】

したがって、当技術分野においては相対アドレッシング(relative addressing)を効率的に取り扱う技法についての必要性が存在する。

【発明の概要】

【0009】

相対アドレッシングを効率的に取り扱う技法が、ここにおいて説明される。一実施形態においては、プロセッサは、アドレスジェネレータ(address generator)と、ストレージユニット(storage unit)と、を含む。アドレスジェネレータは、ベースアドレス(base address)と、オフセット(offset)とから成る相対アドレスを受け取り、ベースアドレスについての基準値(base value)を取得し、その基準値をオフセットと加算し、そしてその相対アドレスに対応する絶対アドレスを供給する。ストレージユニットは、ベースアドレスを受け取り、基準値をアドレスジェネレータに対して供給する。ストレージユニットはまた、絶対アドレスを受け取り、このアドレスにおけるデータを供給する。アドレスジェネレータは、メモリアクセスの第1のクロックサイクルにおいて絶対アドレスを導き出す(derive)ことができる。ストレージユニットは、メモリアクセスの第2のクロックサイクルにおいてデータを供給することができる。ストレージユニットは、同時発生のアドレス生成とデータ取出し(concurrent address generation and data retrieval)をサポートする複数の(例えば、2つの)読み取りポートを有することができる。

【0010】

別の実施形態においては、プロセッサは、複数のアドレスジェネレータ(multiple address generators)と、複数のレジスタバンク(multiple register banks)と、を含む。アドレスジェネレータは、相対アドレスを受け取り、絶対アドレスを供給する。レジスタバンクは、絶対アドレスを受け取り、これらのアドレスにおけるデータを供給する。レジスタバンクはまた、相対アドレスについてのベースアドレスを受け取り、基準値を供給することもできる。ジェネレータは、絶対アドレスを取得するために、相対アドレスについての

10

20

30

40

50

オフセットを基準値と加算することができる。プロセッサは、アドレスクロスバー(address crossbar)と、データクロスバー(data crossbar)と、複数のALUと、をさらに含むことができる。アドレスクロスバーは、アドレスジェネレータの出力をレジスタバンクへと結合する。データクロスバーは、レジスタバンクからのデータをALUへと供給する。ALUは、レジスタバンクからの、例えば、複数のピクセルについてのデータに対して同時に(concurrently)動作する。

【0011】

本開示の様々の態様および実施形態が、下記にさらに詳細に説明される。

【図面の簡単な説明】

【0012】

10

【図1A】図1Aは、絶対アドレッシング(absolute addressing)を示している。

【図1B】図1Bは、相対アドレッシング(relative addressing)を示している。

【図2】図2は、相対アドレッシングをサポートするストレージ構造(storage structure)を示している。

【図3】図3は、相対アドレッシングを用いた読取りおよび書込みをサポートするストレージ構造を示している。

【図4】図4は、相対アドレッシングをサポートするデュアルポートストレージ構造(dual-port storage structure)を示している。

【図5】図5は、グラフィックスプロセッサ(graphics processor)を示している。

【図6】図6は、グラフィックスプロセッサ内のALUコアとレジスタバンクとを示している。

20

【図7】図7は、レジスタバンクにおけるグラフィックスデータの記憶を示している。

【図8】図8は、レジスタバンクをALUコアに結合するデータクロスバーを示している。

【図9】図9は、ワイヤレスデバイスのブロック図を示している。

【詳細な説明】

【0013】

本開示の様々の態様および実施形態は、図面と併せて解釈されるときに下記に述べられる詳細な説明から、より明らかになるであろう。図面において、同様な参照文字は、全体を通してそれに対応して識別する。

30

【0014】

「例示的な(exemplary)」という言葉は、「1つの例、インスタンス、または例証(illustration)としての役割を果たしている(serving)」を意味するようにここにおいて使用される。「例示的な」として、ここにおいて説明される任意の実施形態または設計は、必ずしも他の実施形態または設計よりも好ましい、または有利であるとして解釈されるべきものとは限らない。

【0015】

図1Aは、絶対アドレッシングを用いた読取りオペレーションを示している。絶対アドレスは、ストレージユニットにおけるロケーションを指し示し、このストレージユニットは、メモリ、レジスタバンクなどとすることができる。このロケーションに記憶されたデータは、出力データとして供給される。

40

【0016】

図1Bは、相対アドレッシングを用いた読取りオペレーションを示している。相対アドレスは、ベースアドレスと、オフセットとから成る。ベースアドレスは、基準値を記憶する、ストレージユニットにおけるロケーションを指し示す。基準値は、相対アドレスに対応する絶対アドレスを生成するために、オフセットと加算される。基準値またはオフセットは、負の値とすることもできるが、絶対アドレスは、一般的に正の値である。絶対アドレスによって指し示されるロケーションに記憶されるデータは、出力データとして供給される。

【0017】

50

図2は、相対アドレッシングを用いたメモリアクセスを効率的にサポートするストレージ構造200の一実施形態のブロック図を示している。ストレージ構造200は、アドレスジェネレータ210と、ストレージユニット230と、を含む。ストレージ構造200は、絶対アドレスまたは相対アドレスを受け取り、受け取られたアドレスによって指し示されるロケーションにおけるデータ(例えば、オペランド)を供給する。

【0018】

アドレスジェネレータ210は、アドレス情報を受け取り、このアドレス情報は、ソース識別子(source identifier)(ID)と、オフセットと、を備えることができる。ソースIDは、命令の一部とすることもでき、あるいは他の何らかのソース、例えば、パッファに由来することもできる。ソースIDは、絶対アドレスまたはベースアドレスを含むことができる。相対アドレスでは、加算器220は、ストレージユニット230からの出力と、オフセットと、を受け取り、それらの2つの入力を加算し、その結果をラッチ222へと供給する。マルチプレクサ(Mux)224は、2つの入力上で、ラッチ222の出力と、アドレス情報と、を受け取り、2つの入力のうち的一方をストレージユニット230へと供給する。

10

【0019】

アドレス情報が、絶対アドレスを備える場合、そのときにはマルチプレクサ224は、絶対アドレスを直接にストレージユニット230へと供給し、次いで、このストレージユニットは、絶対アドレスによって指し示されるロケーションにおけるデータを供給する。アドレス情報が、相対アドレスを備える場合、そのときには対応する絶対アドレスが、計算され、そして2つのクロックサイクルで供給される。第1のクロックサイクルにおいて、マルチプレクサ224は、アドレス情報(例えば、ソースID)におけるベースアドレスをストレージユニット230へと供給し、次いで、このストレージユニットは、その基準値を加算器220へと供給する。次いで、加算器220は、アドレス情報におけるオフセットをストレージユニット230からの基準値と加算し、そしてその絶対アドレスをラッチ222へと供給する。第2のクロックサイクルにおいて、マルチプレクサ224は、ラッチ222からの絶対アドレスをストレージユニット230へと供給し、次いで、このストレージユニットは、絶対アドレスによって指し示されるロケーションにおけるデータを供給する。

20

【0020】

加算器220は、2つの整数値を加算し、整数の結果を供給することができる簡単な加算器とすることができる。加算器220は、当技術分野において知られている任意の設計を用いてインプリメントされる(implemented)ことができ、一般的にALUに比べて複雑さがずっと少ない。ストレージユニット230は、異なる固有のアドレスが割り当てられたレジスタのバンクまたはアレイとすることができる。ストレージユニット230は、例えば、RAM、シンクロナスRAM(synchronous RAM)(SRAM)、シンクロナスダイナミックRAM(synchronous dynamic RAM)(SDRAM)、フラッシュメモリ(Flash memory)など、他のタイプのストレージとすることもできる。

30

【0021】

図2に示される実施形態において、相対アドレッシングを用いた読取りオペレーションが、2つのクロックサイクルで実行される。絶対アドレスは、第1のクロックサイクルにおいて計算され、そしてデータは、第2のクロックサイクルにおいて取り出される。この実施形態は、読取りオペレーションについての総遅延を分割し、より高いクロック速度が、ストレージ構造200のために使用されることを可能にする。ラッチ(図2に示されず)は、アドレス情報を受け取り、第2の入力のマルチプレクサ224に対してその出力を供給することができる。このラッチは、相対アドレスの遅延をマッチングさせるために絶対アドレスを遅延させることになる。代わりに、レジスタ(やはり図2に示されず)が、相対アドレスについての出力データを絶対アドレスについての出力データと時間的に位置合わせするために、ストレージユニット230の出力に追加されることもできる。

40

【0022】

50

別の実施形態においては、ラッチ222は、存在せず、絶対アドレス計算と、データ取出しとは、1つのクロックサイクルにおいて実行される。さらに別の実施形態においては、複数のラッチが、さらに総遅延を分割し、より高いクロック速度さえサポートするために挿入されることができる。

【0023】

ストレージ構造200は、ある種の利点を提供することができる。第1に、絶対アドレスは、アドレス情報、例えば、命令に含まれるソースIDに基づいて、実行中に計算されることができる。この特徴は、各実行スレッド(thread of execution)についてのアドレスレジスタを有する必要性を取り除くことができ、これは、マルチスレッドプロセッサ(multi-threaded processor)について注目に値する節約を提供することができる。第2に、ALUリソースは、絶対アドレスを計算するために消費されない。節約されたALUリソースは、他のオペレーションのために利用されることができる。第3に、相対アドレッシングを用いた命令は、2つの命令に変換されない。これは、遅延を減少させ、スループットを改善することができる。ストレージ構造200を使用することからの他の利点が存在する可能性がある。

【0024】

図3は、相対アドレッシングを用いた読取りおよび書込みを効率的にサポートするストレージ構造300の一実施形態のブロック図を示している。ストレージ構造300は、アドレスジェネレータ310と、ストレージユニット330と、を含む。アドレスジェネレータ310は、ソースアドレス情報(source address information)と、宛先アドレス情報(destination address information)とを受け取る。ソースアドレス情報は、読取りオペレーションについての読取りアドレスを指し示し、ソースIDとオフセットとを備えることができる。ソースIDは、絶対アドレスまたはベースアドレスを含むことができる。宛先アドレス情報は、書込みオペレーションについての書込みアドレスを指し示し、宛先IDとオフセットとを備えることができる。宛先IDは、絶対アドレスまたはベースアドレスを含むことができる。ソースIDと宛先IDとは、命令の一部分とすることができ、あるいは他のソースに由来することができる。

【0025】

アドレスジェネレータ310内において、マルチプレクサ318は、2つの入力においてソースアドレス情報と、宛先アドレス情報と、を受け取り、そして2つの入力のうちの一方を加算器320へと供給する。加算器320はまた、ストレージユニット330からの出力を受け取り、2つの入力を加算し、そしてその結果をラッチ322へと供給する。マルチプレクサ324は、3つの入力上で、ラッチ322の出力と、ソースアドレス情報と、宛先アドレス情報と、を受け取り、そしてそれらの3つの入力のうちの1つをストレージユニット330へと供給する。マルチプレクサ326は、2つの入力上で、ラッチ322の出力と、宛先アドレス情報と、を受け取り、そしてそれらの2つの入力のうちの一方を遅延ユニット328へと供給する。ユニット328は、ストレージユニット330からのオペランドに対して動作するALU(図3には示されず)の遅延とマッチングする(matches)遅延を提供する。例えば、ALUが4クロックサイクルの遅延を有する場合、そのときにはユニット328は、4クロックサイクルの遅延を提供する。ユニット328は、書込みアドレスをストレージユニット330へと供給する。

【0026】

読取りアドレスは、以下のようにソースアドレス情報から計算されることができる。ソースアドレス情報が、絶対アドレスを備える場合、そのときにはマルチプレクサ324は、読取りアドレスとして絶対アドレスをストレージユニット330へと供給する。ソースアドレス情報が、相対アドレスを備える場合、そのときには第1のクロックサイクルにおいて、マルチプレクサ318は、ソースアドレス情報の中のオフセットを加算器320へと供給し、マルチプレクサ324は、ソースアドレス情報の中のベースアドレス(例えば、ソースID)をストレージユニット330へと供給し、そして加算器320は、マルチプレクサ318からのオフセットをストレージユニット330からの基準値と加算し、絶

10

20

30

40

50

対アドレスをラッチ 3 2 2 へと供給する。第 2 のクロックサイクルにおいて、マルチプレクサ 3 2 4 は、読取りアドレスとしてラッチ 3 2 2 からの絶対アドレスをストレージユニット 3 3 0 へと供給する。

【 0 0 2 7 】

書込みアドレスは、以下のように宛先アドレス情報から計算されることができる。宛先アドレス情報が、絶対アドレスを備える場合、そのときにはマルチプレクサ 3 2 6 は、書込みアドレスとして絶対アドレスをストレージユニット 3 3 0 へと供給する。宛先アドレス情報が、相対アドレスを備える場合、そのときには第 1 のクロックサイクルにおいて、マルチプレクサ 3 1 8 は、宛先アドレス情報の中のオフセットを加算器 3 2 0 へと供給し、マルチプレクサ 3 2 4 は、宛先アドレス情報の中のベースアドレス（例えば、宛先 ID）をストレージユニット 3 3 0 と供給し、そして加算器 3 2 0 は、マルチプレクサ 3 1 8 からのオフセットをストレージユニット 3 3 0 からの基準値と加算し、絶対アドレスをラッチ 3 2 2 へと供給する。第 2 のクロックサイクルにおいて、マルチプレクサ 3 2 6 は、書込みアドレスとしてラッチ 3 2 2 からの絶対アドレスをストレージユニット 3 3 0 へと供給する。

【 0 0 2 8 】

図 4 は、相対アドレッシングを効率的にサポートするデュアルポートストレージ構造 4 0 0 の一実施形態のブロック図を示している。ストレージ構造 4 0 0 は、アドレスジェネレータ 4 1 0 と、ストレージユニット 4 3 0 と、を含む。ストレージユニット 4 3 0 は、1 つのクロックサイクルにおいて 2 つのロケーションにおけるデータを供給することができる 2 つの読取りポートを有する。アドレスジェネレータ 4 1 0 は、図 2 における加算器 2 2 0 と、ラッチ 2 2 2 と、マルチプレクサ 2 2 4 と同様に結合される加算器 4 2 0 と、ラッチ 4 2 2 と、マルチプレクサ 4 2 4 と、を含む。アドレスジェネレータ 4 1 0 は、2 つの読取りポートに結合された 2 つの入力と、加算器 4 2 0 に結合された 1 つの出力と、を有するマルチプレクサ 4 2 8 をさらに含んでいる。コントローラまたはリソースマネージャ（図 4 に示されず）は、実行される命令の中のアドレス情報に基づいてマルチプレクサ 4 2 4 および 4 2 8 についての制御信号を生成することができる。

【 0 0 2 9 】

2 つの読取りポートは、交互になるように 2 つのメモリアクセスについてのデータの（例えば、2 つの命令による）取出しをサポートする。例えば、第 1 の命令についての絶対アドレスは、マルチプレクサ 4 2 4 を経由してベースアドレスをストレージユニット 4 3 0 へと供給することと、ポート 0 を経由して基準値を取得することと、により、第 1 のクロックサイクルにおいて計算されることができる。第 2 のクロックサイクルにおいて、第 1 の命令についてのデータは、ラッチ 4 2 2 からの絶対アドレスをストレージユニット 4 3 0 へと供給することと、ポート 0 を経由してデータを取得することと、により、取り出されることができる。また第 2 のクロックサイクルにおいては、第 2 の命令についての絶対アドレスは、マルチプレクサ 4 2 4 を経由してベースアドレスをストレージユニット 4 3 0 へと供給することと、ポート 1 を経由して基準値を取得することと、により、計算されることができる。第 3 のクロックサイクルにおいては、第 2 の命令についてのデータは、ラッチ 4 2 2 からの絶対アドレスをストレージユニット 4 3 0 へと供給することと、ポート 1 を経由してデータを取得することと、により、取り出されることができる。

【 0 0 3 0 】

別の実施形態においては、一方のポート（例えば、ポート 0）は、相対アドレスについての基準値を供給するように指定され、そして他方のポート（例えば、ポート 1）は、データを供給するように指定される。この実施形態においては、マルチプレクサ 4 2 8 は、省略されることができ、ストレージユニット 4 3 0 のポート 0 は、加算器 4 2 0 に直接に結合されることができる。クロスバーは、ラッチ 4 2 2 とマルチプレクサ 4 2 4 との出力をストレージユニット 4 3 0 の 2 つのアドレス入力に結合することができる。

【 0 0 3 1 】

2 つの読取りポートは、各読取りオペレーションが 2 つのクロックサイクルの遅延を有

10

20

30

40

50

する、クロックサイクル当たり1つの読取りオペレーションをサポートする。図4に示される実施形態においては、単一の加算器420が、各クロックサイクルにおいて絶対アドレスを計算することができる。2つの読取りポートは、同時発生のアドレス生成とデータ取出しをサポートすることができる。

【0032】

ストレージユニット430は、交互になるように2つのメモリアクセスについてのデータの書込みをサポートする2つの書込みポート(図4には示されず)を含むこともできる。

【0033】

ここにおいて説明される技法は、相対アドレッシングをサポートする様々なタイプのプロセッサのために使用されることができる。例えば、本技法は、グラフィックスプロセッサ(graphics processor)、グラフィックス処理ユニット(graphics processing unit)(GPU)、デジタル信号プロセッサ(digital signal processor)(DSP)、縮小命令セットコンピュータ(reduced instruction set computer)(RISC)、高度なRISCマシン(advanced RISC machine)(ARM)、コントローラ、マイクロプロセッサなどのために使用されることができる。グラフィックスプロセッサのための本技法の例示使用が、下記に説明される。

【0034】

図5は、一般にL=1となる場合のL個のグラフィックスアプリケーション/プログラムをサポートするグラフィックスプロセッサ500の一実施形態のブロック図を示している。L個のグラフィックスアプリケーションは、ビデオゲーム、グラフィックスなどについてのもので行うことができ、同時に実行することができる。グラフィックスプロセッサ500は、シェーダーコア(shader core)502と、テクスチャエンジン(texture engine)504と、キャッシュメモリシステム(cache memory system)506と、を含む。用語「コア」、「エンジン」、「マシン」、「プロセッサ」および「処理ユニット」は、多くの場合に交換可能に使用される。シェーダーコア502は、シェーディング(shading)などのグラフィックスオペレーションを実行することができ、このシェーディングは、照明、陰影付けなどを伴う非常に複雑なオペレーションである。テクスチャエンジン504は、テクスチャマッピングなどのグラフィックスオペレーションを実行することができ、このテクスチャマッピングは、テクスチャテーブルのカラーを用いて画像のピクセルのカラーを修正することを伴う。キャッシュメモリシステム506は、1つまたは複数のキャッシュを含むことができ、これらのキャッシュは、シェーダーコア(shader core)502と、テクスチャエンジン(texture engine)504と、についてのデータおよび命令を記憶することができる高速のメモリである。

【0035】

シェーダーコア502内において、マルチプレクサ510は、L個のグラフィックスアプリケーションからのスレッドを受け取り、これらのスレッドをスレッドスケジューラ(thread scheduler)/命令デコーダ(instruction decoder)512へと供給する。スレッドスケジューラ512は、スレッドの実行をスケジュールし管理するために、様々なファンクションを実行する。命令キャッシュ516は、それらのスレッドについての命令を記憶する。これらの命令は、各スレッドのために実行されるべき特定のオペレーションを指し示し、キャッシュメモリシステム506および/またはメインメモリからロードされることができる。ALUコア520は、算術演算、論理演算、フォーマット変換などを実行する。定数バッファ522は、ALUコア520によって使用される定数値を記憶する。ロード制御ユニット(load control unit)514は、シェーダーコア502とテクスチャエンジン504との内部の様々なユニットについてのデータおよび命令の流れを制御する。レジスタバンク530は、ALUコア520と、ALU544と、からの中間結果および最終結果を記憶する。デマルチプレクサ(demultiplexer)(Demux)532は、実行されたスレッドについての最終結果をレジスタバンク530から受け取り、これらの結果をグラフィックスアプリケーションへと供給する。

10

20

30

40

50

【 0 0 3 6 】

テクスチャエンジン 5 0 4 内で、テクスチャアドレスジェネレータ(texture address generator) 5 4 0 は、テクスチャエンジン 5 0 4 によって動作させられるべき各ピクセルの位置を計算する。テクスチャキャッシュ(texture cache) 5 4 2 は、テクスチャエンジン 5 0 4 のためにピクセルを記憶する。A L U 5 4 4 は、ピクセルに対して計算を実行し、そして中間結果を供給し、これらの中間結果は、レジスタバンク 5 3 0 に記憶して戻されることができる。

【 0 0 3 7 】

図 6 は、図 5 におけるシェーダーコア 5 0 2 内の A L U コア 5 2 0 およびレジスタバンク 5 3 0 の一実施形態を示している。この実施形態においては、A L U コア 5 2 0 は、4 10
つのスカラ A L U 6 2 0 a、6 2 0 b、6 2 0 c および 6 2 0 d を含む。各 A L U 6 2 0 は、データクロスバー(data crossbar) 6 4 0 から 3 つまでの入力オペランドを受け取り、それらの入力オペランドに対して算術演算または論理演算を実行し、そしてその結果をデータクロスバー 6 4 0 へと供給して戻すことができる。

【 0 0 3 8 】

図 6 に示される実施形態においては、レジスタバンク 5 3 0 は、4 つのレジスタバンク 6 3 0 a、6 3 0 b、6 3 0 c および 6 3 0 d を含み、これらは、下記に説明されるようにグラフィックスデータを記憶することができる。3 つのアドレスジェネレータ 6 1 0 a、6 1 0 b および 6 1 0 c は、3 つのオペランドについてのソースアドレス情報を受け取り、これらのオペランドについての読取りアドレスを生成する。アドレスジェネレータ 6 1 0 d は、宛先アドレス情報を受け取り、その結果についての書込みアドレスを生成する。スレッドスケジューラ 5 1 2 内の命令デコーダは、アドレス情報を各アドレスジェネレータ 6 1 0 へと供給することができる。各アドレスジェネレータ 6 1 0 は、図 2 におけるアドレスジェネレータ 2 0 0 または図 4 におけるアドレスジェネレータ 4 0 0 を用いてインプリメントされることができる。アドレスクロスバー 6 1 2 は、3 つの読取りアドレスおよび書込みアドレスを適切なレジスタバンク 6 3 0 および定数バッファ(constant buffer) 5 2 2 へと供給する。 20

【 0 0 3 9 】

各レジスタバンク 6 3 0 は、3 つのアドレスジェネレータ 6 1 0 a から 6 1 0 c のうちの 1 つから読取りアドレスを受け取ることができ、そして読取りオペレーションでは、読取りアドレスによって指し示されるロケーションにあるデータをデータクロスバー 6 4 0 へと供給する。各レジスタバンク 6 3 0 は、アドレスジェネレータ 6 1 0 d から書込みアドレスを受け取ることでもでき、そして書込みオペレーションでは、データクロスバー 6 4 0 からのデータを書込みアドレスによって指し示されるロケーションに記憶する。 30

【 0 0 4 0 】

一実施形態においては、すべての 4 つのレジスタバンク 6 3 0 a から 6 3 0 d は、同時にアクセスされる(それから読み取られ、かつ/またはそれらに書き込まれる)ことができる。一般に、各レジスタバンク 6 3 0 は、任意数の読取りポートと、任意数の書込みポートと、を含むことができる。一実施形態においては、各レジスタバンク 6 3 0 は、2 つの読取りポートと、2 つの書込みポートと、を含む。2 つの読取りポートは、交互になるように 2 つの読取りオペレーションについてのデータの取出しを可能にする。2 つの書込みポートは、交互になるように 2 つの書込みオペレーションについてのデータの書込みを可能にする。 40

【 0 0 4 1 】

データクロスバー 6 4 0 は、レジスタバンク 6 3 0 a から 6 3 0 d と、定数バッファ 5 2 2 と、からデータを受け取り、3 つまでのオペランドを各 A L U 6 2 0 へと供給する。一般に、各 A L U 6 2 0 についての入力オペランドは、4 つのレジスタバンク 6 3 0 a から 6 3 0 d および/または定数バッファ 5 2 2 のうちのどれかに由来する。各 A L U 6 2 0 からの結果は、4 つのレジスタバンク 6 3 0 a から 6 3 0 d のうちの任意の 1 つに記憶されることができる。 50

【 0 0 4 2 】

レジスタバンク 5 3 0 は、シェーダーコア 5 0 2 およびノまたはテクスチャエンジン 5 0 4 によって動作させられるべきピクセルについてデータを記憶することができる。2 - 次元 (2 - D) または 3 次元 (3 - D) の画像は、多角形 (一般的に三角形) を用いて表されることができる。各三角形は、ピクセルから成ることができる。各ピクセルは、空間座標、カラー値、テクスチャ座標など、様々な属性 (attributes) を有することができる。各属性は、4 つまでの成分を有することができる。例えば、空間座標は、3 つの成分 x 、 y 、および z 、あるいは 4 つの成分 x 、 y 、 z および w のいずれかによって与えられることができ、ここで x および y は、水平座標および垂直座標であり、 z は、深さであり、 w は、同次座標 (homogeneous coordinate) である。カラー値は、3 つの成分 r 、 g および b 、あるいは 4 つの成分 r 、 g 、 b および a によって与えられ、ここで、 r は、赤であり、 g は、緑であり、 b は、青であり、そして a は、ピクセルの透明度を決定する透明性ファクタである。テクスチャ座標は、一般的に水平座標 u および垂直座標 v によって与えられる。ピクセルは、他の属性に関連づけられることもできる。

10

【 0 0 4 3 】

図 7 は、図 6 におけるレジスタバンク 6 3 0 a から 6 3 0 d にピクセルについてのグラフィックスデータを記憶する一実施形態を示している。この実施形態においては、各レジスタバンク 6 3 0 は、空間座標の異なる成分と、カラー値の異なる成分と、テクスチャ座標の 1 成分と、を記憶する。特に、レジスタバンク 6 3 0 a は、水平 (x) 空間座標と、赤色 (r) カラー値と、水平 (u) テクスチャ座標と、を記憶する。レジスタバンク 6 3 0 b は、垂直 (y) 空間座標と、緑色 (g) カラー値と、垂直 (v) テクスチャ座標と、を記憶する。レジスタバンク 6 3 0 c は、深さ (z) 空間座標と、青色 (b) カラー値と、水平 (u) テクスチャ座標と、を記憶する。レジスタバンク 6 3 0 d は、同次 (w) 空間座標と、透明度 (a) カラー値と、垂直 (v) テクスチャ座標と、を記憶する。この実施形態は、A L U 6 2 0 a から 6 2 0 d についてのデータの効率的な取出しと、A L U からの結果の効率的な記憶とを可能にすることができる。一般に、ピクセルについてのデータは、任意の方法で記憶されることができ、例えば、各レジスタバンクは、ピクセルについての属性のすべての成分を記憶することができる。

20

【 0 0 4 4 】

実行されるべき各スレッドには、4 つのレジスタバンク 6 3 0 a から 6 3 0 d における十分な数のレジスタが割り付けられることができる。図 7 に示される例において、各スレッドは、4 つのピクセルについてのデータを含み、これらのピクセルは、 $P 0$ 、 $P 1$ 、 $P 2$ および $P 3$ として示される。スレッド 0 では、4 つのピクセルについての水平空間座標 ($P 0 \cdot X$ 、 $P 1 \cdot X$ 、 $P 2 \cdot X$ および $P 3 \cdot X$) は、レジスタバンク 6 3 0 a のレジスタ 0 に記憶され、4 つのピクセルについての赤色カラー値 ($P 0 \cdot R$ 、 $P 1 \cdot R$ 、 $P 2 \cdot R$ および $P 3 \cdot R$) は、レジスタバンク 6 3 0 a のレジスタ 1 に記憶され、4 つのピクセルについての水平テクスチャ座標 ($P 0 \cdot u 0$ 、 $P 1 \cdot u 0$ 、 $P 2 \cdot u 0$ および $P 3 \cdot u 0$) は、レジスタバンク 6 3 0 a のレジスタ 2 に記憶され、そして 4 つのピクセルについての水平テクスチャ座標 ($P 0 \cdot u 2$ 、 $P 1 \cdot u 2$ 、 $P 2 \cdot u 2$ および $P 3 \cdot u 2$) は、レジスタバンク 6 3 0 a のレジスタ 3 に記憶される。 $u 0$ および $v 0$ と、 $u 1$ および $v 1$ と、 $u 2$ および $v 2$ と、 $u 3$ および $v 3$ とは、テクスチャするために使用されることができる 4 つのテクスチャマップ (texture map) についてのテクスチャ座標である。スレッド 0 についての 4 つのピクセルについての他の成分は、図 7 に示されるようにレジスタバンク 6 3 0 b、6 3 0 c および 6 3 0 d のレジスタ 0 から 3 に記憶される。スレッド 1、2 および 3 についてのピクセルの成分は、図 7 に示されるように 4 つのレジスタバンク 6 3 0 a から 6 3 0 d にも記憶される。

30

40

【 0 0 4 5 】

図 8 は、図 6 におけるデータクロスバー 6 4 0 の一実施形態を示している。この実施形態においては、データクロスバー 6 4 0 は、4 つの A L U 6 2 0 a から 6 2 0 d についてのそれぞれ 4 つのマルチプレクサの組 (four multiplexer sets) 8 4 0 a から 8 4 0 d を

50

含む。マルチプレクサの組 8 4 0 (multiplexer set) a は、A L U 6 2 0 a のための 3 つの入力オペランドについての 3 つのマルチプレクサ(three multiplexers) 8 4 2 a、8 4 2 b および 8 4 2 c を含む。各マルチプレクサ 8 4 2 は、6 つの入力において、4 つのレジスタバンク 6 2 0 a から 6 2 0 d からのデータと、定数バッファ 5 2 2 からのデータと、A L U 6 2 0 a からの結果と、を受け取る。各マルチプレクサ 8 4 2 は、6 つの入力のうちの 1 つを A L U 6 2 0 a のための 1 つの入力オペランドとして供給する。図 8 に示されるように、各レジスタバンク 6 2 0 は、A L U 6 2 0 a のための 3 つの入力オペランドのうちの任意の 1 つを供給することができる。マルチプレクサの組 8 4 0 b、8 4 0 c および 8 4 0 d は、おのおのマルチプレクサの組 8 4 0 a と同じ方法でインプリメントされることができる。マルチプレクサの組 8 4 0 a から 8 4 0 d は、異なる制御信号を受け取ることができる。これらの制御信号は、実行されている命令によって決定されることができる。

10

【 0 0 4 6 】

一般に、命令は、ベクトルベース、またはピクセルベースのものとすることができ、A L U もまた、ベクトルベース、またはピクセルベースのものとする事ができる。ベクトルベースとは、一時に 1 ピクセルの 4 つまでの成分の並列のアクセスまたは処理を意味している。ピクセルベースとは、一時に 4 つまでのピクセルについての 1 成分の並列なアクセスまたは処理を意味している。一実施形態においては、命令は、ベクトルベースであり、そして A L U は、ピクセルベースである。ベクトルベースの命令は、無効なピクセルについての計算の省略を可能にする。ピクセルベースの A L U は、対象となる成分だけの計算を可能にする。例えば、2 つの空間成分 x と y とを加算するために、4 つの A L U は、同じクロックサイクルにおいて 4 つのピクセルに対してこの計算を効率的に実行することができる。それ故に、ベクトルベースの命令と、ピクセルベースの A L U とは、全体的な性能を改善することができる。

20

【 0 0 4 7 】

図 6 から 8 に示される実施形態は、4 つのレジスタバンク 6 3 0 a から 6 3 0 d からのデータの効率的な取出しと、4 つの A L U 6 2 0 a から 6 2 0 d によって取り出されたデータに対する効率的なオペレーションと、をサポートする。一例として、4 つのピクセルについての 2 つの空間成分 x と、y とは、加算されることができる。アドレスジェネレータ 6 1 0 a および 6 1 0 b は、レジスタバンク 6 3 0 a および 6 3 0 b についての読取りアドレスを生成することができ、そしてアドレスジェネレータ 6 1 0 d は、その結果についての書込みアドレスを生成することができる。1 つの読取りサイクルにおいて、レジスタバンク 6 3 0 a は、4 つのピクセルについての x 空間成分を供給し、レジスタバンク 6 3 0 b は、4 つのピクセルについての y 空間成分を供給する。データクロスバー 6 4 0 は、第 1 のピクセル、第 2 のピクセル、第 3 のピクセル、および第 4 のピクセルについての x 成分および y 成分をそれぞれ A L U 6 2 0 a、6 2 0 b、6 2 0 c および 6 2 0 d へと供給する。各 A L U 6 2 0 は、1 つのピクセルについての x 成分および y 成分に対して動作する。次いで、データクロスバー 6 4 0 は、4 つの A L U 6 2 0 a および 6 2 0 d からの結果を指定されたレジスタバンクへと供給し、このレジスタバンクは、アドレスジェネレータ 6 1 0 d によって計算される書込みアドレスにそれらの結果を記憶する。A L U 6 2 0 によってアクセスされないレジスタバンクは、グラフィックスプロセッサ 5 0 0 内の他のユニット(例えば、ロード制御ユニット 5 1 4)によってアクセスされることができる。

30

40

【 0 0 4 8 】

ここにおいて説明される技法は、ワイヤレス通信、コンピューティング、ネットワーキング、パーソナルエレクトロニクスなどのために使用されることができる。ワイヤレス通信についての本技法の例示使用は、下記に説明される。

【 0 0 4 9 】

図 9 は、ワイヤレス通信システムにおけるワイヤレスデバイス 9 0 0 の一実施形態のブロック図を示している。ワイヤレスデバイス 9 0 0 は、セルラ電話、端末、ハンドセット

50

、携帯型個人情報端末(personal digital assistant) (P D A)、または他の何らかのデバイスとすることができる。ワイヤレス通信システムは、符号分割多元接続(Code Division Multiple Access) (C D M A) システム、移動体通信用グローバルシステム(Global System for Mobile Communication) (G S M) システム、または他の何らかのシステムとすることができる。

【 0 0 5 0 】

ワイヤレスデバイス 9 0 0 は、受信経路と送信経路とを經由して双方向通信を提供することができる。受信経路上では、基地局によって送信される信号は、アンテナ 9 1 2 によって受信され、そしてレシーバ (R C V R) 9 1 4 へと供給される。レシーバ 9 1 4 は、受信信号を条件づけしデジタル化し、そしてさらに処理するためにデジタルセクション(digital section) 9 2 0 へとサンプルを供給する。送信経路上では、トランスミッタ (T M T R) 9 1 6 は、デジタルセクション 9 2 0 から送信されるべきデータを受信し、そのデータを処理し条件づけし、そして被変調信号を生成し、この被変調信号は、アンテナ 9 1 2 を經由して基地局へと送信される。

【 0 0 5 1 】

デジタルセクション 9 2 0 は、例えば、モデムプロセッサ 9 2 2、ビデオプロセッサ 9 2 4、コントローラ/プロセッサ 9 2 6、ディスプレイプロセッサ 9 2 8、ARM/DSP 9 3 2、グラフィックスプロセッサ 9 3 4、内部メモリ 9 3 6、外部バスインターフェース(external bus interface) (E B I) 9 3 8 など、様々な処理ユニットと、インターフェースユニットと、メモリユニットと、を含む。モデムプロセッサ 9 2 2 は、データの送信および受信のための処理(例えば、符号化、変調、復調、および復号化)を実行する。ビデオプロセッサ 9 2 4 は、カムコーダ、ビデオ再生、ビデオ会議などのビデオアプリケーションについてのビデオコンテンツ(例えば、スチル画像、ムービングビデオ(moving video)、およびムービングテキスト(moving text))に対して処理を実行する。コントローラ/プロセッサ 9 2 6 は、デジタルセクション 9 2 0 内の様々な処理ユニットおよびインターフェースユニットのオペレーションを指示することができる。ディスプレイプロセッサ 9 2 8 は、ディスプレイユニット 9 3 0 上で、ビデオ、グラフィックス、およびテキストの表示を容易にする処理を実行する。ARM/DSP 9 3 2 は、ワイヤレスデバイス 9 0 0 についての様々なタイプの処理を実行することができる。グラフィックスプロセッサ 9 3 4 は、グラフィックス処理を実行し、そして図 5 に示されるようにインプリメントされることができる。ここにおいて説明される技法は、デジタルセクション 9 2 0 中のプロセッサのうちの任意のもの、例えば、グラフィックスプロセッサ 9 3 4 のために使用されることができる。内部メモリ 9 3 6 は、デジタルセクション 9 2 0 内の様々なユニットのためのデータおよび/または命令を記憶する。E B I 9 3 8 は、デジタルセクション 9 2 0 (例えば、内部メモリ 9 3 6)と、メインメモリ 9 4 0 との間のデータの転送を容易にする。

【 0 0 5 2 】

デジタルセクション 9 2 0 は、1つまたは複数の DSP、マイクロプロセッサ、RISC などを用いてインプリメントされることができる。デジタルセクション 9 2 0 は、1つまたは複数の特定用途向け集積回路(application specific integrated circuit) (A S I C)、あるいは他の何らかのタイプの集積回路(integrated circuit) (I C) の上に製造されることもできる。

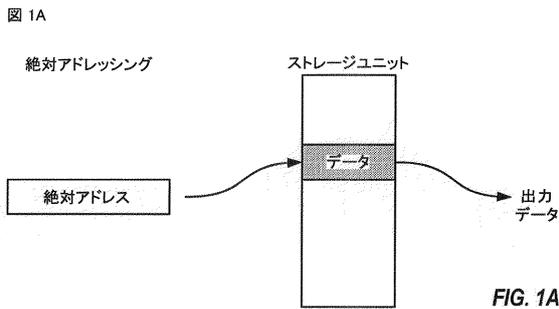
【 0 0 5 3 】

ここにおいて説明される技法は、様々なハードウェアユニットの形でインプリメントされることができる。例えば、本技法は、ASICと、DSPと、RISCと、ARMと、デジタル信号処理デバイス(digital signal processing device) (D S P D) と、プログラマブルロジックデバイス(programmable logic device) (P L D) と、フィールドプログラマブルゲートアレイ(field programmable gate array) (F P G A) と、プロセッサと、コントローラと、マイクロコントローラと、マイクロプロセッサと、他の電子ユニットと、の形でインプリメントされることができる。

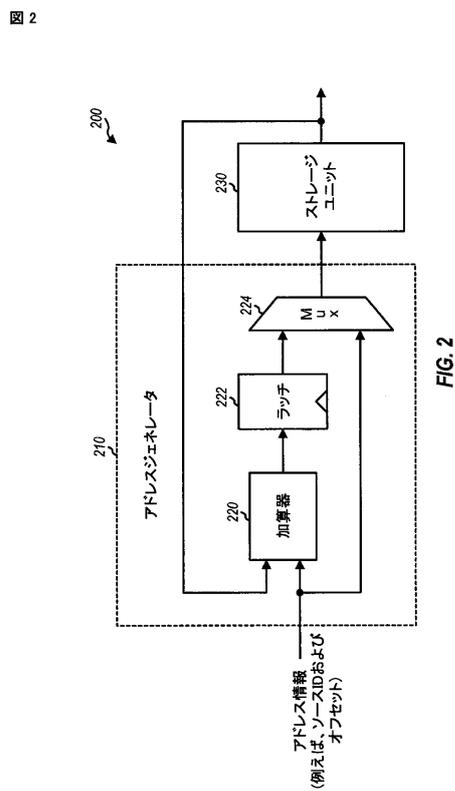
【 0 0 5 4 】

開示された実施形態の上記の説明は、いずれの当業者(person skilled in the art)も本開示を作り、または使用することを可能とするように、提供されている。これらの実施形態に対する様々な修正は、当業者にとっては容易に明らかであり、そしてここにおいて定義される包括的な原理は、本開示の精神または範囲を逸脱することなしに他の実施形態に対して適用されることができる。したがって、本開示は、ここにおいて示される実施形態だけに限定されるようには意図されておらず、ここにおいて開示される原理および新規な特徴と整合する最も広い範囲が与えられるべきである。

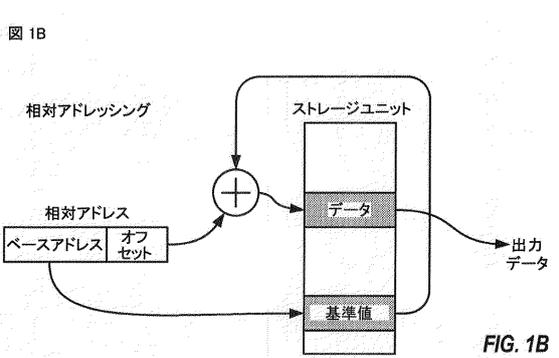
【 図 1 A 】



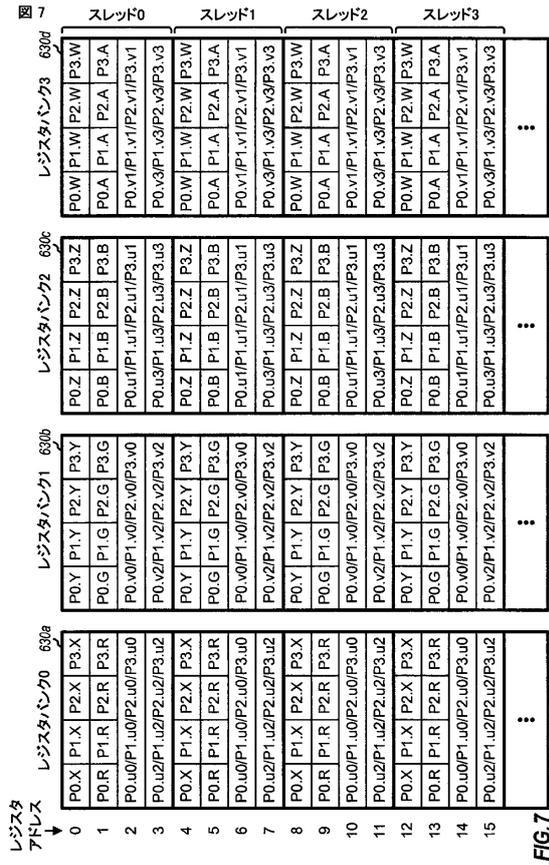
【 図 2 】



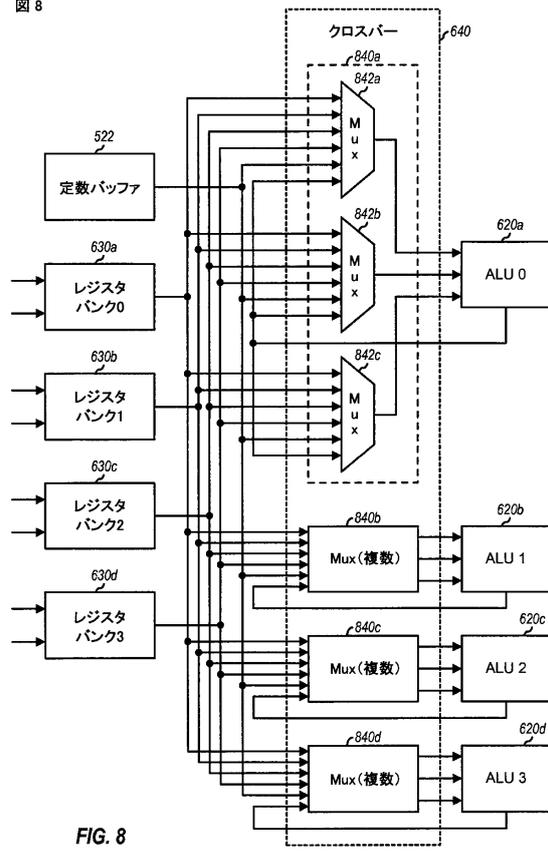
【 図 1 B 】



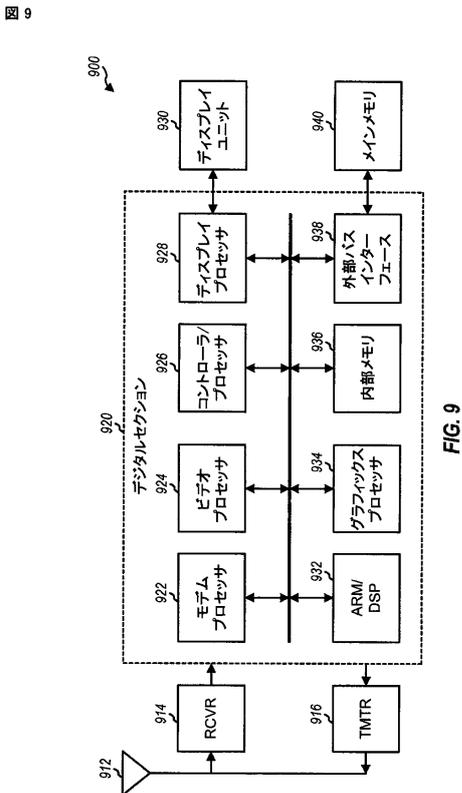
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 ドゥ、ユン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ユ、チュン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ジャオ、グオファン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 鈴木 和樹

- (56)参考文献 特開昭58-225422(JP,A)
特開平11-316679(JP,A)
国際公開第2005/114646(WO,A1)
米国特許出願公開第2004/0088518(US,A1)

米国特許出願公開第2006/0059315 (US, A1)
米国特許第05768609 (US, A)
米国特許第06604191 (US, B1)
米国特許出願公開第2005/0044342 (US, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00-12/06