(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0117606
(43) 공개일자 2007년12월12일

(51) Int. Cl.
G11C 29/42 (2006.01)
(21) 출원번호 10-2007-7021927
(22) 출원일자 2007년09월21일
심사청구일자 없음
번역문제출일자 2007년09월21일
(86) 국제출원번호 PCT/US2006/005474
국제출원일자 2006년02월16일
(87) 국제공개번호 WO 2006/104584
국제공개일자 2006년10월05일
(30) 우선권주장
11/088,562 2005년03월24일 미국(US)

(71) 출원인
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
시비그트로스, 제임스, 엠.
미국 78681 텍사스주 라운드 락 웰쉬 드라이브 2412
쿡, 브라이언, 이.
미국 78736 텍사스주 오스틴 썸머 스카이 드라이브 9403
(뒷면에 계속)
(74) 대리인
양영준, 백만기

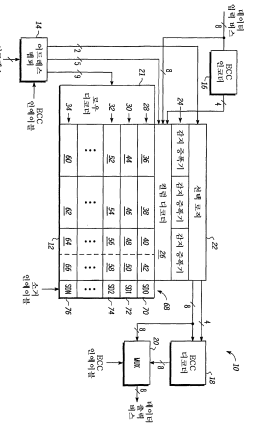
전체 청구항 수 : 총 21 항

(54) 데이터용과 에러 정정 코드용으로 전환가능한 부분을 갖는메모리

(57) 요 약

메모리(10)는 ECC 인에이블 모드와 ECC 디스에이블 모드를 가지며, ECC 인에이블 모드에서 ECC를 저장하는데 사용되도록 지정된 메모리(10) 부분은 ECC 디스에이블 모드에서는 범용 정보(데이터)를 저장하는데 사용된다. 이는 불휘발성 메모리(NVM)에서 데이터 및 대응 ECC를 갖는 메모리 부분을 동일 워드 라인(94)에 둠으로써 달성된다. 특히, 소거에 관한 복잡성 때문에 이러한 점은 NVM(10)에 있어 특히 중요하다. ECC 인에이블 모드에서는, 과도한 레이아웃 및 성능 패널티를 회피하기 위해, ECC 및 대응 데이터의 소거, 프로그램 및 판독이 함께 이루어져야 한다. 이러한 것은 ECC 및 데이터를 동일 워드 라인(4)에 둠으로써 최상으로 달성된다.

대표도 - 도1



(72) 발명자

에스피노르, 조지, 엘.

미국 78727 텍사스주 오스틴 도피네 커브 1902

메리트, 클레이, 이.

미국 78739 텍사스주 오스틴 웨일브릿지 코트 10705

모튼, 브루스, 엘.

미국 78734 텍사스주 오스틴 빈카 드라이브 111

특허청구의 범위

청구항 1

메모리로서,

각각 워드 라인에 연결되는, 메모리 어레이에서의 제1 복수의 메모리 셀을 포함하며,

상기 제1 복수의 메모리 셀은,

데이터를 저장하도록 구성되는 제2 복수의 메모리 셀, 및

제1 모드에서는 데이터를 저장하도록 구성되고, 제2 모드에서는 에러 정정 코드 정보를 저장하도록 구성되는 제3 복수의 메모리 셀을 포함하는 메모리.

청구항 2

제1항에 있어서,

상기 제2 모드에서, 상기 제3 복수의 메모리 셀의 메모리 셀들은 상기 제2 복수의 메모리 셀의 메모리 셀들에 저장된 데이터에 대한 에러 정정 코드 정보를 저장하도록 구성되는 메모리.

청구항 3

제1항에 있어서,

각각 제2 워드 라인에 연결되는 제4 복수의 메모리 셀을 더 포함하며,

상기 제4 복수의 메모리 셀은,

데이터를 저장하도록 구성되는 제5 복수의 메모리 셀, 및

제1 모드에서는 데이터를 저장하도록 구성되고, 제2 모드에서는 에러 정정 코드 정보를 저장하도록 구성되는 제6 복수의 메모리 셀을 포함하는 메모리.

청구항 4

제3항에 있어서,

상기 제2 복수의 메모리 셀은 상기 메모리 어레이의 제1 세트의 컬럼에 위치되고,

상기 제5 복수의 메모리 셀은 상기 메모리 어레이의 제1 세트의 컬럼에 위치되고,

상기 제3 복수의 메모리 셀은 상기 메모리 어레이의 제2 세트의 컬럼에 위치되며,

상기 제6 복수의 메모리 셀은 상기 메모리 어레이의 제2 세트의 컬럼에 위치되는 메모리.

청구항 5

제1항에 있어서,

상기 제1 복수의 메모리 셀은 불휘발성 메모리 셀들인 것을 특징으로 하는 메모리.

청구항 6

제1항에 있어서,

상기 제1 복수의 메모리 셀은 플래시 메모리 셀들인 것을 특징으로 하는 메모리.

청구항 7

제1항에 있어서,

상기 제2 복수의 메모리 셀 및 상기 제3 복수의 메모리 셀은 제1 소거 동작에서 소거되는 메모리.

청구항 8

제7항에 있어서,

상기 제2 워드 라인에 연결되는 상기 제4 복수의 메모리 셀은 상기 제1 동작 동안 소거되지 않는 메모리.

청구항 9

제1항에 있어서,

데이터 버스, 및

에러 정정 코드 회로를 더 포함하고,

상기 제1 모드에서, 상기 데이터 버스는, 상기 제3 복수의 메모리 셀 중 일 그룹의 메모리 셀에 어드레스되는 판독 요청에 응답하여, 상기 제3 복수의 메모리 셀 중 상기 그룹의 메모리 셀로부터 데이터를 수신하고,

상기 제2 모드에서, 상기 에러 정정 코드 회로는, 상기 제2 복수의 메모리 셀 중 일 그룹의 메모리 셀에 어드레스되는 판독 요청에 응답하여, 상기 제2 복수의 메모리 셀 중 상기 그룹의 메모리 셀로부터 데이터를 수신하고, 상기 제3 복수의 메모리 셀의 일 그룹의 메모리 셀로부터 에러 정정 코드 정보를 수신하는 메모리.

청구항 10

제1항에 있어서,

상기 제1 모드에서, 상기 데이터 버스는, 상기 제3 복수의 메모리 셀 중 일 그룹의 메모리 셀에 어드레스되는 판독 요청에 응답하여, 상기 제3 복수의 메모리 셀 중 상기 그룹으로부터 데이터를 수신하고,

상기 제2 모드에서, 상기 데이터 버스는 상기 제3 복수의 메모리 셀에 저장된 정보를 수신불가능한 메모리.

청구항 11

제1항에 있어서,

상기 메모리 어레이의 메모리 셀들에의 액세스를 위한 어드레스를 수신하는 어드레스 버스와,

상기 메모리 어레이에 대한 로우 디코더 회로 및 컬럼 디코더 회로, 및

상기 어드레스 버스에 연결되며, 상기 로우 디코더 회로 및 상기 컬럼 디코더 회로에 그 출력이 연결되는 어드레스 맵퍼 회로를 포함하고,

상기 제2 복수의 메모리 셀은 상기 메모리 어레이의 제1 세트의 컬럼에 위치되고,

상기 제1 모드에서, 상기 어드레스 맵퍼는, 상기 어드레스 버스로부터의 제1 판독 어드레스를 디코드하여, 상기 로우 디코더 회로 및 상기 컬럼 디코더 회로에 연결된 자신의 출력을 제1 디코드 패턴에 따라 구동시켜, 상기 제3 복수의 메모리 셀에 저장된 데이터를 판독하며,

상기 제2 모드에서, 상기 어드레스 맵퍼는, 상기 어드레스 버스로부터의 제1 판독 어드레스를 디코드하여, 상기 로우 디코더 회로 및 상기 컬럼 디코더 회로에 연결된 자신의 출력을 제2 디코드 패턴에 따라 구동시켜, 상기 제1 세트의 컬럼에 위치된 메모리 셀들에 저장된 데이터를 판독하는 메모리.

청구항 12

워드 라인에 연결되며, 제2 복수의 메모리 셀 및 제3 복수의 메모리 셀을 구비하는 제1 복수의 메모리 셀을 포함하는 메모리를 조작하는 방법으로서,

제1 모드에서는,

상기 제2 복수의 메모리 셀에 데이터를 저장하는 단계, 및

상기 제3 복수의 메모리 셀에 데이터를 저장하는 단계를 포함하고,

제2 모드에서는,

상기 제2 복수의 메모리 셀에 데이터를 저장하고, 상기 제3 복수의 메모리 셀에 에러 정정 코드 정보를 저장하는 단계를 포함하는 메모리 조작 방법.

청구항 13

제12항에 있어서,

상기 제2 모드에서, 상기 제3 복수의 메모리 셀은 상기 제2 복수의 메모리 셀에 저장된 데이터에 대한 에러 정정 코드 정보를 저장하는 메모리 조작 방법.

청구항 14

제12항에 있어서,

상기 제1 복수의 메모리 셀은 불휘발성 메모리 셀인 것을 특징으로 하는 메모리 조작 방법.

청구항 15

제12항에 있어서,

상기 제1 복수의 메모리 셀은 플래시 메모리 셀인 것을 특징으로 하는 메모리 조작 방법.

청구항 16

제12항에 있어서,

상기 제2 복수의 메모리 셀 및 상기 제3 복수의 메모리 셀은 제1 소거 동작시 소거되는 메모리 조작 방법.

청구항 17

제16항에 있어서,

상기 메모리는 제2 워드 라인에 연결되는 제4 복수의 메모리 셀을 더 포함하며,

상기 제4 복수의 메모리 셀은 상기 제1 소거 동작 동안 소거되지 않는 메모리 조작 방법.

청구항 18

제12항에 있어서,

상기 제1 모드에서, 상기 제3 복수의 메모리 셀 중 일 그룹의 메모리 셀들에 어드레스되는 판독 요청에 응답하여, 상기 제3 복수의 메모리 셀 중 상기 그룹의 메모리 셀들로부터의 데이터를 데이터 버스에 공급하는 단계, 및

상기 제2 모드에서, 상기 제2 복수의 메모리 셀 중 일 그룹의 메모리 셀들에 어드레스되는 판독 요청에 응답하여, 상기 제2 복수의 메모리 셀 중 상기 그룹의 메모리 셀들로부터의 데이터를 에러 정정 코드 회로에 공급하고, 상기 제3 복수의 메모리 셀 중 일 그룹의 메모리 셀들로부터 에러 정정 코드 정보를 공급하는 단계

를 더 포함하는 메모리 조작 방법.

청구항 19

제12항에 있어서,

상기 제1 모드에서, 상기 제3 복수의 메모리 셀 중 일 그룹의 메모리 셀들에 어드레스되는 판독 요청에 응답하여, 상기 그룹의 메모리 셀들로부터의 데이터를 데이터 버스에 공급하는 단계, 및

상기 제2 모드에서, 상기 데이터 버스는 상기 제3 복수의 메모리 셀에 저장된 정보를 수신불가능한 단계

를 더 포함하는 메모리 조작 방법.

청구항 20

제12항에 있어서,

상기 제3 복수의 메모리 셀은 메모리 어레이의 제1 세트의 컬럼에 위치되고,

상기 방법은,

어드레스 버스로부터 제1 어드레스를 수신하는 단계를 더 포함하며,

상기 제1 모드에서, 상기 제1 어드레스에 응답하여, 상기 제1 세트의 컬럼에 위치된 일 그룹의 메모리 셀에 저장된 데이터를 액세스하고, 상기 데이터를 데이터 버스에 공급하고,

상기 제2 모드에서, 상기 제1 어드레스에 응답하여, 상기 제2 복수의 메모리 셀 중 일 그룹의 메모리 셀에 저장된 데이터를 액세스하고, 상기 제3 복수의 메모리 셀 중 일 그룹에 저장된 에러 정정 코드 정보를 액세스하여, 상기 데이터 및 상기 에러 정정 코드 정보를 에러 정정 코드 회로에 공급하는 메모리 조작 방법.

청구항 21

메모리로서,

제1 세트의 컬럼에 위치된 제1 복수의 메모리 셀 및 제2 세트의 컬럼에 위치된 제2 복수의 메모리 셀을 포함하고, 상기 제1 복수의 메모리 셀의 메모리 셀들 및 상기 제2 복수의 메모리 셀의 메모리 셀들이 각각 연결되는 복수의 워드 라인을 포함하는 메모리 어레이, 및

제1 모드에서는 상기 제2 복수의 메모리 셀에 저장된 데이터를 데이터 버스에 공급하고, 제2 모드에서는 상기 제1 복수의 메모리 셀 중 워드 라인에 연결된 메모리 셀들에 저장된 데이터 및 상기 제2 복수의 메모리 셀 중 상기 워드 라인에 연결된 메모리 셀들에 저장된 에러 정정 코드 정보를 에러 정정 코드 회로에 공급하는 수단

을 포함하는 메모리.

명 세 서

기 술 분 야

<1> 본 발명은 메모리에 관한 것으로, 보다 구체적으로는 데이터용과 에러 정정 코드(ECC)용으로 전환가능한 부분을 갖는 메모리에 관한 것이다.

배 경 기 술

<2> 컴퓨팅 시스템에 사용되는 기술들 중 하나로 에러 정정이 있다. 그러나, 일부 애플리케이션들은 다른 것들에 비하여 에러에 대한 내성이 훨씬 우수하기 때문에 에러 정정이 모든 컴퓨팅 시스템에 사용되는 것은 아니다. 에러 정정이 없는 경우, 에러 정정 코드(ECC)를 저장하기 위해 사용되는 메모리 시스템의 부분은 범용(데이터) 메모리로서 사용된다.

<3> 이러한 타입의 어프로치를 단일 집적 회로에 적용하는데 있어서, 특히 메모리가 불휘발성 메모리(NVM)인 경우 어려움들이 있었다.

<4> 따라서, 이러한 이슈들의 역효과를 극복하거나 저감하는 것으로서, 메모리를 ECC 저장용과 데이터 저장용으로 전환하기 위한 어프로치가 요구된다.

실 시 예

<10> 본 발명의 특징 및 이점 등은 첨부 도면과 함께 바람직한 실시예에 대한 이하의 상세한 설명으로부터 당업자들에게는 자명할 것이다.

<11> 일 양상에서, 메모리는 ECC 인에이블된 모드와 ECC 디스에이블된 모드를 갖는데, ECC 인에이블된 모드에서 ECC 저장용으로 지정된 메모리의 부분이 ECC 디스에이블된 모드에서는 범용 정보(데이터)를 저장하는데 사용된다. 이는 불휘발성 메모리(NVM)에서 대응 ECC를 갖는 메모리 부분과 데이터를 동일한 워드 라인 상에 둠으로써 달성된다. 이는 소거와 관련된 복잡성 때문에 NVM에서 특히 중요하다. ECC 인에이블된 모드에서 ECC와 대응 데이터는 현저한 레이아웃 및 성능 패널티를 회피하기 위해 함께 소거되고, 프로그램되고, 판독되어야 한다. 이러한 것은 ECC와 데이터를 동일 워드 라인 상에 둠으로써 최상으로 달성된다. 이러한 내용은 도면 및 이하 설명을 참조하면 보다 잘 이해가 될 것이다.

<12> 도 1에는 NVM 셀의 어레이(12), 어드레스 맵퍼(14), 에러 정정 코드(ECC) 인코더(16), ECC 디코더(18), 멀티플렉서(MUX; 20), 로우 디코더(21), 선택 로직(22), 복수의 감지 증폭기(24) 및 컬럼 디코더(26)를 구비하는 메모리(10)가 도시된다. 어레이(12)는 섹터(28), 섹터(30), 섹터(32) 및 섹터(34)를 포함한다. 섹터(28)는 서브

섹터들(36, 38, 40 및 42)을 포함한다. 섹터(34)는 서브 섹터들(60, 62, 64 및 66)을 포함한다. 메모리(10)는 또한 소스 드라이버들(90, 72, 74 및 76)을 포함하는 복수의 소스 드라이버(68)를 갖는다.

<13> 어드레스 맵퍼(14)는 어드레스 버스로부터 어드레스를 수신하기 위한 제1 입력, ECC 인에이블 신호를 수신하기 위한 제2 입력, 선택 로직(22)에 연결되는 제1 출력, 컬럼 디코더(26)에 연결되는 제2 출력 및 로우 디코더(21)에 연결되는 제3 출력을 갖는다. ECC 인코더(16)는 데이터 입력 버스로부터 데이터를 수신하기 위한 입력 및 컬럼 디코더(26)에 연결되는 출력을 갖는다. ECC 디코더(18)는 선택 로직(22)에 연결되는 제1 입력, 선택 로직(22)에 연결되는 제2 입력 및 멀티플렉서(20)에 연결되는 출력을 갖는다. 멀티플렉서(20)는 선택 로직(22)에 연결되는 제1 입력, ECC 디코더(18)DML 출력에 연결되는 제2 입력, ECC 인에이블 신호를 수신하기 위한 제3 입력 및 데이터 출력 버스에 데이터를 공급하기 위한 출력을 갖는다. 로우 디코더(21)는 어드레스 맵퍼(14)의 제3 출력에 연결되는 입력 및 섹터들(28-34)에 연결되는 출력을 갖는다. 복수의 감지 증폭기(24)에 연결되는 선택 로직(22)은 어드레스 맵퍼(14)의 제1 출력에 연결되는 제1 입력, ECC 디코더(18)의 제1 입력에 연결되는 제1 출력 및 ECC 디코더(18)의 제2 입력과 멀티플렉서(20)의 제1 입력에 연결되는 제2 출력을 갖는다. 복수의 감지 증폭기(24)는 컬럼 디코더(26)와 선택 로직(22) 사이에 연결된다. 어레이(12)와 복수의 감지 증폭기(24)에 연결되는 컬럼 디코더(26)는 어드레스 맵퍼(14)의 제2 출력에 연결되는 제1 입력, 데이터 입력 버스에 연결되는 제2 입력 및 ECC 인코더(16)DML 출력에 연결되는 제3 입력을 갖는다.

<14> 도 1에는 4개의 섹터들만이 실제로 도시되었지만, 본 예에서는, 메모리(10)에 대해 총 64개의 섹터들이 존재한다. 복수의 소스 드라이버(SD; 68)는 섹터들(28-34)에 연결된다. 소스 드라이버(70)은 섹터(28)에 연결된다. 소스 드라이버(72)는 섹터(30)에 연결된다. 소스 드라이버(74)는 섹터(32)에 연결되고, 소스 드라이버(76)는 섹터(34)에 연결된다. 섹터들(28-34)은 각각 메모리 셀의 8개 로우를 포함하며 동일하게 구성된다.

<15> 도 2에는 섹터들(28-34)의 예로서 로우 디코더(21)에 연결되는 섹터(28)가 도시된다. 섹터(28)는, 이미 언급한 바와 같이, 서브 섹터들(36, 38, 40 및 42)을 포함한다. 섹터(28)는 또한 워드라인들(94, 96, 98, 100, 102, 104, 106 및 108)을 각각 갖는 로우들(78, 80, 82, 84, 86,88, 90 및 92)을 포함한다. 로우들(78-92) 각각은 서브 섹터(36)로부터의 부분, 서브 섹터(38)로부터의 부분, 서브 섹터(40)로부터의 부분 및 서브 섹터(42)로부터의 부분을 포함한다. 예를 들어, 로우(78)는 서브 섹터(36)로부터의 부분(110), 서브 섹터(38)로부터의 부분(112), 서브 섹터(40)로부터의 부분(114) 및 서브 섹터(42)로부터의 부분(116)을 포함한다. 따라서, 이러한 부분들(110, 112, 114 및 116) 각각은 워드 라인(94)의 부분을 포함한다. 본 예에서, 이 부분들(110 및 112) 각각은 워드 라인(94)에 연결되는 256개의 셀들을 포함하며, 각 메모리 셀은 1 비트의 정보를 저장한다. 이 부분들(114 및 116) 각각은 워드 라인(94)에 연결되는 128개의 메모리 셀들을 포함한다. 이와 유사하게, 로우(80)는 각각 서브섹션(36, 38, 40 및 42)의 일부이며 각각 256개, 256개, 128개 및 128개의 메모리 셀을 갖는 부분들(120, 122, 124 및 126)을 포함하고, 이들은 워드 라인(96)에 연결된다. 동일한 방식으로, 로우(82)는 각각 서브섹션(36, 38, 40 및 42)의 일부이며 각각 256개, 256개, 128개 및 128개의 메모리 셀을 갖는 부분들(130, 132, 134 및 136)을 포함하고, 이들은 워드 라인(98)에 연결된다. 나머지 로우들(84-92)도 이와 유사하게 로우들(78, 80 및 82)에 대해서와 동일한 방식으로 각각 워드 라인(100-108)에 연결된다.

<16> 도 3에는 메모리 셀들(138, 140, 142, 144, 146 및 148)이 연결되어 있는 워드 라인(94)을 갖는 로우(78)과 메모리 셀들(162, 164, 166, 168, 170 및 172)이 연결되어 있는 워드 라인(96)을 갖는 로우(80)이 도시되어 있다. 또한, 메모리 셀들(138, 140, 142, 144, 146 및 146) 및 메모리 셀들(162, 164, 166, 168, 170 및 172)에 각각 연결되어 있는 비트 라인들(150, 152, 154, 156, 158 및 160)이 도시되어 있다. 종래 형태의 워드 라인들(94 및 96)은 비트 라인들(150-160)에 직교한다. 동일 비트 라인에 연결되어 있는 메모리 셀들은 컬럼을 형성한다. 따라서, 예를 들어, 메모리 셀들(138 및 162)은 동일 컬럼에 있고 부분(110)의 일부이다. 메모리 셀들(166 및 142)는 동일 컬럼에 있고 부분(112)의 일부이다. 메모리 셀들(146 및 170은 동일 컬럼에 있고 부분(114)의 일부이다. 이와 유사하게, 메모리 셀들(148 및 172)는 동일 컬럼에 있고 부분(116)의 일부이다.

<17> 또한, 도 3에는 로우들(78 및 80)의 모든 메모리 셀들에 연결되는 소스 라인(174)에 연결되는 소스 드라이버(70)가 도시되어 있다. 또한, 이 소스 라인(174)은 로우들(82, 84, 86, 88, 90 및 92)의 메모리 셀들에 연결되는 다른 소스라인들에 쇼트된다. 섹터(28)의 모든 메모리 셀들은 소스 드라이버(70)에 공동으로 연결된다.

<18> 동작시 메모리(10)는 ECC의 사용과 관련한 2가지 동작 모드; 즉, ECC 인에이블된 모드와 ECC 디스에이블된 모드를 갖는다. ECC 인에이블된 모드에서의 판독에 대해서는, 워드 라인을 인에이블함으로써 로우 디코더(21)에 의해 로우가 선택되고, 선택된 로우의 데이터 바이트 및 대응 ECC 정보는 컬럼 디코더(26) 및 선택 로직(22)에 의해 ECC 디코더(18)에 연결된다. 그리고, 멀티플레서(20)는 ECC 디코더(18)로부터 수신된 출력을 데이터 출력

버스에 연결한다. 어드레스 맵퍼(14)는 어드레스의 로우 어드레스 부분을 로우 디코더(21)에 연결하고 어드레스의 컬럼 부분을 컬럼 디코더(26)와 선택 로직(22)에 연결한다. 감지 증폭기들(24)은 총 24개의 감지 증폭기를 포함한다. 8개의 센스 증폭기들은 서브 섹터들(36, 44, 52 및 60)을 포함하는 서브 섹터들의 그룹으로부터의 메모리 셀들의 논리 상태를 감지하기 위한 것이다. 8개의 센스 증폭기들은 서브 섹터들(38, 46, 54 및 62)을 포함하는 서브 섹터들의 그룹으로부터의 메모리 셀들의 논리 상태를 감지하기 위한 것이다. 4개의 센스 증폭기들은 서브 섹터들(40, 48, 56 및 64)을 포함하는 서브 섹터들의 그룹으로부터의 메모리 셀들의 논리 상태를 검출하기 위한 것이다. 4개의 센스 증폭기들은 서브 섹터들(42, 50, 58 및 66)을 포함하는 서브 섹터들의 그룹으로부터의 메모리 셀들의 논리 상태를 검출하기 위한 것이다.

<19> 예를 들어, 서브 섹터(36)로부터의 선택을 사용하여, 로우 디코더(21)는 도 3에 도시된 워드 라인(94) 등의 워드 라인을 인에이블함으로써 섹터(28)로부터 로우를 선택한다. 컬럼 디코더(26)는 서브 섹터들(36, 44, 52 및 60)을 가로지르는 선택된 8개의 비트 라인들을 감지 증폭기들(24)에 연결한다. 이에 대응하는 8개의 감지 증폭기들이 인에이블되어 선택된 워드 라인 및 비트 라인들에 연결된 메모리 셀들의 논리 상태를 검출한다. 또한, 서브 섹터들(40, 48, 56 및 64)을 가로지르는 4개의 비트라인들은 감지 증폭기들(24) 중 4개의 감지 증폭기들에 연결된다. 이와 유사하게, 선택된 비트 라인들에 연결된 4개의 감지 증폭기들이 인에이블되어 선택된 워드 라인들 및 4개의 선택된 비트 라인들에 연결된 4개의 메모리 셀들의 논리 상태를 검출한다. 선택 로직(22)은 인에이블된 12개의 감지 증폭기들의 출력을 ECC 디코더(18)에 연결하는 한편 디스에이블된 감지 증폭기들을 ECC 디코더(18)로부터 분리한다. ECC 인에이블된 모드에서, 멀티플렉서(20)는 ECC 디코더(18)의 출력을 데이터 출력 버스에 연결한다.

<20> 따라서, 8개의 데이터 비트를 공급하는 메모리 셀은 이에 대응하는 4개의 ECC 정보 비트를 공급하는 메모리 셀과 동일한 워드 라인에 접속된다. 또한, 선택된 섹터들로부터의 데이터 서브 섹터의 각각으로부터는 8 비트의 데이터가 존재한다. 소거 중, 소거 섹터는 소거될 섹터의 모든 워드 라인을 선택하는 로우 디코더(21)에 의해 선택된다. 따라서, 예를 들어, 섹터(28)가 소거될 것이면, 로우 디코더(21)는 어드레스 맵퍼(14)에 응답하여 섹터(28)으 모든 워드라인을 인에이블한다. 섹터의 모든 메모리 셀들이 동시에 소거되기 때문에, 데이터 및 대응 ECC 정보도 이와 유사하게 동시에 소거된다. 대응 ECC 정보용 보다는 데이터용 워드 라인을 다르게 하는 것을 회피하는 것이 유용한데, 그 이유는 이렇게 하는 것이 회로 및 레이아웃 모두가 판독, 프로그래밍 및 소거를 달성하도록 하기 때문이다.

<21> ECC 인에이블 모드에서의 프로그래밍을 위해, 데이터는 데이터 입력 버스로부터 ECC 인코더(16)로 간다. ECC 인코더(16)는 데이터 버스 상의 데이터에 기초하는 ECC 정보를 컬럼 디코더(26)에 공급한다. 로우 디코더(21)는 선택된 로우의 워드 라인을 인에이블하여 로우를 선택하고, 이는 대응 소스 드라이버가 활성화되어 프로그래밍 전압을 공급하도록 한다. 컬럼 디코더(26)는 메모리의 데이터 부분 및 ECC 부분에 대해 선택된 비트 라인 상에서 요구되는 프로그래밍 전류를 싱크한다. 예를 들어, 섹터(28)의 서브 섹터(36)에 데이터를 기입하는 경우, 섹터(28)의 섹터가 선택되고, 서브 섹터(36)를 통과하는 8개의 비트 라인은 컬럼 디코더(26)에 의해 구동될 때 선택된 비트 라인 상의 데이터에 대한 프로그램 레벨을 전달하며, 서브 섹터(40)를 통과하는 4개의 비트 라인은 컬럼 디코더(26)에 의해 구동될 때 ECC 정보에 대한 프로그램 레벨을 전달한다. 따라서, 선택된 데이터 위치 및 ECC 정보 위치 모두를 프로그래밍하는 데 동일한 컬럼 디코더와 로우 디코더가 사용된다. 이는 과도한 레이아웃 및 회로의 복잡성을 회피한다.

<22> ECC 인에이블 모드에서 ECC 정보용으로 사용되는 8개의 비트는 ECC 디스에이블 모드에서의 데이터용으로 사용될 수 있다. 예를 들어, 서브 섹터들(40, 42, 48, 50, 56, 58, 64 및 66)의 메모리 셀이 데이터용으로 사용될 수 있다. 이들 서브 섹터에는 8개의 센스 증폭기가 수용되어, 주어진 워드 라인 액세스로부터의 전체 바이트는 ECC 인에이블 모드에서 ECC 정보용으로 사용되었던 메모리 부분으로부터 사용될 수 있다. 이는 어드레스 맵퍼를 주어진 워드 라인에 대해 다른 어드레스를 인식하도록 구성함으로써 달성된다. 따라서, 예를 들어, 어드레스 버스 상의 특정 어드레스는 선택되는 메모리(10)의 다른 로우가 될 것이다. ECC 인에이블 모드 동안 워드 라인(96)을 선택하는 어드레스는 ECC 디스에이블 모드 동안 선택되는 다른 워드 라인이 될 것이다. 사실, 주어진 워드 라인 상에는 2 바이트용 대신 3 바이트용 디코더가 존재한다. 다른 차이점은, 메모리의 ECC 부분을 통과하는 비트 라인들에 연결되는 8개의 센스 증폭기 모두가, ECC 인에이블 모드 동안 메모리의 그 부분이 선택될 때 인에이블된다는 점이다. 소거 동작은 ECC 인에이블 모드와 ECC 디스에이블 모드 모두에 대해 동일하다.

<23> 예를 들어 서브 섹터(40 및 42)로부터의 바이트 선택을 사용하여, 어드레스 맵퍼(14)는 서브 섹터(40 및 42)를 통과하는 워드 라인이 인에이블되게 하는 로우 디코더(21)에 어드레스를 공급한다. 이와 유사하게, 컬럼 디코더(26)는 서브 섹터(40 및 42)를 통과하는 선택된 비트 라인들을 ECC 정보 비트용 8개의 센스 증폭기에 연결한

다. ECC 정보 비트용 8개의 센스 증폭기는 모두 인에이블되어, 선택된 워드 라인 및 8개의 선택된 비트 라인에 접속된 메모리 셀들의 논리 상태를 검출한다. 선택 로직은 이들 8개의 센스 증폭기의 출력을 멀티플렉서(20)에 전달한다. 그러면, 멀티플렉서(20)는 센스 증폭기의 출력을 데이터 출력 버스에 공급한다.

<24> 프로그램 동작을 위해, 컬럼 디코더(26)는 서브 섹터(40 및 42)를 통과하는 8개의 선택된 비트에 적절한 프로그램 레벨을 공급한다. 선택 로직(22)은 ECC 인에이블 모드에서 선택되는 단지 4개인 비트 라인 대신에 8개의 비트 라인을 선택하는데 필요한 신호들을 컬럼 디코더(26)에 공급한다. 이러한 어드레스 스킴의 리맵핑은, 데이터 및 대응 ECC 부분을 동일 로우에 두는 레이아웃 및 회로 간편성을 유지하면서, 메모리의 ECC 부분을 데이터 메모리로서 유효하게 사용하게 한다.

<25> 도 4에는 ECC 인에이블 모드에 대한 메모리(10)의 메모리 맵이 도시된다. 이 경우, 대응 ECC 서브 섹터(40 및 42)를 각각 갖는 서브 섹터(36 및 38)를 포함하는 제1 섹터는, 메모리 스페이스 0x0000 내지 0x01FF를 차지한다. 제2 섹터는 메모리 스페이스 0x0200 내지0x03FF를 차지한다. 본 예에서, 총 메모리 스페이스는 0x7FFF까지 확장된다.

<26> 도 5에는 ECC 디스에이블 모드에 대한 메모리(10)의 메모리 맵이 도시된다. 데이터용 서브 섹터들(36, 38, 40 및 42)을 포함하는 제1 섹터는 메모리 스페이스 0x0000 내지0x02FF를 차지한다. 이는 ECC 디스에이블 모드에서 데이터용 메모리 스페이스의 증가를 보여줄 뿐만 아니리, 해당 섹터들에 대한 메모리 스페이스의 리맵핑도 보여주는 것이다. 예를 들어, 메모리 스페이스 0x0200 내지 0x02FF는 ECC 디스에이블 모드용 서브 섹터들(36, 38, 40 및 42)를 포함하는 제1 섹터의 로우에 있지만, ECC 인에이블의 경우 이들 동일한 어드레스는 제2 섹터에 있게 되며 그 때문에 다른 로우에 있게 된다. ECC 디스에이블의 경우 제2 섹터는 메모리 스페이스가 0x0300 내지 0x05FF로 확장된다. ECC 디스에이블 모드에서의 메모리(10)는 궁극적으로 0xBFFF까지 확장되는데, 이는 ECC 인에이블의 경우에 비해 50% 증가된 것이다.

<27> 당업자들에게는 설명의 목적으로 본 명세서에서 선택된 실시예들에 대한 다양한 변경 및 변형이 용이할 것이다. 예를 들어, 프로그래밍을 위해 소스 드라이버를 사용한 NVM이 검토되었지만, NVM을 사용하는 특별한 이점이 없다면, 다른 메모리가 사용될 가능성을 배제할 수 없다. 본 실시예에서는, 특정 수의 메모리 셀, 워드 라인 및 비트 라인이 설명되었지만, 이는 예로서 주어진 것으로 배치가 다른 다른 사이즈의 메모리가 사용되어도 된다. 메모리 맵핑의 상세는 예로서 주어진 특정 사이즈의 다른 예이며, 이와는 다른 사이즈가 사용되어도 된다. 본 발명의 사상을 일탈하지 않는 범위에서, 이러한 변경 및 변형은 이하 특허청구범위의 공정한 해석에 의해서만 평가되는 본 발명의 범위에 포함되는 것으로서 간주된다.

도면의 간단한 설명

<5> 도 1은 본 발명의 일 실시예에 따른 메모리의 블럭도이다.

<6> 도 2는 도 1의 메모리의 일부의 블럭도이다.

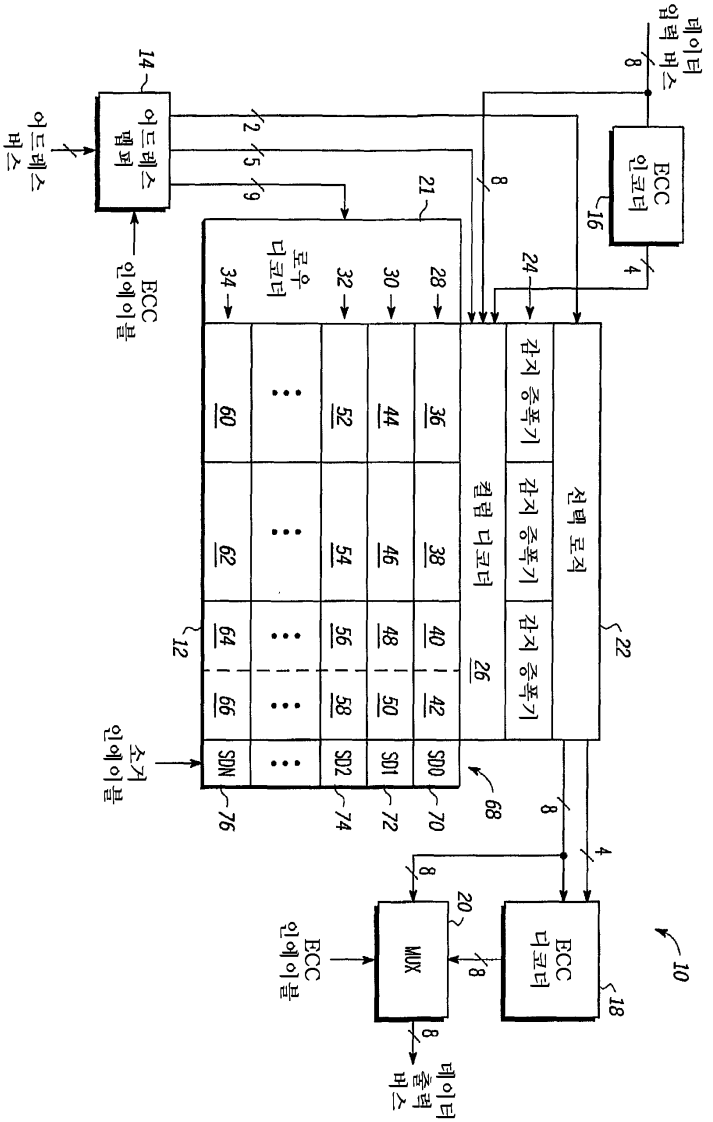
<7> 도 3은 도 1의 메모리의 도 2 부분의 보다 상세한 부분을 나타내는 블럭도이다.

<8> 도 4는 ECC 인에이블된 모드에서의 도 1의 메모리의 메모리 맵이다.

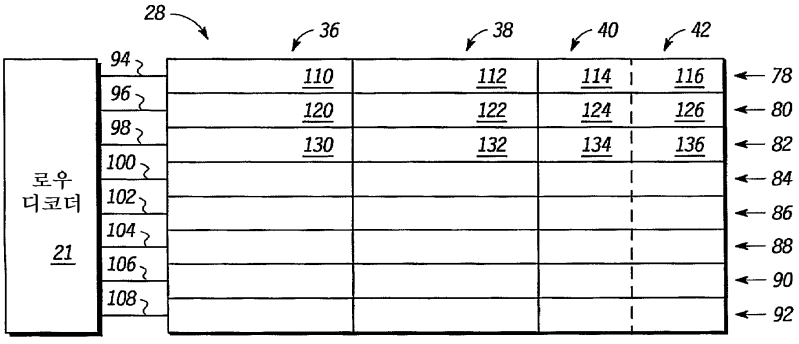
<9> 도 5는 ECC 디스에이블된 모드에서의 도 1의 메모리의 메모리 맵이다.

도면

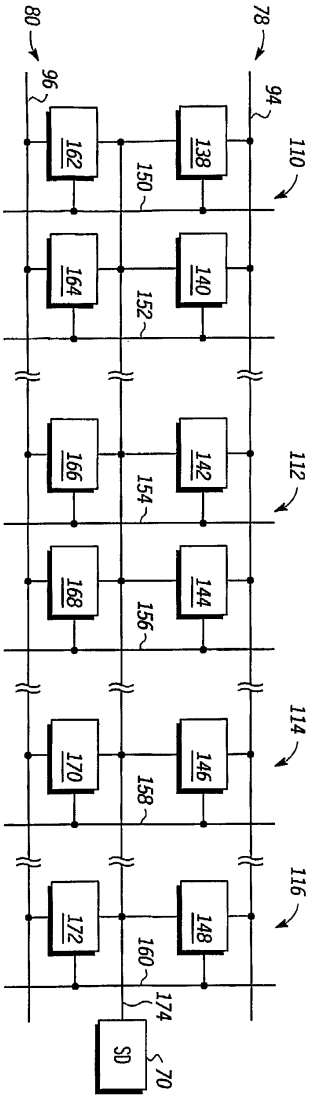
도면1


데이터 입력 버스
어드레스 버스
어드레스 맵퍼
ECC 인코더
ECC 인에이블
로우 디코더
감지 증폭기
감지 증폭기
감지 증폭기
컬럼 디코더
선택 로직
소거 인에이블
MUX
ECC 인에이블
ECC 디코더
데이터 출력 버스

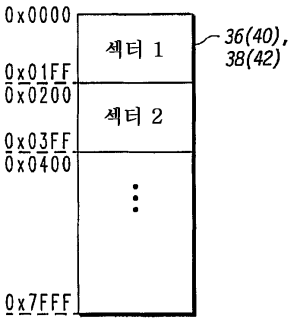
도면2


로우 디코더 21

도면3

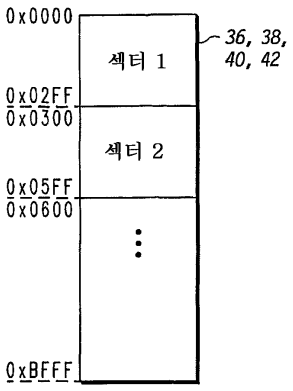


도면4



ECC 인에이블된 모드

도면5



ECC 디스에이블된 모드