



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월11일
 (11) 등록번호 10-0935934
 (24) 등록일자 2009년12월30일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2003-0016288
 (22) 출원일자 2003년03월15일
 심사청구일자 2008년03월10일
 (65) 공개번호 10-2004-0081665
 (43) 공개일자 2004년09월22일
 (56) 선행기술조사문헌
 JP14093307 A
 JP15016915 A
 KR100438806 B1
 JP2003016915 A

전체 청구항 수 : 총 23 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

유인경

경기도수원시팔달구영통동두산아파트805동505호

문창욱

서울특별시노원구공릉2동106

번지공릉효성화운트빌302동1402호

(뒷면에 계속)

(74) 대리인

리앤목특허법인, 이해영

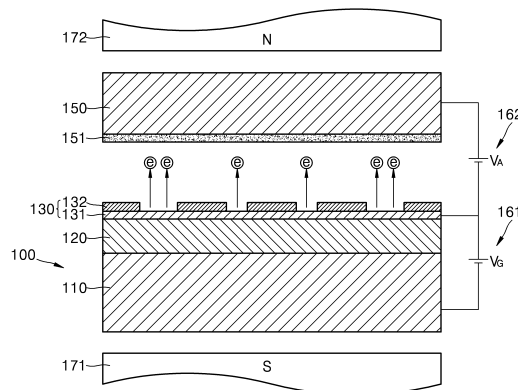
심사관 : 설관식

(54) 전자빔 리소그래피 시스템의 에미터 및 그 제조방법

(57) 요약

전자빔 리소그래피 시스템의 에미터 및 그 제조방법에 관하여 개시된다. 개시된 전자빔 에미터는, 기판과, 기판 위에 형성된 절연층과, 절연층 위에 일정한 두께로 형성된 베이스층과 베이스층 위에 소정의 패턴으로 형성된 전자빔 차단층을 포함하는 게이트 전극을 구비한다. 그리고, 상기 에미터의 제조방법은, 기판을 준비하는 단계와, 기판 상에 절연층을 형성하는 단계와, 절연층 위에 도전성 금속을 일정한 두께로 증착하여 게이트 전극의 베이스층을 형성하는 단계와, 베이스층 위에 양극산화가 가능한 금속을 소정 두께로 증착하여 게이트 전극의 전자빔 차단층을 형성하는 단계와, 전자빔 차단층을 양극산화에 의해 소정의 패턴으로 패터닝하는 단계를 구비한다. 이와 같은 본 발명에 의하면, 에미터 절연층 내부에 균일한 전기장을 확보할 수 있으며, 에미터의 제조공정이 보다 단순화될 수 있다.

대표도 - 도4



(72) 발명자

정수환

경기도수원시팔달구영통동신나무실주공5
단지아파트509동401호

김동욱

서울특별시서초구양재1동10-17번지201호

특허청구의 범위

청구항 1

기관;

상기 기관 위에 형성된 절연층; 및

상기 절연층 위에 일정한 두께로 형성된 베이스층과, 상기 베이스층 위에 소정의 패턴으로 형성된 전자빔 차단층을 포함하는 게이트 전극;을 구비하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 2

제 1항에 있어서,

상기 절연층은 실리콘 산화막으로 이루어진 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 3

제 1항에 있어서,

상기 기관과 상기 절연층 사이에 형성된 하부 전극을 더 구비하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 4

제 3항에 있어서,

상기 절연층은 양극산화된 금속으로 이루어진 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 5

제 1항 또는 제 3항에 있어서,

상기 게이트 전극의 베이스층은 도전성 금속으로 이루어지며, 상기 전자빔 차단층은 양극산화가 가능한 금속으로 이루어진 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 6

제 5항에 있어서,

상기 베이스층은 금(Au), 백금(Pt), 알루미늄(Al), 티타늄(Ti) 및 탄탈륨(Ta)으로 이루어진 군 중에서 선택된 어느 하나의 금속으로 이루어진 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 7

제 5항에 있어서,

상기 전자빔 차단층은 티타늄(Ti), 알루미늄(Al) 및 루테튬(Ru)으로 이루어진 군 중에서 선택된 어느 하나의 금속으로 이루어진 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 8

제 1항 또는 제 3항에 있어서,

상기 게이트 전극의 베이스층과 전자빔 차단층은 실리콘으로 이루어진 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터.

청구항 9

(가) 기관을 준비하는 단계;

(나) 상기 기관 상에 절연층을 형성하는 단계;

(다) 상기 절연층 위에 도전성 금속을 일정한 두께로 증착하여 게이트 전극의 베이스층을 형성하는 단계;

(라) 상기 베이스층 위에 양극산화가 가능한 금속을 소정 두께로 증착하여 상기 게이트 전극의 전자빔 차단층을 형성하는 단계; 및

(마) 상기 전자빔 차단층을 양극산화에 의해 소정의 패턴으로 패터닝하는 단계;를 구비하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 10

제 9항에 있어서,

상기 기판은 실리콘 웨이퍼인 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 11

제 10항에 있어서,

상기 (나) 단계에서, 상기 절연층은 상기 실리콘 웨이퍼의 표면을 열산화시켜 형성된 실리콘 산화막으로 이루어지는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 12

제 9항에 있어서,

상기 (나) 단계 전에, 상기 기판 상에 하부 전극을 형성하는 단계를 더 구비하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 13

제 12항에 있어서,

상기 (나) 단계에서, 상기 하부 전극 위에 양극산화가 가능한 금속을 증착한 후, 상기 금속을 양극산화시켜 상기 절연층을 형성하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 14

제 9항에 있어서,

상기 (다) 단계에서, 상기 도전성 금속은 금(Au), 백금(Pt), 알루미늄(Al), 티타늄(Ti) 및 탄탈륨(Ta)으로 이루어진 군 중에서 선택된 어느 하나의 금속인 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 15

제 9항에 있어서,

상기 (라) 단계에서, 상기 양극산화가 가능한 금속은 티타늄(Ti), 알루미늄(Al) 및 루테튬(Ru)으로 이루어진 군 중에서 선택된 어느 하나의 금속인 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 16

제 9항에 있어서, 상기 (마) 단계는,

상기 전자빔 차단층을 SPM 리소그래피에 의해 소정의 패턴으로 양극산화시키는 단계와;

상기 전자빔 차단층 중 양극산화된 부분을 식각하여 제거하는 단계;를 포함하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 17

제 9항에 있어서, 상기 (마) 단계는,

상기 전자빔 차단층의 표면에 레지스트를 도포하는 단계와;

상기 레지스트를 소정의 패턴으로 패터닝하는 단계와;

상기 전자빔 차단층 중 상기 레지스트의 패터닝에 의해 노출된 부분을 양극산화시키는 단계와;

상기 전자빔 차단층 중 양극산화된 부분을 식각하여 제거하고, 상기 레지스트를 스트립하는 단계;를 포함하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 18

(가) 기판을 준비하는 단계;

(나) 상기 기판 상에 절연층을 형성하는 단계;

(다) 상기 절연층 위에 제1 실리콘층을 일정한 두께로 증착하는 단계;

(라) 상기 제1 실리콘층을 소정의 패턴으로 패터닝하는 단계; 및

(마) 상기 (라) 단계에서 노출된 상기 절연층과 상기 제1 실리콘층 위에 제2 실리콘층을 증착함으로써, 상기 제1 및 제2 실리콘층으로 이루어진 게이트 전극을 형성하는 단계;를 구비하며,

상기 제1 실리콘층과 상기 제2실리콘층 중 상기 절연층 위에 증착된 부분은 상기 게이트 전극의 베이스층을 구성하고, 상기 제2 실리콘층 중 상기 제1 실리콘층 위에 증착된 부분은 상기 게이트 전극의 전자빔 차단층을 구성하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 19

제 18항에 있어서,

상기 기판은 실리콘 웨이퍼인 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 20

제 19항에 있어서,

상기 (나) 단계에서, 상기 절연층은 상기 실리콘 웨이퍼의 표면을 열산화시켜 형성된 실리콘 산화막으로 이루어지는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 21

제 18항에 있어서,

상기 (나) 단계 전에, 상기 기판 상에 하부 전극을 형성하는 단계를 더 구비하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 22

제 21항에 있어서,

상기 (나) 단계에서, 상기 하부 전극 위에 양극산화가 가능한 금속을 증착한 후, 상기 금속을 양극산화시켜 상기 절연층을 형성하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

청구항 23

제 18항에 있어서, 상기 (라) 단계는,

상기 제1 실리콘층의 표면에 레지스트를 도포하는 단계와;

상기 레지스트를 소정의 패턴으로 패터닝하는 단계와;

상기 레지스트를 식각 마스크로 하여 상기 제1 실리콘층을 식각하는 단계;를 포함하는 것을 특징으로 하는 전자빔 리소그래피 시스템의 에미터 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 전자빔 리소그래피 시스템에 관한 것으로, 보다 상세하게는 에미터 절연층 내부에 균일한 전기장을 확보할 수 있으며 그 제조공정을 단순화할 수 있는 구조를 가진 전자빔 에미터 및 그 제조방법에 관한 것이다.
- <18> 반도체 제조 공정에 있어서는 기판의 표면을 원하는 패턴으로 가공하기 위하여 여러가지 방식의 리소그래피가 이용된다. 종래에는 광, 예컨대 자외선을 사용하는 광 리소그래피(optical lithography)가 일반적으로 이용되어 왔으나, 광 리소그래피로 구현할 수 있는 선폭에는 한계가 있다. 따라서, 최근에는 나노 단위의 선폭을 가진 보다 미세하고 집적된 반도체 집적 회로를 구현할 수 있는 차세대 리소그래피(NGL; Next Generation Lithography)가 제안되고 있다. 이러한 차세대 리소그래피로는 전자빔 리소그래피(EPL; Electron-beam Projection Lithography), 이온 리소그래피(IPL; Ion Projection Lithography), 극자외선 리소그래피(EUVL; Extreme Ultraviolet Lithography), X선 리소그래피(PXL; Proximity X-ray Lithography) 등이 있다.
- <19> 상기 차세대 리소그래피 중에서 전자빔 리소그래피 시스템은, 에미터로부터 방출된 전자빔을 사용하여 처리될 기판 상에 도포된 전자 레지스트(electron-resist)를 원하는 패턴으로 패터닝하는 시스템으로서, 대면적의 전자빔 에미터의 구현이 용이하고 장치의 구성이 비교적 간단하여 현재 많이 이용되고 있다. 이러한 전자빔 리소그래피 시스템에는 다양한 구조를 가진 전자빔 에미터가 채용되는데, 그 두 가지 예가 도 1과 도 2에 도시되어 있다.
- <20> 먼저 도 1을 참조하면, 전자빔 리소그래피 시스템에 채용된 종래의 MIS(Metal-Insulator-Semiconductor)형 에미터(10)는, 실리콘 기판(11) 상에 절연층(12)과 게이트 전극(13)이 순차 적층된 구조를 가지고 있다. 상기 절연층(12)은 실리콘 산화막으로 이루어지며, 상기 게이트 전극(13)은 금(Au)과 같은 도전성 금속으로 이루어진다.
- <21> 도 2를 참조하면, 종래의 MIM(Metal-Insulator-Metal)형 에미터(20)는, 실리콘 기판(21) 상에 하부 전극(22)과 절연층(23)과 게이트 전극(24)이 순차 적층된 구조를 가지고 있다. 상기 하부 전극(22)은 일반적으로 알루미늄(Al)과 네오디뮴(Nd) 합금으로 이루어지고, 상기 절연층(23)은 양극산화 알루미늄(anodized alumina)로 이루어지며, 상기 게이트 전극(24)은 금(Au)과 같은 도전성 금속으로 이루어진다.
- <22> 상기한 종래의 MIS형 에미터(10)와 MIM형 에미터(20) 각각의 절연층(12, 23)은 소정의 패턴으로 패터닝되어 두께가 얇은 부분과 두께가 두꺼운 부분으로 구성되어 있다. 이와 같은 구조를 가진 종래의 에미터(10, 20)에 있어서는, 절연층(12, 23)의 두께가 얇은 부분을 통해 전자가 방출된다.
- <23> 도 3a 내지 도 3d는 도 1에 도시된 종래의 MIS형 에미터의 제조방법을 단계적으로 설명하기 위한 단면도들이다.
- <24> 먼저 도 3a를 참조하면, 실리콘 기판(11)의 표면을 열산화시켜 그 표면에 실리콘 산화막(12a)을 소정 두께로 형성한다. 이어서, 도 3b에 도시된 바와 같이 실리콘 산화막(12a)을 원하는 패턴으로 패터닝한 다음, 도 3c에 도시된 바와 같이 다시 실리콘 산화막(12b)을 형성한다. 그러면, 실리콘 기판(11)의 표면에는 소정 패턴의 단차를 가진 절연층(12)이 형성된다. 마지막으로, 도 3d에 도시된 바와 같이 절연층(12)의 전 표면에 도전성 금속, 예컨대 금(Au)을 소정 두께로 증착시켜 게이트 전극(13)을 형성한다. 이러한 단계들을 거치게 되면, 전술한 바와 같은 구조를 가진 MIS형 에미터(10)가 완성된다.
- <25> 한편, 도 2에 도시된 종래의 MIM형 에미터(20)도 위에서 설명된 제조방법과 유사한 방법에 의해 제조된다.
- <26> 그런데, 종래의 에미터(10, 20)를 제조하기 위해서는, 상기한 바와 같이 두 번의 산화막 형성 단계와 한 번의 산화막 패터닝 단계를 거쳐 절연층(12, 23)을 형성하고, 단차를 가진 절연층(12, 23) 위에 게이트 전극(13, 24)을 형성하는 복잡하고 어려운 공정을 거쳐야 하는 불편한 점이 있다. 그리고, 종래의 에미터(10, 20)에 있어서는, 절연층(12, 23)의 단차 구조에 의해 절연층(12, 23) 내부에 균일한 전기장을 확보하기가 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <27> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 창출된 것으로서, 특히 에미터 절연층 내부에 균

일한 전기장을 확보할 수 있으며 그 제조공정을 단순화할 수 있는 구조를 가진 전자빔 리소그래피 시스템의 에미터 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <28> 상기한 목적을 달성하기 위하여 본 발명은,
- <29> 기관;
- <30> 상기 기관 위에 형성된 절연층; 및
- <31> 상기 절연층 위에 일정한 두께로 형성된 베이스층과, 상기 베이스층 위에 소정의 패턴으로 형성된 전자빔 차단층을 포함하는 게이트 전극;을 구비하는 전자빔 리소그래피 시스템의 에미터를 제공한다.
- <32> 여기에서, 상기 절연층은 실리콘 산화막으로 이루어질 수 있다.
- <33> 그리고, 본 발명에 따른 에미터는 상기 기관과 상기 절연층 사이에 형성되는 하부 전극을 더 구비할 수 있으며, 이 경우에 상기 절연층은 양극산화된 금속으로 이루어질 수 있다.
- <34> 상기 게이트 전극의 베이스층은 도전성 금속, 예컨대 금(Au), 백금(Pt), 알루미늄(Al), 티타늄(Ti) 또는 탄탈륨(Ta)으로 이루어지며, 상기 전자빔 차단층은 양극산화 가능한 금속, 예컨대 티타늄(Ti), 알루미늄(Al) 또는 루테튬(Ru)으로 이루어질 수 있다.
- <35> 한편, 상기 게이트 전극의 베이스층과 전자빔 차단층은 실리콘으로도 이루어질 수 있다.
- <36> 그리고, 본 발명은 상기한 구조를 가진 전자빔 에미터의 제조방법을 제공한다.
- <37> 상기 전자빔 에미터의 제조방법은,
- <38> (가) 기관을 준비하는 단계;
- <39> (나) 상기 기관 상에 절연층을 형성하는 단계;
- <40> (다) 상기 절연층 위에 도전성 금속을 일정한 두께로 증착하여 게이트 전극의 베이스층을 형성하는 단계;
- <41> (라) 상기 베이스층 위에 양극산화 가능한 금속을 소정 두께로 증착하여 상기 게이트 전극의 전자빔 차단층을 형성하는 단계; 및
- <42> (마) 상기 전자빔 차단층을 양극산화에 의해 소정의 패턴으로 패터닝하는 단계;를 구비한다.
- <43> 여기에서, 상기 기관은 실리콘 웨이퍼인 것이 바람직하고, 상기 절연층은 상기 실리콘 웨이퍼의 표면을 열산화시켜 형성된 실리콘 산화막으로 이루어지는 것이 바람직하다.
- <44> 그리고, 상기 (나) 단계 전에, 상기 기관 상에 하부 전극을 형성하는 단계를 더 구비할 수 있다. 이 경우, 상기 하부 전극 위에 양극산화 가능한 금속을 증착한 후, 상기 금속을 양극산화시켜 상기 절연층을 형성하는 것이 바람직하다.
- <45> 상기 (마) 단계는, 상기 전자빔 차단층을 SPM 리소그래피에 의해 소정의 패턴으로 양극산화시키는 단계와; 상기 전자빔 차단층 중 양극산화된 부분을 식각하여 제거하는 단계;를 포함하는 것이 바람직하다.
- <46> 한편, 상기 (마) 단계는, 상기 전자빔 차단층의 표면에 레지스트를 도포하는 단계와; 상기 레지스트를 소정의 패턴으로 패터닝하는 단계와; 상기 전자빔 차단층 중 상기 레지스트의 패터닝에 의해 노출된 부분을 양극산화시키는 단계와; 상기 전자빔 차단층 중 양극산화된 부분을 식각하여 제거하고, 상기 레지스트를 스트립하는 단계;를 포함하는 것도 바람직하다.
- <47> 한편, 상기 전자빔 에미터의 제조방법은,
- <48> (가) 기관을 준비하는 단계;
- <49> (나) 상기 기관 상에 절연층을 형성하는 단계;
- <50> (다) 상기 절연층 위에 제1 실리콘층을 일정한 두께로 증착하는 단계;
- <51> (라) 상기 제1 실리콘층을 소정의 패턴으로 패터닝하는 단계; 및

- <52> (마) 상기 (라) 단계에서 노출된 상기 절연층과 상기 제1 실리콘층 위에 제2 실리콘층을 증착함으로써, 상기 제1 및 제2 실리콘층으로 이루어진 게이트 전극을 형성하는 단계;를 구비할 수 있다.
- <53> 여기에서, 상기 (라) 단계는, 상기 제1 실리콘층의 표면에 레지스트를 도포하는 단계와; 상기 레지스트를 소정의 패턴으로 패터닝하는 단계와; 상기 레지스트를 식각 마스크로 하여 상기 제1 실리콘층을 식각하는 단계;를 포함하는 것이 바람직하다.
- <54> 이하, 첨부된 도면을 참조하면서 본 발명에 따른 전자빔 리소그래피 시스템의 에미터의 바람직한 실시예들을 상세히 설명한다.
- <55> 도 4는 본 발명의 제1 실시예에 따른 MIS형 에미터가 채용된 전자빔 리소그래피 시스템을 개략적으로 도시한 도면이다.
- <56> 도 4를 참조하면, 전자빔 리소그래피 시스템은, 처리될 기판(150)의 표면에 도포된 전자 레지스트(151)를 향해 전자빔을 방출하는 MIS형 에미터(100)와, 상기 에미터(100)와 처리 기판(150) 사이에 전기장을 형성하기 위한 전원(161, 162)과, 상기 에미터(100)와 처리 기판(150) 사이에 자기장을 형성하기 위하여 상기 에미터(100)와 처리 기판(150)의 바깥쪽에 배치된 자석(171, 172)을 포함하여 구성된다. 상기 자석(171, 172)으로는 영구자석 또는 전자석이 사용될 수 있다.
- <57> 본 발명에 따른 상기 MIS형 에미터(100)는, 기판(110)과, 상기 기판(110) 위에 형성된 절연층(120)과, 상기 절연층(120) 위에 형성된 게이트 전극(130)을 구비한다. 그리고, 상기 게이트 전극(130)은 상기 절연층(120) 위에 일정한 두께로 형성된 베이스층(131)과, 상기 베이스층(131) 위에 소정의 패턴으로 형성된 전자빔 차단층(electron-beam blocking layer, 132)을 포함하여 구성된다.
- <58> 상기 기판(110)으로는 실리콘 기판이 사용될 수 있다. 그리고, 상기 절연층(120)으로는 실리콘 기판(110)을 열산화시켜 형성된 실리콘 산화막으로 이루어질 수 있다. 상기 절연층(120)은 종래와는 달리 일정한 두께로 형성되어서 그 내부에 균일한 전기장이 형성될 수 있다.
- <59> 상기 게이트 전극(130)은 베이스층(131)과 전자빔 차단층(132)으로 이루어지는데, 상기 베이스층(131)은 도전성 금속으로 이루어진다. 예컨대, 상기 베이스층(131)은 금(Au), 백금(Pt), 알루미늄(Al), 티타늄(Ti) 또는 탄탈륨(Ta)으로 이루어질 수 있다. 그리고, 상기 게이트 전극(130)의 전자빔 차단층(132)은 양극산화(anodizing)가 가능한 금속으로 이루어진다. 예컨대, 상기 전자빔 차단층(132)은 티타늄(Ti), 알루미늄(Al) 또는 루테튬(Ru)으로 이루어질 수 있다.
- <60> 한편, 상기 게이트 전극(130)의 베이스층(131)과 전자빔 차단층(132)은 모두 실리콘으로 이루어질 수도 있다.
- <61> 본 발명에 따른 에미터(100)에 있어서, 상기 게이트 전극(130)의 베이스층(131)은 일정한 두께를 가지도록 형성되고, 상기 전자빔 차단층(132)은 소정의 패턴을 가지도록 형성된다. 따라서, 상기 베이스층(131)은 전자빔 차단층(132)에 의해 덮여지는 부분과 덮여지지 않은 부분을 가지게 된다. 즉, 일정한 두께를 가진 베이스층(131)과 소정 패턴으로 패터닝된 전자빔 차단층(132)으로 이루어지는 게이트 전극(130)은 단차를 가지게 되어 부분적으로 두께가 달라지게 된다.
- <62> 일반적으로 에미터(100)의 전자 방출 특성은 게이트 전극(130)의 물질 특성과 두께에 따라 민감하게 변하게 된다. 특히, 게이트 전극(130)의 두께가 두꺼워질수록 게이트 전극(130)을 투과하여 방출되는 전자의 양이 급격히 감소하게 된다. 이와 같은 게이트 전극(130)의 두께와 전자 방출률(transfer ratio) 사이의 관계는 도 5의 그래프에 도시되어 있다. 도 5의 그래프는, J. Vac. Sci. Technol. B, Vol, 12, No. 2, Mar/Apr 1994에 게재된 쿠니요시 요쿠(Kuniyoshi Yokoo) 등의 논문에서 개시된 것이다.
- <63> 도 5의 그래프를 보면, 게이트 전극의 두께가 두꺼워질수록 전자 방출률은 급격히 감소하는 것을 알 수 있다. 예컨대, 알루미늄(Al)으로 이루어진 게이트 전극의 두께가 10nm에서 20nm로 두 배 정도 두꺼워지는 경우에, 전자 방출률은 대략 10^{-4} 에서 10^{-6} 으로 1/100정도로 감소하게 된다. 이와 같은 특성은 실리콘(Si)으로 이루어진 게이트 전극에서도 동일하게 나타난다.
- <64> 다시 도 4를 참조하면, 상기한 바와 같은 구조를 가진 본 발명에 따른 에미터(100)에 있어서, 실리콘 기판(110)과 게이트 전극(130) 사이에 게이트 전압(V_g)을 인가하면 에미터(100)로부터 전자빔이 방출된다. 이 때, 상기한 바와 같은 게이트 전극(130)의 두께에 따른 전자 방출 특성에 따라, 전자빔 차단층(132)에 의해 덮여지지 않은 부분, 즉 게이트 전극(130)의 두께가 얇은 부분을 투과하여 방출된다. 그러나, 게이트 전극(130)의 두께가

두꺼운 부분, 즉 전자빔 차단층(132)이 형성된 부분을 통해서 전자빔이 거의 방출되지 못한다. 에미터(100)로부터 방출된 전자빔은 게이트 전극(130)과 처리될 기판(150) 사이에 인가된 가속 전압(V_A)에 의해 가속되어 처리될 기판(150)의 표면에 도포된 전자 레지스트(151)에 충돌하게 된다. 이에 따라, 전자 레지스트(151)는 전자빔 차단층(132)의 패턴과 동일한 패턴으로 패터닝된다. 이 때, 전자빔의 포커싱을 위해 외부 자석(171, 172)에 의해 에미터(100)와 처리될 기판(150) 사이에 자기장이 인가될 수 있다.

- <65> 도 6은 본 발명의 제2 실시예에 따른 MIM형 에미터의 구조를 도시한 단면도이다.
- <66> 도 6을 참조하면, 본 발명에 따른 상기 MIM형 에미터(200)는, 기판(210)과, 상기 기판(210) 위에 형성된 하부 전극(215)과, 상기 하부 전극(215) 위에 형성된 절연층(220)과, 상기 절연층(220) 위에 형성된 게이트 전극(230)을 구비한다. 그리고, 상기 게이트 전극(230)은 상기 절연층(220) 위에 일정한 두께로 형성된 베이스층(231)과, 상기 베이스층(231) 위에 소정의 패턴으로 형성된 전자빔 차단층(electron-beam blocking layer, 232)을 포함하여 구성된다. 이와 같이, 본 발명에 따른 MIM형 에미터(200)는 기판(210)과 절연층(220) 사이에 하부 전극(215)이 형성되는 점을 제외하고는 전술한 MIS형 에미터(100)의 구조와 동일하므로, 이하에서는 차이점을 중심으로 간략하게 설명하기로 한다.
- <67> 상기 기판(210)으로는 실리콘 기판이 사용될 수 있다. 상기 하부 전극(215)은 알루미늄(Al)과 네오디뮴(Nd) 합금으로 이루어질 수 있으며, 상기 절연층(220)은 일정한 두께로 형성된 양극산화 알루미늄(anodized alumina)로 이루어질 수 있다.
- <68> 상기 게이트 전극(230)은 전술한 MIS형 에미터(100)와 같이 베이스층(231)과 전자빔 차단층(232)으로 이루어진다. 상기 베이스층(231)과 전자빔 차단층(232)을 이루는 물질과 구조는 전술한 MIS형 에미터(100)에서와 동일하다.
- <69> 상기 MIM형 에미터(200)의 작동과 그에 따른 효과도 전술한 MIS형 에미터(100)와 동일하므로, 이에 대한 설명은 생략하기로 한다.
- <70> 이하에서는, 도 7a 내지 도 7h를 참조하며, 도 4에 도시된 본 발명에 따른 MIS형 에미터 제조방법의 제1 실시예를 단계적으로 설명하기로 한다.
- <71> 먼저 도 7a를 참조하면, 기판(110)을 준비한 후, 그 기판(110) 상에 절연층(120)을 형성한다. 구체적으로, 상기 기판(110)으로는 소정 두께로 가공된 실리콘 웨이퍼가 사용될 수 있다. 이어서, 준비된 기판(110)의 표면을 열산화시켜 그 표면에 일정한 두께를 가진 실리콘 산화막을 형성한다. 이 실리콘 산화막이 상기 절연층(120)을 구성하게 된다.
- <72> 도 7b는 상기 절연층(120) 위에 베이스층(131)을 형성한 상태를 도시한 것이다. 구체적으로, 상기 절연층(120) 위에 도전성 금속, 예컨대 금(Au), 백금(Pt), 알루미늄(Al), 티타늄(Ti) 또는 탄탈륨(Ta)을 진공증착(vacuum evaporation) 또는 스퍼터링(sputtering)에 의해 소정 두께로 증착시킴으로써 상기 베이스층(131)을 형성하게 된다.
- <73> 도 7c는 상기 베이스층(131) 위에 전자빔 차단층(132)을 형성한 상태를 도시한 것이다. 구체적으로, 전자빔 차단층(132)은 양극산화(anodizing)가 가능한 금속, 예컨대 티타늄(Ti), 알루미늄(Al) 또는 루테튬(Ru)을 진공증착(vacuum evaporation) 또는 스퍼터링(sputtering)에 의해 상기 베이스층(131) 위에 소정 두께로 증착시킴으로써 형성될 수 있다.
- <74> 도 7d와 도 7e는 상기 전자빔 차단층(132)을 원하는 패턴으로 패터닝하는 제1 방법을 도시한 것이다. 먼저, 도 7d에 도시된 바와 같이, 상기 전자빔 차단층(132)을 SPM(Scanning Probe Microscope) 리소그래피에 의해 전자빔의 방출이 이루어질 부분만 양극산화시킨다. 이어서, 도 7e에 도시된 바와 같이, 전자빔 차단층(132)의 양극산화된 부분을 식각하여 제거한다. 이 때, 양극산화에 의해 형성된 산화막과 양극산화되지 않은 전자빔 차단층(132)은 식각 선택성(etching selectivity)을 가지므로, 양극산화에 의해 형성된 산화막만 식각에 의해 용이하게 제거할 수 있다.
- <75> 상기 단계들을 거치게 되면, 도 7e에 도시된 바와 같이 일정한 두께를 가진 베이스층(131)과 패터닝된 전자빔 차단층(132)으로 이루어진 게이트 전극(130)을 가진 본 발명에 따른 MIS형 에미터(100)가 완성된다.
- <76> 한편, 도 7f 내지 도 7h는 상기 전자빔 차단층(132)을 원하는 패턴으로 패터닝하는 제2 방법을 도시한 것이다. 먼저, 도 7f를 참조하면, 도 7c의 단계에서 형성된 전자빔 차단층(132)의 전표면에 레지스트(R)를 도포한 후,

이를 원하는 패턴으로 패터닝한다. 이 때, 레지스트(R) 패터닝은 포토리소그래피(photolithography) 또는 전자빔 리소그래피와 같은 일반적인 리소그래피에 의해 수행될 수 있다. 이어서, 도 7g에 도시된 바와 같이, 전자빔 차단층(132)을 양극산화시킨다. 이 때, 전자빔 차단층(132) 중 패터닝된 레지스트(R)에 의해 덮여져 있는 부분은 양극산화되지 않고, 외부로 노출된 부분만 양극산화된다. 다음으로, 전자빔 차단층(132)의 양극산화된 부분을 식각하여 제거하고, 레지스트(R)를 스트립한다. 이 때, 레지스트(R)의 스트립은 상기 식각 공정 전 또는 후에 수행될 수 있다. 그러면, 도 7h에 도시된 바와 같이 본 발명에 따른 MIS형 에미터(100)가 완성된다.

<77> 도 8a 내지 도 8d는 도 4에 도시된 본 발명에 따른 MIS형 에미터 제조방법의 제2 실시예를 단계적으로 설명하기 위한 단면도들이다. 본 실시예는 게이트 전극이 실리콘으로 이루어진 경우에 적용된다.

<78> 먼저 도 8a를 참조하면, 기판(110)을 준비한 후, 그 기판(110) 상에 절연층(120)을 형성한다. 전술한 실시예에서와 같이, 상기 기판(110)으로는 소정 두께로 가공된 실리콘 웨이퍼가 사용될 수 있으며, 상기 절연층(120)은 실리콘 산화막으로 이루어질 수 있다. 이어서, 상기 절연층(120) 위에 제1 실리콘층(141)을 형성한다. 구체적으로, 상기 절연층(120) 위에 실리콘을 화학기상증착(CVD) 등에 의해 소정 두께로 증착시킴으로써 상기 제1 실리콘층(141)을 형성하게 된다.

<79> 다음으로, 도 8b에 도시된 바와 같이, 제1 실리콘층(141)의 전 표면에 레지스트(R)를 도포한 후, 이를 원하는 패턴으로 패터닝한다. 이 때, 레지스트(R) 패터닝은 포토리소그래피(photolithography) 또는 전자빔 리소그래피와 같은 일반적인 리소그래피에 의해 수행될 수 있다.

<80> 이어서, 도 8c에 도시된 바와 같이, 패터닝된 레지스트(R)를 식각 마스크로 하여 제1 실리콘층(141)의 노출된 부분을 식각하여 제거한 후, 레지스트(R)를 스트립한다.

<81> 도 8d는 패터닝된 제1 실리콘층(141) 위에 제2 실리콘층(142)을 형성한 상태를 도시한 것이다. 구체적으로, 도 8c의 결과물 전 표면에 다시 실리콘을 화학기상증착(CVD) 등에 의해 소정 두께로 증착시킴으로써 상기 제2 실리콘층(142)을 형성하게 된다. 그러면, 패터닝된 제1 실리콘층(141)과 그 위에 증착된 제2 실리콘층(142)으로 이루어진 게이트 전극(140)이 형성된다. 따라서, 상기 게이트 전극(140)은 단차를 가지게 되어 부분적으로 두께가 달라지게 된다.

<82> 상기한 게이트 전극(140)을 가진 에미터(100')를 도 4에 도시된 에미터(100)의 구조와 비교하면, 제2 실리콘층(142)의 절연층(120) 위에 직접 증착된 부분은 제1 실리콘층(141)과 함께 도 4에 도시된 에미터(100)의 베이스층(131)을 구성하게 되고, 제2 실리콘층(142)의 제1 실리콘층(141) 위에 증착된 부분은 도 4에 도시된 에미터(100)의 전자빔 차단층(132)을 구성하게 된다.

<83> 도 9a 내지 도 9c는 도 6에 도시된 본 발명에 따른 MIM형 에미터의 바람직한 제조방법을 단계적으로 설명하기 위한 단면도들이다. 이하에서 기술되는 제조방법에 있어서 전술한 제조방법들과 동일한 단계에 대해서는 간략하게 설명하거나 생략하기로 한다.

<84> 먼저 도 9a를 참조하면, 기판(210)을 준비한 후, 그 기판(210) 상에 하부 전극(215)을 형성한다. 구체적으로, 상기 기판(210)으로는 소정 두께로 가공된 실리콘 웨이퍼가 사용될 수 있다. 이어서, 준비된 기판(210)의 표면에 알루미늄(Al)과 네오디뮴(Nd) 합금을 소정 두께로 증착시킴으로써 상기 하부 전극(215)을 형성한다.

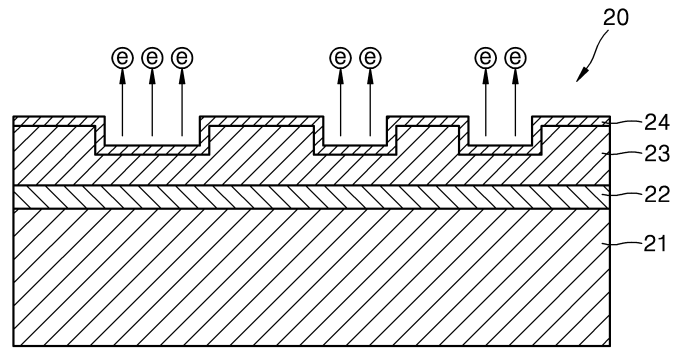
<85> 이어서, 도 9b에 도시된 바와 같이, 상기 하부 전극(215) 위에 양극산화가 가능한 금속, 예컨대 알루미늄을 증착시킨 뒤, 이를 양극산화시켜 산화막, 예컨대 알루미늄을 형성시킨다. 이 알루미늄은 절연층(220)을 구성하게 된다.

<86> 다음으로, 도 9c에 도시된 바와 같이, 상기 절연층(220) 위에 베이스층(231)과 전자빔 차단층(232)으로 이루어진 게이트 전극(230)을 형성함으로써, 본 발명에 따른 MIM형 에미터(200)를 완성한다. 이 때, 상기 게이트 전극(230)은 전술한 제조공정과 동일한 공정에 의해 형성될 수 있다. 즉, 게이트 전극(230)의 베이스층(231)이 도전성 금속으로 이루어지고 전자빔 차단층(232)이 양극산화가 가능한 금속으로 이루어지는 경우에는, 도 7b 내지 도 7e에 도시된 공정 또는 도 7b, 도 7c, 도 7f, 도 7g 및 도 7h에 도시된 공정과 동일한 공정을 거쳐 상기 게이트 전극(230)을 형성할 수 있다.

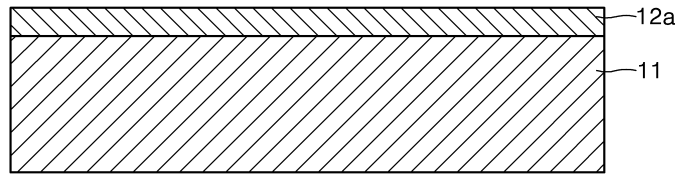
<87> 한편, 상기 게이트 전극(230)이 실리콘으로 이루어지는 경우에는, 도 8a 내지 도 8d에서 설명된 제조공정과 동일한 공정에 의해 상기 게이트 전극(230)을 형성할 수 있다.

<88> 본 발명은 개시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의

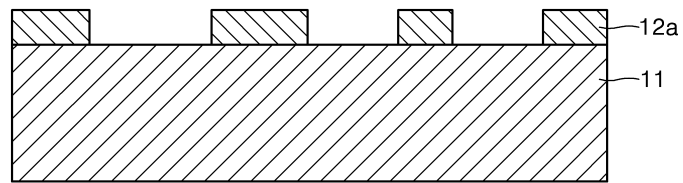
도면2



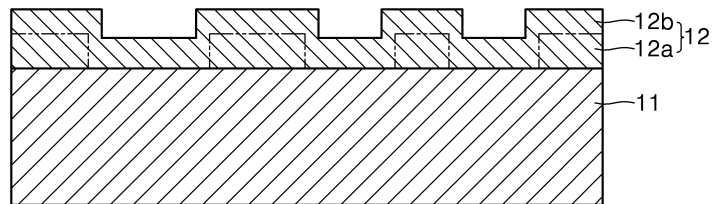
도면3a



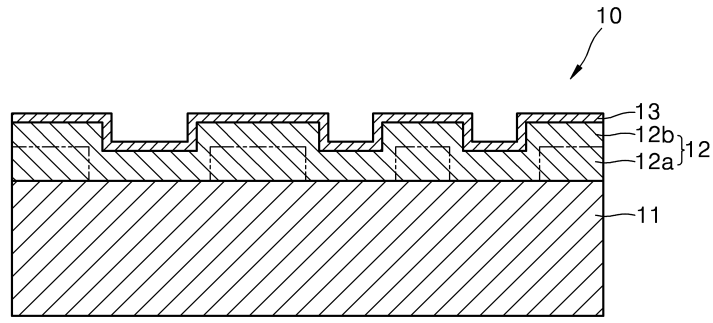
도면3b



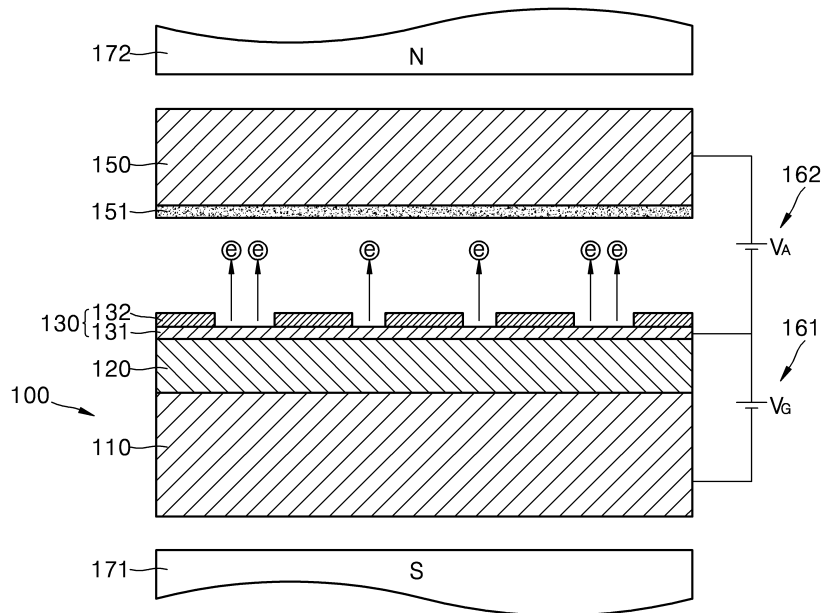
도면3c



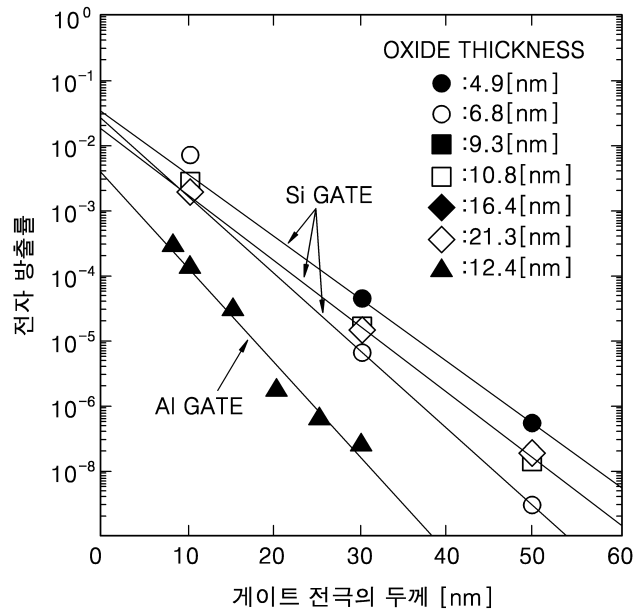
도면3d



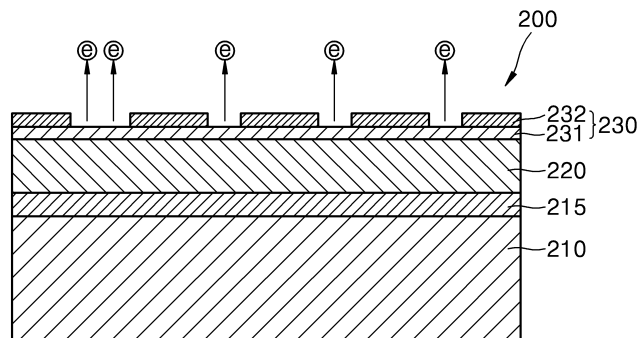
도면4



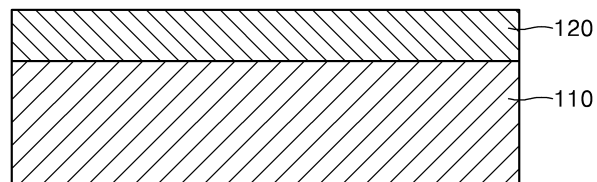
도면5



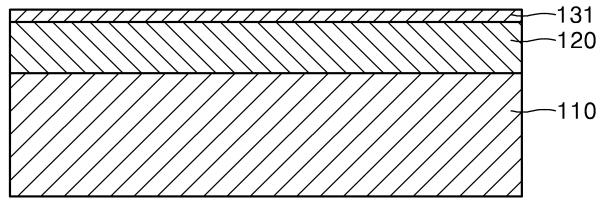
도면6



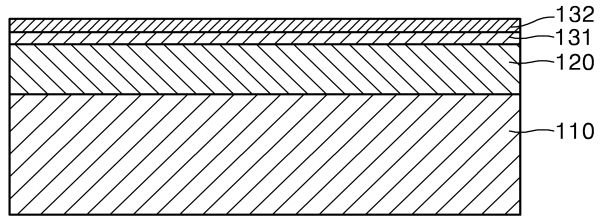
도면7a



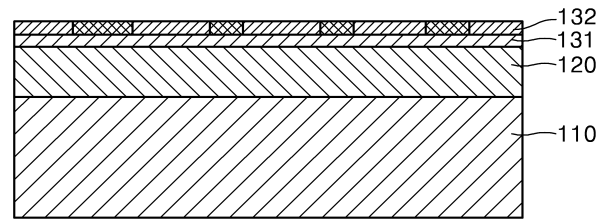
도면7b



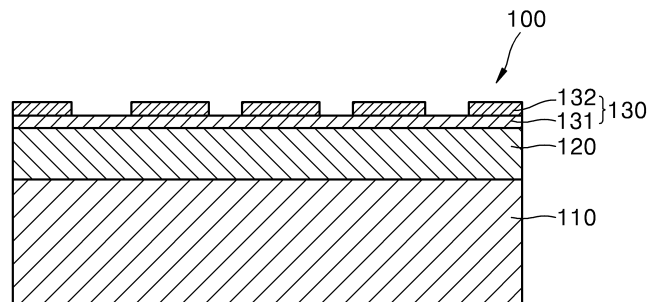
도면7c



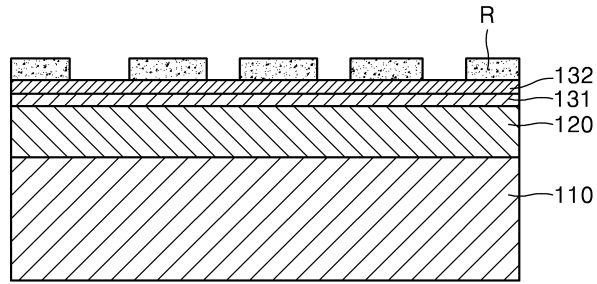
도면7d



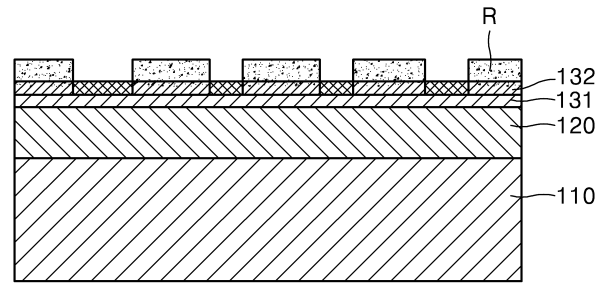
도면7e



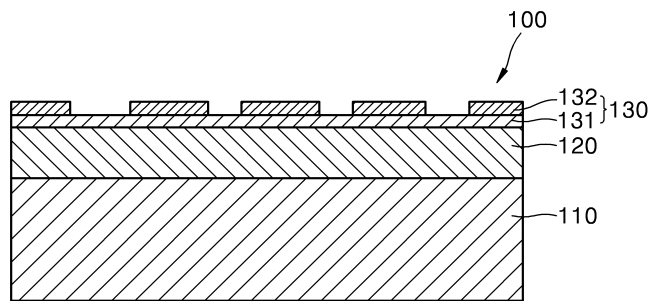
도면7f



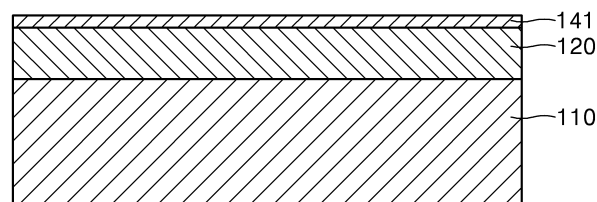
도면7g



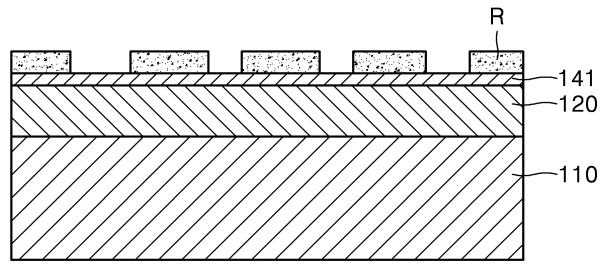
도면7h



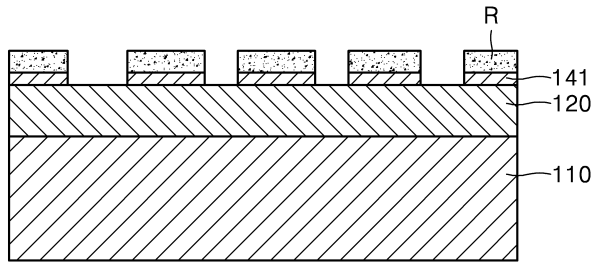
도면8a



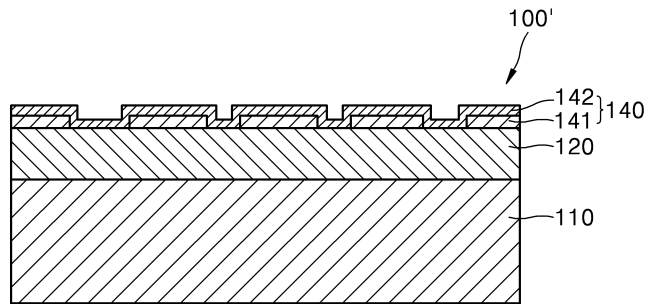
도면8b



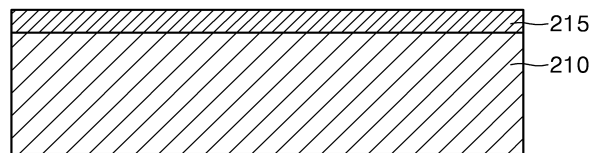
도면8c



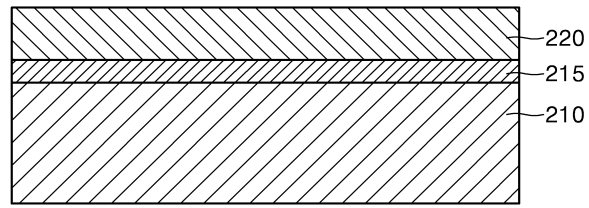
도면8d



도면9a



도면9b



도면9c

