

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6064614号
(P6064614)

(45) 発行日 平成29年1月25日(2017.1.25)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 3 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 F
	HO 1 L 29/78 6 5 2 P
	請求項の数 7 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2013-8104 (P2013-8104)	(73) 特許権者	000002130
(22) 出願日	平成25年1月21日 (2013.1.21)		住友電気工業株式会社
(65) 公開番号	特開2014-139967 (P2014-139967A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成26年7月31日 (2014.7.31)	(74) 代理人	110001195
審査請求日	平成27年8月26日 (2015.8.26)		特許業務法人深見特許事務所
		(72) 発明者	和田 圭司
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
		(72) 発明者	増田 健良
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
		(72) 発明者	日吉 透
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
			最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子が設けられている素子部と、前記素子部を取り囲んでいる終端部とを有する炭化珪素半導体装置であって、

第1の主面および前記第1の主面と反対の第2の主面を有する炭化珪素膜を備え、

前記炭化珪素膜は、前記第1の主面をなす第1の範囲と、前記第2の主面をなす第2の範囲とを有し、前記第1および第2の範囲は前記第1および第2の範囲の間に、前記第1および第2の主面から離れた界面を有し、

前記第1の範囲は、前記第1の主面をなし第1の導電型を有する第1の耐压保持層と、前記素子部内において前記界面上に部分的に設けられ第2の導電型を有する電荷補償領域と、前記終端部内において前記界面上に部分的に設けられ前記電荷補償領域に接し前記素子部を取り囲み、前記第2の導電型を有し前記電荷補償領域の不純物濃度に比して低い不純物濃度を有する第1の接合終端領域と、前記終端部内における前記界面上において前記第1の接合終端領域から離れて設けられ前記界面上において前記素子部を取り囲み前記第2の導電型を有する第1のガードリング領域とを含み、

前記第2の範囲は、前記界面をなし前記第1の導電型を有する第2の耐压保持層と、前記素子部内において前記第2の耐压保持層上に設けられ前記第2の導電型を有するチャネル形成領域と、前記チャネル形成領域上に設けられ前記チャネル形成領域によって前記第2の耐压保持層から隔てられ前記第1の導電型を有するソース領域とを含み、前記第1および第2の耐压保持層は前記素子部において耐压保持領域を構成しており、

10

20

前記炭化珪素半導体装置はさらに

前記チャネル形成領域上において前記第2の耐压保持層と前記ソース領域とを互いにつなぐ部分を有するゲート絶縁膜と、

前記ゲート絶縁膜上に設けられた、前記炭化珪素半導体装置のオン状態およびオフ状態の間のスイッチングを行うためのゲート電極と、

前記第1の主面に面する第1の主電極と、

前記第2の主面上において前記ソース領域に接する第2の主電極とを備え、

前記オフ状態において前記耐压保持領域中の最大電界強度が 0.4MV/cm 以上となるように前記第1および第2の主電極間に電圧が印加された場合に、前記素子部内の前記第2の範囲における最大電界強度が、前記第1の範囲における最大電界強度の3分の2未満となるように構成されている、炭化珪素半導体装置。

10

【請求項2】

前記第2の範囲は、前記終端部内において前記第2の主面上に部分的に設けられ、前記チャネル形成領域に接し前記素子部を取り囲み前記第2の導電型を有し前記チャネル形成領域の不純物濃度に比して低い不純物濃度を有する第2の接合終端領域と、前記終端部内において前記第2の主面上において前記第2の接合終端領域から離れて設けられ前記第2の主面上において前記素子部を取り囲み前記第2の導電型を有する第2のガードリング領域とを含む、請求項1に記載の炭化珪素半導体装置。

【請求項3】

前記炭化珪素膜はトレンチを有し、前記トレンチは、前記チャネル形成領域によって構成された部分を含む側壁面を有し、前記側壁面上には前記ゲート絶縁膜を介して前記ゲート電極が配置されている、請求項1または2に記載の炭化珪素半導体装置。

20

【請求項4】

前記トレンチの前記側壁面は、面方位 $\{0-33-8\}$ を有する第1の面を含む、請求項3に記載の炭化珪素半導体装置。

【請求項5】

前記トレンチの前記側壁面は前記第1の面を微視的に含み、前記側壁面はさらに、面方位 $\{0-11-1\}$ を有する第2の面を微視的に含み、請求項4に記載の炭化珪素半導体装置。

【請求項6】

前記トレンチの前記側壁面の前記第1および第2の面は、面方位 $\{0-11-2\}$ を有する複合面を構成している、請求項5に記載の炭化珪素半導体装置。

30

【請求項7】

半導体素子が設けられている素子部と、前記素子部を取り囲んでいる終端部とを有する炭化珪素半導体装置の製造方法であって、前記炭化珪素半導体装置は、第1の主面および前記第1の主面と反対の第2の主面を有する炭化珪素膜を有し、前記炭化珪素膜は、前記第1の主面をなす第1の範囲と、前記第2の主面をなす第2の範囲とを有し、前記第1および第2の範囲は前記第1および第2の範囲の間に、前記第1および第2の主面から離れた界面を有し、

基板上に前記第1の範囲を形成する工程を備え、前記第1の範囲を形成する工程は、前記第1の主面をなし第1の導電型を有する第1の耐压保持層を形成する工程と、前記第1の耐压保持層を形成する工程の後に、前記素子部内において前記界面上に部分的に設けられ第2の導電型を有する電荷補償領域と、前記終端部内において前記界面上に部分的に設けられ前記電荷補償領域に接し前記素子部を取り囲み前記第2の導電型を有し前記電荷補償領域の不純物濃度に比して低い不純物濃度を有する第1の接合終端領域と、前記終端部内において前記界面上において前記第1の接合終端領域から離れて設けられ前記界面上において前記素子部を取り囲み前記第2の導電型を有する第1のガードリング領域とを形成する工程とを含み、さらに

40

前記第1の範囲を形成する工程の後に前記第2の範囲を形成する工程を備え、前記第2の範囲を形成する工程は、前記界面をなし前記第1の導電型を有する第2の耐压保持層を

50

形成する工程と、前記素子部内において前記第2の耐压保持層上に設けられ前記第2の導電性を有するチャンネル形成領域と、前記チャンネル形成領域上に設けられ前記チャンネル形成領域によって前記第2の耐压保持層から隔てられ前記第1の導電性を有するソース領域とを形成する工程とを含み、前記第1および第2の耐压保持層は前記素子部において耐压保持領域を構成しており、さらに

前記チャンネル形成領域上において前記第2の耐压保持層と前記ソース領域とを互いにつながり部分を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に設けられた、前記炭化珪素半導体装置のオン状態およびオフ状態の間のスイッチングを行うためのゲート電極を形成する工程と、

前記第1の主面に面する第1の主電極を形成する工程と、

前記第2の主面上において前記ソース領域に接する第2の主電極を形成する工程とを備え、

前記オフ状態において前記耐压保持領域中の最大電界強度が 0.4 MV/cm 以上となるように前記第1および第2の主電極間に電圧が印加された場合に、前記素子部内の前記第2の範囲における最大電界強度が、前記第1の範囲における最大電界強度の $\frac{2}{3}$ 未満となるように構成される、炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、炭化珪素半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

広く用いられている電力用半導体装置であるSi(シリコン)MOSFET(Metal Oxide Semiconductor Field Effect Transistor)に関して、耐压の主な決定要因は、耐压保持領域をなすドリフト層が耐え得る電界強度の上限である。Siから作られたドリフト層は、 0.3 MV/cm 程度以上の電界が印加された箇所で破壊し得る。このためMOSFETの耐压保持領域全体において電界強度を所定の値未満に抑えることが必要である。最も単純な方法は耐压保持領域の不純物濃度を低くすることである。しかしながらこの方法ではMOSFETのオン抵抗が大きくなるという短所がある。すなわちオン抵抗と耐压との間にトレードオフ関係が存在する。

【0003】

特開平9-191109号公報において、典型的なSi MOSFETについて、Siの物性値から得られる理論限界を考慮しつつ、オン抵抗と耐压との間のトレードオフ関係の説明がなされている。そしてこのトレードオフを解消するために、ドレイン電極上のn型基板の上のnベース層中において、下側のp型埋込層と、上側のp型埋込層とを付加することが開示されている。下側のp型埋込層および上側の埋込層によってnベース層は、各々等しい厚さを有する下段と中断と上段とに区分される。この公報によれば、3つの段の各々によって等しい電圧が分担され、各段の最大電界が限界電界強度以下に保たれる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平9-191109号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述したトレードオフをより大きく改善するための方法として、近年、Siに代わりSiC(炭化珪素)を用いることが活発に検討されている。SiCはSiと異なり 0.4 MV/cm 以上の電界強度にも十分に耐え得る材料である。このためSiC MOSFETは、Si MOSFETに比して、より高い電界に耐え得る。このように高い電界が印加される場合は、MOSFET構造における特定位置での電界集中に起因した破壊が問題と

10

20

30

40

50

なる。たとえばトレンチ型MOSFETの場合、トレンチの底部、特に角部、における、ゲート絶縁膜中での電界集中に起因したゲート絶縁膜の破壊現象が、耐圧の主な決定要因である。このように耐圧の決定要因がSi半導体装置とSiC半導体装置との間で異なる。このため、Siの使用を前提としていると考えられる上記公報の技術をSiC半導体装置の耐圧を向上させるために単純に適用したとすると、SiCの物性上の利点を十分に利用した耐圧の改善を行うことができない。

【0006】

本発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、高い耐圧を有する炭化珪素半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

【0007】

本発明の炭化珪素半導体装置は、半導体素子が設けられている素子部と、素子部を取り囲んでいる終端部とを有するものである。炭化珪素半導体装置は、炭化珪素膜と、ゲート絶縁膜と、ゲート電極と、第1の主電極と、第2の主電極とを有する。炭化珪素膜は、第1の主面および第1の主面と反対の第2の主面を有する。炭化珪素膜は、第1の主面をなす第1の範囲と、第2の主面をなす第2の範囲とを有する。第1および第2の範囲は第1および第2の範囲の間に、第1および第2の主面から離れた界面を有する。第1の範囲は、第1の耐圧保持層と、電荷補償領域と、第1の接合終端領域と、第1のガードリング領域とを有する。第1の耐圧保持層は、第1の主面をなしており、第1の導電型を有する。電荷補償領域は、素子部内において界面上に部分的に設けられており、第2の導電型を有する。第1の接合終端領域は、終端部内において界面上に部分的に設けられており、電荷補償領域に接しており、素子部を取り囲んでおり、第2の導電型を有し、電荷補償領域の不純物濃度に比して低い不純物濃度を有する。第1のガードリング領域は、終端部内における界面上において第1の接合終端領域から離れて設けられおり、界面上において素子部を取り囲んでおり、第2の導電型を有する。第2の範囲は、第2の耐圧保持層と、チャンネル形成領域と、ソース領域とを有する。第2の耐圧保持層は、界面をなしており、第1の導電型を有する。チャンネル形成領域は、素子部内において第2の耐圧保持層上に設けられており、第2の導電型を有する。ソース領域は、チャンネル形成領域上に設けられており、チャンネル形成領域によって第2の耐圧保持層から隔てられており、第1の導電型を有する。第1および第2の耐圧保持層は素子部において耐圧保持領域を構成している。ゲート絶縁膜は、チャンネル形成領域上において第2の耐圧保持層とソース領域とを互いにつなぐ部分を有する。ゲート電極は、ゲート絶縁膜上に設けられており、炭化珪素半導体装置のオン状態およびオフ状態の間のスイッチングを行うためのものである。第1の主電極は第1の主面に面している。第2の主電極は第2の主面上においてソース領域に接している。オフ状態において耐圧保持領域中の最大電界強度が 0.4MV/cm 以上となるように第1および第2の主電極間に電圧が印加された場合に、素子部内の第2の範囲における最大電界強度が、第1の範囲における最大電界強度の $\frac{2}{3}$ 未満となるように、炭化珪素半導体装置は構成されている。

【0008】

上記炭化珪素半導体装置によれば、半導体装置の材料として炭化珪素が用いられるので、半導体装置の耐圧保持領域において 0.4MV/cm 以上の最大電界が印加されるような高い電圧を扱うことができる。また炭化珪素半導体装置は、素子部内の第2の範囲における最大電界強度が、第1の範囲における最大電界強度の $\frac{2}{3}$ 未満となるように構成されている。これにより、耐圧の決定要因となる、素子部内の第2の範囲における電界強度がより低くされる。逆に言えば、第1の範囲における最大電界強度が、素子部内の第2の範囲における最大電界強度の 1.5 倍を超えることにより、耐圧の決定要因とならない第1の範囲における最大電界強度がより高くされる。これにより炭化珪素半導体装置に高い電圧を印加することができる。すなわち耐圧を高めることができる。

【0009】

第2の範囲は、第2の接合終端領域と、第2のガードリング領域とを有してもよい。第

10

20

30

40

50

2の接合終端領域は、終端部内において第2の主面上に部分的に設けられており、チャネル形成領域に接しており、素子部を取り囲んでおり、第2の導電型を有し、チャネル形成領域の不純物濃度に比して低い不純物濃度を有する。第2のガードリング領域は、終端部内において第2の主面上において第2の接合終端領域から離れて設けられており、第2の主面上において素子部を取り囲んでおり、第2の導電型を有する。これにより耐圧をより高めることができる。

【0010】

炭化珪素膜はトレンチを有してもよい。トレンチは、チャネル形成領域によって構成された部分を含む側壁面を有する。側壁面上にはゲート絶縁膜を介してゲート電極が配置されている。これにより、トレンチ型炭化珪素半導体装置の耐圧を高めることができる。

10

【0011】

トレンチの側壁面は、面方位{0-33-8}を有する第1の面を含んでもよい。この場合、面方位{0-33-8}を有する面にチャネルが形成されることで、オン抵抗のうちチャネル抵抗が占める部分が抑制される。よってオン抵抗を所定の値以下に維持しつつ、耐圧保持領域による抵抗を大きくし得る。よって耐圧保持領域の不純物濃度をより低くすることができる。よって耐圧をより高めることができる。

【0012】

トレンチの側壁面は第1の面を微視的に含んでもよい。側壁面はさらに、面方位{0-11-1}を有する第2の面を微視的に含んでもよい。これによりよりオン抵抗を抑制し得る。よって上述したのと同様の理由で、耐圧をより高めることができる。

20

【0013】

トレンチの側壁面の第1および第2の面は、面方位{0-11-2}を有する複合面を構成していてもよい。これによりオン抵抗を抑制し得る。よって上述したのと同様の理由で、耐圧をより高めることができる。

【0014】

本発明の炭化珪素半導体装置の製造方法は、半導体素子が設けられている素子部と、素子部を取り囲んでいる終端部とを有する炭化珪素半導体装置の製造方法である。炭化珪素半導体装置は、第1の主面、および第1の主面と反対の第2の主面を有する炭化珪素膜を有する。炭化珪素膜は、第1の主面をなす第1の範囲と、第2の主面をなす第2の範囲とを有する。第1および第2の範囲は第1および第2の範囲の間に、第1および第2の主面から離れた界面を有する。炭化珪素半導体装置の製造方法は、以下の工程を有する。

30

【0015】

基板上に第1の範囲が形成される。第1の範囲を形成する工程は、第1の主面をなし第1の導電型を有する第1の耐圧保持層を形成する工程と、第1の耐圧保持層を形成する工程の後に、素子部内において界面上に部分的に設けられ第2の導電型を有する電荷補償領域と、終端部内において界面上に部分的に設けられ電荷補償領域に接し素子部を取り囲み第2の導電型を有し電荷補償領域の不純物濃度に比して低い不純物濃度を有する第1の接合終端領域と、終端部内において界面上において第1の接合終端領域から離れて設けられ界面上において素子部を取り囲み第2の導電型を有する第1のガードリング領域とを形成する工程とを含む。第1の範囲を形成する工程の後に、第2の範囲が形成される。第2の範囲を形成する工程は、界面をなし第1の導電型を有する第2の耐圧保持層を形成する工程と、素子部内において第2の耐圧保持層上に設けられ第2の導電型を有するチャネル形成領域と、チャネル形成領域上に設けられチャネル形成領域によって第2の耐圧保持層から隔てられ第1の導電型を有するソース領域とを形成する工程とを含む。第1および第2の耐圧保持層は素子部において耐圧保持領域を構成する。チャネル形成領域上において第2の耐圧保持層とソース領域とを互いにつなぐ部分を有するゲート絶縁膜が形成される。ゲート絶縁膜上に設けられた、炭化珪素半導体装置のオン状態およびオフ状態の間のスイッチングを行うためのゲート電極が形成される。第1の主面に面する第1の主電極が形成される。第2の主面上においてソース領域に接する第2の主電極が形成される。オフ状態において耐圧保持領域中の最大電界強度が0.4MV/cm以上となるように第1および

40

50

第2の主電極間に電圧が印加された場合に、素子部内の第2の範囲における最大電界強度が、第1の範囲における最大電界強度の3分の2未満となるように、炭化珪素半導体装置は構成される。

【0016】

上記炭化珪素半導体装置の製造方法によれば、半導体装置の材料として炭化珪素が用いられるので、半導体装置の耐圧保持領域において0.4MV/cm以上の最大電界が印加されるような高い電圧を扱うことができる。また素子部内の第2の範囲における最大電界強度が、第1の範囲における最大電界強度の3分の2未満となるように構成される。これにより、耐圧の決定要因となる、素子部内の第2の範囲における電界強度がより低くされる。逆に言えば、第1の範囲における最大電界強度が、素子部内の第2の範囲における最大電界強度の1.5倍を超えるように構成されることにより、耐圧の決定要因とならない第1の範囲における最大電界強度がより高くされる。これにより炭化珪素半導体装置に高い電圧を印加することができる。すなわち耐圧を高めることができる。

10

【発明の効果】

【0017】

本発明によれば上述したように炭化珪素半導体装置の耐圧を高めることができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施の形態における炭化珪素半導体装置の構成を概略的に示す平面図である。

20

【図2】図1の線I-Iに沿う概略的な部分断面図である。

【図3】図1の破線部I-I-Iにおける、炭化珪素半導体装置が有する炭化珪素膜の概略的な部分断面斜視図である。

【図4】図2の炭化珪素半導体装置の製造方法の第1工程を概略的に示す部分断面図である。

【図5】図2の炭化珪素半導体装置の製造方法の第2工程を概略的に示す部分断面図である。

【図6】図2の炭化珪素半導体装置の製造方法の第3工程を概略的に示す部分断面図である。

【図7】図2の炭化珪素半導体装置の製造方法の第4工程を概略的に示す部分断面図である。

30

【図8】図2の炭化珪素半導体装置の製造方法の第5工程を概略的に示す部分断面図である。

【図9】図2の炭化珪素半導体装置の製造方法の第6工程を概略的に示す部分断面図である。

【図10】図2の炭化珪素半導体装置の製造方法の第7工程を概略的に示す部分断面図である。

【図11】図2の炭化珪素半導体装置の製造方法の第8工程を概略的に示す部分断面図である。

【図12】図2の炭化珪素半導体装置の製造方法の第9工程を概略的に示す部分断面図である。

40

【図13】図2の炭化珪素半導体装置の製造方法の第10工程を概略的に示す部分断面図である。

【図14】図2の変形例における炭化珪素半導体装置の構成を概略的に示す部分断面図である。

【図15】炭化珪素半導体装置が有する炭化珪素膜の表面の微細構造を概略的に示す部分断面図である。

【図16】ポリタイプ4Hの六方晶における(000-1)面の結晶構造を示す図である。

【図17】図16の線X-VI-I-X-VI-Iに沿う(11-20)面の結晶構造を示す図で

50

ある。

【図18】図15の複合面の表面近傍における結晶構造を(11-20)面内において示す図である。

【図19】図15の複合面を(01-10)面から見た図である。

【図20】巨視的に見たチャンネル面および(000-1)面の間の角度と、チャンネル移動度との関係の一例を、熱エッチングが行われた場合と行われなかった場合との各々について示すグラフ図である。

【図21】チャンネル方向および<0-11-2>方向の間の角度と、チャンネル移動度との関係の一例を示すグラフ図である。

【図22】図15の変形例を示す図である。

【図23】電荷補償領域の不純物ドーズ量と、電界強度との関係を例示するグラフ図である。

【図24】電荷補償領域の不純物濃度プロファイルを例示するグラフ図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。また、本明細書中の結晶学的記載においては、個別方位を[]、集合方位を<>、個別面を()、集合面を{ }でそれぞれ示している。また結晶学上の指数が負であることは、通常、“-”（バー）を数字の上に付すことによって表現されるが、本明細書中では数字の前に負の符号を付している。

【0020】

(炭化珪素半導体装置の構成)

図1に示すように、MOSFET200(炭化珪素半導体装置)は、トランジスタ素子(半導体素子)が設けられている素子部CLと、素子部CLを取り囲んでいる終端部TMとを有するものである。

【0021】

図2に示すように、MOSFET200は、単結晶基板80(基板)と、エピタキシャル膜90(炭化珪素膜)と、ゲート酸化膜91(ゲート絶縁膜)と、ゲート電極92と、ドレイン電極98(第1の主電極)と、ソース電極94(第2の主電極)と、層間絶縁膜93と、ソース配線層95とを有する。

【0022】

単結晶基板80は、n型(第1の導電型)の炭化珪素から作られており、好ましくは六方晶系の結晶構造を有し、より好ましくはポリタイプ4Hを有する。

【0023】

エピタキシャル膜90(図3)は、単結晶基板80上にエピタキシャルに形成された膜である。エピタキシャル膜90は、単結晶基板80に接する下面P1(第1の主面)と、上面P2(第1の主面と反対の第2の主面)とを有する。エピタキシャル膜90は、下面P1をなす下側範囲RA(第1の範囲)と、上面P2をなす上側範囲RB(第2の範囲)とを有する。下側範囲RAおよび上側範囲RBは下側範囲RAおよび上側範囲RBの間に、下面P1および上面P2から離れた界面IFを有する。

【0024】

下側範囲RAは、下側ドリフト層81A(第1の耐压保持層)と、電荷補償領域71Aと、埋込JTE(Junction Termination Extension)領域72A(第1の接合終端領域)と、埋込ガードリング領域73A(第1のガードリング領域)とを有する。

【0025】

下側ドリフト層81Aは、下面P1をなしている。下側ドリフト層81Aはn型を有し、好ましくは単結晶基板80の不純物濃度に比して低い不純物濃度を有する。下側ドリフト層81Aの不純物濃度は、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であり、たとえば $8 \times 10^{15} \text{ cm}^{-3}$ である。

10

20

30

40

50

【 0 0 2 6 】

電荷補償領域 7 1 A は、素子部 C L 内において界面 I F 上に部分的に設けられている。電荷補償領域 7 1 A は、p 型（第 1 の導電型と異なる第 2 の導電型）を有し、 $2.5 \times 10^{13} \text{ cm}^{-3}$ 程度以上の不純物濃度を有することが好ましい。

【 0 0 2 7 】

埋込 J T E 領域 7 2 A は、終端部 T M 内において界面 I F 上に部分的に設けられており、電荷補償領域 7 1 A に接しており、素子部 C L を取り囲んでいる。埋込 J T E 領域 7 2 A は、p 型を有し、電荷補償領域 7 1 A の不純物濃度に比して低い不純物濃度を有する。

【 0 0 2 8 】

埋込ガードリング領域 7 3 A は、終端部 T M 内における界面 I F 上において埋込 J T E 領域 7 2 A から離れて設けられおり、界面 I F 上において素子部 C L を取り囲んでいる。埋込ガードリング領域 7 3 A は、p 型を有し、たとえば、埋込 J T E 領域 7 2 A の不純物濃度と同じ不純物濃度を有する。

10

【 0 0 2 9 】

上側範囲 R B は、図 2 および図 3 に示すように、上側ドリフト層 8 1 B（第 2 の耐压保持層）と、ベース層 8 2（チャンネル形成領域）と、ソース領域 8 3 と、コンタクト領域 8 4 と、上面 J T E 領域 7 2 B（第 2 の接合終端領域）と、上面ガードリング領域 7 3 B（第 2 のガードリング領域）と、フィールドストップ領域 7 4 B とを有する。

【 0 0 3 0 】

上側ドリフト層 8 1 B は、界面 I F をなしている。上側ドリフト層 8 1 B は、n 型を有し、たとえば、下側ドリフト層 8 1 A の不純物濃度と同じ不純物濃度を有する。

20

【 0 0 3 1 】

ベース層 8 2 は素子部 C L 内において上側ドリフト層 8 1 B 上に設けられている。ベース層 8 2 は、p 型を有し、たとえば不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ を有する。ソース領域 8 3 は、ベース層 8 2 上に設けられており、ベース層 8 2 によって上側ドリフト層 8 1 B から隔てられている。ソース領域 8 3 は n 型を有する。コンタクト領域 8 4 はベース層 8 2 につながっている。コンタクト領域 8 4 は p 型を有する。

【 0 0 3 2 】

上面 J T E 領域 7 2 B は、終端部 T M 内において上面 P 2 上に部分的に設けられており、ベース層 8 2 に接しており、素子部 C L を取り囲んでいる。上面 J T E 領域 7 2 B は、p 型を有し、ベース層 8 2 の不純物濃度に比して低い不純物濃度を有する。

30

【 0 0 3 3 】

上面ガードリング領域 7 3 B は、終端部 T M 内において上面 P 2 上において上面 J T E 領域 7 2 B から離れて設けられており、上面 P 2 上において素子部 C L を取り囲んでいる。上面ガードリング領域 7 3 B は、p 型を有し、たとえば上面 J T E 領域 7 2 B の不純物濃度と同じ不純物濃度を有する。

【 0 0 3 4 】

フィールドストップ領域 7 4 B は、上面 P 2 上において、素子部 C L、上面 J T E 領域 7 2 B および上面ガードリング領域 7 3 B を取り囲んでいる。フィールドストップ領域 7 4 B は、n 型を有し、上側ドリフト層 8 1 B の不純物濃度に比して高い不純物濃度を有する。

40

【 0 0 3 5 】

エピタキシャル膜 9 0 の上側範囲 R B において上面 P 2 上にトレンチ T R が設けられている。トレンチ T R は側壁面 S W および底面 B T を有する。側壁面 S W はソース領域 8 3 およびベース層 8 2 を貫通して上側ドリフト層 8 1 B に至っている。よって側壁面 S W はベース層 8 2 によって構成された部分を含む。側壁面 S W はベース層 8 2 上において、M O S F E T 2 0 0 のチャンネル面を含む。

【 0 0 3 6 】

側壁面 S W はエピタキシャル膜 9 0 の上面 P 2 に対して傾斜しており、これによりトレンチ T R は開口に向かってテーパ状に拡がっている。側壁面 S W の面方位は、{ 0 0 0 -

50

1}面に対して50°以上80°以下傾斜していることが好ましく、(000-1)面に対して50°以上80°以下傾斜していることがより好ましい。

【0037】

側壁面SWは、巨視的に見て、面方位{0-33-8}、{0-11-2}、{0-11-4}および{0-11-1}のいずれかを有してもよい。なお面方位{0-33-8}は{000-1}面から54.7度のオフ角を有する。面方位{0-11-1}は{000-1}面から75.1度のオフ角を有する。よって面方位{0-33-8}、{0-11-2}、{0-11-4}および{0-11-1}は、オフ角54.7~75.1度に対応する。オフ角について5度程度の製造誤差が想定されることを考慮すると、側壁面SWが{000-1}面に対して50度以上80度以下程度傾斜するような加工を行うこと

10

【0038】

側壁面SWは、特にベース層82上の部分において、所定の結晶面(特殊面とも称する)を有することが好ましい。特殊面の詳細については後述する。

【0039】

底面BTは上側範囲RBによって下側範囲RAから離れている。底面BTは、本実施の形態においてはエピタキシャル膜90の上面P2とほぼ平行な平坦な形状を有する。なお底面BTは平坦面でなくてもよく、図2の断面視においてほぼ点状であってもよく、この場合、トレンチTRはV字形状を有する。

20

【0040】

ゲート酸化膜91はトレンチTRの側壁面SWおよび底面BTの各々を覆っている。ゲート酸化膜91は、ベース層82上において上側ドリフト層81Bとソース領域83とを互いにつなぐ部分を有する。

【0041】

ゲート電極92は、MOSFET200のオン状態およびオフ状態の間のスイッチングを行うためのものである。ゲート電極92は、ゲート酸化膜91上に設けられている。ゲート電極92は、ゲート酸化膜91を介して側壁面SW上に配置されている。

【0042】

ソース電極94は上面P2上においてソース領域83およびコンタクト領域84の各々に接している。ソース電極94は、オーミック電極であり、たとえばシリサイドから作られている。ソース配線層95はソース電極94に接している。ソース配線層95は、たとえばアルミニウム層である。層間絶縁膜93はゲート電極92とソース配線層95との間を絶縁している。

30

【0043】

ドレイン電極98は下面P1に面している。具体的にはドレイン電極98は、単結晶基板80を介して、エピタキシャル膜90の下面P1上に設けられている。

【0044】

下側ドリフト層81Aおよび上側ドリフト層81Bは、素子部CLにおいて厚さTを有するドリフト領域81(耐圧保持領域)を構成している。MOSFET200はオフ状態において、耐圧保持領域中の最大電界強度が0.4MV/cm以上となるようにソース電極94とドレイン電極98との間に電圧が印加された場合に、素子部CL内の上側範囲RB(図2の矢印REで示す領域)における最大電界強度が、下側範囲RAにおける最大電界強度の3分の2未満となるように構成されている。このような構成は、電荷補償領域71A、埋込JTE領域72Aおよび埋込ガードリング領域73Aの不純物ドーズ量を十分に高くすれば、得ることができる。

40

【0045】

(炭化珪素半導体装置の製造方法)

次にMOSFET200の製造方法について、以下に説明する。

【0046】

50

図4および図5に示すように、単結晶基板80上に下側範囲RAが形成される。

まず図4に示すように、単結晶基板80上における炭化珪素のエピタキシャル成長によって下側ドリフト層81Aが形成される(図4)。単結晶基板80の、エピタキシャル成長が行われる面は、{000-1}面から8度以内のオフ角を有することが好ましく、(000-1)面から8度以内のオフ角を有することがより好ましい。エピタキシャル成長はCVD法により行われ得る。原料ガスとしては、たとえば、シラン(SiH_4)とプロパン(C_3H_8)との混合ガスを用い得る。この際、不純物として、たとえば窒素(N)やリン(P)を導入することが好ましい。

【0047】

次に図5に示すように、この時点では露出されている界面IF上への不純物イオン注入によって、不純物領域が形成される。具体的には、素子部CL内において界面IF上に部分的に、電荷補償領域71Aが形成される。また終端部TM内において界面IF上に部分的に、埋込JTE領域72Aと、埋込ガードリング領域73Aとが形成される。各不純物領域の形成の順番は任意である。本実施の形態においては、p型を付与するための不純物、すなわちアクセプタが注入される。アクセプタとしては、たとえばアルミニウムを用い得る。

【0048】

図6~図10に示すように、上側範囲RBが形成される。

まず図6に示すように、下側ドリフト層81Aと同様の方法によって、上側ドリフト層81Bが形成される。これにより下側範囲RAおよび上側範囲RBを有するエピタキシャル膜90が得られる。

【0049】

次に図7に示すように、エピタキシャル膜90の上面P2上への不純物イオン注入によって、不純物領域が形成される。具体的には、素子部CL内において上側ドリフト層81B上にベース層82が形成される。またベース層82上に、ベース層82によって上側ドリフト層81Bから隔てられたソース領域83が形成される。また素子部CL内において上面P2からベース層82まで延びるコンタクト領域84が形成される。また終端部TM内において上面P2上に部分的に、上面JTE領域72Bと、上面ガードリング領域73Bと、フィールドストップ領域74Bとが形成される。各不純物領域の形成の順番は任意である。本実施の形態においては、フィールドストップ領域の形成のために、n型を付与するための不純物、すなわちドナーが注入される。ドナーとしては、たとえばリンを用い得る。

【0050】

次に、不純物を活性化するための熱処理が行われる。この熱処理の温度は、好ましくは1500以上1900以下であり、たとえば1700程度である。熱処理の時間は、たとえば30分程度である。熱処理の雰囲気は、好ましくは不活性ガス雰囲気であり、たとえばアルゴン雰囲気である。

【0051】

図8に示すように、エピタキシャル膜90の上面P2上に、開口部を有するマスク層61が形成される。開口部はトレンチTR(図2)の位置に対応して形成される。マスク層61は、二酸化珪素から作られることが好ましく、熱酸化によって形成されることがより好ましい。

【0052】

図9に示すように、マスク層61を用いた熱エッチングが行われる。具体的には、加熱されたエピタキシャル膜90へ、反応性ガスの供給が行われる。反応性ガスは、加熱下において炭化珪素と反応し得るものであり、好ましくはハロゲンガスを含み、たとえば塩素ガスを含む。反応性ガスはさらに酸素ガスを含んでもよい。また反応性ガスはキャリアガスを含んでもよい。キャリアガスとしては、たとえば窒素ガス、アルゴンガスまたはヘリウムガスを用いることができる。エピタキシャル膜90の加熱は、たとえば700程度以上1000程度以下程度で行われる。

10

20

30

40

50

【 0 0 5 3 】

この熱エッチングによりエピタキシャル膜 9 0 の上面 P 2 に、側壁面 S W を有するトレンチ T R が形成される。この熱エッチングにおける炭化珪素のエッチング速度はたとえば約 7 0 μm / 時になる。この場合に、マスク層 6 1 が二酸化珪素から作られていれば、その消耗が顕著に抑制される。熱エッチングによるトレンチ T R の形成時に、側壁面 S W 上、特にベース層 8 2 上において、特殊面が自己形成される。次にマスク層 6 1 がエッチングなど任意の方法により除去される（図 1 0 ）。

【 0 0 5 4 】

図 1 1 に示すように、トレンチ T R の側壁面 S W および底面 B T の上にゲート酸化膜 9 1 が形成される。ゲート酸化膜 9 1 は、ベース層 8 2 上において上側ドリフト層 8 1 B とソース領域 8 3 とを互いにつなぐ部分を有する。ゲート酸化膜 9 1 は、熱酸化により形成されることが好ましい。

10

【 0 0 5 5 】

ゲート酸化膜 9 1 の形成後に、雰囲気ガスとして一酸化窒素（N O ）ガスを用いる N O アニールが行われてもよい。温度プロファイルは、たとえば、温度 1 1 0 0 以上 1 3 0 0 以下、保持時間 1 時間程度の条件を有する。これにより、ゲート酸化膜 9 1 とベース層 8 2 との界面領域に窒素原子が導入される。その結果、界面領域における界面準位の形成が抑制されることで、チャネル移動度を向上させることができる。なお、このような窒素原子の導入が可能であれば、N O ガス以外のガスが雰囲気ガスとして用いられてもよい。この N O アニールの後にさらに、雰囲気ガスとしてアルゴン（A r ）を用いる A r アニールが行われてもよい。A r アニールの加熱温度は、上記 N O アニールの加熱温度よりも高く、ゲート酸化膜 9 1 の融点よりも低いことが好ましい。この加熱温度が保持される時間は、たとえば 1 時間程度である。これにより、ゲート酸化膜 9 1 とベース層 8 2 との界面領域における界面準位の形成がさらに抑制される。なお、雰囲気ガスとして、A r ガスに代えて窒素ガスなどの他の不活性ガスが用いられてもよい。

20

【 0 0 5 6 】

図 1 2 に示すように、ゲート酸化膜 9 1 上にゲート電極 9 2 が形成される。具体的には、トレンチ T R の内部の領域をゲート酸化膜 9 1 を介して埋めるように、ゲート酸化膜 9 1 上にゲート電極 9 2 が形成される。ゲート電極 9 2 の形成方法は、たとえば、導体またはドーパントポリシリコンの成膜と C M P（Chemical Mechanical Polishing）とによって行い得る。

30

【 0 0 5 7 】

図 1 3 を参照して、ゲート電極 9 2 の露出面を覆うように、ゲート電極 9 2 およびゲート酸化膜 9 1 上に層間絶縁膜 9 3 が形成される。層間絶縁膜 9 3 およびゲート酸化膜 9 1 に開口部が形成されるようにエッチングが行われる。この開口部により上面 P 2 上においてソース領域 8 3 およびコンタクト領域 8 4 の各々が露出される。次に上面 P 2 上においてソース領域 8 3 および n コンタクト領域 8 4 の各々に接するソース電極 9 4 が形成される。

【 0 0 5 8 】

再び図 2 を参照して、下側ドリフト層 8 1 A 上に、単結晶基板 8 0 を介して、ドレイン電極 9 8 が形成される。ソース配線層 9 5 が形成される。これにより、M O S F E T 2 0 0 が得られる。

40

【 0 0 5 9 】

（熱エッチング）

熱エッチングとは、エッチングされる対象を高温下でエッチングガスにさらすことによって行われるものであり、物理的エッチング作用を実質的に有しないものである。熱エッチングのプロセスガスはハロゲン元素を含有する。より好ましくはハロゲン元素は塩素またはフッ素である。具体的には、プロセスガスとして、C l₂、B C l₃、C F₄、および S F₆ の少なくともいずれかを含有するプロセスガスを用いることができ、特に C l₂ を好適に用いることができる。

50

【0060】

またプロセスガスはさらに酸素ガスを含有することが好ましい。またプロセスガスはキャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素ガス、アルゴンガスまたはヘリウムガスである。

【0061】

熱エッチングの熱処理温度は、好ましくは700 以上1200 以下である。この温度の下限は、より好ましくは800 、さらに好ましくは900 である。これによりエッチング速度を十分実用的な値とすることができる。またこの温度の上限は、より好ましくは1100 、さらに好ましくは1000 である。熱処理温度を700 以上1000 以下とした場合、SiCのエッチング速度はたとえば70 μm/時程度になる。

10

【0062】

熱エッチングを用いることにより、側壁面SWを特殊面に自己形成することができる。これにより側壁面SWに形成されるチャンネルの抵抗を小さくすることができる。

【0063】

(本実施の形態の作用効果)

本実施の形態によれば、MOSFET200のエピタキシャル膜90の材料として炭化珪素が用いられる。これによりMOSFET200は、ドリフト領域81において0.4 MV/cm以上の最大電界が印加されるような高い電圧を扱うことができる。

【0064】

さらにMOSFET200は、上記のような電圧印加の下で、素子部CL内の上側範囲RB(図2の矢印REに示す領域)における最大電界強度が、下側範囲RAにおける最大電界強度の3分の2未満となるように構成されている。これにより、耐圧の決定要因となる、素子部CL内の上側範囲RBにおける電界強度がより低くされる。具体的には、トレンチTRの側壁面SWと底面BTとがなす角部でゲート酸化膜91に加わる電界強度がより低くされる。逆に言えば、下側範囲RAにおける最大電界強度が、素子部CL内の上側範囲RBにおける最大電界強度の1.5倍を超えることにより、耐圧の決定要因とならない下側範囲RAにおける最大電界強度がより高くされる。これによりMOSFET200に高い電圧を印加することができる。すなわち耐圧を高めることができる。

20

【0065】

上側範囲RBは、上面JTE領域72Bと、上面ガードリング領域73Bと、フィールドストップ領域74Bとを有する。これにより耐圧をより高めることができる。なおこれらの構成の一部または全部は省略されてもよい。

30

【0066】

(変形例)

図14に示すように、MOSFET200(図2)の変形例のMOSFET200Pはプレーナ型である。すなわち、エピタキシャル膜90の上面P2上にトレンチTR(図2)が設けられておらず、平坦なP2上に、ベース層82Pと、ソース領域83Pと、コンタクト領域84Pとの不純物領域が形成されている。また平坦なP2上にゲート酸化膜91Pが設けられ、その上にゲート電極92Pが設けられている。

【0067】

本変形例によれば、プレーナ型MOSFETにおいて耐圧の決定要因となりやすい、ベース層82Pと上側ドリフト層81Bとの境界に加わる電界強度が、より低くされる。これによりMOSFET200Pの耐圧を高めることができる。

40

【0068】

(特殊面の構成)

上述した「特殊面」について詳しく説明する。上述したように、トレンチTRの側壁面SW(図2)は、特にベース層82上において特殊面を有することが好ましい。以下、側壁面SWが特殊面を有する場合について説明する。

【0069】

図15に示すように、特殊面を有する側壁面SWは、面S1(第1の面)を含む。面S

50

1は面方位{0-33-8}を有し、好ましくは面方位(0-33-8)を有する。好ましくは側壁面SWは面S1を微視的に含む。好ましくは側壁面SWはさらに面S2(第2の面)を微視的に含む。面S2は面方位{0-11-1}を有し、好ましくは面方位(0-11-1)を有する。ここで「微視的」とは、原子間隔の2倍程度の寸法を少なくとも考慮する程度に詳細に、ということの意味する。このように微視的な構造の観察方法としては、たとえばTEM(Transmission Electron Microscope)を用いることができる。

【0070】

好ましくは側壁面SWは複合面SRを有する。複合面SRは、面S1およびS2が周期的に繰り返されることによって構成されている。このような周期的構造は、たとえば、TEMまたはAFM(Atomic Force Microscopy)により観察し得る。複合面SRは面方位{0-11-2}を有し、好ましくは面方位(0-11-2)を有する。この場合、複合面SRは{000-1}面に対して巨視的に62°のオフ角を有する。ここで「巨視的」とは、原子間隔程度の寸法を有する微細構造を無視することを意味する。このように巨視的なオフ角の測定としては、たとえば、一般的なX線回折を用いた方法を用い得る。好ましくは、チャンネル面上においてキャリアが流れる方向であるチャンネル方向CDは、上述した周期的繰り返しが行われる方向に沿っている。

【0071】

次に、複合面SRの詳細な構造について説明する。

一般に、ポリタイプ4Hの炭化珪素単結晶を(000-1)面から見ると、図16に示すように、Si原子(またはC原子)は、A層の原子(図中の実線)と、この下に位置するB層の原子(図中の破線)と、この下に位置するC層の原子(図中の一点鎖線)と、この下に位置するB層の原子(図示せず)とが繰り返し設けられている。つまり4つの層ABCBを1周期としてABCBABCBABCB・・・のような周期的な積層構造が設けられている。

【0072】

図17に示すように、(11-20)面(図16の線XVII-XVIIの断面)において、上述した1周期を構成する4つの層ABCBの各層の原子は、(0-11-2)面に完全に沿うようには配列されていない。図17においてはB層の原子の位置を通るように(0-11-2)面が示されており、この場合、A層およびC層の各々の原子は(0-11-2)面からずれていることがわかる。このため、炭化珪素単結晶の表面の巨視的な面方位、すなわち原子レベルの構造を無視した場合の面方位が(0-11-2)に限定されたとしても、この表面は、微視的には様々な構造をとり得る。

【0073】

図18に示すように、複合面SRは、面方位(0-33-8)を有する面S1と、面S1につながりかつ面S1の面方位と異なる面方位を有する面S2とが交互に設けられることによって構成されている。面S1および面S2の各々の長さは、Si原子(またはC原子)の原子間隔の2倍である。なお面S1および面S2が平均化された面は、(0-11-2)面(図17)に対応する。

【0074】

図19に示すように、複合面SRを(01-10)面から見て単結晶構造は、部分的に見て立方晶と等価な構造(面S1の部分)を周期的に含んでいる。具体的には複合面SRは、上述した立方晶と等価な構造における面方位(001)を有する面S1と、面S1につながりかつ面S1の面方位と異なる面方位を有する面S2とが交互に設けられることによって構成されている。このように、立方晶と等価な構造における面方位(001)を有する面(図19においては面S1)と、この面につながりかつこの面方位と異なる面方位を有する面(図19においては面S2)とによって表面を構成することは4H以外のポリタイプにおいても可能である。ポリタイプは、たとえば6Hまたは15Rであってもよい。

【0075】

次に図20を参照して、側壁面SWの結晶面と、チャンネル面の移動度MBとの関係につ

いて説明する。図20のグラフにおいて、横軸は、チャンネル面を有する側壁面SWの巨視的な面方位と(000-1)面とのなす角度D1を示し、縦軸は移動度MBを示す。プロット群CMは側壁面SWが熱エッチングによる特殊面として仕上げられた場合に対応し、プロット群MCはそのような熱エッチングがなされない場合に対応する。

【0076】

プロット群MCにおける移動度MBは、チャンネル面の表面の巨視的な面方位が(0-33-8)のときに最大となった。この理由は、熱エッチングが行われない場合、すなわち、チャンネル表面の微視的な構造が特に制御されない場合においては、巨視的な面方位が(0-33-8)とされることによって、微視的な面方位(0-33-8)、つまり原子レベルまで考慮した場合の面方位(0-33-8)が形成される割合が確率的に高くなったためと考えられる。

10

【0077】

一方、プロット群CMにおける移動度MBは、チャンネル面の表面の巨視的な面方位が(0-11-2)のとき(矢印EX)に最大となった。この理由は、図18および図19に示すように、面方位(0-33-8)を有する多数の面S1が面S2を介して規則正しく稠密に配置されることで、チャンネル面の表面において微視的な面方位(0-33-8)が占める割合が高くなったためと考えられる。

【0078】

なお移動度MBは複合面SR上において方位依存性を有する。図21に示すグラフにおいて、横軸はチャンネル方向と<0-11-2>方向との間の角度D2を示し、縦軸はチャンネル面の移動度MB(任意単位)を示す。破線はグラフを見やすくするために補助的に付してある。このグラフから、チャンネル移動度MBを大きくするには、チャンネル方向CD(図15)が有する角度D2は、0°以上60°以下であることが好ましく、ほぼ0°であることがより好ましいことがわかった。

20

【0079】

図22に示すように、側壁面SWは複合面SR(図22においては直線で単純化されて示されている。)に加えてさらに面S3(第3の面)を含んでもよい。この場合、側壁面SWの{000-1}面に対するオフ角は、理想的な複合面SRのオフ角である62°からずれる。このずれは小さいことが好ましく、±10°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が{0-33-8}面となる表面がある。より好ましくは、側壁面SWの(000-1)面に対するオフ角は、理想的な複合面SRのオフ角である62°からずれる。このずれは小さいことが好ましく、±10°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が(0-33-8)面となる表面がある。

30

【0080】

より具体的には側壁面SWは、面S3および複合面SRが周期的に繰り返されることによって構成された複合面SQを含んでもよい。このような周期的構造は、たとえば、TEMまたはAFM(Atomic Force Microscopy)により観察し得る。

【0081】

(特殊面を有する炭化珪素半導体装置)

40

トレンチTRの側壁面SW(図2)が面S1(図15)を含む場合、面方位{0-33-8}を有する面にチャンネルが形成される。これにより、オン抵抗のうちチャンネル抵抗が占める部分が抑制される。よってオン抵抗を所定の値以下に維持しつつ、ドリフト領域81による抵抗を大きくし得る。よってドリフト領域81の不純物濃度をより低くすることができる。よってMOSFET200の耐圧をより高めることができる。トレンチTRの側壁面SWが面S1および面S2を微視的に含む場合は、オン抵抗をより抑制し得る。よって耐圧をより高めることができる。側壁面SWの面S1およびS2が複合面SRを構成している場合、オン抵抗をより抑制し得る。よって耐圧をより高めることができる。

【0082】

(実施例)

50

MOSFET 200 (図2)の実施例1および2と比較例とについてのシミュレーション結果を、以下の表1に示す。

【0083】

【表1】

	比較例	実施例1	実施例2
不純物ドーズ量	$1 \times 10^{13} \text{ (cm}^{-2}\text{)}$	$3 \times 10^{13} \text{ (cm}^{-2}\text{)}$	$5 \times 10^{13} \text{ (cm}^{-2}\text{)}$
ゲート酸化膜が破壊する電圧	656 (V)	1288 (V)	1543 (V)
電荷補償領域が破壊する電圧	2500 (V)	1540 (V)	1450 (V)
耐圧	656 (V)	1288 (V)	1450 (V)

10

【0084】

表1において「不純物ドーズ量」は、電荷補償領域71Aの不純物ドーズ量を示す。この結果から、不純物ドーズ量を増加させることで、耐圧の決定要因が、ゲート酸化膜91の破壊現象から電荷補償領域の破壊現象へと移行することが分かった。また、MOSFET 200の耐圧を高めることができることが分かった。

【0085】

20

図23を参照して、上述したようにゲート酸化膜91の破壊が防止されるのは、ゲート酸化膜91に印加される電界強度 E_{OX} が減少するためである。電界強度 E_{OX} の減少は、上側範囲RBにおける最大電界強度であるトレンチTRでの電界強度 E_{TR} の減少に対応している。逆に、下側範囲RAにおける最大電界強度である電荷補償領域71Aでの電界強度 E_{CM} は、不純物ドーズ量の増大にともなって増大している。

【0086】

比較例では、上側範囲RBにおける最大電界強度としての電界強度 E_{TR} と、下側範囲RAにおける最大電界強度としての電界強度 E_{CM} とがおおよそ同じである。この場合の耐圧は656Vであり、SiCの物性上の利点を十分に利用した耐圧の改善が行えていなかった。

30

【0087】

実施例1では、上側範囲RBにおける最大電界強度としての電界強度 E_{TR} は、下側範囲RAにおける最大電界強度としての電界強度 E_{CM} の半分未満である。この場合の耐圧は1288Vであり、SiCの物性上の利点を利用した耐圧の改善が行えた。

【0088】

実施例2では耐圧のより一層の改善が行われた。実施例2においては、表1に示すように、耐圧の決定要因はゲート酸化膜91の破壊現象である。よって、さらに不純物ドーズ量を増大させると、耐圧が低下すると考えられる。

【0089】

比較例と実施例1との結果を鑑みれば、これらのおおよそ中間の構成、すなわち上側範囲RBにおける最大電界強度としての電界強度 E_{TR} が、下側範囲RAにおける最大電界強度としての電界強度 E_{CM} の3分の2未満程度となるような構成によっても、比較例に比して耐圧を高めることができると考えられる。

40

【0090】

なお図23に示す電界強度は、ソース電極94およびドレイン電極92の間の電圧が1200Vの場合について計算した。またトレンチTRの開口幅は $3.0 \mu\text{m}$ 、深さは $1.4 \mu\text{m}$ とした。また電荷補償領域71Aは、厚さ方向において上面P2から $3 \mu\text{m}$ の深さに配置し、面内方向(図2の横方向)においてメサ構造の中心位置を原点として $1 \sim 3 \mu\text{m}$ の範囲に配置した。また下側ドリフト層81Aについて、厚さを $12 \mu\text{m}$ 、不純物濃度を $4 \times 10^{15} \text{ cm}^{-3}$ とした。また上側ドリフト層81Bについて、厚さを $3 \mu\text{m}$ 、不純物

50

濃度を $7.5 \times 10^{15} \text{ cm}^{-3}$ とした。

【0091】

また電荷補償領域 71A は、図 24 の不純物濃度プロファイルでの A1 注入によるものとした。比較例の濃度プロファイルは、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ かつ加速エネルギー 300 keV での 1 回の注入により得たものである。実施例 1 の濃度プロファイルは、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ かつ加速エネルギー 300 keV での注入と、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ かつ加速エネルギー 240 keV での注入とにより得たものである。実施例 2 の濃度プロファイルは、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ かつ加速エネルギー 300 keV での注入と、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ かつ加速エネルギー 240 keV での注入と、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ かつ加速エネルギー 150 keV での注入とにより得たものである。

10

【0092】

(付記)

炭化珪素半導体装置のチャネル型は p チャネル型であってもよく、この場合、上述した実施の形態において p 型と n 型とが入れ替えられた構成を用いることができる。炭化珪素半導体装置は、MOSFET 以外の MISFET (Metal Insulator Semiconductor Field Effect Transistor) であってもよく、また MISFET 以外のものであってもよい。MISFET 以外の炭化珪素半導体装置としては、たとえば IGBT (Insulated Gate Bipolar Transistor) がある。

【0093】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の特許請求の範囲は上記した説明ではなくて請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

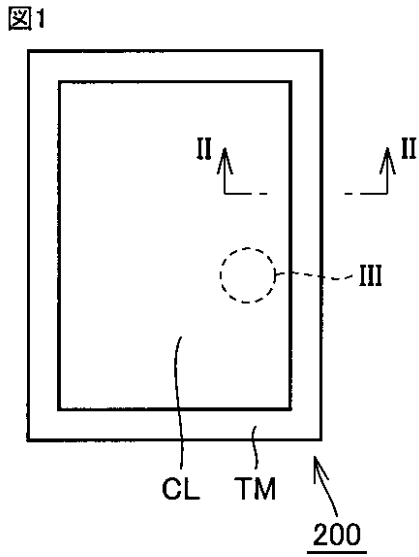
【符号の説明】

【0094】

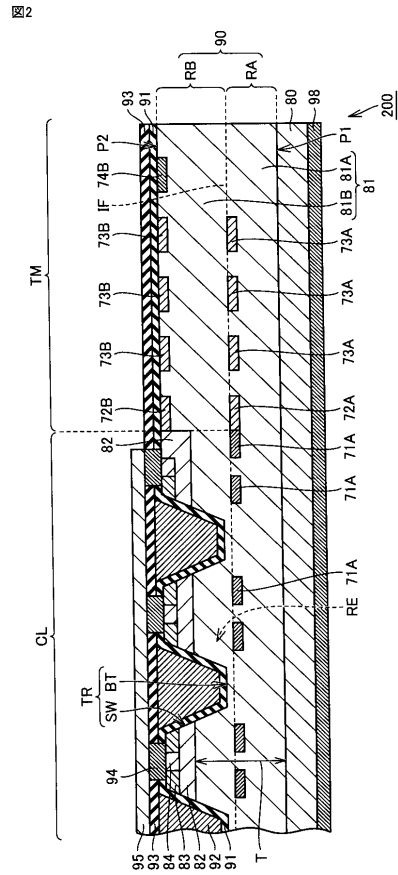
71A 電荷補償領域、72A 埋込 JTE 領域 (第 1 の接合終端領域)、72B 上面 JTE 領域 (第 2 の接合終端領域)、73A 埋込ガードリング領域 (第 1 のガードリング領域)、73B 上面ガードリング領域 (第 2 のガードリング領域)、74B フィールドストップ領域、80 単結晶基板 (基板)、81 ドリフト領域 (耐圧保持領域)、81A 下側ドリフト層 (第 1 の耐圧保持層)、81B 上側ドリフト層 (第 2 の耐圧保持層)、82, 82P ベース層 (チャネル形成領域)、83, 83P ソース領域、84, 84P コンタクト領域、90 エピタキシャル膜 (炭化珪素膜)、91, 91P ゲート酸化膜 (ゲート絶縁膜)、92, 92P ゲート電極、94 ソース電極 (第 2 の主電極)、98 ドレイン電極 (第 1 の主電極)、200, 200P MOSFET (炭化珪素半導体装置)、CL 素子部、IF 界面、P1 下面 (第 1 の主面)、P2 上面 (第 2 の主面)、RA 下側範囲 (第 1 の範囲)、RB 上側範囲 (第 2 の範囲)、S1 面 (第 1 の面)、SQ, SR 複合面、SW 側壁面、TM 終端部、TR トレンチ。

30

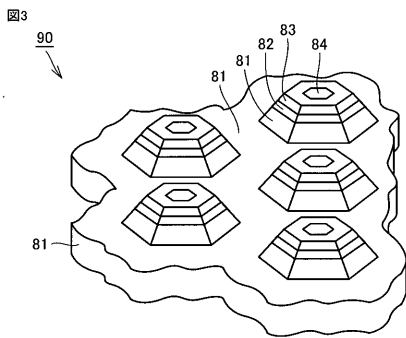
【 図 1 】



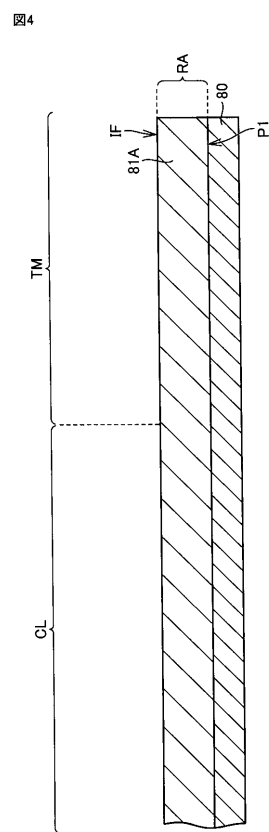
【 図 2 】



【 図 3 】

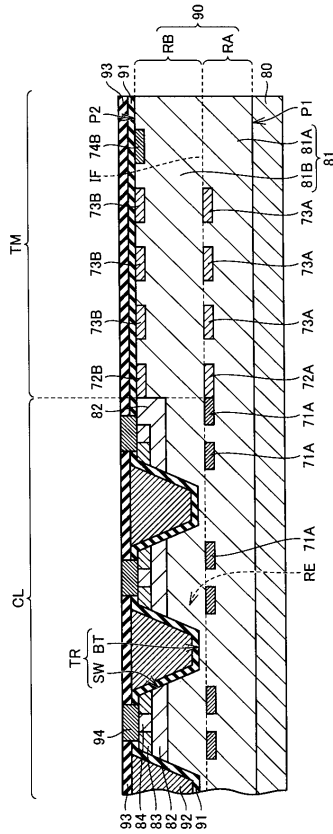


【 図 4 】



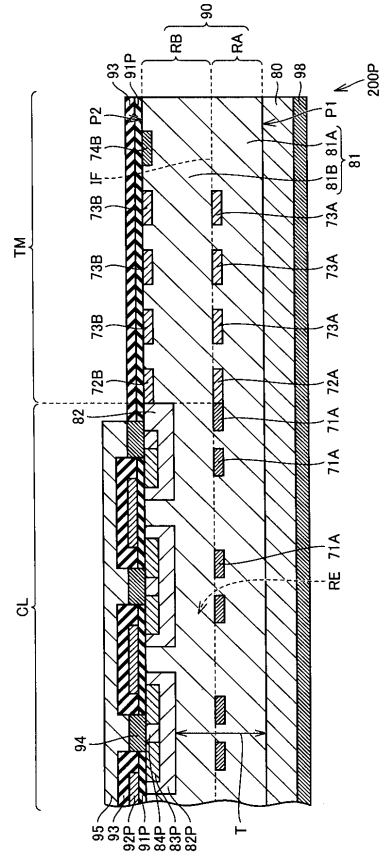
【 13 】

图13



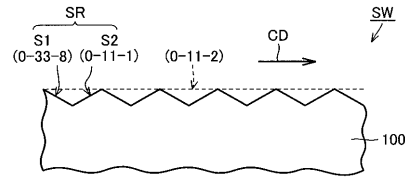
【 14 】

图14



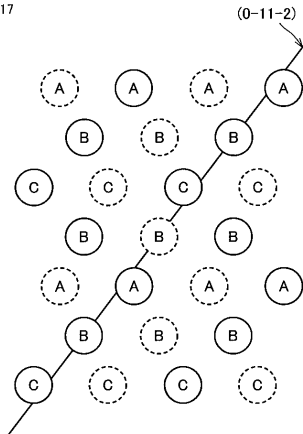
【 15 】

图15



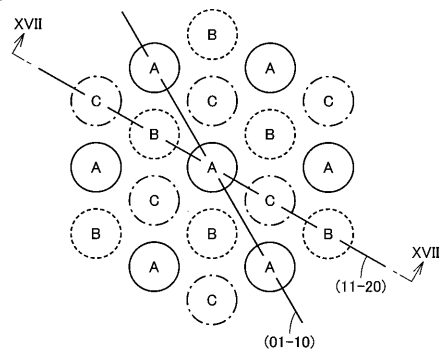
【 17 】

图17



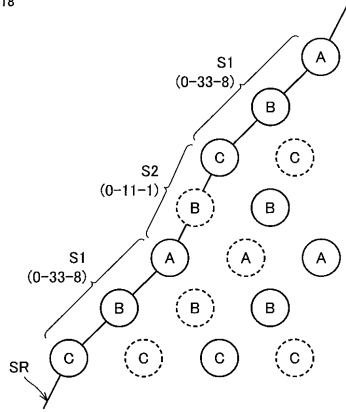
【 16 】

图16



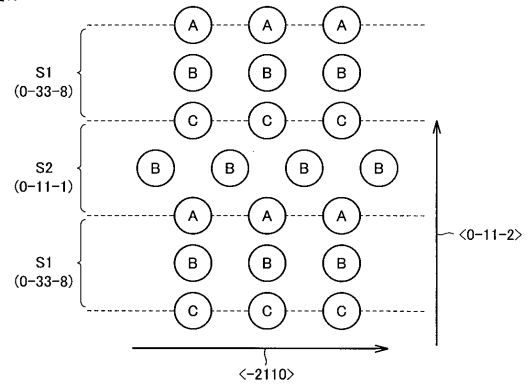
【 18 】

图18



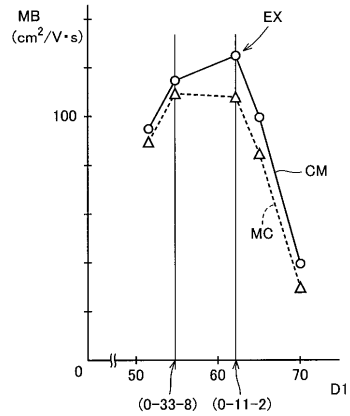
【 19 】

图19



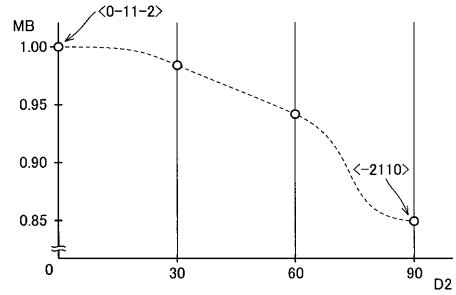
【 20 】

图20



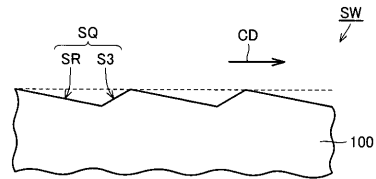
【 21 】

图21



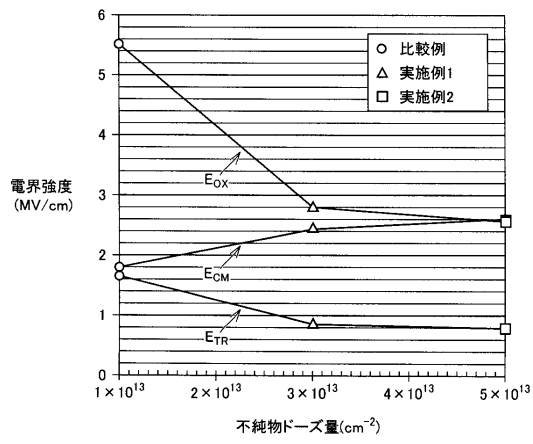
【 22 】

图22



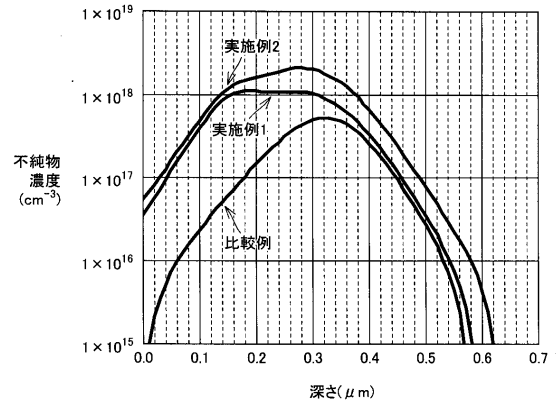
【図 2 3】

図23



【図 2 4】

図24



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 S
H 0 1 L 29/78 6 5 8 E
H 0 1 L 29/78 6 5 8 A
H 0 1 L 29/78 6 5 8 G
H 0 1 L 29/06 3 0 1 G
H 0 1 L 29/06 3 0 1 V
H 0 1 L 29/06 3 0 1 D

審査官 小川 将之

(56)参考文献 特表2001-523895(JP,A)
特表2002-525872(JP,A)
特開平09-036359(JP,A)
特開2013-008890(JP,A)
特開2002-222949(JP,A)
特開平09-191109(JP,A)
特開2009-088345(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 1 2