

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3956330号  
(P3956330)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月18日(2007.5.18)

(51) Int. Cl.		F I			
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	623V
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G02F	1/133	550
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/20	621M
			G09G	3/36	

請求項の数 16 (全 19 頁)

<p>(21) 出願番号 特願平11-3481                  (22) 出願日 平成11年1月8日(1999.1.8)                  (65) 公開番号 特開平11-259036                  (43) 公開日 平成11年9月24日(1999.9.24)                  審査請求日 平成15年12月9日(2003.12.9)                  (31) 優先権主張番号 9800330.4                  (32) 優先日 平成10年1月9日(1998.1.9)                  (33) 優先権主張国 英国(GB)</p>	<p>(73) 特許権者 000005049                  シャープ株式会社                  大阪府大阪市阿倍野区長池町22番22号                  (74) 代理人 100078282                  弁理士 山本 秀策                  (72) 発明者 グレアム アンドリュウ カーンズ                  イギリス国 オーエックス2 8エヌエイ                  チ オックスフォード, カッテスロー,                  ボーン クローズ 22                  (72) 発明者 マイケル ジェームズ ブラウンロー                  イギリス国 オーエックス4 4ワイビー                  オックスフォード, サンドフォード                  オン テムズ, チャーチ ロード 12                  4</p>
--	--

最終頁に続く

(54) 【発明の名称】マトリクスディスプレイ用データラインドライバおよびマトリクスディスプレイ

(57) 【特許請求の範囲】

【請求項1】

マトリクスディスプレイのM本のデータラインへの接続のためのデータラインドライバであって、入力が、シリアルイメージ信号を受け取る共通の入力に接続され、xがMよりも小さい、x個のデータライン回路を含み、該データライン回路の各々が、

イメージデータを1度に1画素分ずつ格納する、ストアと、

該ストア内に、1ライン分のイメージデータの少なくとも1部分からのm個の画素についてのイメージデータを順次格納し、mが1よりも大きい、マルチプレクサと、

該ストアに格納された該イメージデータに対応するライン信号を、M本のデータラインのうちm本の各々へと順次方向付ける、デマルチプレクサとを含み、

前記x個のデータライン回路の少なくともいくつかについて、前記m個の画素および前記m本のデータラインが、隣接せず、

前記m本のデータラインが(n + ik)番目のデータラインを含み、nが第1の所定の整数であり、kがmの倍数ではない第2の所定の整数であり、iがm個の連続する整数の組を示す、データラインドライバ。

【請求項2】

kが5に等しい、請求項1に記載のデータラインドライバ。

【請求項3】

前記各ストアがデジタルストアを含む、請求項1または2に記載のデータラインドライバ。

## 【請求項 4】

前記データライン回路の各々が、前記ストアと前記デマルチプレクサとの間に、デジタル - アナログ変換器を有する、請求項 3に記載のデータラインドライバ。

## 【請求項 5】

前記各デマルチプレクサが m 個の伝送ゲートを含む、請求項 1 から 4のいずれかに記載のデータラインドライバ。

## 【請求項 6】

前記各デマルチプレクサが、m 個の記憶回路およびバッファに接続された出力を有する、請求項 1 から 4のいずれかに記載のデータラインドライバ。

## 【請求項 7】

各記憶回路が、  
第 1 のキャパシタと、  
前記デマルチプレクサ出力の 1 つをそれぞれ該第 1 のキャパシタに接続する、第 1 のスイッチと、  
前記バッファの入力に接続される第 2 のキャパシタと、  
該第 1 のキャパシタを該第 2 のキャパシタに接続する、第 2 のスイッチと、  
を含む、請求項 6に記載のデータラインドライバ。

## 【請求項 8】

前記各記憶回路が、前記第 1 および第 2 のキャパシタおよびスイッチング構成を含み、  
該スイッチング構成が、  
第 1 のスイッチング状態において、該第 1 のキャパシタをそれぞれ前記デマルチプレクサ出力の 1 つに、該第 2 のキャパシタを前記バッファの前記入力に接続し、ならびに  
第 2 のスイッチング状態において、該第 2 のキャパシタをそれぞれ該デマルチプレクサ出力の 1 つに、該第 1 のキャパシタを該バッファの該入力に接続する、請求項 6に記載のデータラインドライバ。

## 【請求項 9】

前記各データライン回路の前記マルチプレクサが、前記ストアと、前記共通の入力からのイメージデータを格納するタイミングを制御する制御回路とを含む、請求項 1 から 8のいずれかに記載のデータラインドライバ。

## 【請求項 10】

m が 3 に等しい、請求項 1 から 9のいずれかに記載のデータラインドライバ。

## 【請求項 11】

前記共通の入力が、赤、緑および青のサブ入力を有し、前記各データライン回路の入力が、該サブ入力の 1 つに接続される、請求項 10に記載のデータラインドライバ。

## 【請求項 12】

前記共通の入力が、前記赤、緑および青のサブ入力を有し、前記各データライン回路が、入力が該サブ入力に接続されたさらなるマルチプレクサを有する、請求項 10に記載のデータラインドライバ。

## 【請求項 13】

前記各データライン回路が、前記デマルチプレクサの前記 m 本のデータラインへの接続をイネーブルする、m 個の出力スイッチを含み、該出力スイッチが、交互にイネーブルされる群として構成されている、請求項 1 から 12のいずれかに記載のデータラインドライバ。

## 【請求項 14】

請求項 1 から 13のいずれかに記載のデータラインドライバを含む、マトリクスディスプレイ。

## 【請求項 15】

液晶ディスプレイを含む、請求項 14に記載のマトリクスディスプレイ。

## 【請求項 16】

アクティブマトリクスディスプレイを含む、請求項 14 または 15に記載のマトリクス

10

20

30

40

50

ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マトリクスディスプレイ用のデータラインドライバ、およびこのようなドライバを含むマトリクスディスプレイに関する。ディスプレイは例えば、薄膜トランジスタ(TFT)アクティブマトリクス液晶表示装置(AMLCD)型であり得、ドライバは、大面積(large-area)シリコンオンインシュレータ(SOI)技術を使用してモノリシック構造に一体化され得る。

【0002】

【従来の技術】

添付した図面の図1は、典型的な公知のタイプのアクティブマトリクスディスプレイ、例えばJournal of the Society for Information Display, page 56-64, 1995に掲載の、Lewisらによる"Driver Circuits for AMLCDs"に開示されたディスプレイを示す。ディスプレイは、N行×M列の画素(画素)からなるアクティブマトリクス1を含む。M列の画素は、データラインドライバ2に接続されるデータラインを有する。データラインドライバ2の入力3が、表示すべきシリアルイメージデータを受け取る。行の画素は、走査ラインドライバ4に接続された走査ラインに接続される。走査ラインドライバ4は、走査またはストローク信号を供給し、イメージデータに関する画素のリフレッシュ動作を制御する。

【0003】

図1の下部分は、アクティブマトリクス1の部分拡大部分であり、個々の画素を示している。各画素は、薄膜トランジスタ6によって制御される画素電極5を有する。各トランジスタ6は、例えば参照符号7で示した共通の行走査ラインに接続されたゲート、および、例えば参照符号8で示した共通の列データラインに接続されたソースを有する。トランジスタ6のドレインは、電極5に接続される。

【0004】

各画素によって表示されたイメージデータのリフレッシュを行うために、適切な電圧をデータライン8に印加して、これを画素トランジスタ6のソースにかける。走査ラインドライバ4は、適切なタイミングで、スキャンライン7を介してトランジスタ6のゲートにストロークパルスを供給し、それにより、トランジスタを非導通状態から導通状態へとスイッチングする。したがって、電極5にかかる電圧が、データラインドライバ2によって対応するデータラインに供給される電圧に実質的に等しくなるまで、データラインからの電荷は、付加容量(storage capacitance)へと転送される。画素のリフレッシュ動作が完了すると、ストローク信号が、ドライバ4によって除去され、それによりトランジスタ6は、画素の次のリフレッシュサイクルを迎えるまで、非導通の状態に戻る。

【0005】

図1に示したタイプのディスプレイは、例えば小型および低画素解像度のアナログディスプレイである場合、ポイントアットアタイム(point-at-a-time)駆動スキームで使用され得る。この場合、ドライバ2は、各データライン8と入力3との間に接続された伝送ゲートをそれぞれ形成する、相補的サンプリングトランジスタの対を含む。シフトレジスタが、一度に1つのゲートだけが導通するように、伝送ゲートの導通を制御する。表示すべき1行または1ライン分のイメージデータを表すアナログビデオ信号が入力3に供給され、マトリクス1の対応する行が、ストローク信号を対応する走査ライン7に付与する走査ラインドライバ4によってイネーブルされる。次に、データラインドライバ2の伝送ゲートの各々が、ドライバ2のシフトレジスタによって、イメージデータと同期をとってイネーブルされ、イネーブルされたラインまたは行の画素が、順次一度に1つずつリフレッシュされる。

10

20

30

40

50

## 【 0 0 0 6 】

そのラインの画素をリフレッシュし終わると、走査ラインドライバ4が次の行の画素をイネーブルする。全てのラインの画素をリフレッシュし終わるまで、この処理を繰り返す。次に、この処理を、順次ディスプレイに供給されるイメージデータの各フレームについて繰り返す。

## 【 0 0 0 7 】

フレームリフレッシュレート  $f$  を有し、 $N \times M$  画素のマトリクスを含むディスプレイの場合、カラーディスプレイの場合の各色について、イメージデータのデータレート周波数は、 $fNM$  である。したがって、各画素のリフレッシュに利用可能な時間は、 $1/fNM$  以下である。導通時の各伝送ゲート、各データライン8および各画素トランジスタ6の抵抗の合計は、数キロオームにまで達し得、合計数十ピコファラッドにまで達し得るデータラインの寄生容量、画素付加容量および液晶容量と共に、ある時定数を形成する。尚、ディスプレイを適切にリフレッシュするためには、この時定数が、画素リフレッシュ周期よりも十分に小さくなければならない。このことにより、達成され得るディスプレイのサイズおよびフレームリフレッシュレートが制限される。多相 (multi-phase) 信号を使用して、同時ポイントアットアタイム駆動を実行することが可能であるが、要求される多相ディスプレイデータ信号を生成するのに必要な信号処理量が大きくなる。

10

## 【 0 0 0 8 】

多相ポイントアットアタイム駆動が実行できない大型ディスプレイにおいては、ラインアットアタイム駆動を使用して、データラインの荷電時間を実質的により長くできる。データラインドライバ2内にデジタル-アナログ変換を提供することにより、この技術は、アナログイメージデータまたはデジタルイメージデータと共に使用される得る。

20

## 【 0 0 0 9 】

添付の図面の図2は、デジタルイメージデータを用いるラインアットアタイム駆動を提供するディスプレイを示す。ディスプレイは、例えば図1に示したタイプの、複数の画素で構成されるアクティブマトリクス1を含む。図1のデータラインドライバ2が、物理的にアクティブマトリクス1の上と下に配置された、「上側」および「下側」のデジタルデータドライバ2aおよび2bと入れ替わっている。ドライバエレクトロニクスには広い領域が必要なので、このことがしばしば必要となる。ドライバ2aおよび2bが、インターリーブされたデータライン8aおよび8bの組をそれぞれ駆動する。走査ラインドライバ4が、図1に示したものと同一タイプであり、S1からSNまでの走査またはストロブ信号を、1度に1つずつ、反復的に順次、走査ライン7へと供給する。

30

## 【 0 0 1 0 】

データドライバ2aおよび2bが、制御ロジック9aおよび9bを含み、制御ロジック9aおよび9bのそれぞれが、制御および同期信号FPVDCK(フラットパネルビデオクロック: flat panel video clock)、FPDE(フラットパネルディスプレイイネーブル: flat panel display enable)およびHSYNC(水平同期: horizontal synchronisation)を受け取り、適切な制御信号をドライバの残りの部分へ供給する。ドライバ2aおよび2bの各々が、入力レジスタ10aおよび10b、記憶レジスタ11aおよび11b、ならびにデジタル-アナログ(D/A)変換器アレイ12aおよび12bを含む。各入力レジスタが、赤、緑および青イメージ画素についてn桁のイメージデータを受け取る、色データ入力バスに接続される。各変換器アレイ12aおよび12bが、ガンマ補正基準電圧(gamma correction reference voltage)を受け取り、この基準電圧をD/A変換に使用して、液晶電圧非線形伝送を補償する。走査ラインドライバ4が、信号HSYNCおよびVSYNC(水平および垂直同期信号: horizontal and vertical synchronising signals)を受け取る。

40

## 【 0 0 1 1 】

図2においてR(0:n-1)、G(0:n-1)、B(0:n-1)で示された赤、緑

50

および青イメージデータは、 $n$ ビット並列データとして供給され、これらの画素のデータは順次供給される。入力レジスタ10aおよび10bは、複数の段を有する直列シフトレジスタを含み、各段は1つの $3n$ ビットレジスタを含む。レジスタ10aおよび10bの段は、記憶レジスタ11aおよび11bに接続された並列出力を有し、記憶レジスタは、シフトレジスタ段の数に等しい $3n$ 個のビットラッチを含む。

【0012】

デジタルイメージデータが、1度に1ラインずつ、入力レジスタ10aに入力される。ライン全体のデータが入力されると、データが、入力レジスタ10aおよび10bから記憶レジスタ11aおよび11bへと転送される。走査信号は、リフレッシュすべき画素行の走査ライン7に付与される。変換器アレイ12aおよび12bが、レジスタ11aおよび11bのラッチに記憶されたイメージを、適切なデータ電圧へと変換し、これらをデータライン8aおよび8bに供給する。以上のように、画素のラインまたは行全体が同時に更新される。

10

【0013】

1行分の画素の更新の間に、次の行の画素のイメージデータが、入力シフトレジスタ10aおよび10bに入力される。入力レジスタが完全な1行分のイメージデータを受け取ると、イメージデータは記憶レジスタに転送され、走査ラインドライバ4が、更新すべき次の行の画素の走査ライン7に信号を供給する。

【0014】

この技術を使用して、各ラインまたは行の画素が、 $1/fN$ に等しい時間内にリフレッシュされる。したがって、各画素のリフレッシュ周期は、ポイントアットアタイム駆動技術における場合よりも、実質的に大きくなる。したがって、ラインアットアタイム技術を用いた場合、データラインの荷電に利用可能な時間がより長い。

20

【0015】

【発明が解決しようとする課題】

ラインタイム周波数で互いにラインタイムの半分 $1/2fN$ だけの位相がずれた状態で、データサンプリングおよびデータライン駆動を連続的に実行する2つの部分に分割されたデータドライバを提供することにより、ハーフラインアットアタイム駆動(half-line-at-a-time driving)を提供する技術が、GB2323958およびEP0869471に開示されている。データドライバの第1の部分がイメージデータのサンプリングを実行するとき、ドライバの第2の部分は、半行分の画素を駆動する。データドライバの第1の部分によってデータのサンプリングが完了すると、その動作モードが変化し、行の第2の部分の画素を駆動する。これと同時に、データドライバの第2の部分がイメージデータのサンプリングを開始する。

30

【0016】

図2に示した構成は、入力および記憶レジスタ10a、10b、11aおよび11bのような、2ライン分のイメージデータを格納するのに十分な容量を有するメモリを必要とする。1ライン分のイメージデータが格納されればよいので、ハーフラインアットアタイム駆動構成は、メモリ要件を低減する。

【0017】

図2に示したラインアットアタイム駆動の大容量のメモリ要件のために、結果的に、通常データドライバを2つの部分に分割し、アクティブマトリクス1の上と下に配置する必要が生じる。しかし、この構成の欠点は、アレイ12aおよび12bのD/A変換器の性能を一致させることが困難であるという点にある。このような回路が低温多結晶シリコン素子の形態をとり、ディスプレイのサイズが大きい場合、さらに困難になる。

40

【0018】

データドライバ内のD/A変換器を多重化することにより、この欠点を克服しようとする構成が、US5604511に開示されている。この構成において、信号変換器が使用され、全てのデジタルイメージデータを、ディスプレイアクティブマトリクスを駆動するのに適した信号レベルに変換する。しかし、このことにより、画素データレート周波数で駆

50

動し、したがって  $1/fNM$  秒内に各変換を実行できる、 $D/A$ 変換器が必要になる。

【0019】

US5170158は、 $D/A$ 変換器がデータドライバ内で多重化され、それゆえ、アクティブマトリクス内の画素列数よりも少ない数の変換器を有する、構成を開示している。具体的には、各ラインのデータは、時間多重化(time-multiplexed)技術を使用して格納され、データライン信号に変換され、それにより、各 $D/A$ 変換器は、イメージデータの画素を1ラインあたり複数個変換する。US5170158の図2および図6に示された構成は4つの変換器を含み、各変換器は、 $1/4$ ライン分のイメージデータを格納するだけの容量を有するシフトレジスタに接続される。シフトレジスタの入力は、共通のイメージデータ入力に接続される。US5170158の図10に示された構成において、シフトレジスタは1ライン全体分のデータを格納し、変換器がラッチからのデータを受け取り、1画素分のイメージデータを格納する。ラッチは、連続する複数段のライン容量シフトレジスタに接続される。US5170158の図12に示された構成は、図10の構成と同様のものであるが、シフトレジスタが、5分の1ライン分のイメージデータを格納するだけの容量を有している。US5170158の図15に示された構成は、1ライン全体のイメージデータを格納するシフトレジスタを有する。変換器は、マルチプレクサによってラッチに接続され、そしてラッチは順にシフトレジスタに接続され、ラッチの数はシフトレジスタの段の数に等しい。この構成において、2ライン分のイメージデータのメモリ容量が必要である。US5170158の図18および図21に示した構成は、5分の1ライン分のイメージデータの容量を有するシフトレジスタを有する。変換器は、マルチプレクサによって1組のラッチに接続され、各ラッチはある段のシフトレジスタに接続され、5画素分のイメージデータを格納できる容量を有する。したがって、これらの構成は、1ライン分のイメージデータの記憶容量を必要とする。

10

20

【0020】

よって、本発明の目的は、データラインドライバの構成において、必要な変換器の数を少なく、且つ必要なデジタルメモリ容量を小さくすることである。これにより、構成要素の数を低減でき、回路集積面積をより小さくできる。その結果、省電力で、歩留まりが向上し、且つコストを抑えたドライバが提供される。

【0021】

本発明の他の目的は、上側および下側のドライバを提供する必要を回避することである。しかし上側および下側のドライバが存在する場合にも、ドライバ構成要素は狭い素子領域上により均一に製造され得るので、 $D/A$ 変換およびバッファリングの正確さは向上され得、ディスプレイイメージ品質を向上できる。

30

【0022】

【課題を解決するための手段】

本発明の第1の局面によると、マトリクスディスプレイのM本のデータラインへの接続のためのデータラインドライバであって、入力が、シリアルイメージ信号を受け取る共通の入力に接続され、 $x$ がMよりも小さい、 $x$ 個のデータライン回路を含み、該データライン回路の各々が、イメージデータを1度に1画素分ずつ格納する、ストアと、該ストア内に、1ライン分のイメージデータの少なくとも1部分からのm個の画素についてのイメージデータを順次格納し、mが1よりも大きい、マルチプレクサと、該ストアに格納された該イメージデータに対応するライン信号を、M本のデータラインのうちm本の各々へと順次方向付ける、デマルチプレクサとを含むデータラインドライバが提供され、これにより上記目的が達成される。

40

【0023】

前記 $x$ 個のデータライン回路の少なくともいくつかについて、前記m個の画素および前記m本のデータラインが、隣接していないことが好ましい。

【0024】

好ましくは、前記m本のデータラインが $(n+ik)$ 番目のデータラインを含み、 $n$ が第1の所定の整数であり、 $k$ がmの倍数ではない第2の所定の整数であり、 $i$ がm個の連続

50

する整数の組を示す。好ましくは、kは5に等しい。

【0025】

前記各ストアがデジタルストアを含み得る。

【0026】

前記データライン回路の各々は、前記ストアと前記デマルチプレクサとの間に、デジタル-アナログ変換器を有してもよい。

【0027】

前記各デマルチプレクサはm個の伝送ゲートを含み得る。前記各デマルチプレクサは、m個の記憶回路およびバッファに接続された出力を有してもよい。

【0028】

各記憶回路は、第1のキャパシタと、前記デマルチプレクサ出力の1つをそれぞれ該第1のキャパシタに接続する、第1のスイッチと、前記バッファの入力に接続される第2のキャパシタと、該第1のキャパシタを該第2のキャパシタに接続する、第2のスイッチとを含み得る。

【0029】

前記各記憶回路は、前記第1および第2のキャパシタおよびスイッチング構成を含み、該スイッチング構成が、第1のスイッチング状態において、該第1のキャパシタをそれぞれ前記デマルチプレクサ出力の1つに、該第2のキャパシタを前記バッファの前記入力に接続し、ならびに第2のスイッチング状態において、該第2のキャパシタをそれぞれ該デマルチプレクサ出力の1つに、該第1のキャパシタを該バッファの該入力に接続し得る。

【0030】

前記各データライン回路の前記マルチプレクサは、前記ストアと、前記共通の入力からのイメージデータを格納するタイミングを制御する制御回路とを含み得る。好ましくは、mは3に等しい。

【0031】

前記共通の入力が、赤、緑および青のサブ入力を有し、前記各データライン回路の入力が、該サブ入力の1つに接続され得る。または、前記共通の入力が、前記赤、緑および青のサブ入力を有し、前記各データライン回路が、入力が該サブ入力に接続されたさらなるマルチプレクサを有してもよい。

【0032】

前記各データライン回路が、前記デマルチプレクサの前記m本のデータラインへの接続をイネーブルする、m個の出力スイッチを含み、該出力スイッチが、交互にイネーブルされる群として構成され得る。

【0033】

また、本発明によると、上記のデータラインドライバを含むマトリクスディスプレイも提供され、これにより上記目的が達成される。マトリクスディスプレイは、液晶ディスプレイを含み得る。さらに、アクティブマトリクスディスプレイを含み得る。

【0034】

以下に作用を説明する。上述のような構成において必要とされる変換器の数およびデジタルメモリ容量は、例えば前述の公知の構成においてよりも少なくても済む。具体的には、x個の変換器を必要とし、x画素分のイメージデータのメモリ容量で足りる。したがって構成要素の数は減少し、回路集積面積(area of circuit integration)はより狭くて済む。これにより、省電力で、歩留まりが向上し、且つコストを抑えたドライバが提供される。

【0035】

多くの方法において、このような構成は添付の図面の図2に示した上側および下側のドライバを提供する必要を回避する。しかし上側および下側のドライバが存在する場合にも、ドライバ構成要素は狭い素子領域上により均一に製造され得るので、D/A変換およびバッファリングの正確さは向上され得る。これが、向上したディスプレイイメージ品質を提供する。また、AMLCDの製造における、液晶ラビング段階の間、データドライバの反

10

20

30

40

50

対側のマトリクス端におけるデータラインが、アクティブマトリクスTFTを保護するために接地され得るので、製造が簡略化される。

【0036】

また、前記x個のデータライン回路の少なくともいくつかについて、前記m個の画素および前記m本のデータラインが、隣接しないように、ドライバを構成すれば、各データライン回路の連続する動作の間の時間は、増加し得る。例えば、データライン回路がD/A変換器を有する場合、最大許容変換時間が増加して、それにより、変換がより正確に実行され得る。また、更なる時間が、あるタイプのD/A変換器と同様に、基準電圧からのデータラインの荷電に利用可能になる。このタイプの構成が各データラインに関連する伝送ゲートを有する場合、要求されるリフレッシュレートを達成しつつも、伝送ゲートのトランジスタが、かなり小さくなり得る。

10

【0037】

さらに、m本のデータラインが $(n + ik)$ 番目のデータラインを含み、nが第1の所定の整数であり、kがmの倍数ではない第2の所定の整数であり、iがm個の連続する整数の組を示すような構成により、行端部のデータドライバを除いて、データライン回路とデータラインとの間において同じ構成の横方向ルーティングを可能にする。

【0038】

以下に、添付の図面を参照して実施の形態を例示することにより、本発明をさらに説明する。

【0039】

【発明の実施の形態】

全図面を通して、同じ参照符号は同じ部材を示す。

20

【0040】

図3は、本発明の実施形態を構成するデータラインドライバ2の回路のレイアウトを示す。図3は、アクティブマトリクスと、画素行またはライン端部を除いた、関連するデータラインドライバ回路とを部分的に示し、画素列の列番号およびデータラインは、図3の上部に示す。並列なnビットのデジタルイメージデータ $D(0 : n - 1)$ が、順次共通の入力3に供給され、共通の入力が、複数のデータライン回路または列データドライバ20に接続される。各回路20は、nビットのデータバス22を介して共通の入力3に接続されたn個の並列入力を持つ、並列なnビットの記憶レジスタまたはラッチ21を含む。記憶レジスタ21のnビットの並列出力が、D/A変換器23の入力に接続され、変換器は変換プロセスのための共通の基準電圧または電流を、回路20の全てに共通のライン24から受け取る。変換器23の出力が、列デマルチプレクサ25の入力に接続され、列デマルチプレクサの出力は、ラインドライバを備え得、ディスプレイアクティブマトリクスのデータライン8に接続される。

30

【0041】

データラインドライバ2は、M個の画素列データライン8を駆動するように設けられるが、そのうちの1部のみを図3に示す。ドライバ2は、M/m個の回路20を含み、図示された構成において、mは3に等しい。したがって、列端部において要求される回路20は除いて、列データドライバ20の数が、従来の構成において要求される数の3分の1にまで減少する。

40

【0042】

記憶レジスタ21および変換器23が、m列毎のインターバルで、ディスプレイマトリクスに沿って効率的な位置取りで配置されており、各々が各ラインリフレッシュ時間の間にm回の動作を行う。列デマルチプレクサ25は、画素列走査ライン8のそれぞれに接続されたm個の出力を有し、画素列走査ラインの配置は、横方向の接続の間隔をk列毎とすることによって、k個の画素分のデータ周期のファクタによる、レジスタサンプリングおよびD/A変換動作に利用可能な時間を増加させる。尚、図3に示された構成においては、kは5に等しい。例えば、[n]番目の列に関連した回路20が、時間t[n]における画素リフレッシュイメージデータを[n]番目の列データラインに供給するために接続さ

50

れた、第1のデマルチプレクサ出力を有する。同じドライバ20の第2のデマルチプレクサ出力が、時間 $t(n-5)$ の画素リフレッシュデータを、 $[n-5]$ 番目の列データラインに供給する。同じ回路20の第3のデマルチプレクサ出力が、時間 $t(n+5)$ の画素リフレッシュデータを、 $[n+5]$ 番目の列データラインのデータラインに供給する。したがって、回路20の各々についての記憶動作(storage)およびD/A変換動作の各々に利用可能な時間が、5画素分のデータ周期( $5/fMN$ )に等しい。

#### 【0043】

同じ横方向のルーティングが各回路の20とそれが駆動するデータラインとの間を接続するために採用されるためには、 $k$ は $m$ の倍数であるべきでない。画素の各ラインまたは行の長さは有限であるので、行端部における回路20のルーティングは、列端部を除いたそれとは異なる。しかし、回路20の数の大幅な減少が達成され、データ記憶要件は、 $M/m$ 画素分のイメージデータにまで低減される。

10

#### 【0044】

図4は、同時ポイントアットアタイム駆動用の、図3に説明したタイプのデジタルデータドライバ2を含む、比較的低い解像度のディスプレイの構成を示す。本実施例によると、ディスプレイはアクティブマトリクスタイプであるが、ドライバ2はパッシブマトリクスタイプのディスプレイにも同様に使用され得る。アクティブマトリクス1は、例えば、カラーまたはモノクロの反射型液晶ディスプレイであり得、比較的低いコントラスト比性能が比較的少ない画素単位のデータビットを要求する。ドライバ2は、例えばこれまでに説明し且つ図2に示したような、制御ロジック9を含む。記憶レジスタ21が制御ロジック9と共に、時間多重化サンプリングアレイ30を形成し、そのことにより制御ロジック9の制御下にある各レジスタ21が、マルチプレクサとして機能し、ドライバ回路20の適切な走査ライン8に供給される画素イメージデータを、レジスタ内に順次格納する。D/A変換器23が、時間多重化デコーダとして構成され、電圧セクタアレイ31および列デマルチプレクサ25が、アレイ32として構成されている。

20

#### 【0045】

比較を可能にするために、図4に示すデータドライバ2の高さは、図2のドライバ2aおよび2bと同じ縮尺で描かれている。そうすることで、集積面積の減少、つまり、本発明の典型的な実施形態において達成され得る、構成要素の数の減少が示される。

#### 【0046】

図5は、図4のディスプレイに使用する列データドライバ回路20の典型的な構成を示す。レジスタ21は、4ビットデータバス22に接続された、パラレルイン/パラレルアウト(parallel in/parallel out)4ビットレジスタを含み、この場合、4ビットデータバスはモノクロのシリアルイメージデータを受け取る。各レジスタ21の出力は、4ビット-16ラインデコーダおよびD/A変換器23を構成する電圧セクタとに接続される。デコーダおよびセクタ23の出力は列デマルチプレクサ25に供給され、そのために横方向データラインルーティング26によって、画素列データライン8に供給される。

30

#### 【0047】

ここまで図3を参照して説明したように、列データドライバ回路20は、3回多重化され、そのことにより $m$ が3に等しくなり、ドライバ回路20の数は、画素列データライン8の数のおよそ3分の1になる。しかし、異なる程度でも多重化が行われ得、例えば、ドライバ回路20を4回多重化することによって、各々が4つの画素データライン8に接続され、ドライバ回路20の数は画素列の4分の1となる。

40

#### 【0048】

再び、 $k$ が5に等しくなるように、横方向データラインルーティング26が選ばれる。したがって、各列デマルチプレクサ25の接続された列の隣り合う組が、5画素列毎の間隔で設けられ、5画素分のデータ周期が各変換動作に利用可能となる。しかし、 $k$ にはどんな数を選んでよい。  $k$ が $m$ の倍数でない場合は、画素行端部のドライバ回路とは異なるドライバ回路20の各々における横方向データラインルーティング26は同じである。

50

## 【 0 0 4 9 】

図 6 は、図 5 に示したドライバ回路 2 0 の動作を示すタイミング図である。ドライバ回路は、各回路 2 0 上の図 5 に示された列番号によって識別される。例えば、[ n - 8 ] 番目の列内の画素についての画素イメージデータが 4 ビットデータバス 2 2 にあるとき、列 [ n - 3 ] に関連するドライバ回路が、データライン駆動動作を開始する。行の [ n - 3 ] 番目の画素についてのイメージデータがデータバス 2 2 に到達するまでは、このドライバ回路は、別の変換動作の開始を要求されない。したがって理論的には、ドライバ回路 2 0 は、5 画素分のデータ周期で、画素データをサンプリングする動作を実行し、対応するデータラインについての適切な信号にデータをデコードし、データラインに電荷を与える。実際には周期の合計は、5 画素分のデータ周期よりも短かくてもよいが、少なくとも 4 画素分のデータ周期が、各変換動作に利用可能にすべきである。

10

## 【 0 0 5 0 】

図 6 にも示されるように、各ドライバ回路 2 0 は 3 回 ( m = 3 ) 動作する。しかしここまでで説明したように、ドライバ回路 2 0 は、より高度に多重化され得、それにより横方向データラインルーティングの複雑さの増大を抑制して、ドライバ回路 2 0 の数を減らす。

## 【 0 0 5 1 】

図 7 は、1 つのドライバ回路 2 0 の、変換器 2 3 およびデマルチプレクサ 2 5 の具体例を詳細に示す。D / A 変換器は、4 ビット - 1 6 ラインデコーダ 2 3 a を含み、このデコーダはレジスタ 2 1 から 4 ビットの画素データを受け取り、デジタルデータによって表される 2 進数に一致する、1 6 個ある出力のうちの 1 つを活動させる。

20

## 【 0 0 5 2 】

デコーダ 2 3 a の出力は、参照符号 6 0 で示す 1 6 個の伝送ゲートを含む、電圧セレクタ 2 3 b に接続され、各伝送ゲートは、それぞれ 1 つのデコーダ出力によって制御される。伝送ゲート 6 0 の各々が、2 つの並列相補的トランジスタ 6 1 および 6 2 を含み、それらのゲートのうち 1 つが制御信号を直接受け取り、残りのゲートがインバータ 6 3 を介して制御信号を受け取る。各伝送ゲートが、電圧セレクタ 2 3 b のバス 2 4 および出力 3 3 を形成する、1 6 個のガンマ補正基準電圧ラインのそれぞれ 1 つ 1 つの間に接続される。したがって、デコーダ 2 3 a の作動した出力が、バス 2 4 にあるいずれの電圧が D / A 変換器の出力に供給されるかを判定する。

## 【 0 0 5 3 】

デマルチプレクサ 2 5 は、デマルチプレクサ 2 5 の制御入力 3 5 に供給されるデータライン選択信号によって制御される、例えば参照符号 3 4 で示す、3 個の伝送ゲートを含む。伝送ゲート 3 4 の各々が、電圧セレクタ 2 3 b の出力 3 3 と、ドライバ回路 2 0 と関連する 3 つのデータライン 8 のそれぞれとの間を接続されている。したがって、デマルチプレクサ 2 5 の入力 3 5 に接続されたラインの 1 つをイネーブルすることによって、変換器の出力はデータライン 8 の 1 つに接続される。

30

## 【 0 0 5 4 】

データライン 8 は、2 つの順次接続された伝送ゲート、つまり電圧セレクタ 2 3 b 内の 1 つの部材 6 0、および列デマルチプレクサ 2 5 内の別の部材 3 4 を介して電荷が与えられる。これらのゲートは、データライン 8 上の電荷注入を最小化するために慎重にスイッチされるべきである。

40

## 【 0 0 5 5 】

図 8 は、図 5 に示したのと本質的に同じタイプの、4 ビットの、カラーまたは R G B のデジタルデータドライバを示す。しかし、列データドライバ回路 2 0 は各色について繰り返され、そのために M 本のデータライン 8 に対して、M 個の回路が存在する。ここでもまた、m は 3 に等しく、k は 5 に等しい。

## 【 0 0 5 6 】

ドライバ回路 2 0 の各々が、共通の入力 3 に接続された 3 つあるデータバス 2 2 の 1 つから 4 ビットのデータを受け取る。したがって、各ドライバ回路 2 0 は 5 画素列毎の間隔で配置された 3 つのデータライン 8 の単一の色を操作する。バス 2 2、各ドライバ 2 0 内の

50

接続、横方向データラインルーティング 26 および画素データライン 8 が、青については実線で、緑については点線で、赤については破線で示される。

【0057】

時間  $t(n)$  において、RGB バス 22 上の赤、緑および青データは、 $[n]$  番目の列内の画素に対応している。 $[n]$  番目の列のドライバ回路 20 は、緑データラインを駆動し、 $[n-5]$  番目のドライバ回路 20 が青データラインを駆動し、 $[n+5]$  番目の回路 20 が、 $[n]$  番目列データライン 8 の赤データラインを駆動する。

【0058】

図 9 は、図 4 で示したのと同様のタイプの高ビット解像度カラーディスプレイを示すが、これは、GB 2323958 および EP 0869471 に開示されたハーフラインアットアタイム (half-line-at-a-time) 駆動技術を例示している。アレイ 32 が、スイッチ 41 を介して各データライン 8 を駆動するラインドライバ 40 をそれぞれ含む。アクティブマトリクス 1 内の行の第 1 の部分のデータライン 8 のスイッチ 41 が、制御ライン 42 と共に且つ制御ライン 42 を介して接続された制御入力を有し、制御信号 A を受け取る。行の第 2 の部分のスイッチ 41 が、制御信号 B を受け取る共通の制御ライン 43 に接続された制御入力を有する。制御信号 A および B は、制御ロジック 9 によって供給される。

【0059】

図 9 に示したディスプレイの動作は、図 10 の波形図によって示される。スイッチ 41 が活性化され、制御信号 A または B が高いレベルにある場合、ドライバ 40 をそれぞれデータライン 8 に接続する。そうでない場合は、スイッチ 41 が開となり、ラインドライバ 40 をデータライン 8 から切断する。図 10 は垂直方向および水平方向の同期信号、フラットパネルディスプレイイネーブル (FPDE) 信号、アクティブマトリクス 1 の列 1 (左手列) についてのサンプリング信号、ならびに列 1、 $M/2$ 、 $M/2+1$  および  $M$  についての  $D/A$  変換時間周期を示す。第 1 の、3 つのストローク信号  $S_1$ 、 $S_2$  および  $S_3$  も、スイッチ制御信号 A および B と共に示される。

【0060】

画素行のイメージデータがリフレッシュされる直前の、時間  $t_0$  において、水平方向の同期信号が立ち下がる。時間  $t_0$  から時間  $t_1$  までの間に、行またはラインデータの第 1 の部分がサンプリングされる。時間  $t_1$  において、第 1 の行の走査信号  $S_1$  および制御信号 A はハイなので、列 1 から  $M/2$  までの、データライン 8 のドライバ回路 20 内のスイッチ 41 が活性化され、行の第 1 の部分の対応する画素がリフレッシュされる。

【0061】

同じ周期の間、行の第 2 の部分のイメージデータは、サンプリングされ、列  $M/2+1$  から  $M$  までのドライバ回路 20 によって変換される。時間  $t_2$  において、制御信号 A はローであり、そのため行の第 1 の部分のドライバ回路 20 はデータライン 8 から切断される。これと同じ瞬間、制御信号 B はハイなので、残りのドライバ回路は、対応するデータラインに接続される。ストローク信号  $S_1$  は依然ハイなので、第 1 の行の第 2 の部分の画素はリフレッシュされる。行全体のリフレッシュは時間  $t_3$  において終了する。ストローク信号  $S_1$  はローであり、次のラインのストローク信号  $S_2$  はハイであり、プロセスは繰り返される。

【0062】

デジタル/アナログ変換遅延 (conversion delay) が図 10 に示される。時間  $t_1$  において、ストローク信号  $S_1$  および制御信号 A を受け取る走査ラインは、活性化される。時間  $t_1$  と時間  $t_2$  との間の、デジタル/アナログ変換およびデータラインの荷電は、半分の行に含まれる全てのデータライン 8 について完了されねばならない。図示された例においては、全ての変換が時間  $t_1$  までに完了し、この制約が充足される。

【0063】

ここまでで説明したように、ラインアットアタイム駆動を実行するために、各ドライバ回路 20 はさらなるアナログメモリが必要である。この目的のための記憶回路の 2 つの例を

10

20

30

40

50

図 1 1 ( a ) および図 1 1 ( b ) に示す。記憶回路は、デマルチプレクサ出力と対応するデータライン 8 との間に接続される。アナログ記憶回路は、各デマルチプレクサ 2 5 からの出力がサンプリングされるのを可能にし、一方で、ラインドライバまたはバッファ 4 0 が、前のイメージラインからの画素データを有するデータライン 8 を同時に駆動する。

【 0 0 6 4 】

図 1 1 ( a ) に示した記憶回路は第 1 および第 2 のキャパシタ C 1 および C 2 ならびに第 1 および第 2 のスイッチ 4 5 および 4 6 を含む。キャパシタ C 1 は、スイッチ 4 5 によってデマルチプレクサ 2 5 の出力に接続され、出力信号をサンプリングし、一方で、キャパシタ C 2 に格納された電荷がバッファ 4 0 の入力を駆動する。キャパシタ C 1 内の「データ」を転送するために、スイッチ 4 6 が閉となり、そのことにより、キャパシタ C 1 および C 2 にかかる電荷が共有され、C 2 が新しい「データ」をバッファ 4 0 に供給する。次にスイッチ 4 6 が再び開となり、スイッチ 4 5 が閉となり、次のサンプルを転送し得る。

10

【 0 0 6 5 】

図 1 1 ( b ) は別の構成を示し、この構成では、2 つのキャパシタ C 1 および C 2 が記憶要素として使用され、スイッチ 4 7 から 5 0 によって制御される。スイッチ 4 7 および 5 0 は、スイッチ 4 8 および 4 9 と同様に、互いに同期をとって開放または閉鎖を行うように制御される。したがって、キャパシタ C 1 および C 2 のうちの一方は、対応するスイッチ 4 7 または 4 9 を介してデマルチプレクサの出力から電荷が与えられ、バッファ 4 0 から切断される。それに対して、他方のキャパシタがバッファを制御する。

【 0 0 6 6 】

20

図 1 2 は、図 8 で示したのと同様のタイプの、高ビット解像度カラーディスプレイを示し、各列データドライバ回路 2 0 が単一の色について動作する。各カラーコンポーネント信号が、6 ビットの階調能力を有し、レジスタ 2 1 は 6 ビットパラレルイン / パラレルアウトレジスタまたはラッチを含む。

【 0 0 6 7 】

デジタル / アナログ変換が、レジスタ 2 1 の 3 つの最下位ビットによって制御される、スケールされた ( s c a l e d ) キャパシタ変換器 2 3 とレジスタ 2 1 の 3 つの最上位ビットによって制御されるガンマ補正電圧セレクタ 5 1 とによって実行される点で、図 1 2 のディスプレイは、図 8 のディスプレイとはさらに異なる。したがって、各画素データの最上位ビットはガンマ補正電圧を選択するが、この補正電圧は、より低い解像度デジタル / アナログ変換が変換器 2 3 によって実行される範囲を規定する。

30

【 0 0 6 8 】

図 1 2 のディスプレイは、図 1 1 ( a ) および 1 1 ( b ) に示したタイプの記憶回路を組み込み、これを、データラインバッファ 4 0 に接続された記憶キャパシタ 5 2 により模式的に示す。したがって、図 1 2 に示したデジタルデータドライバ 2 は、ここまでで説明したラインアットアタイム駆動技術を用いて動作する。しかし、ここまでで説明したハーフラインアットアタイム駆動技術を用いて図 1 2 のディスプレイを動作する必要がある場合、より単純な記憶回路、例えば各データラインについて、単一の記憶キャパシタおよび 1 つのバッファを含む記憶回路が使用され得る。

【 0 0 6 9 】

40

図 1 3 は、各列データドライバ回路 2 0 が、赤、緑、青変換を実行する点で図 1 2 に示したドライバ回路とは異なる、ディスプレイおよびデータラインドライバ 2 を示す。したがって、各ドライバ回路 2 0 は、RGB マルチプレクサ 5 5 を介して、3 つの色データバス 2 2 に接続される。マルチプレクサ 5 5 は、ドライバ回路 2 0 による補正バス ( c o r r e c t b u s ) からのデータのサンプリングを確実にする。したがって、時間  $t ( n )$  において、列  $[ n - 5 ]$  のドライバ回路 2 0 が、青データバスをサンプリングし、列  $[ n ]$  のドライバ回路 2 0 が緑データバス上のデータをサンプリングし、列  $[ n + 5 ]$  のドライバ回路 2 0 が赤データバスからのデータを受け取る。

【 0 0 7 0 】

図 1 2 に示した構成と比較して、図 1 3 のデータラインドライバ 2 は、マルチプレクサ 5

50

5の形式の更なる回路を要求する。しかし、横方向データラインルーティング26はわずかに簡略化されている。

【0071】

【発明の効果】

上述のように、本発明によれば、必要とされる変換器の数およびデジタルメモリ容量は、例えば前述の公知の構成においてよりも少なくても済む。したがって構成要素の数は減少し、回路集積面積はより小さくて済む。これにより、省電力で、歩留まりが向上し、且つコストを抑えたドライバが提供される。多くの場合、このような構成は添付の図面の図2に示した上側および下側のドライバを提供する必要を回避する。しかし上側および下側のドライバが存在する場合にも、ドライバ構成要素は狭い素子領域上により均一に製造され得るので、D/A変換およびパッファリングの正確さは向上され得、ディスプレイイメージ品質を向上できる。また、AMLCDの製造における、液晶ラビング段階の間、データドライバの反対側のマトリクス端におけるデータラインが、アクティブマトリクスTFTを保護するために接地され得るので、製造が簡略化される。

10

【0072】

また、データライン回路の少なくともいくつかについて、画素およびデータラインが隣接しないようにドライバを構成すれば、各データライン回路の連続する動作の間の時間は、増加し得る。例えば、データライン回路がD/A変換器を有する場合、最大許容変換時間が増加して、それにより、変換がより正確に実行され得る。また、更なる時間が、あるタイプのD/A変換器と同様に、基準電圧からのデータラインの荷電に利用可能になる。このタイプの構成が各データラインに関連する伝送ゲートを有する場合、要求されるリフレッシュレートを達成しつつも、伝送ゲートのトランジスタが、かなり小さくなり得る。

20

【0073】

さらに、m本のデータラインが $(n + ik)$ 番目のデータラインを含み、nが第1の所定の整数であり、kがmの倍数ではない第2の所定の整数であり、iがm個の連続する整数の組を示すような構成により、行端部のデータドライバを除いて、データライン回路とデータラインとの間において同じ構成の横方向ルーティングを可能にする。

【図面の簡単な説明】

【図1】第1の、従来型のアクティブマトリクスディスプレイの、模式的なブロック回路図である。

30

【図2】第2の、従来型のアクティブマトリクスディスプレイの、模式的なブロック回路図である。

【図3】本発明の第1の実施形態を構成するデータラインドライバおよびアクティブマトリクスディスプレイの1部分を示す、模式回路図である。

【図4】本発明の第2の実施形態を構成するアクティブマトリクスディスプレイの、ブロック模式回路図である。

【図5】図4のディスプレイの1部分を示す模式回路図である。

【図6】図4のディスプレイの動作を示すタイミング図である。

【図7】図4のディスプレイの別の部分を模式的に示す回路図である。

【図8】本発明の第3の実施形態を構成するディスプレイの1部分を模式的に示す回路図である。

40

【図9】本発明の第4の実施形態を構成するディスプレイを模式的に示すブロック回路図である。

【図10】図9のディスプレイの動作を示すタイミング図である。

【図11】(a)および(b)は、アナログ記憶装置の構成を模式的に示す回路図である。

【図12】本発明の第5の実施形態を構成するディスプレイの1部分を模式的に示すブロック図である。

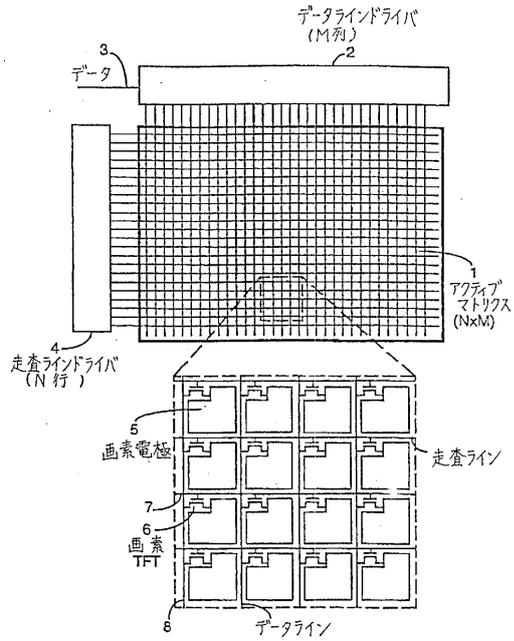
【図13】本発明の第6の実施形態を構成するディスプレイの1部分を模式的に示すブロック回路図である。

50

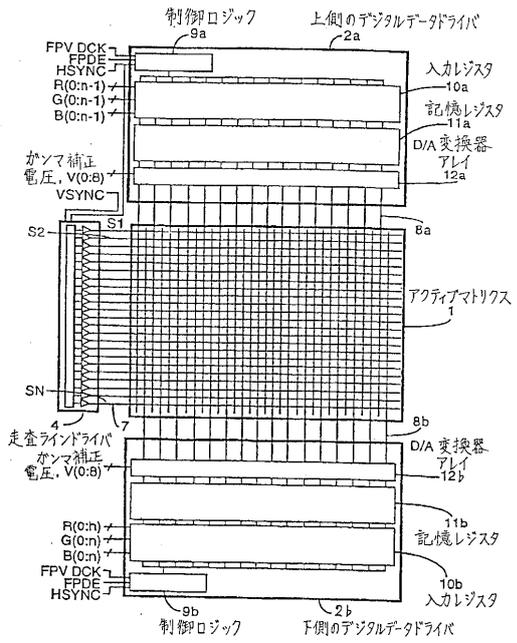
## 【符号の説明】

1	アクティブマトリクス	
2	データラインドライバ	
2 a、2 b	デジタルデータドライバ	
3	データラインドライバの入力	
4	走査ラインドライバ	
5	画素電極	
6	薄膜トランジスタ	
7	行走査ライン	
8、8 a、8 b	データライン	10
9、9 a、9 b	制御ロジック	
10 a、10 b	入力レジスタ	
11 a、11 b	記憶レジスタ	
12 a、12 b	D/A変換器アレイ	
20	列データドライバ回路	
21	nビット記憶レジスタ、4ビットサンプリングレジスタ、6ビットサンプリングレジスタ	
22	データバス	
23	D/A変換器、4ビット - 16ラインデコーダおよびD/A変換器	
スケーリングされたキャパシタD/A変換器23		20
23 a	デコーダ	
23 b	電圧セレクタ	
24	バス	
25	デマルチプレクサ	
26	横方向のデータラインルーティング	
30	時間多重化サンプリングアレイ	
31	電圧セレクタアレイ	
32	列デマルチプレクサアレイ、列デマルチプレクサおよびラインドライバアレイ	
33	電圧セレクタの出力	
40	ラインドライバ	30
41	スイッチ	
42、43	制御ライン	
46、47、48、49、50	スイッチ	
52	記憶キャパシタ	
55	マルチプレクサ	
60	伝送ゲート	
61、62	並列相補的トランジスタ	
63	インバータ	
A、B	制御信号	
C1、C2	キャパシタ	40

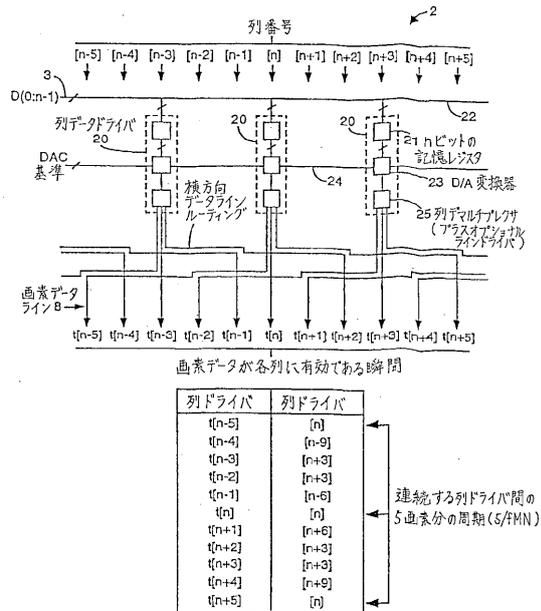
【 図 1 】



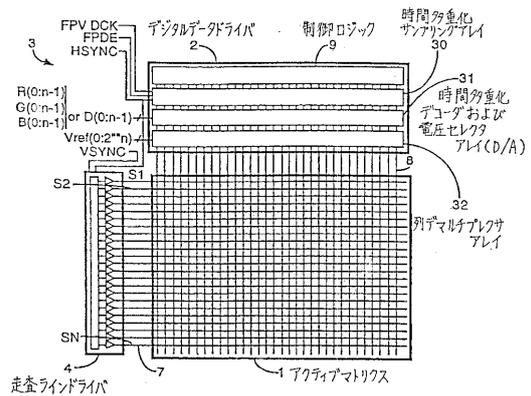
【 図 2 】



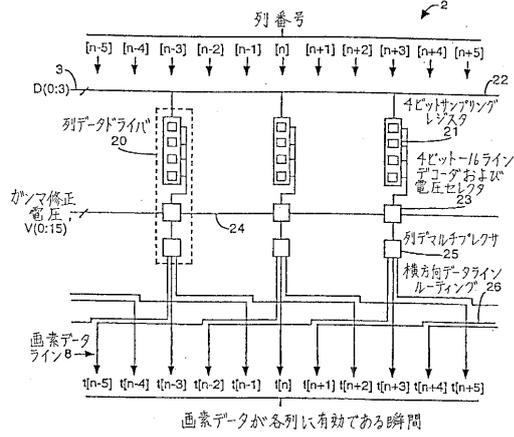
【 図 3 】



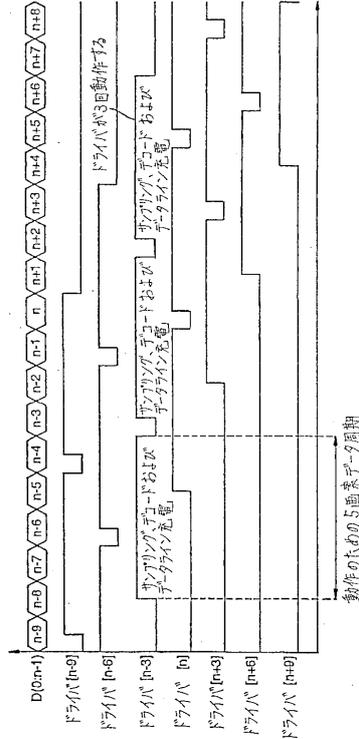
【 図 4 】



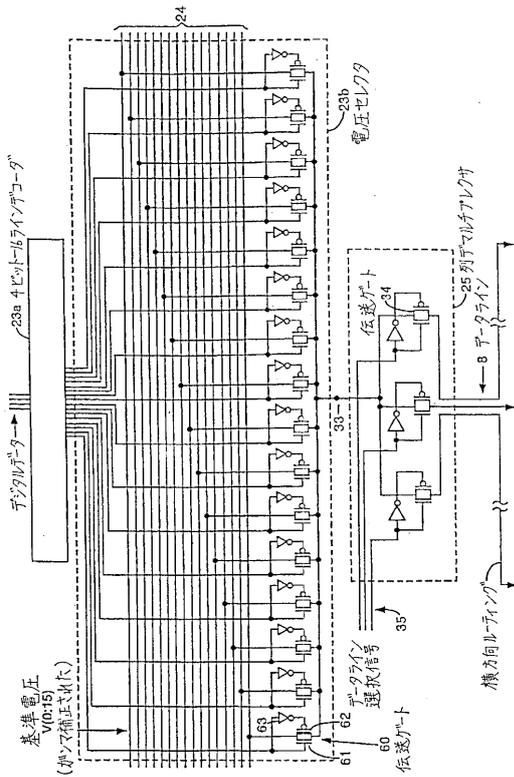
【 図 5 】



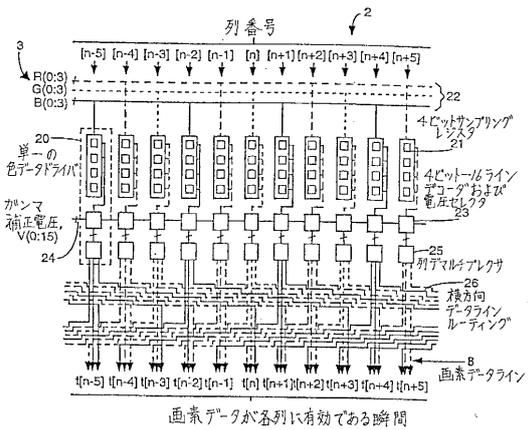
【 図 6 】



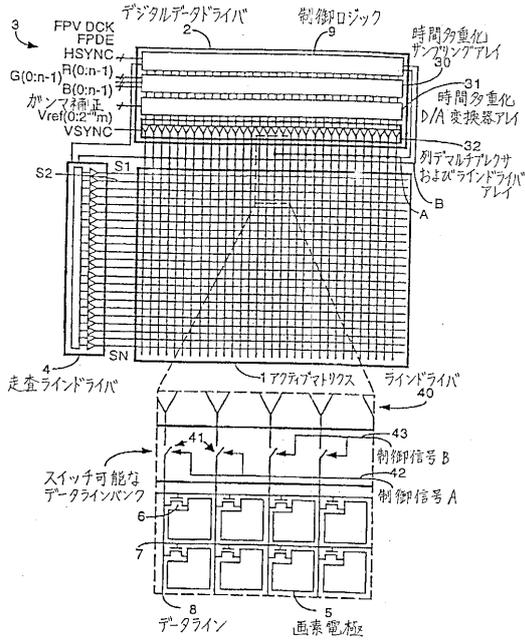
【 図 7 】



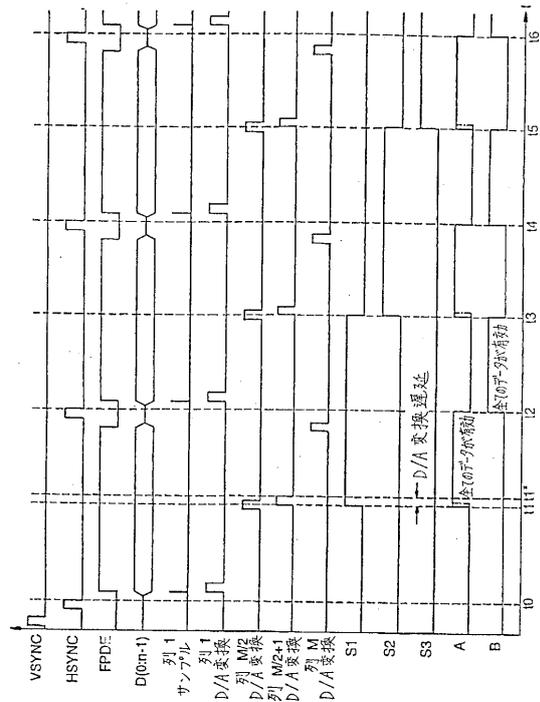
【 図 8 】



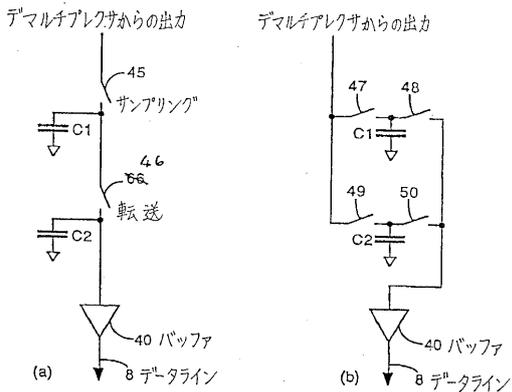
【 図 9 】



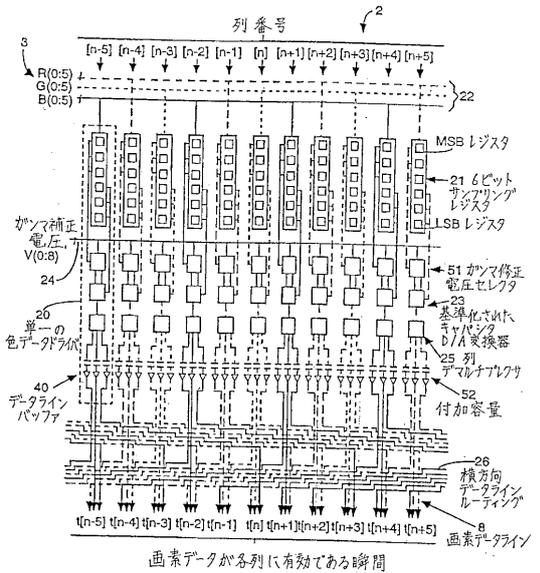
【 図 10 】



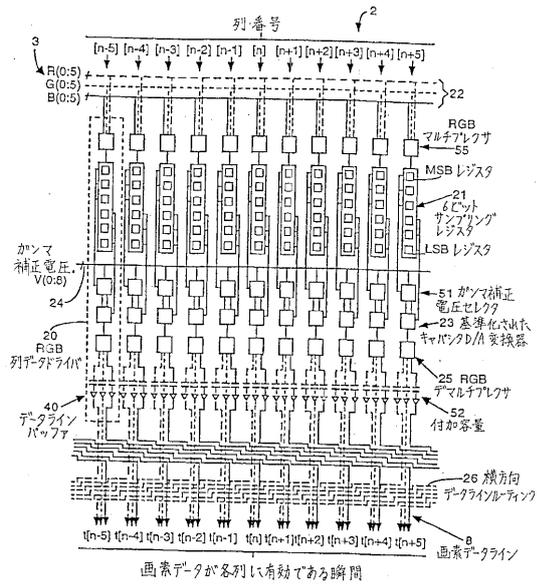
【 図 11 】



【 図 12 】



【 図 13 】



---

フロントページの続き

(72)発明者 アンドリュー ケイ

イギリス国 オーエックス4 1エイチエイ オックスフォード, ハースト ストリート 99

審査官 後藤 亮治

(56)参考文献 特開平05 - 173506 (JP, A)

特開平06 - 222733 (JP, A)

特開平04 - 218092 (JP, A)

特開平03 - 121415 (JP, A)

特開平10 - 260661 (JP, A)

特開平11 - 175042 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133