

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-102232

(P2007-102232A)

(43) 公開日 平成19年4月19日(2007.4.19)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612D	5C006
G02F 1/133 (2006.01)	G09G 3/20 612B	5C080
	G09G 3/20 612G	
	G09G 3/20 670D	
審査請求 未請求 請求項の数 22 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2006-272792 (P2006-272792)
 (22) 出願日 平成18年10月4日 (2006.10.4)
 (31) 優先権主張番号 10-2005-0093056
 (32) 優先日 平成17年10月4日 (2005.10.4)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 (74) 代理人 100086368
 弁理士 萩原 誠
 (72) 発明者 禹 宰 赫
 大韓民国京畿道烏山市園洞815-1番地
 雲岩住公5団地アパート508棟604
 号
 (72) 発明者 李 再 九
 大韓民国京畿道龍仁市麻北洞964-5番
 地 雙龍2次アパート103棟1501号
 Fターム(参考) 2H093 NC41 NC58 NC59 ND12 ND60
 最終頁に続く

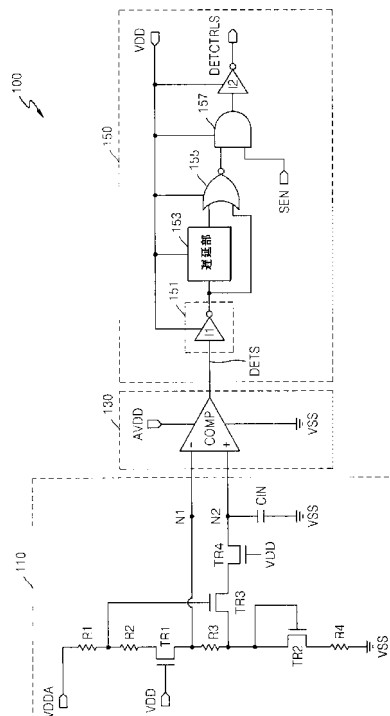
(54) 【発明の名称】 電源電圧除去感知回路、電源電圧除去時の残像を除去するディスプレイ装置及び方法

(57) 【要約】

【課題】 電源電圧除去感知回路、電源電圧除去時の残像を除去するディスプレイ装置及び方法を提供する。

【解決手段】 第1電源電圧及び第2電源電圧が第1レベルに維持される間に、第1ノードの電圧レベルを第2ノードの電圧レベルより高く維持させ、第1電源電圧または第2電源電圧が第2レベルとなれば、第2ノードの電圧レベルを一定なレベルに維持させ、第1ノードの電圧レベルを一定なレベルより低い値に制御する電圧レベル制御部と、昇圧電圧にตอบสนองして動作し、第1ノードと第2ノードとの電圧レベルを比較して検出信号を発生させる検出信号発生部と、電圧レベル制御部及び検出信号発生部の誤動作を防止し、動作活性信号にตอบสนองして、検出信号を反転させて検出制御信号として出力する出力部と、を備えることを特徴とする電源電圧除去感知回路である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 電源電圧及び第 2 電源電圧が第 1 レベルに維持される間に、第 1 ノードの電圧レベルを第 2 ノードの電圧レベルより高く維持させ、前記第 1 電源電圧または第 2 電源電圧が第 2 レベルとなれば、前記第 2 ノードの電圧レベルを一定なレベルに維持させ、前記第 1 ノードの電圧レベルを前記一定なレベルより低い値に制御する電圧レベル制御部と、

昇圧電圧に応答して動作し、前記第 1 ノードと前記第 2 ノードとの電圧レベルを比較して検出信号を発生させる検出信号発生部と、

前記電圧レベル制御部及び前記検出信号発生部の誤動作を防止し、動作活性信号に応答して、前記検出信号を反転させて検出制御信号として出力する出力部と、を備えることを特徴とする電源電圧除去感知回路。

10

【請求項 2】

前記第 1 電源電圧及び前記第 2 電源電圧は、バッテリーから発生する電圧であり、

前記バッテリーが除去されれば、前記第 1 電源電圧及び前記第 2 電源電圧は、相異なる時間差を有して第 2 レベルとなることを特徴とする請求項 1 に記載の電源電圧除去感知回路。

【請求項 3】

前記検出信号発生部は、前記第 1 ノードの電圧レベルが前記第 2 ノードの電圧レベルより高ければ、第 2 レベルの検出信号を出力し、前記第 1 ノードの電圧レベルが前記第 2 ノードの電圧レベルより低ければ、第 1 レベルの検出信号を出力することを特徴とする請求項 1 に記載の電源電圧除去感知回路。

20

【請求項 4】

前記電圧レベル制御部は、

一端が前記第 1 電源電圧に接続される第 1 抵抗と、

ゲートで前記第 2 電源電圧を受信し、第 1 端が前記第 1 ノードに接続される第 1 トランジスタと、

前記第 1 抵抗の他端と前記第 1 トランジスタの第 2 端との間に直列に接続される第 2 抵抗と、

一端が前記第 1 ノードに接続される第 3 抵抗と、

ゲートと第 1 端とが前記第 3 抵抗の他端に接続される第 2 トランジスタと、

30

一端が前記第 2 トランジスタの第 2 端に接続され、他端が接地電圧に接続される第 4 抵抗と、

ゲートが前記第 1 抵抗と前記第 2 抵抗とが接続される端に接続され、第 1 端が前記第 3 抵抗の他端に接続される第 3 トランジスタと、

ゲートで前記第 2 電源電圧を受信し、第 1 端が前記第 3 トランジスタの第 2 端に接続され、第 2 端が前記第 2 ノードに接続される第 4 トランジスタと、

前記第 2 ノードと接地電圧との間に接続されるキャパシタと、を備えることを特徴とする請求項 3 に記載の電源電圧除去感知回路。

【請求項 5】

前記キャパシタは、前記電源電圧除去感知回路の内部に位置し、

40

前記第 1 電源電圧及び第 2 電源電圧が第 1 レベルに維持される間に、前記第 2 ノードの電圧レベルに応答して充電され、前記第 1 電源電圧または第 2 電源電圧が第 2 レベルとなる場合、前記第 2 ノードの電圧レベルを一定なレベルに維持させることを特徴とする請求項 4 に記載の電源電圧除去感知回路。

【請求項 6】

前記検出信号発生部は、

前記昇圧電圧に応答して動作し、前記第 1 ノードに負の端子が接続され、前記第 2 ノードに正の端子が接続されて前記検出信号を発生させる比較器を備えることを特徴とする請求項 1 に記載の電源電圧除去感知回路。

【請求項 7】

50

前記出力部は、
 前記検出信号の電圧レベルを低下させるダウンシフティング部と、
 前記ダウンシフティング部の出力を遅延させる遅延部と、
 前記遅延部の出力及び前記ダウンシフティング部の出力を反転論理和する反転論理和手段と、
 前記動作活性信号及び前記反転論理和手段の出力を論理積する論理積手段と、
 前記論理積手段の出力を反転させて前記検出制御信号として出力するインバータと、を備えることを特徴とする請求項 1 に記載の電源電圧除去感知回路。

【請求項 8】

前記ダウンシフティング部は、
 前記検出信号を反転させるインバータを備え、
 前記インバータは、前記第 2 電源電圧に応答して動作することを特徴とする請求項 7 に記載の電源電圧除去感知回路。

10

【請求項 9】

バッテリーから発生する第 1 電源電圧及び第 2 電源電圧が第 1 レベルに維持される間に、第 1 ノードの電圧レベルが第 2 ノードの電圧レベルより高く維持し、前記第 1 電源電圧または第 2 電源電圧が第 2 レベルとなれば、前記第 2 ノードの電圧レベルを一定なレベルに維持し、前記第 1 ノードの電圧レベルを前記一定なレベルより低い値に制御するステップと、

前記第 1 ノードと前記第 2 ノードとの電圧レベルを比較して検出信号を出力するステップと、

20

動作活性信号に応答して、前記検出信号を反転させて検出制御信号として出力するステップと、を含むことを特徴とする電源電圧除去感知方法。

【請求項 10】

前記バッテリーが除去されれば、前記第 1 電源電圧及び前記第 2 電源電圧は、相異なる時間差を有して第 2 レベルとなることを特徴とする請求項 9 に記載の電源電圧除去感知方法。

【請求項 11】

前記制御するステップは、
 前記第 1 電源電圧及び第 2 電源電圧が第 1 レベルに維持される間に、前記第 2 ノードの電圧レベルに
 応答して、前記第 2 ノードと接地電圧との間に接続されるキャパシタに電荷を充電するステップと、

30

前記第 1 電源電圧または第 2 電源電圧が第 2 レベルとなる場合、前記第 2 ノードの電圧レベルを前記キャパシタに充電された電荷に対応する一定なレベルに維持するステップと、を含むことを特徴とする請求項 9 に記載の電源電圧除去感知方法。

【請求項 12】

前記検出制御信号を出力するステップは、
 前記検出信号を遅延させるステップと、
 前記検出信号と前記遅延された検出信号とを反転論理和するステップと、
 前記動作活性信号及び前記反転論理和された信号を論理積するステップと、
 前記論理積された信号を反転させて前記検出制御信号として出力するステップと、を含むことを特徴とする電源電圧除去感知方法。

40

【請求項 13】

パネルと、
 前記パネルを制御して前記パネルに映像をディスプレイさせる駆動部と、を備え、
 前記駆動部は、
 前記駆動部及び前記パネルに電源電圧を供給するバッテリーが除去される場合、第 2 レベルの検出制御信号を発生させる電源電圧除去感知部と、
 前記検出制御信号に
 応答して、前記パネルに印加される昇圧電圧を発生させる動作を停止する電圧昇圧部と、

50

前記検出制御信号に応答して、前記駆動部が受信する制御信号を遮断するマイクロプロセッサと、

前記検出制御信号に応答して、前記パネルのあらゆるソースラインの出力端の電圧レベルを接地電圧レベルにするソースドライバと、を備え、

前記パネルは、

前記検出制御信号に応答して、前記パネルのゲートラインを所定の順に交互に活性化させるゲートドライバを備えることを特徴とするバッテリー除去時のパネル残像を除去するディスプレイ装置。

【請求項 14】

前記パネルは、前記検出制御信号に応答して、前記パネルの内部キャパシタに接続された基準電圧のレベルを接地電圧レベルにすることを特徴とする請求項 13 に記載のバッテリー除去時のパネル残像を除去するディスプレイ装置。

10

【請求項 15】

前記パネルは、アクティブマトリックス方式のパネルであることを特徴とする請求項 13 に記載のバッテリー除去時のパネル残像を除去するディスプレイ装置。

【請求項 16】

パネルと、

前記パネルを制御して、前記パネルに映像をディスプレイさせる駆動部と、を備え、

前記駆動部は、

前記駆動部及び前記パネルに電源電圧を供給するバッテリーが除去される場合、第 2 レベルの検出制御信号を発生させる電源電圧除去感知部と、

20

前記検出制御信号に応答して、前記パネルに印加される昇圧電圧を発生させる動作を停止する電圧昇圧部と、

前記検出制御信号に応答して、前記駆動部が受信する制御信号を遮断するマイクロプロセッサと、

前記検出制御信号に応答して、前記パネルのあらゆるソースラインの出力端の電圧レベルを接地電圧レベルにするソースドライバと、

前記検出制御信号に応答して、前記パネルのゲートラインを所定の順に交互に活性化させるゲートドライバと、を備えることを特徴とするバッテリー除去時のパネル残像を一時に除去するディスプレイ装置。

30

【請求項 17】

前記パネルは、前記検出制御信号に応答して、前記パネルの内部キャパシタに接続された基準電圧のレベルを接地電圧レベルにすることを特徴とする請求項 16 に記載のバッテリー除去時のパネル残像を一時に除去するディスプレイ装置。

【請求項 18】

前記パネルは、アクティブマトリックス方式のパネルであることを特徴とする請求項 16 に記載のバッテリー除去時のパネル残像を除去するディスプレイ装置。

【請求項 19】

パネルと、前記パネルを制御して、前記パネルに映像をディスプレイさせる駆動部と、を備えるディスプレイ装置のバッテリー除去時の前記パネルに表れる残像を除去する方法において、

40

前記バッテリーが除去される場合、第 2 レベルの検出制御信号を発生させるステップと、

前記検出制御信号に応答して、前記パネルに印加される昇圧電圧を発生させる動作を停止させるステップと、

前記検出制御信号に応答して、前記駆動部が受信する制御信号を遮断するステップと、

前記検出制御信号に応答して、前記パネルのゲートラインを所定の順に交互に活性化させることによって、前記パネルのキャパシタに充電されたあらゆる電荷を放電させるステップと、を含むことを特徴とするディスプレイ装置のバッテリー除去時のパネルに表れる残像除去方法。

【請求項 20】

50

充電されたあらゆる電荷を放電させるステップは、

前記検出制御信号に応答して、前記パネルのソースラインの出力端の電圧レベルを接地電圧レベルにするステップと、

前記検出制御信号に応答して、前記パネルの内部キャパシタに接続された基準電圧の電圧レベルを接地電圧レベルにするステップと、

前記検出制御信号に応答して、前記パネルのゲートラインを所定の順に交互に活性化させるステップと、を含むことを特徴とする請求項 19 に記載のディスプレイ装置のバッテリー除去時のパネルに表れる残像除去方法。

【請求項 21】

前記パネルは、ゲートドライバを内蔵していることを特徴とする請求項 19 に記載のディスプレイ装置のバッテリー除去時のパネルに表れる残像除去方法。 10

【請求項 22】

前記パネルは、アクティブマトリックス方式のパネルであることを特徴とする請求項 19 に記載のディスプレイ装置のバッテリー除去時のパネルに表れる残像除去方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源電圧除去感知回路及びそれを備えるディスプレイ装置に係り、特にあらゆるゲートドライバを同時にターンオンさせないディスプレイ装置でのバッテリー除去時のパネルに表れる残像を急速に除去するディスプレイ装置及び方法に関する。 20

【背景技術】

【0002】

ディスプレイ装置において、電源電圧が除去される場合、パッシブマトリックス方式を利用するディスプレイ装置では、放電回路を利用してパネル駆動電圧を放電させて画像を除去する方法を使用する。すなわち、パッシブマトリックス方式では、バッテリーが除去されれば、パネルに印加される駆動電圧を強制的に放電させてパネルに残っている画像を強制的に急速に除去する。

【0003】

さらに説明すれば、バッテリーが除去される場合、液晶パネルを駆動させる駆動電圧 V_{GH} 、 V_{GL} 、 A_{VDD} が強制的に放電される。ここで、 V_{GH} 及び V_{GL} は、パネルのゲートラインを制御する電圧であり、 A_{VDD} は、ソースドライバの出力電圧である。 V_{GH} 及び A_{VDD} は、電源電圧が昇圧された電圧であり、 V_{GL} は、電源電圧が昇圧された電圧であって、負の電圧レベルを有する。 30

【0004】

強制放電方式は、パネルのゲートラインをターンオフさせる電圧 $V_{G OFF}$ が負電圧であることを利用するものであって、もし、電圧 $V_{G OFF}$ が負電圧でなく、放電により接地電圧レベルとなる場合、パネルのゲートラインは、完全なターンオン状態ではなくても一定な電流を流す状態となる。

【0005】

したがって、パネルのゲートラインが一定な電流を流す状態で、ソースドライバの出力電圧 A_{VDD} を接地電圧レベルに放電させる場合、パネルのキャパシタに保存された電荷が除去されて画像がなくなり、パネルの特性によって、パネルは白色または黒色を表す。 40

【0006】

しかし、パッシブマトリックス方式を利用するディスプレイ装置と異なり、アクティブマトリックス方式を利用するディスプレイ装置（例えば、 $TFT-LCD$ など）では、電源電圧を発生させるバッテリーを除去すれば、液晶パネルに一定な時間、画像が残っていて徐々に除去される。

【0007】

すなわち、アクティブマトリックス方式を利用するディスプレイ装置は、強制放電方式を利用しないので、バッテリー除去時のパネルから画像が除去されるのに時間がかかり、一 50

時に画面がきれいに除去されないという問題がある。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明が解決しようとする課題は、バッテリーの除去を認識する電源電圧除去感知回路を提供するところにある。

【0009】

本発明が解決しようとする他の課題は、バッテリーの除去を認識する電源電圧除去感知方法を提供するところにある。

【0010】

本発明が解決しようとするさらに他の課題は、電源電圧除去感知回路を利用してあらゆるゲートドライバを同時にターンオンさせないディスプレイ装置でも、バッテリーの除去時のパネルに表れる残像を速く除去するディスプレイ装置を提供するところにある。

【0011】

本発明が解決しようとするさらに他の課題は、電源電圧除去感知回路を利用してあらゆるゲートドライバを同時にターンオンさせないディスプレイ装置でも、バッテリーの除去時のパネルに表れる残像を速く除去する方法を提供するところにある。

【課題を解決するための手段】

【0012】

前記課題を解決するための本発明の実施形態による電源電圧除去感知回路は、電圧レベル制御部、検出信号発生部及び出力部を備える。電圧レベル制御部は、第1電源電圧及び第2電源電圧が第1レベルに維持される間に、第1ノードの電圧レベルを第2ノードの電圧レベルより高く維持させ、前記第1電源電圧または第2電源電圧が第2レベルとなれば、前記第2ノードの電圧レベルを一定なレベルに維持させ、前記第1ノードの電圧レベルを前記一定なレベルより低い値に制御する。検出信号発生部は、昇圧電圧にตอบสนองして動作し、前記第1ノードと前記第2ノードとの電圧レベルを比較して検出信号を発生させる。出力部は、前記電圧レベル制御部及び前記検出信号発生部の誤動作を防止し、動作活性信号にตอบสนองして、前記検出信号を反転させて検出制御信号として出力する。

【0013】

前記第1電源電圧及び前記第2電源電圧は、バッテリーから発生する電圧であり、前記バッテリーが除去されれば、前記第1電源電圧及び前記第2電源電圧は、相異なる時間差を有して第2レベルとなる。

【0014】

前記検出信号発生部は、前記第1ノードの電圧レベルが前記第2ノードの電圧レベルより高ければ、第2レベルの検出信号を出力し、前記第1ノードの電圧レベルが前記第2ノードの電圧レベルより低ければ、第1レベルの検出信号を出力する。

【0015】

前記電圧レベル制御部は、第1ないし第4抵抗、第1ないし第4トランジスタ及びキャパシタを備える。第1抵抗は、一端が前記第1電源電圧に接続される。第1トランジスタは、ゲートで前記第2電源電圧を受信し、第1端が前記第1ノードに接続される。第2抵抗は、前記第1抵抗の他端と前記第1トランジスタの第2端との間に直列に接続される。第3抵抗は、一端が前記第1ノードに接続される。第2トランジスタは、ゲートと第1端とが前記第3抵抗の他端に接続される。第4抵抗は、一端が前記第2トランジスタの第2端に接続され、他端が接地電圧に接続される。第3トランジスタは、ゲートが前記第1抵抗と前記第2抵抗とが接続される端に接続され、第1端が前記第3抵抗の他端に接続される。第4トランジスタは、ゲートで前記第2電源電圧を受信し、第1端が前記第3トランジスタの第2端に接続され、第2端が前記第2ノードに接続される。キャパシタは、前記第2ノードと接地電圧との間に接続される。

【0016】

前記キャパシタは、前記電源電圧除去感知回路の内部に位置し、前記第1電源電圧及び

10

20

30

40

50

第2電源電圧が第1レベルに維持される間に、前記第2ノードの電圧レベルにตอบสนองして充電されて前記第1電源電圧または第2電源電圧が第2レベルとなる場合、前記第2ノードの電圧レベルを一定なレベルに維持させる。

【0017】

前記検出信号発生部は、前記昇圧電圧にตอบสนองして動作し、前記第1ノードに負の端子が接続され、前記第2ノードに正の端子が接続されて、前記検出信号を発生させる比較器を備える。

【0018】

前記出力部は、ダウンシフティング部、遅延部、反転論理和手段、論理積手段及びインバータを備える。ダウンシフティング部は、前記検出信号の電圧レベルを低下させる。遅延部は、前記ダウンシフティング部の出力を遅延させる。反転論理和手段は、前記遅延部の出力及び前記ダウンシフティング部の出力を反転論理和する。論理積手段は、前記動作活性信号及び前記反転論理和手段の出力を論理積する。インバータは、前記論理積手段の出力を反転させて前記検出制御信号として出力する。

10

【0019】

前記ダウンシフティング部は、前記検出信号を反転させるインバータを備え、前記インバータは、前記第2電源電圧にตอบสนองして動作する。

【0020】

前記他の課題を解決するための本発明の実施形態による電源電圧除去感知方法は、バッテリーから発生する第1電源電圧及び第2電源電圧が第1レベルに維持される間に、第1ノードの電圧レベルを第2ノードの電圧レベルより高く維持し、前記第1電源電圧または第2電源電圧が第2レベルとなれば、前記第2ノードの電圧レベルを一定なレベルに維持し、前記第1ノードの電圧レベルを前記一定なレベルより低い値に制御するステップと、前記第1ノードの電圧レベルと前記第2ノードの電圧レベルとを比較して検出信号を出力するステップと、動作活性信号にตอบสนองして、前記検出信号を反転させて検出制御信号として出力するステップと、を含む。

20

【0021】

前記第1電源電圧及び前記第2電源電圧は、前記バッテリーが除去されれば、相異なる時間差を有して第2レベルとなる。

【0022】

検出信号を出力するステップは、前記第1電源電圧及び第2電源電圧が第1レベルに維持される間に、前記第2ノードの電圧レベルにตอบสนองして、前記第2ノードと接地電圧との間に接続されるキャパシタに電荷を充電するステップと、前記第1電源電圧または第2電源電圧が第2レベルとなる場合、前記第2ノードの電圧レベルを前記キャパシタに充電された電荷に対応する一定なレベルに維持するステップと、を含む。

30

【0023】

前記検出制御信号を出力するステップは、前記検出信号を遅延させるステップと、前記検出信号と前記遅延された検出信号とを反転論理和するステップと、前記動作活性信号及び前記反転論理和された信号を論理積するステップと、前記論理積された信号を反転させて前記検出制御信号として出力するステップと、を含む。

40

【0024】

前記さらに他の課題を解決するための本発明の実施形態によるディスプレイ装置は、パネルと、前記パネルを制御して、前記パネルに映像をディスプレイさせる駆動部と、を備える。前記駆動部は、電源電圧除去感知部、電圧昇圧部、マイクロプロセッサ及びソースドライバを備える。電源電圧除去感知部は、前記駆動部及び前記パネルに電源電圧を供給するバッテリーが除去される場合、第2レベルの検出制御信号を発生させる。電圧昇圧部は、前記検出制御信号にตอบสนองして、前記パネルに印加される昇圧電圧を発生させる動作を停止する。マイクロプロセッサは、前記検出制御信号にตอบสนองして、前記駆動部が受信する制御信号を遮断する。ソースドライバは、前記検出制御信号にตอบสนองして、前記パネルのあらゆるソースラインの出力端の電圧レベルを接地電圧レベルにする。前記パネルは、前記検

50

出制御信号にตอบสนองして、前記パネルのゲートラインを所定の順に交互に活性化させるゲートドライバを備える。

【0025】

前記パネルは、前記検出制御信号にตอบสนองして、前記パネルの内部キャパシタに接続された基準電圧のレベルを接地電圧レベルにする。

【0026】

前記さらに他の課題を解決するための本発明の他の実施形態によるディスプレイ装置は、パネルと、前記パネルを制御して、前記パネルに映像をディスプレイさせる駆動部と、を備える。前記駆動部は、電源電圧除去感知部、電源昇圧部、マイクロプロセッサ、ソースドライバ及びゲートドライバを備える。電源電圧除去感知部は、前記駆動部及び前記パネルに電源電圧を供給するバッテリーが除去される場合、第2レベルの検出制御信号を発生させる。電源昇圧部は、前記検出制御信号にตอบสนองして、前記パネルに印加される昇圧電圧を発生させる動作を停止する。マイクロプロセッサは、前記検出制御信号にตอบสนองして、前記駆動部が受信する制御信号を遮断する。ソースドライバは、前記検出制御信号にตอบสนองして、前記パネルのあらゆるソースラインの出力端の電圧レベルを接地電圧レベルにする。ゲートドライバは、前記検出制御信号にตอบสนองして、前記パネルのゲートラインを所定の順に交互に活性化させる。

10

【0027】

前記パネルは、前記検出制御信号にตอบสนองして、前記パネルの内部キャパシタに接続された基準電圧のレベルを接地電圧レベルにする。

20

【0028】

前記さらに他の課題を解決するための本発明の実施形態による残像除去方法は、パネルと、前記パネルを制御して、前記パネルに映像をディスプレイさせる駆動部と、を備えるディスプレイ装置のバッテリー除去時の前記パネルに表れる残像を除去する方法であって、前記バッテリーが除去される場合、第2レベルの検出制御信号を発生させるステップと、前記検出制御信号にตอบสนองして、前記パネルに印加される昇圧電圧を発生させる動作を停止させるステップと、前記検出制御信号にตอบสนองして、前記駆動部が受信する制御信号を遮断するステップと、前記検出制御信号にตอบสนองして、前記パネルのゲートラインを所定の順に交互に活性化させることによって、前記パネルのキャパシタに充電されたあらゆる電荷を放電させるステップと、を含む。

30

【0029】

前記充電されたあらゆる電荷を放電させるステップは、前記検出制御信号にตอบสนองして、前記パネルのソースラインの出力端の電圧レベルを接地電圧レベルにするステップと、前記検出制御信号にตอบสนองして、前記パネルの内部キャパシタに接続された基準電圧の電圧レベルを接地電圧レベルにするステップと、前記検出制御信号にตอบสนองして、前記パネルのゲートラインを所定の順に交互に活性化させるステップと、を含む。

【0030】

前記パネルは、ゲートドライバを内蔵している。

【0031】

前記パネルは、アクティブマトリックス方式のパネルである。

40

【発明の効果】

【0032】

本発明の実施形態による電源電圧除去感知回路は、内蔵キャパシタを利用して電源電圧除去を感知することによって、回路のサイズを減少させる。

【0033】

また、本発明の実施形態による電源電圧除去感知回路は、トランジスタのしきい電圧と抵抗値とを調節して、電源電圧除去を感知できる電圧レベルを調節できる。

【0034】

一方、本発明の実施形態によるディスプレイ装置は、パネルのゲートラインを同時に活性化させない場合にも、電源電圧の除去時のパネルに表れる残像を除去できる。

50

【発明を実施するための最良の形態】

【0035】

本発明と、本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及び図面に記載された内容を参照しなければならない。

【0036】

以下、添付した図面を参照して本発明の望ましい実施形態を説明することにより、本発明を詳細に説明する。各図面に付示された同一参照符号は同一部材を示す。

【0037】

図1は、本発明の実施形態による電源電圧除去感知回路の構成図である。

10

【0038】

図1に示した本発明の実施形態による電源電圧除去感知回路100は、比較器の正の端子に入力される信号の勾配を調整するものではなく、感知回路100の内部キャパシタCINを利用して比較器COMPの正の端子、すなわち第2ノードN2の電圧レベルを一定に維持する方法を利用する。

【0039】

図1に示すように、電源電圧除去感知回路100は、電圧レベル制御部110、検出信号発生部130及び出力部150を備える。

【0040】

電圧レベル制御部110は、第1電源電圧VDDA及び第2電源電圧VDDが第1レベルに維持される間に、第1ノードN1の電圧レベルを第2ノードN2の電圧レベルより高く維持させる。

20

【0041】

一方、電圧レベル制御部110は、第1電源電圧VDDAまたは第2電源電圧VDDが第2レベルとなれば、第2ノードN2の電圧レベルを一定なレベルに維持させ、第1ノードN1の電圧レベルを一定なレベルより低い値に制御する。説明の便宜のために、第1レベルはハイレベルであり、第2レベルはローレベルであると仮定する。

【0042】

バッテリーでは、第1電源電圧VDDAと第2電源電圧VDDとの二つの電源電圧が発生する。第1電源電圧VDDAは、アナログ電圧であって、第2電源電圧VDDよりさらに高い電圧レベルを有し、第2電源電圧VDDは、電源電圧除去感知回路100のロジックレベルを制御する電圧である。

30

【0043】

バッテリーが除去されれば、第1電源電圧VDDAと第2電源電圧VDDとは、相異なる時間差を有して第2レベルとなる。すなわち、バッテリーが除去されれば、第1電源電圧VDDAと第2電源電圧VDDのうち一つが先に第2レベルに低下し、他の一つは遅れて第2レベルに低下する。

【0044】

既存の電源電圧除去感知回路と異なり、本発明の実施形態による電源電圧除去感知回路100は、どの電圧が先に第2レベルに低下するかと関係なくバッテリーが除去されることを感知できる。

40

【0045】

図1を参照して電圧レベル制御部110についてさらに説明すれば、電圧レベル制御部110は、第1ないし第4抵抗R1ないしR4、第1ないし第4トランジスタTR1ないしTR4、及びキャパシタCINを備える。

【0046】

第1抵抗R1は、一端が第1電源電圧VDDAに接続される。第1トランジスタTR1は、ゲートで第2電源電圧VDDを受信し、第1端が第1ノードN1に接続される。

【0047】

第2抵抗R2は、第1抵抗R1の他端と第1トランジスタTR1の第2端との間に直列

50

に接続される。第3抵抗R3は、一端が第1ノードN1に接続される。

【0048】

第2トランジスタTR2は、ゲートと第1端とが第3抵抗R3の他端に接続される。第4抵抗R4は、一端が第2トランジスタTR2の第2端に接続され、他端が接地電圧VSSに接続される。

【0049】

第3トランジスタTR3は、ゲートが第1抵抗R1と第2抵抗R2とが接続される端に接続され、第1端が第3抵抗R3の他端に接続される。

【0050】

第4トランジスタTR4は、ゲートで第2電源電圧VDDを受信し、第1端が第3トランジスタTR3の第2端に接続され、第2端が第2ノードN2に接続される。 10

【0051】

キャパシタCINは、第2ノードN2と接地電圧VSSとの間に接続される。前述したように、キャパシタCINは、電源電圧除去感知回路100の内部に位置する。

【0052】

キャパシタCINは、第1電源電圧VDDA及び第2電源電圧VDDが第1レベルに維持される間に、第2ノードN2の電圧レベルに応答して電荷を充電する。一方、キャパシタCINは、第1電源電圧VDDAまたは第2電源電圧VDDが第2レベルとなる場合、第2ノードN2の電圧レベルを充電された電荷の量に対応する一定なレベルに維持させる。 20

【0053】

検出信号発生部130は、昇圧電圧AVDDに응答して動作する。検出信号発生部130は、第1ノードN1と第2ノードN2との電圧レベルを比較して検出信号DETSを発生させる。

【0054】

すなわち、検出信号発生部130は、第1ノードN1の電圧レベルが第2ノードN2の電圧レベルより高ければ、第2レベルの検出信号DETSを出力し、第1ノードN1の電圧レベルが第2ノードN2の電圧レベルより低ければ、第1レベルの検出信号DETSを出力する。

【0055】

検出信号発生部130は、昇圧電圧AVDDに응答して動作し、第1ノードN1に負の端子が接続され、第2ノードN2に正の端子が接続されて検出信号DETSを発生させる比較器COMPを備える。 30

【0056】

以下、電圧レベル制御部110と検出信号発生部130との動作について説明する。

【0057】

まず、昇圧電圧AVDDは、電源電圧除去感知回路100がパネルを備えるディスプレイ装置(図示せず)に装着される場合、ディスプレイ装置を駆動する駆動電圧である。昇圧電圧AVDDは、ディスプレイ装置(図示せず)の電圧昇圧部(図示せず)により電源電圧が昇圧された電圧レベルを有する。 40

【0058】

ディスプレイ装置(図示せず)のスタンバイモードやスリープモードで、第2電源電圧VDDは、第2レベル、すなわちローレベルであり、第1及び第4トランジスタTR1, TR4をターンオフさせる。これにより、電源電圧除去感知回路100が動作せずに消費電流を低減できる。

【0059】

昇圧電圧AVDDの発生が完了するということは、ディスプレイ装置が正常に動作するということを意味する。昇圧電圧AVDDの発生が完了すれば、第2電源電圧もハイレベルとなって第1及び第4トランジスタTR1, TR4をターンオンさせる。これにより、電源電圧除去感知回路100は、バッテリーの除去を認識できる状態になる。 50

【0060】

バッテリーが装着され、第1電源電圧VDDAと第2電源電圧VDDとが正常に動作すれば、第1ないし第4トランジスタTR1ないしTR4がターンオンされ、第1ないし第4抵抗R1ないしR4の抵抗値によって第1ノードN1と第2ノードN2との電圧レベルが決定される。このとき、第1ノードN1の電圧レベルは、第2ノードN2の電圧レベルより高い。したがって、比較器COMPは、ローレベルの検出信号DETSを発生させる。

【0061】

第1ないし第4抵抗R1ないしR4は、第1電源電圧VDDAを抵抗比によって分配して、第2電源電圧VDDを検出する第1及び第2トランジスタTR1, TR2のしきい電圧Vth条件を満足させ、比較器COMPの両端電圧を調整する。

10

【0062】

出力部150は、電圧レベル制御部110及び検出信号発生部130の誤動作を防止し、動作活性信号SENに応答して、検出信号DETSを反転させて検出制御信号DETC TRLSとして出力する。

【0063】

図1に示すように、出力部150は、ダウシフティング部151、遅延部153、反転論理和手段155、論理積手段157及びインバータ159を備える。ダウシフティング部151は、検出信号DETSの電圧レベルを低下させる。

【0064】

ダウシフティング部151は、検出信号DETSを反転させるインバータI1を備え、インバータI1は、第2電源電圧VDDに응答して動作する。

20

【0065】

比較器COMPが昇圧電圧AVDDに응答して動作するので、比較器COMPから出力される検出信号DETSのレベルも、電源電圧除去感知回路100のロジック電源電圧レベルである第2電源電圧VDDの電圧レベルより高い。

【0066】

したがって、ダウシフティング部151は、検出信号DETSのレベルをロジック動作できる第1電源電圧VDDのレベルに低下させる役割を行う。

【0067】

遅延部153は、ダウシフティング部151の出力を遅延させる。特に、遅延部153は、比較器COMPの入力端子(すなわち、ノード1及びノード2)の電圧レベルが揺れて比較器COMPの出力が瞬間的にハイレベルとなって誤動作を起こす場合、誤動作を防止する機能を行う。

30

【0068】

すなわち、第1電源電圧VDDAと第2電源電圧VDDとが正常に動作して検出信号DETSがローレベルに発生していて、比較器COMPが瞬間的に誤動作して一定時間の間に検出信号DETSがハイレベルとなれば、直接反転論理和手段155に入力される信号は、ハイレベルであるが、遅延部153を通過して反転論理和手段155に入力される信号は、ローレベルであるので、反転論理和手段155は、ローレベルの信号を出力し続ける。

40

【0069】

したがって、遅延部153と反転論理和手段155とを利用して、第1電源電圧VDDAや第2電源電圧VDDの瞬間的なグリッチなどによる誤動作を防止できる。遅延部153の遅延時間を選択的に設定することによって、誤動作の防止機能を調節できる。

【0070】

論理積手段157は、動作活性信号SEN及び反転論理和手段155の出力を論理積する。インバータI2は、論理積手段157の出力を反転させて検出制御信号DETC TRLSとして出力する。

【0071】

電源電圧除去感知回路100がディスプレイ装置(図示せず)に装着される場合、動作

50

活性信号 S E N は、ディスプレイ装置のパネルに映像がディスプレイされれば、第 1 レベルに活性化される。

【 0 0 7 2 】

パネルに映像がディスプレイされる前は、バッテリーの除去がパネルにいかなる影響も及ぼさないため、実際にパネルにディスプレイされた以後に、バッテリーのみの除去を感知するために動作活性信号 S E N を利用する。

【 0 0 7 3 】

図 2 は、図 1 の電源電圧除去感知回路の動作を説明するためのフローチャートである。以下では、図 1 及び図 2 を参照して、電源電圧除去感知回路 1 0 0 の動作について詳細に説明する。

10

【 0 0 7 4 】

本発明の実施形態による電源電圧除去感知方法は、バッテリーから発生する第 1 電源電圧 V D D A 及び第 2 電源電圧 V D D が第 1 レベルに維持される場合、第 2 レベルの検出信号 D E T S を出力し、第 1 電源電圧 V D D A または第 2 電源電圧 V D D が第 2 レベルとなることを検出して、第 1 レベルの検出信号 V D D を出力する。

【 0 0 7 5 】

まず、電源電圧除去感知方法は、第 1 電源電圧 V D D A 及び第 2 電源電圧 V D D が第 1 レベルに維持される場合、第 1 ノード N 1 の電圧レベルが第 2 ノード N 2 の電圧レベルより高く維持されるように制御し、第 1 電源電圧 V D D A または第 2 電源電圧 V D D が第 2 レベルとなる場合、第 2 ノード N 2 の電圧レベルを一定なレベルにし、第 1 ノード N 1 の電圧レベルを第 2 ノード N 2 の電圧レベルより低く制御する (S 2 1 0)。ステップ S 2 1 0 は、図 1 の電圧レベル制御部 1 1 0 で行われる。

20

【 0 0 7 6 】

図 1 及び図 2 を参照してステップ S 2 1 0 をさらに詳細に説明すれば、第 1 電源電圧 V D D A と第 2 電源電圧 V D D とが第 1 レベルに維持される場合、第 1 ないし第 4 トランジスタ T R 1 ないし T R 4 はいずれもターンオンされる。したがって、第 1 ノード N 1 の電圧レベルは、第 3 抵抗 R 3 に印加される電圧と、第 3 及び第 4 トランジスタ T R 3 , T R 4 のしきい電圧 V t h とを合わせただけ、第 2 ノード N 2 の電圧レベルより高く維持される。したがって、比較器 C O M P は、第 2 レベルの検出信号 D E T S を出力する (S 2 3 0)。

30

【 0 0 7 7 】

一方、第 1 電源電圧 V D D A と第 2 電源電圧 V D D とが第 1 レベルに維持される間に、第 2 ノード N 2 の電圧レベルは、一定な値を維持する。すなわち、第 2 ノード N 2 の電圧レベルは、第 1 電源電圧 V D D A から第 1 ないし第 3 抵抗 R 1 ないし R 3 での電圧降下値と、第 1、第 3 及び第 4 トランジスタ T R 1 , T R 3 , T R 4 のしきい電圧 V t h とを合わせただけ低い値を維持する。

【 0 0 7 8 】

したがって、第 1 電源電圧 V D D A と第 2 電源電圧 V D D とが第 1 レベルに維持される間に、内部キャパシタ C I N には、第 2 ノード N 2 の電圧レベルに該当する電荷が充電される。

40

【 0 0 7 9 】

次に、バッテリーが除去されて第 1 電源電圧 V D D A または第 2 電源電圧 V D D が第 2 レベルとなる場合について説明する。まず、第 1 電源電圧 V D D A が第 2 レベルとなる場合、第 3 トランジスタ T R 3 がターンオフされる。また、第 1 電源電圧 V D D A が第 2 レベルとなるため、第 1 ノード N 1 の電圧レベルも第 2 レベルとなる。

【 0 0 8 0 】

このとき、第 3 トランジスタ T R 3 がターンオフされるので、第 2 ノード N 2 の電圧レベルは、内部キャパシタ C I N に充電された電荷に対応する一定なレベルに維持される。したがって、結局、第 1 電源電圧 V D D A が第 2 レベルとなる場合、第 2 ノード N 2 の電圧レベルは、第 1 ノード N 1 の電圧レベルより高い。

50

【0081】

一方、第2電源電圧VDDが第2レベルとなる場合、第1トランジスタTR1及び第4トランジスタTR4がターンオフされる。また、第1トランジスタTR1がターンオフされるため、第1ノードN1の電圧レベルも第2レベルとなる。

【0082】

このとき、第4トランジスタTR4がターンオフされるので、第2ノードN2の電圧レベルは、内部キャパシタCINに充電された電荷に対応する一定なレベルに維持される。したがって、結局、第2電源電圧VDDが第2レベルとなる場合、第2ノードN2の電圧レベルは、第1ノードN1の電圧レベルより高い。

【0083】

第1電源電圧VDDAと第2電源電圧VDDとがいずれも第2レベルとなる場合、第1、第3及び第4トランジスタTR1、TR3、TR4がターンオフされる。したがって、第1電源電圧VDDAまたは第2電源電圧VDDが第2レベルとなる場合と同様に、第2電源電圧VDDが第2レベルとなる場合、第2ノードN2の電圧レベルは、第1ノードN1の電圧レベルより高い。

【0084】

したがって、第1電源電圧VDDAまたは第2電源電圧VDDが第2レベルとなる場合、第2ノードN2の電圧レベルは、第1ノードN1の電圧レベルより高いため、比較器COMPは、第1レベルの検出信号DETSを出力する(S230)。

【0085】

比較器COMPから出力される検出信号DETSは、動作活性信号SENに応答して反転され、検出制御信号DETCRLSとして出力される(S250)。ステップS250は、図1の出力部150で行われる。

【0086】

図3は、本発明の実施形態によるディスプレイ装置の構成図である。

【0087】

本発明では、所定の順序によってゲートラインを順次に活性化させることによって、電源電圧の除去時にゲートラインを同時に活性化させないパネルまたはゲートドライバが内蔵されたパネルでも、パネルに表れる残像を除去できる方法を提案する。

【0088】

図3は、本発明の実施形態によるディスプレイ装置の構成図であり、図4は、図3のディスプレイ装置の動作を説明するためのフローチャートである。以下では、図3及び図4を参照して、本発明の実施形態によるバッテリー除去時の残像を除去するディスプレイ装置及び方法について説明する。

【0089】

ディスプレイ装置300は、パネル310と、パネル310を制御して、パネル310に映像をディスプレイさせる駆動部330とを備える。駆動部330は、電源電圧除去感知部331、電圧昇圧部333、マイクロプロセッサ335及びソースドライバ337を備える。

【0090】

一方、パネル310は、アクティブマトリックス方式のパネルであり、ゲートドライバ315が内蔵されている。また、ゲートドライバ315が内蔵されたパネル310では、パネル310のゲートラインを同時に活性化させることが不可能である。

【0091】

電源電圧除去感知部331は、駆動部330及びパネル310に電源電圧を供給するバッテリーが除去されるかを感知して、バッテリーが除去される場合、第2レベルの検出制御信号DETCRLSを発生させる。

【0092】

電圧昇圧部333は、昇圧電圧を発生させて駆動部330の内部及びパネル310に供給する。一方、バッテリーが除去される場合、電圧昇圧部333は停止し、それ以上昇圧電

10

20

30

40

50

圧を発生させない。

【0093】

マイクロプロセッサ335は、外部から受信される制御信号（図示せず）にตอบสนองして、パネル310のディスプレイに必要な信号を発生させて駆動部330及びパネル310に供給する。ソースドライバ337は、パネル310のソースラインを制御する。ソースドライバ337は、マイクロプロセッサ335により制御される。

【0094】

まず、バッテリーが除去される場合、第2レベルの検出制御信号DETECTRLSが発生する（S410）。ステップS410は、図3の電源電圧除去感知部331で行われる。電源電圧除去感知部331は、図1の電源電圧除去感知回路100と同じ構成を有し、動作原理も同じである。したがって、電源電圧除去感知部331の構成及び動作についての説明は省略する。

10

【0095】

また、当業者は、図1の電源電圧除去感知回路以外の同じ動作を行える他の回路を本発明のディスプレイ装置300に適用できる。

【0096】

次いで、検出制御信号DETECTRLSにตอบสนองして、パネル310に印加される昇圧電圧を遮断する（S430）。ステップS430は、図3の電圧昇圧部333で行われる。

【0097】

電圧昇圧部333は、検出制御信号DETECTRLSが第1レベルである間には、昇圧電圧を発生させる。しかし、バッテリーが除去されて検出制御信号DETECTRLSが第2レベルとなれば、電圧昇圧部333は停止し、それ以上昇圧電圧を発生させない。

20

【0098】

すなわち、バッテリーが除去されれば、電源電圧の供給が中断されるので、電圧昇圧部333は、昇圧電圧の発生を中断し、既に発生した昇圧電圧は、ディスプレイの以後の動作（S450，S470）を行うのに利用される。

【0099】

一方、バッテリーの除去時、電圧昇圧部333が停止することによって、不要な電流消費が発生しないので、バッテリーの電源電圧はさらに長時間維持されうる。

【0100】

次いで、検出制御信号DETECTRLSにตอบสนองして、駆動部330が受信する制御信号（図示せず）を遮断する（S450）。ステップS450は、図3のマイクロプロセッサ335で行われる。

30

【0101】

検出制御信号DETECTRLSが第1レベルである間に、マイクロプロセッサ335は、外部から受信される制御信号を受信して駆動部330とパネル310との動作を制御する。しかし、検出制御信号DETECTRLSが第2レベルとなれば、マイクロプロセッサ335は、駆動部330が受信する制御信号を遮断する。バッテリーが除去されたので、ディスプレイ装置300がパネル310の画像を除去する動作以外の不要なロジック動作を行えないようにするためである。これにより、ロジックバッテリーを長時間維持できる。

40

【0102】

次いで、検出制御信号DETECTRLSにตอบสนองして、パネル310のゲートラインを所定の順序によって交互に活性化させることによって、パネル310のキャパシタに充電された電荷を放電させる（S470）。ステップS470は、ソースドライバ337及びパネル310で行われる。

【0103】

パネル310に画像がディスプレイされる過程は、次の通りである。すなわち、ゲートラインが活性化されてトランジスタがターンオンされれば、ソースラインを介して色相データがトランジスタに接続されたキャパシタに保存され、キャパシタに保存された電荷値によって画像がディスプレイされる。

50

【0104】

しかし、バッテリーが除去される場合、残像を発生させないために、パネル310の画像が急速に除去されなければならない。すなわち、パネル310のキャパシタに保存された色相データ（すなわち、電荷）が急速に放電されなければならない。かかる放電動作がステップS470で行われる。

【0105】

ステップS470をさらに説明すれば、検出制御信号DETECTRLSにตอบสนองして、パネル310のあらゆるソースラインの出力端の電圧レベルを接地レベルにする。かかる動作は、図3のソースドライバ337で行われる。すなわち、ソースドライバ337は、第2レベルの検出制御信号DETECTRLSにตอบสนองして、パネルのあらゆるソースラインの出力端の電圧レベルを接地レベルにする。

10

【0106】

そして、検出制御信号にตอบสนองして、パネル310の内部キャパシタに接続された基準電圧の電圧レベルを接地レベルにする。かかる動作は、パネル310で行われる。すなわち、パネル310は、第2レベルの検出制御信号DETECTRLSにตอบสนองして、パネル310の内部キャパシタに接続された基準電圧の電圧レベルを接地電圧レベルにする。

【0107】

そして、第2レベルの検出制御信号DETECTRLSにตอบสนองしたソースドライバ337及びパネル310の前述した動作と同時に、検出制御信号DETECTRLSにตอบสนองして、パネル310のゲートラインを交互に活性化させる。かかる動作は、パネル310に内蔵されたゲートドライバ315で行われる。

20

【0108】

パネル310に内蔵されたゲートドライバ315は、パネル310のゲートラインを同時にいずれも活性化させずに所定の順に交互に活性化させる。

【0109】

ゲートドライバ315が内蔵されたパネル310のゲートラインを活性化させる方法について具体的に説明すれば、次の通りである。まず、パネル310のあらゆるゲートライン（ $n \times k$ 個）を、 n 個のゲートラインを含む k 個のグループに分離する。そして、 k 個のグループそれぞれの最初のゲートラインを先に活性化する。次いで、 k 個のグループそれぞれの二番目のゲートラインを活性化する。かかる方式で k 個のグループそれぞれの n 番目のゲートラインを活性化することによって、パネル310のあらゆるゲートラインを活性化できる。

30

【0110】

例えば、パネル310のあらゆるゲートラインが二つのラインを有する複数のグループに分離されたとすれば、奇数番目のゲートラインがいずれも活性化された後、偶数番目のゲートラインがいずれも活性化されることによって、パネルのあらゆるゲートラインが活性化される。

【0111】

したがって、検出制御信号DETECTRLにตอบสนองして、パネル310のあらゆるソースラインの出力端の電圧レベルとキャパシタに接続された基準電圧のレベルとが接地電圧レベルとなり、検出制御信号にตอบสนองして、パネル310のゲートラインが交互に活性化されれば、活性化されたゲートラインのキャパシタに保存された電荷が瞬間的にソースラインを介して放電される。したがって、あらゆるゲートラインが交互に活性化されることによって、バッテリーが除去された後にパネル310に残っている画像が除去されうる。

40

【0112】

図5は、本発明の他の実施形態によるディスプレイ装置の構成図である。図5のディスプレイ装置500は、パネル510にゲートドライバが内蔵されずにゲートドライバ539が駆動部530に備えられる点を除いては、図3のディスプレイ装置300と同じ構成を有する。したがって、以後では、ゲートドライバ539とパネル510との構造及び動作を中心に説明する。また、説明の便宜のために、ゲートドライバ539は、パネル51

50

0のゲートラインを同時に活性化させないと仮定する。

【0113】

したがって、バッテリーの除去時にパネル510の内部キャパシタに保存された電荷を放電させるために、ゲートドライバ539は、第2レベルの検出制御信号DETECTRLSにตอบสนองして、パネル510のゲートラインを所定の順に交互に活性化させる。

【0114】

また、パネル510は、第2レベルの検出制御信号DETECTRLにตอบสนองして、パネル510の内部キャパシタに接続された基準電圧のレベルを接地電圧レベルにする。

【0115】

これにより、ゲートドライバ539がパネル510のゲートラインを同時に活性化させない場合にも、バッテリーの除去時にパネル510のキャパシタの電荷を放電させることによって、パネル510の残像を除去できる。

【0116】

以上のように、図面と明細書で最適の実施形態が開示された。ここで、特定の用語が使われたが、これは単に、本発明を説明するための目的で使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者であれば、これから多様な変形及び均等な他の実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的な保護範囲は、特許請求の範囲の技術的思想により決まらなければならない。

【産業上の利用可能性】

【0117】

本発明は、ディスプレイ装置関連の技術分野に適用可能である。

【図面の簡単な説明】

【0118】

【図1】本発明の実施形態による電源電圧除去感知回路の回路図である。

【図2】図1の電源電圧除去感知回路の動作を説明するためのフローチャートである。

【図3】本発明の実施形態によるディスプレイ装置のブロック図である。

【図4】図3のディスプレイ装置の動作を説明するためのフローチャートである。

【図5】本発明の他の実施形態によるディスプレイ装置のブロック図である。

【符号の説明】

【0119】

100	電源電圧除去感知回路
110	電圧レベル制御部
130	検出信号発生部
150	出力部
151	ダウンシフティング部
153	遅延部
155	直接反転論理和手段
157	論理積手段
COMP	比較器
CIN	キャパシタ
N1	第1ノード
N2	第2ノード
R1	第1抵抗
R2	第2抵抗
R3	第3抵抗
R4	第4抵抗
TR1	第1トランジスタ
TR2	第2トランジスタ
TR3	第3トランジスタ

10

20

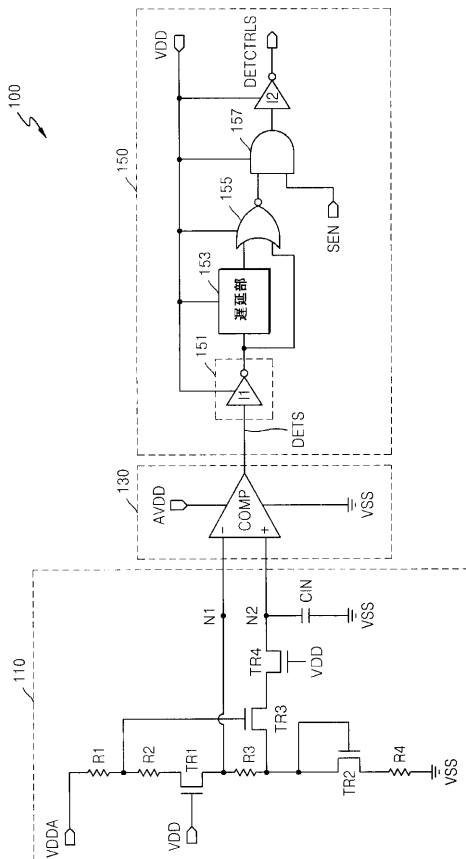
30

40

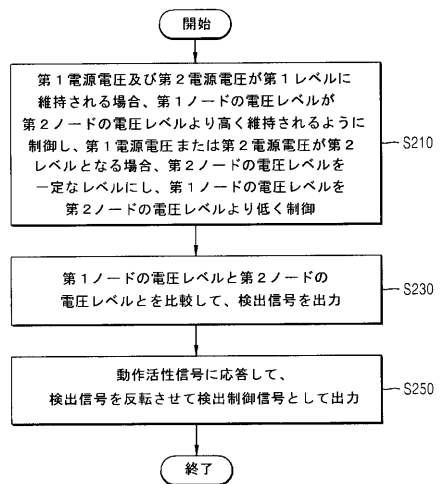
50

TR4 第4トランジスタ
 VDDA 第1電源電圧
 VDD 第2電源電圧

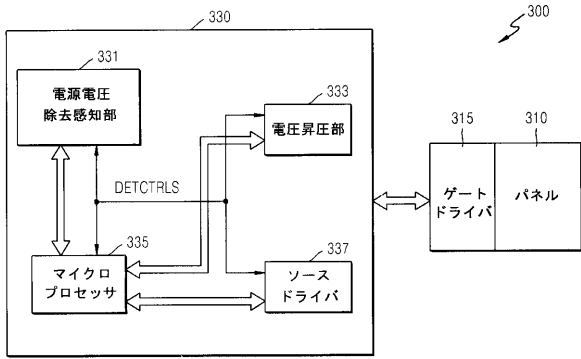
【図1】



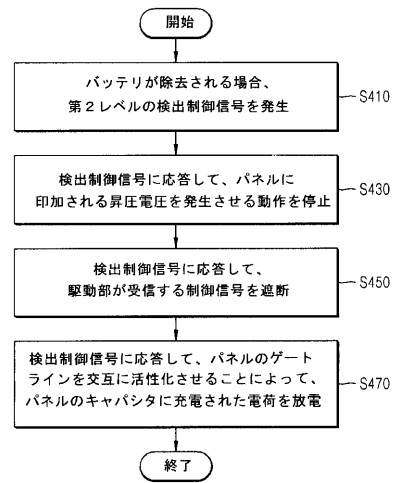
【図2】



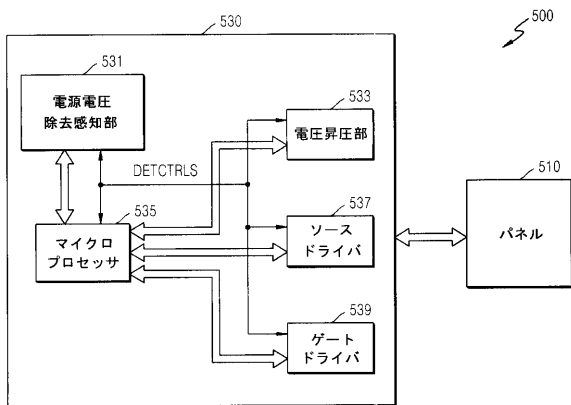
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 A
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 7 0 E
G 0 2 F	1/133	5 2 0

F ターム(参考) 5C006 AC11 AC21 AC24 AF42 AF64 AF67 AF68 AF69 AF71 BB16
BC03 BC11 BF07 BF14 BF15 BF25 BF26 BF27 BF34 BF37
BF45 BF46 FA34 FA38 FA47
5C080 AA10 BB05 DD03 DD09 DD14 DD18 DD26 EE25 FF03 FF11
JJ02 JJ07 KK07