



(12) 发明专利

(10) 授权公告号 CN 113690349 B

(45) 授权公告日 2024. 03. 29

(21) 申请号 202110735484.4

(22) 申请日 2021.06.30

(65) 同一申请的已公布的文献号

申请公布号 CN 113690349 A

(43) 申请公布日 2021.11.23

(73) 专利权人 华灿光电(浙江)有限公司

地址 322000 浙江省金华市义乌市苏溪镇
苏福路233号

(72) 发明人 兰叶 陶羽宇 吴志浩 王江波

(74) 专利代理机构 北京三高永信知识产权代理

有限责任公司 11138

专利代理师 吕耀萍

(51) Int. Cl.

H01L 33/12 (2010.01)

H01L 33/00 (2010.01)

(56) 对比文件

CN 110021689 A, 2019.07.16

CN 112216782 A, 2021.01.12

CN 1938869 A, 2007.03.28

CN 111710764 A, 2020.09.25

US 2014203287 A1, 2014.07.24

CN 108336204 A, 2018.07.27

JP 2012114377 A, 2012.06.14

审查员 程凯芳

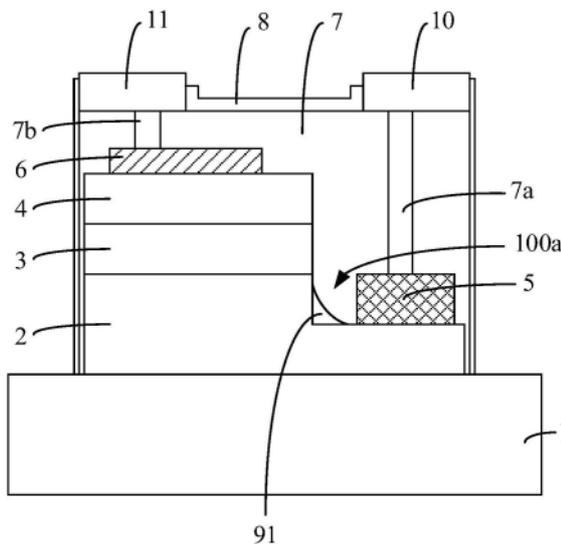
权利要求书2页 说明书9页 附图4页

(54) 发明名称

防断裂发光二极管芯片及其制造方法

(57) 摘要

本公开提供了一种防断裂发光二极管芯片及其制造方法,属于半导体技术领域。防断裂发光二极管芯片包括衬底、N型半导体层、有源层和P型半导体层、P型电极、绝缘层和保护层;P型半导体层上设有延伸至N型半导体层的凹槽,N型电极设置在凹槽内的N型半导体层上,P型电极设置在P型半导体层上;绝缘层铺设在凹槽内和N型电极上,以及P型半导体层和P型电极上,保护层铺设在绝缘层上;防断裂发光二极管芯片还包括位于凹槽内的连接部,且连接部连接凹槽的槽底和凹槽的侧壁,连接部在N型半导体层上的正投影与N型电极在N型半导体层上的正投影不重合。采用该发光二极管芯片可以改善芯片在激光剥离后的断裂问题,提高芯片巨量转移过程中的良率。



1. 一种防断裂发光二极管芯片,所述防断裂发光二极管芯片包括衬底、外延层、N型电极、P型电极、绝缘层和保护层;所述外延层包括依次层叠在所述衬底上的N型半导体层、有源层和P型半导体层;所述P型半导体层上设有延伸至所述N型半导体层的凹槽,所述N型电极设置在凹槽内的所述N型半导体层上,所述P型电极设置在所述P型半导体层上;所述绝缘层铺设在所述凹槽内和所述N型电极上,以及所述P型半导体层和所述P型电极上,所述保护层铺设在所述绝缘层上,其特征在于:

所述防断裂发光二极管芯片还包括位于所述凹槽内的连接部,且所述连接部连接所述凹槽的槽底和所述凹槽的侧壁,所述连接部在所述N型半导体层上的正投影与所述N型电极在所述N型半导体层上的正投影不重合,所述连接部的材料与所述N型半导体层的材料相同,所述连接部为直角三棱柱结构,且所述直角三棱柱的其中两个棱柱面分别与所述凹槽的槽底和侧壁连接,所述凹槽的槽底和侧壁垂直,所述直角三棱柱中的另一个棱柱面为向内凹槽的弧形支撑面,所述弧形支撑面连接所述凹槽的槽底和所述凹槽的侧壁,所述连接部的最大高度低于所述有源层的下表面。

2. 根据权利要求1所述的防断裂发光二极管芯片,其特征在于,所述连接部与所述外延层为一体式结构。

3. 根据权利要求1或2所述的防断裂发光二极管芯片,其特征在于,所述防断裂发光二极管芯片还包括加固层,所述加固层位于所述凹槽内的所述N型半导体层的边缘,且所述加固层连接所述凹槽的槽底和所述凹槽的侧壁,所述加固层在所述N型半导体层上的正投影位于所述N型电极和所述连接部在所述N型半导体层上的正投影的两侧。

4. 根据权利要求3所述的防断裂发光二极管芯片,其特征在于,所述加固层与所述外延层为一体式结构。

5. 根据权利要求3所述的防断裂发光二极管芯片,其特征在于,所述加固层的上表面与所述P型半导体层的上表面位于同一平面上。

6. 一种防断裂发光二极管芯片的制造方法,其特征在于,所述制造方法包括:

提供一衬底,所述衬底包括相对的第一表面和第二表面;

在所述衬底的上生长外延层,所述外延层包括依次层叠在所述衬底上的N型半导体层、有源层和P型半导体层;

在所述P型半导体层上开设延伸至所述N型半导体层的凹槽,同时在所述凹槽内形成连接部;所述连接部连接所述凹槽的槽底和所述凹槽的侧壁,所述连接部在所述N型半导体层上的正投影与N型电极在所述N型半导体层上的正投影不重合,所述连接部的材料与所述N型半导体层的材料相同,所述连接部为直角三棱柱结构,且所述直角三棱柱的其中两个棱柱面分别与所述凹槽的槽底和侧壁连接,所述凹槽的槽底和侧壁垂直,所述直角三棱柱中的另一个棱柱面为向内凹槽的弧形支撑面,所述弧形支撑面连接所述凹槽的槽底和所述凹槽的侧壁,所述连接部的最大高度低于所述有源层的下表面;

在所述P型半导体层上形成P型电极;

在所述凹槽内的所述N型半导体层上形成N型电极;

所述凹槽内和所述N型电极上,以及所述P型半导体层和所述P型电极上形成绝缘层;

在所述绝缘层上形成保护层。

7. 根据权利要求6所述的制造方法,其特征在于,在所述P型半导体层上开设延伸至所

述N型半导体层的凹槽,同时在所述凹槽内形成连接部,包括:

采用光刻技术在所述外延层上形成第一图形化光刻胶;

对所述外延层进行第一次刻蚀,以在所述外延层上刻蚀出朝向所述N型半导体层方向延伸的第一凹槽;

去除所述第一图形化光刻胶,采用光刻技术在所述第一凹槽的槽底形成第二图形化光刻胶;

对所述第二图形化光刻胶进行高温烘烤,使得所述第二图形化光刻胶的部分区域凹陷;

继续对所述外延层进行第二次刻蚀,以在所述外延层上刻蚀出延伸至所述N型半导体层的第二凹槽,且所述第一凹槽与所述第二凹槽之间形成所述连接部,其中,所述连接部为直角三棱柱结构,且所述直角三棱柱的其中两个棱柱面分别与所述凹槽的槽底和侧壁连接,所述直角三棱柱中的另一个棱柱面为向内凹槽的弧形支撑面,所述弧形支撑面连接所述凹槽的槽底和所述凹槽的侧壁;

去除所述第二图形化光刻胶。

8. 根据权利要求6所述的制造方法,其特征在于,在所述P型半导体层上开设延伸至所述N型半导体层的凹槽的同时,所述制造方法还包括:

在所述凹槽内形成加固层,所述加固层位于所述凹槽内的所述N型半导体层的边缘,且所述加固层连接所述凹槽的槽底和所述凹槽的侧壁,所述加固层在所述N型半导体层上的正投影位于所述N型电极和所述连接部在所述N型半导体层上的正投影的两侧。

防断裂发光二极管芯片及其制造方法

技术领域

[0001] 本公开涉及半导体技术领域,特别涉及一种防断裂发光二极管芯片及其制造方法。

背景技术

[0002] 发光二极管(英文:Light Emitting Diode,简称:LED)是一种能发光的半导体器件。通过采用不同的半导体材料和结构,LED能够覆盖从紫外到红外的全色范围,已经被广泛地应用在显示、装饰、通讯等经济生活中。

[0003] 芯片是LED的核心器件,相关技术中,LED芯片包括衬底、N型半导体层、有源层、P型半导体层、N型电极、P型电极、绝缘层和保护层;N型半导体层、有源层和P型半导体层依次层叠在衬底的第一表面上;P型半导体层上设有延伸至N型半导体层的凹槽,使得N型半导体层内形成一个台阶。N型电极设置在凹槽内的N型半导体层上,P型电极设置在P型半导体层上;绝缘层铺设在凹槽内和N型电极上,以及P型半导体层和P型电极上,保护层铺设在绝缘层上。

[0004] 当采用激光剥离技术将上述LED芯片的衬底剥离之后,N型电极下面只剩下部分厚度较薄(约3.5微米)的N型半导体层。在应力的影响下,N型半导体层内的台阶处就很容易产生断裂。由于N型半导体层内的台阶处刚好是芯片的中心,因此,优先会从台阶处产生断裂,使得芯片在巨量转移过程中的良率较低。

发明内容

[0005] 本公开实施例提供了一种防断裂发光二极管芯片及其制造方法,可以改善芯片在激光剥离后的容易产生断裂的问题,从而提高芯片巨量转移过程中的良率。所述技术方案如下:

[0006] 一方面,提供了一种防断裂发光二极管芯片,所述防断裂发光二极管芯片包括衬底、外延层、N型电极、P型电极、绝缘层和保护层;所述外延层包括依次层叠在所述衬底上的N型半导体层、有源层和P型半导体层;所述P型半导体层上设有延伸至所述N型半导体层的凹槽,所述N型电极设置在凹槽内的所述N型半导体层上,所述P型电极设置在所述P型半导体层上;所述绝缘层铺设在所述凹槽内和所述N型电极上,以及所述P型半导体层和所述P型电极上,所述保护层铺设在所述绝缘层上,

[0007] 所述防断裂发光二极管芯片还包括位于所述凹槽内的连接部,且所述连接部连接所述凹槽的槽底和所述凹槽的侧壁,所述连接部在所述N型半导体层上的正投影与所述N型电极在所述N型半导体层上的正投影不重合。

[0008] 可选地,所述连接部的材料与所述外延层的至少一层的材料相同。

[0009] 可选地,所述连接部为直角三棱柱结构,且所述直角三棱柱的其中两个棱柱面分别与所述凹槽的槽底和侧壁连接,所述直角三棱柱中的另一个棱柱面为向内凹槽的弧形支撑面,所述弧形支撑面连接所述凹槽的槽底和所述凹槽的侧壁。

- [0010] 可选地,所述连接部与所述外延层为一体式结构。
- [0011] 可选地,所述防断裂发光二极管芯片还包括加固层,所述加固层位于所述凹槽内的所述N型半导体层的边缘,且所述加固层连接所述凹槽的槽底和所述凹槽的侧壁,所述加固层在所述N型半导体层上的正投影位于所述N型电极和所述连接部在所述N型半导体层上的正投影的两侧。
- [0012] 可选地,所述加固层与所述外延层为一体式结构。
- [0013] 可选地,所述加固层的上表面与所述P型半导体层的上表面位于同一平面上。
- [0014] 另一方面,提供了一种防断裂发光二极管芯片的制造方法,所述制造方法包括:
- [0015] 提供一衬底,所述衬底包括相对的第一表面和第二表面;
- [0016] 在所述衬底的上生长外延层,所述外延层包括依次层叠在所述衬底上的N型半导体层、有源层和P型半导体层;
- [0017] 在所述P型半导体层上开设延伸至所述N型半导体层的凹槽,同时在所述凹槽内形成连接部;所述连接部连接所述凹槽的槽底和所述凹槽的侧壁,所述连接部在所述N型半导体层上的正投影与N型电极在所述N型半导体层上的正投影不重合;
- [0018] 在所述P型半导体层上形成P型电极;
- [0019] 在所述凹槽内的所述N型半导体层上形成N型电极;
- [0020] 所述凹槽内和所述N型电极上,以及所述P型半导体层和所述P型电极上形成绝缘层;
- [0021] 在所述绝缘层上形成保护层;
- [0022] 减薄所述衬底。
- [0023] 可选地,在所述P型半导体层上开设延伸至所述N型半导体层的凹槽,同时在所述凹槽内形成连接部,包括:
- [0024] 采用光刻技术在所述外延层上形成第一图形化光刻胶;
- [0025] 对所述外延层进行第一次刻蚀,以在所述外延层上刻蚀出朝向所述N型半导体层方向延伸的第一凹槽;
- [0026] 采用光刻技术在所述第一凹槽的槽底形成第二图形化光刻胶;
- [0027] 继续对所述外延层进行第二次刻蚀,以在所述外延层上刻蚀出延伸至所述N型半导体层的第二凹槽,且所述第一凹槽与所述第二凹槽之间形成有一台阶;
- [0028] 对所述台阶进行刻蚀,使得所述台阶变为所述连接部,其中,所述连接部为直角三棱柱结构,且所述直角三棱柱的其中两个棱柱面分别与所述凹槽的槽底和侧壁连接,所述直角三棱柱中的另一个棱柱面为向内凹槽的弧形支撑面,所述弧形支撑面连接所述凹槽的槽底和所述凹槽的侧壁。
- [0029] 可选地,在所述P型半导体层上开设延伸至所述N型半导体层的凹槽的同时,所述制造方法还包括:
- [0030] 在所述凹槽内形成加固层,所述加固层位于所述凹槽内的所述N型半导体层的边缘,且所述加固层连接所述凹槽的槽底和所述凹槽的侧壁,所述加固层在所述N型半导体层上的正投影位于所述N型电极和所述连接部在所述N型半导体层上的正投影的两侧。
- [0031] 本公开实施例提供的技术方案带来的有益效果是:
- [0032] 通过在凹槽内设置连接凹槽的槽底和凹槽的侧壁的连接部,从而可以加强外延层

与N型半导体层之间的连接强度。当采用激光剥离技术将外延片的衬底剥离之后,连接部可以在N型半导体层内的台阶处形成一个过渡,加强断裂起源处的结构强度,防止外延片从台阶处断裂,从而可以提高芯片巨量转移过程中的良率。且连接部在衬底上的正投影与N型电极不重合,因此连接部的设置,也不会影响N型电极的正常工作。

附图说明

[0033] 为了更清楚地说明本公开实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0034] 图1是本公开实施例提供的一种增强侧面光强的发光二极管芯片的结构示意图;

[0035] 图2是本公开实施例提供的一种连接部的结构示意图;

[0036] 图3是本公开实施例提供的一种防断裂发光二极管芯片的部分结构俯视图;

[0037] 图4是本公开实施例提供的P型焊盘和N型焊盘的分布示意图;

[0038] 图5是本公开实施例提供的一种防断裂发光二极管芯片的制造方法流程图;

[0039] 图6为本公开实施例提供的一种外延层刻蚀凹槽的刻蚀简图;

[0040] 图7是本公开实施例提供的另一种防断裂发光二极管芯片的制造方法流程图。

具体实施方式

[0041] 为使本公开的目的、技术方案和优点更加清楚,下面将结合附图对本公开实施方式作进一步地详细描述。

[0042] 图1是本公开实施例提供的一种增强侧面光强的发光二极管芯片的结构示意图,如图1所示,发光二极管芯片100包括衬底1、外延层、N型电极5、P型电极6、绝缘层7和保护层8。外延层包括依次层叠在衬底1上的N型半导体层2、有源层3和P型半导体层4。P型半导体层4上设有延伸至N型半导体层2的凹槽100a。N型电极5设置在凹槽100a内的N型半导体层2上,P型电极6设置在P型半导体层4上。绝缘层7铺设在凹槽100a内和N型电极5上,以及P型半导体层4和P型电极6上,保护层8铺设在绝缘层7上。

[0043] 防断裂发光二极管芯片还包括位于凹槽内的连接部91,且连接部91连接凹槽100a的槽底和凹槽100a的侧壁。连接部91在N型半导体层2上的正投影与N型电极5在N型半导体层2上的正投影不重合。

[0044] 本公开实施例通过在凹槽内设置连接凹槽的槽底和凹槽的侧壁的连接部,从而可以加强外延层与N型半导体层之间的连接强度。当采用激光剥离技术将外延片的衬底剥离之后,连接部可以在N型半导体层内的台阶处形成一个过渡,加强断裂起源处的结构强度,防止外延片从台阶处断裂,从而可以提高芯片巨量转移过程中的良率。且连接部在衬底上的正投影与N型电极不重合,因此连接部的设置,也不会影响N型电极的正常工作。

[0045] 在本公开实施例中,连接部91连接的凹槽的侧壁,可以包括N型半导体层2、有源层3和P型半导体层4的至少一层的侧壁。

[0046] 可选地,连接部91的材料与外延层的至少一层的材料相同,以保证连接部91的设置不会影响外延层各层的正常工作。

[0047] 例如,当连接部91连接N型半导体层2的侧壁时,连接部91可以与N型半导体层2的材料相同。当连接部91连接N型半导体层2、有源层3和P型半导体层4的侧壁时,连接部91的材料可以分别与N型半导体层2、有源层3和P型半导体层4的材料一一对应。

[0048] 图2是本公开实施例提供的一种连接部的结构示意图,如图2所示,结合图1,连接部91为直角三棱柱结构,且直角三棱柱的其中两个棱柱面分别与凹槽的槽底和侧壁连接,直角三棱柱91中的另一个棱柱面为向内凹槽的弧形支撑面91a,弧形支撑面91a连接凹槽100a的槽底和凹槽100a的侧壁。

[0049] 通过将连接部91设置为直角三棱柱结构,可以更好的与N型电极形成区域的台阶处贴合,形成一个较好的连接过渡。且上述结构的直角三棱柱结构的支撑连接效果较好,可以保证外延层与N型半导体层2之间的连接强度。

[0050] 需要说明的是,在本公开实施例中,连接部91的最大高度不能超过P型半导体层4的上表面,以防止芯片的体积过大。其中,连接部91的高度为沿外延片的层叠方向上的高度。

[0051] 在本公开实施例中,连接部91的高度可以为 $0.5 \sim 1\mu\text{m}$ 。

[0052] 示例性地,连接部91与外延层为一体式结构。即可以在外延层上开设延伸至N型半导体层2上的凹槽100a的同时,形成连接部91。这样,连接部为外延层的一部分,其对于增强外延层的连接强度的效果更好,从而有利于减少断裂的产生。

[0053] 图3是本公开实施例提供的一种防断裂发光二极管芯片的部分结构俯视图,如图3所示,防断裂发光二极管芯片100还包括加固层92(图1中并未示出)。加固层92位于凹槽100a内的N型半导体层2的边缘,且加固层92连接凹槽100a的槽底和凹槽100a的侧壁,加固层92在N型半导体层2上的正投影位于N型电极5和连接部91在N型半导体层2上的正投影的两侧。

[0054] 通过在凹槽100a内的N型半导体层2的边缘设置加固层92,可以进一步加强N型半导体层2和外延层之间的连接强度,且加固层92与N型半导体层2的接触面积更大,范围更广,支撑作用更好,从而可以进一步防止芯片从N型半导体层2内的台阶处断裂。

[0055] 可选地,加固层92与外延层为一体式结构。即可以在外延层上开设延伸至N型半导体层2上的凹槽100a的同时,形成加固层92。这样,加固层92为外延层的一部分,其对于增强外延层的连接强度的效果更好,从而有利于减少断裂的产生。

[0056] 此时,加固层92的材料与外延层的材料相同,以保证加固层92的设置不会影响外延层各层的正常工作。

[0057] 示例性地,沿芯片的层叠方向,加固层92从下至上的材料分别与N型半导体层2、有源层3和P型半导体层4的材料一一对应。

[0058] 可选地,加固层92的上表面与P型半导体层4的上表面位于同一平面上。此时,加固层92起到的加固效果最好。

[0059] 需要说明的是,在本公开实施例中,加固层92的最大高度不能超过P型半导体层4的上表面,以防止芯片的体积过大。其中,连接部91的高度为沿外延片的层叠方向上的高度。

[0060] 可选地,N型半导体层的总厚度为 $3.5\mu\text{m} \sim 4\mu\text{m}$ 。

[0061] 通过将N型半导体层的厚度由原来的 $3\mu\text{m}$ 加厚为 $3.5\mu\text{m} \sim 4\mu\text{m}$,可以进一步减少衬底

剥离后,芯片断裂的风险。

[0062] 可选地,衬底1可以为图形化蓝宝石衬底。图形化蓝宝石衬底上具有多个间隔均布的锥形凸起,每个锥形凸起的底部直径均为 $1.3 \sim 1.7 \mu\text{m}$,每个锥形凸起12的高度均为 $0.8 \sim 1.2 \mu\text{m}$ 。

[0063] 示例性地,任意相邻两个锥形凸起之间的间隔为 $0.3 \sim 0.5 \mu\text{m}$ 。

[0064] 可选地,N型半导体层2为N型掺杂的GaN,有源层3包括交替层叠的InGaN层和GaN层,P型半导体层4为P型掺杂的GaN。

[0065] 可选地,N型电极5和P型电极6均包括依次层叠的Cr层、Al层、Cr层、Ti层和Al层。

[0066] 可选地,绝缘层7包括依次层叠的钝化层和分布式布拉格反射层。

[0067] 其中,钝化层为氧化硅层,厚度为 $400 \sim 600 \text{nm}$,如 500nm 。氧化硅的硬度较大,可以对芯片进行有效保护。分布式布拉格反射层包括交替层叠的氧化硅层和氧化钛层,氧化硅层和氧化钛层的数量为30个 \sim 40个,如36个。

[0068] 需要说明的是,在本公开实施例中,绝缘层7还铺设在凹槽100a内的连接部91和加固层92上。

[0069] 可选地,保护层8可以为氧化硅层。厚度为 $400 \sim 600 \text{nm}$,如 500nm 。通过设置保护层可以避免外延片被空气中的氧气和水蒸气腐蚀。

[0070] 可选地,发光二极管芯片还包括N型焊盘10和P型焊盘11。绝缘层7上开设有延伸至N型电极5的N型连通孔7a和延伸至P型电极6的P型连通孔7b。N型焊盘10位于N型连通孔7a以及N型连通孔7a周围的绝缘层7上,P型焊盘11位于P型连通孔7b以及P型连通孔7b周围的绝缘层7上。

[0071] 示例性地,N型焊盘10和P型焊盘11均为Ti/Al/Ti/Al/Ti/Au层叠结构。其中,第一层Ti层和第三层Ti层的厚度均为 20nm ,第二层Al层和第四层Al层的厚度均为 1100nm ,第五层Ti层的厚度为 110nm ,第六层Au层的厚度为 300nm 。Ti层可以起到黏附作用,Al层可以起到反射作用,以对射向P型焊盘或者N型焊盘的光线进行反射,增加芯片从透明基板射出的光线。Au层作为焊接层,可以通过焊料将芯片固定在电路板上。

[0072] 需要说明的是,在本公开实施例中,如图1所示,部分保护层8还包覆在N型焊盘10和P型焊盘11的侧壁上。

[0073] 图4是本公开实施例提供的P型焊盘和N型焊盘的分布示意图,参见图4,N型焊盘10和P型焊盘11间隔设置在绝缘层7上,且N型焊盘10和P型焊盘11在绝缘层7上的设置区域大小相同,方便与电路板形成稳定的电连接。

[0074] 本公开实施例提供了一种防断裂发光二极管芯片的制造方法,适用于制作图1所示的防断裂发光二极管芯片。图5是本公开实施例提供的一种防断裂发光二极管芯片的制造方法流程图,参见图5,该制造方法包括:

[0075] 步骤501、提供一衬底。

[0076] 其中,衬底包括相对的第一表面和第二表面。衬底可以为蓝宝石衬底。

[0077] 步骤502、在衬底上生长外延层。

[0078] 其中,外延层包括依次层叠在衬底上的N型半导体层、有源层和P型半导体层。

[0079] 可选地,该步骤502可以包括:

[0080] 采用金属有机化合物化学气相沉淀(英文: Metal-organic Chemical Vapor

Deposition,简称:MOCVD)技术在衬底上依次生长N型半导体层、有源层和P型半导体层。

[0081] 步骤503、在P型半导体层上开设延伸至N型半导体层的凹槽,同时在凹槽内形成连接部。

[0082] 可选地,该步骤503可以包括:

[0083] 第一步,采用光刻技术在N型半导体层外延层上形成第一图形化光刻胶。

[0084] 第二步,对N型半导体层外延层进行第一次刻蚀,以在N型半导体层外延层上刻蚀出朝向N型半导体层N型半导体层方向延伸的第一凹槽。

[0085] 在本公开实施例中,可以采用感应耦合等离子体刻蚀(英文:Inductively Coupled Plasma,简称:ICP)技术进行刻蚀。

[0086] 第三步,去除第一图形化光刻胶,采用光刻技术在N型半导体层第一凹槽的槽底形成第二图形化光刻胶。

[0087] 第四步、对第二图形化光刻胶进行高温烘烤,使得第二图形化光刻胶的部分区域凹陷。

[0088] 其中,高温烘烤的温度可以为150℃,时间可以为30分钟。

[0089] 通过高温烘烤光刻胶,使得第二图形化光刻胶的部分区域凹陷,可以便于后续刻蚀得到具有弧形支撑面91a的连接部91。

[0090] 第五步、继续对N型半导体层外延层进行第二次刻蚀,以在N型半导体层外延层上刻蚀出延伸至N型半导体层N型半导体层的第二凹槽,且N型半导体层第一凹槽与N型半导体层第二凹槽之间形成有连接部。

[0091] 示例性地,第二次刻蚀的刻蚀速率逐渐变慢,例如,可以由5nm/s逐渐减慢至1nm/s,以防止刻蚀速率过快,刻蚀后期,对于N型半导体层表面造成损伤。

[0092] 图6为本公开实施例提供的一种外延层刻蚀凹槽的刻蚀简图,如图6所示,图6中的I区域为第一次刻蚀的区域,图6中的II区域为第二次刻蚀的区域,91表示最终形成的连接部。

[0093] 连接部91为直角三棱柱结构,连接部91的具体结构可以参见图1和图2相关描述,本公开实施例在此不再赘述。

[0094] 第六步、去除第二图形化光刻胶。

[0095] 步骤504、在P型半导体层上形成P型电极。

[0096] 可选地,该步骤504可以包括:

[0097] 采用光刻技术在P型半导体层上形成负性光刻胶;

[0098] 采用蒸发技术在负性光刻胶、P型半导体层上形成电极材料;

[0099] 去除负性光刻胶、以及负性光刻胶上的电极材料,P型半导体层上的电极材料形成P型电极。

[0100] 其中,P型电极包括依次层叠的Cr层、Al层、Cr层、Ti层和Al层。

[0101] 步骤505、在凹槽内的N型半导体层上形成N型电极。

[0102] 可选地,该步骤505可以包括:

[0103] 采用光刻技术在凹槽内的N型半导体层上形成负性光刻胶;

[0104] 采用蒸发技术在负性光刻胶、凹槽内的N型半导体层上形成电极材料;

[0105] 去除负性光刻胶、以及负性光刻胶上的电极材料,凹槽内的N型半导体层上的电极

材料形成N型电极。

[0106] 其中,N型电极包括依次层叠的Cr层、Al层、Cr层、Ti层和Al层。

[0107] 步骤506、在凹槽内和N型电极上,以及P型半导体层和P型电极上形成绝缘层。

[0108] 在本公开实施例中,绝缘层包括依次层叠的钝化层和分布式布拉格反射层。

[0109] 示例性地,可以采用PECVD(Plasma Enhanced Chemical Vapor Deposition,等离子体增强化学的气相沉积)法形成钝化层。

[0110] 步骤507、在绝缘层上形成保护层。

[0111] 其中,保护层为氧化硅层,厚度为400~600nm,如500nm。

[0112] 示例性地,可以采用PECVD(Plasma Enhanced Chemical Vapor Deposition,等离子体增强化学的气相沉积)法形成保护层。

[0113] 本公开实施例通过在凹槽内设置连接凹槽的槽底和凹槽的侧壁的连接部,从而可以加强外延层与N型半导体层之间的连接强度。当采用激光剥离技术将外延片的衬底剥离之后,连接部可以在N型半导体层内的台阶处形成一个过渡,加强断裂起源处的结构强度,防止外延片从台阶处断裂,从而可以提高芯片巨量转移过程中的良率。且连接部在衬底上的正投影与N型电极不重合,因此连接部的设置,也不会影响N型电极的正常工作。

[0114] 图7是本公开实施例提供的另一种防断裂发光二极管芯片的制造方法流程图,参见图7,该制造方法包括:

[0115] 步骤701、提供一衬底。

[0116] 其中,衬底包括相对的第一表面和第二表面。衬底可以为蓝宝石衬底。

[0117] 步骤702、对衬底进行图形化处理。

[0118] 其中,图形化蓝宝石衬底的第一表面具有多个间隔均布的锥形凸起,每个锥形凸起的底部直径均为1.3~1.7 μm ,每个锥形凸起的高度均为0.8~1.2 μm 。

[0119] 步骤703、在衬底上生长外延层。

[0120] 其中,外延层包括依次层叠在衬底上的N型半导体层、有源层和P型半导体层。

[0121] 可选地,该步骤703可以与步骤502相同,在此不再详述。

[0122] 步骤704、在P型半导体层上开设延伸至N型半导体层的凹槽,同时在凹槽内形成连接部和加固层。

[0123] 可选地,步骤704可以包括:

[0124] 第一步,采用光刻技术在N型半导体层外延层上形成第三图形化光刻胶。

[0125] 第二步,对N型半导体层外延层进行第一次刻蚀,以在N型半导体层外延层上刻蚀出朝向N型半导体层N型半导体层方向延伸的第三凹槽,且所述N型半导体层的边缘形成有部分加固层。

[0126] 在本公开实施例中,可以采用感应耦合等离子体刻蚀(英文:Inductively Coupled Plasma,简称:ICP)技术进行刻蚀。

[0127] 第三步,去除第三图形化光刻胶,采用光刻技术在N型半导体层第一凹槽的槽底形成第四图形化光刻胶。

[0128] 第四步、对第二图形化光刻胶进行高温烘烤,使得第二图形化光刻胶的部分区域凹陷。

[0129] 其中,高温烘烤的温度可以为150 $^{\circ}\text{C}$,时间可以为30分钟。

[0130] 通过高温烘烤光刻胶,使得第二图形化光刻胶的部分区域凹陷,可以便于后续刻蚀得到具有弧形支撑面91a的连接部91。

[0131] 第五步、继续对N型半导体层外延层进行第二次刻蚀,以在N型半导体层外延层上刻蚀出延伸至N型半导体层N型半导体层的第二凹槽,且N型半导体层第一凹槽与N型半导体层第二凹槽之间形成有连接部,N型半导体层的边缘形成有加固层。

[0132] 连接部91为直角三棱柱结构,连接部91的具体结构可以参见图1和图2相关描述,本公开实施例在此不再赘述。

[0133] 在本公开实施例中,加固层位于凹槽内的N型半导体层的边缘,且加固层连接凹槽的槽底和凹槽的侧壁,加固层在N型半导体层上的正投影位于N型电极和连接部在N型半导体层2上的正投影的两侧。加固层的具体结构可以参见图3及相关描述,本公开实施例在此不再赘述。

[0134] 示例性地,第二次刻蚀的刻蚀速率逐渐变慢,例如,可以由5nm/s逐渐减慢至1nm/s,以防止刻蚀速率过快,刻蚀后期,对于N型半导体层表面造成损伤。

[0135] 第六步、去除第二图形化光刻胶。

[0136] 可选地,该制造方法还可以包括:

[0137] 在外延层表面沉积氧化铟锡(Indium Tin Oxide,ITO)透明导电材料;

[0138] 采用光刻技术在透明导电材料上形成图形化光刻胶;

[0139] 湿法腐蚀透明导电材料,形成透明导电层;

[0140] 去除图形化光刻胶。

[0141] 其中,腐蚀溶液可以使用盐酸溶液。

[0142] 步骤705、在P型半导体层上形成P型电极。

[0143] 可选地,该步骤705可以与步骤504相同,在此不再详述。

[0144] 步骤706、在凹槽内的N型半导体层上形成N型电极。

[0145] 可选地,该步骤706可以与步骤505相同,在此不再详述。

[0146] 步骤707、在凹槽内和N型电极上,以及P型半导体层和P型电极上形成绝缘层。

[0147] 可选地,该步骤707可以与步骤506相同,在此不再详述。

[0148] 步骤708、在绝缘层上开设延伸至N型电极的N型连通孔和延伸至P型电极的P型连通孔。

[0149] 可选地,步骤708可以包括:

[0150] 采用光刻技术在绝缘层上形成图形化光刻胶;

[0151] 采用干法刻蚀技术在绝缘层内开设延伸至N型电极的N型连通孔和延伸至P型电极的P型连通孔;

[0152] 去除图形化光刻胶。

[0153] 步骤709、在P型连通孔内P型连通孔周围的绝缘层上形成P型焊盘,在N型连通孔内和N型连通孔周围的绝缘层上形成N型焊盘。

[0154] 示例性地,N型焊盘和P型焊盘均为Ti/Al/Ti/Al/Ti/Au层叠结构。其中,第一层Ti层和第三层Ti层的厚度均为20nm,第二层Al层和第四层Al层的厚度均为1000nm,第五层Ti层的厚度为100nm,第六层Au层的厚度为300nm。

[0155] 示例性地,步骤709可以包括:

- [0156] 采用光刻技术在绝缘层上形成负性光刻胶；
- [0157] 采用蒸发技术在N型连通孔内、P型连通孔内、以及负性光刻胶上形成焊盘材料；
- [0158] 去除负性光刻胶、以及负性光刻胶上的焊盘材料，N型连通孔内和N型连通孔周围的绝缘层上的焊盘材料形成N型焊盘，N型连通孔内和N型连通孔周围的绝缘层上的焊盘材料形成P型焊盘。
- [0159] 步骤710、在绝缘层上形成保护层。
- [0160] 可选地，该步骤710可以与步骤507相同，在此不再详述。
- [0161] 步骤711、减薄衬底。
- [0162] 在本公开实施例中，减薄后的衬底的最终厚度约为60~120um，例如80um。在保证支撑强度的情况下，减少光线在衬底内的损失。
- [0163] 可选地，该制造方法还可以包括：
- [0164] 对衬底进行隐形切割划裂。
- [0165] 实际应用中，切割可以先利用隐形切割技术进行划裂，再劈开即可，有利于提高亮度。隐形切割时，可以从芯片的背面射入激光光子，激光波长可以为1024nm。
- [0166] 本公开实施例通过在凹槽内设置连接凹槽的槽底和凹槽的侧壁的连接部，从而可以加强外延层与N型半导体层之间的连接强度。当采用激光剥离技术将外延片的衬底剥离之后，连接部可以在N型半导体层内的台阶处形成一个过渡，加强断裂起源处的结构强度，防止外延片从台阶处断裂，从而提高芯片巨量转移过程中的良率。且连接部在衬底上的正投影与N型电极不重合，因此连接部的设置，也不会影响N型电极的正常工作。
- [0167] 以上所述仅为本公开的可选实施例，并不用以限制本公开，凡在本公开的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

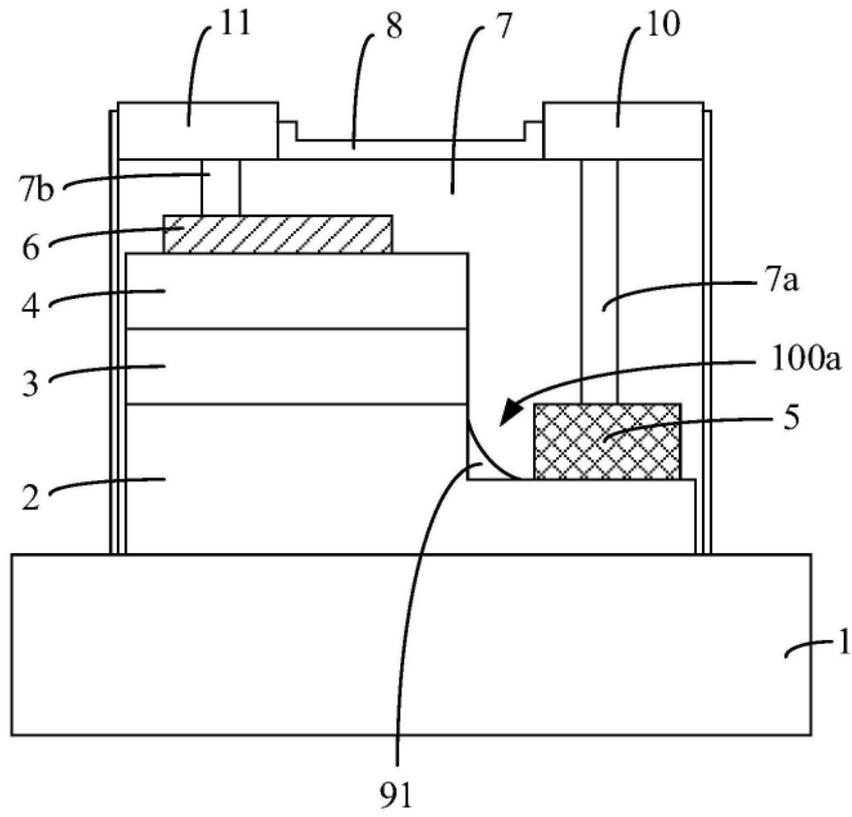


图1

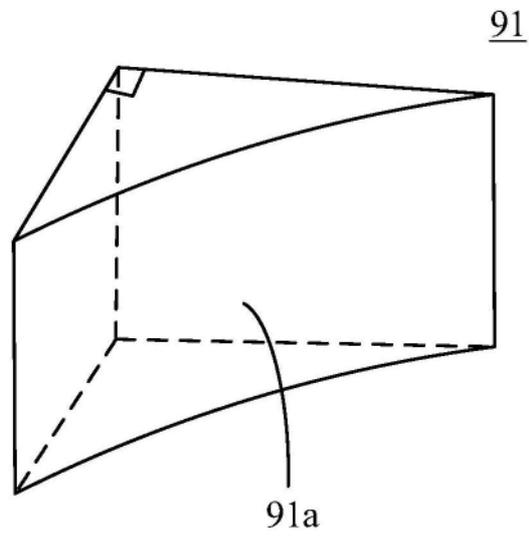


图2

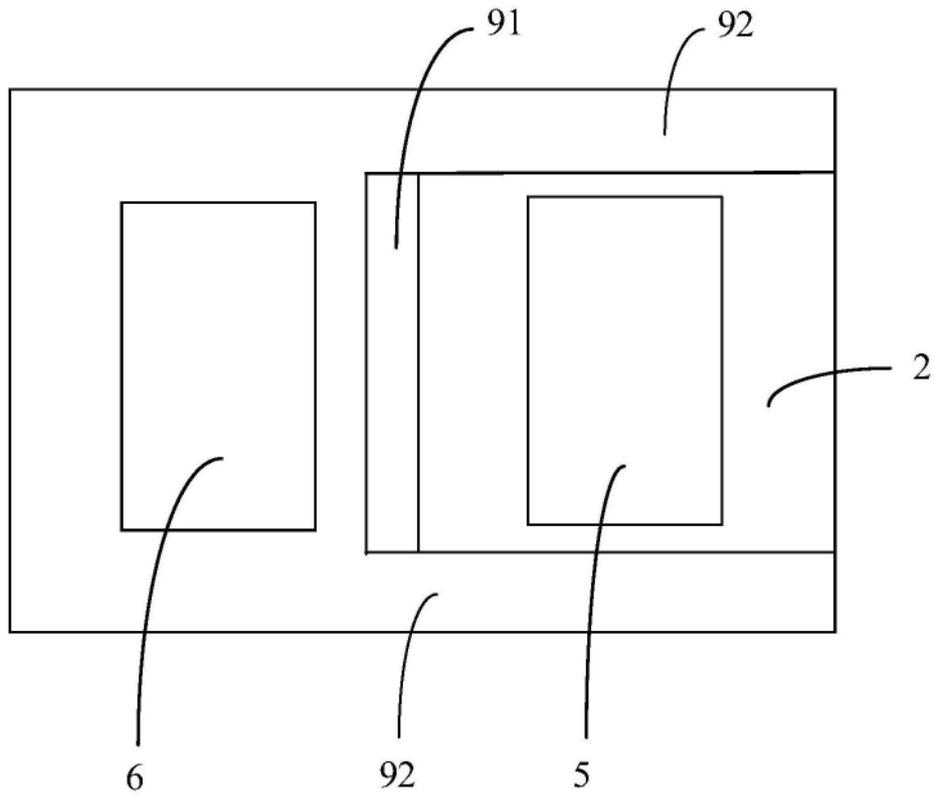


图3

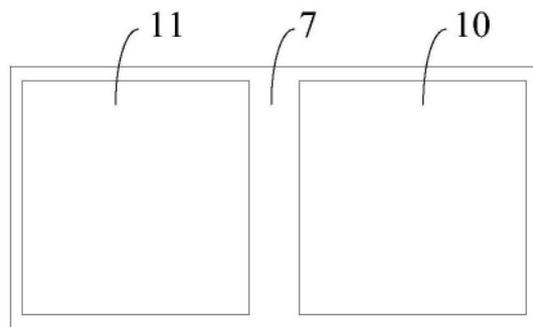


图4

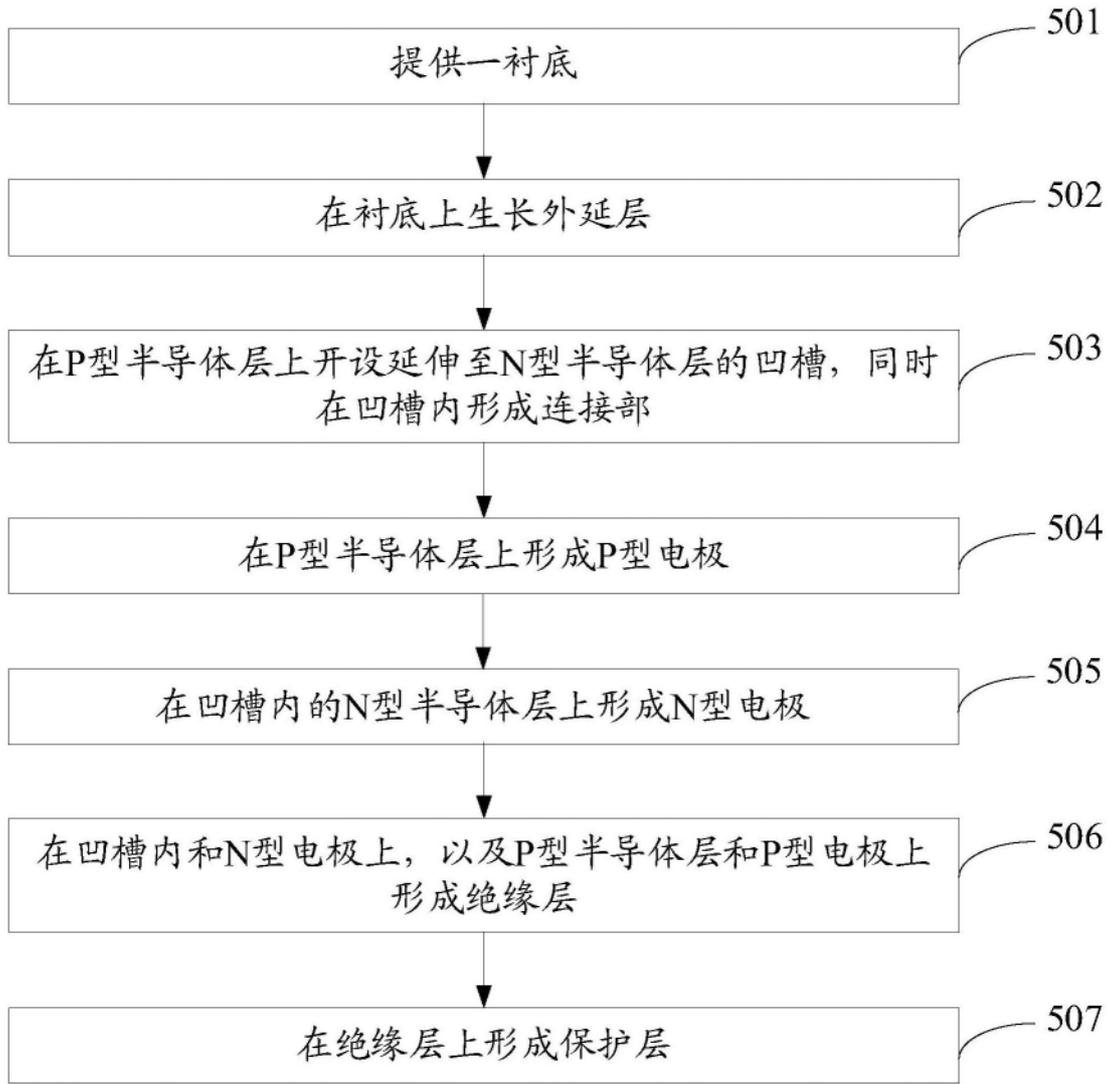


图5

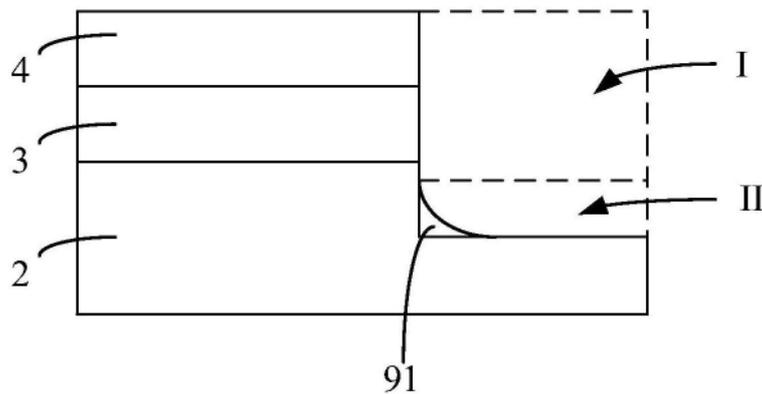


图6

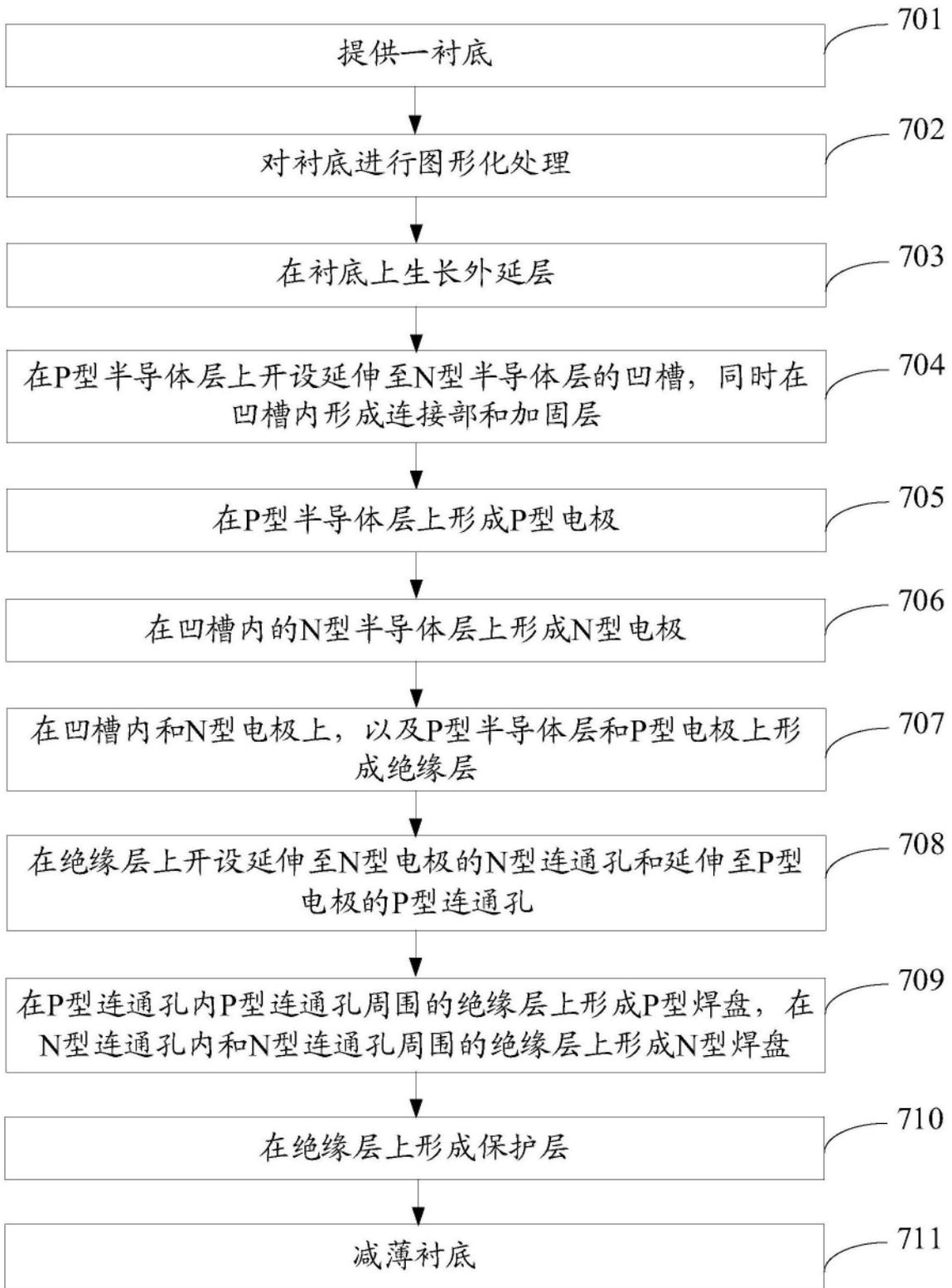


图7