

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-225979

(P2010-225979A)

(43) 公開日 平成22年10月7日(2010.10.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B	4 M 1 0 4
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 3 O 1 F	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 4 0
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 6 V	
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 6 1 7 K	

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2009-73446 (P2009-73446)
 (22) 出願日 平成21年3月25日 (2009. 3. 25)

(71) 出願人 000005290
 古河電気工業株式会社
 東京都千代田区丸の内二丁目2番3号
 (72) 発明者 季 江
 東京都千代田区丸の内二丁目2番3号 古河電気工業株式会社内
 (72) 発明者 岩見 正之
 東京都千代田区丸の内二丁目2番3号 古河電気工業株式会社内
 Fターム(参考) 4M104 AA04 BB14 DD26 EE01 EE03
 EE14 EE16 EE17 FF10 FF13
 FF31 HH18

最終頁に続く

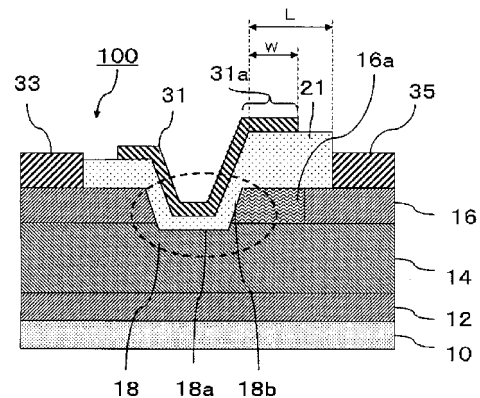
(54) 【発明の名称】 GaN系電界効果トランジスタ

(57) 【要約】

【課題】低オン抵抗・高耐圧で動作可能なGaN系化合物半導体デバイスを提供する。

【解決手段】基板上に形成されたバッファ層、チャネル層と、前記チャネル層上に形成され、ドリフト層と、前記ドリフト層上に配置されたソース電極およびドレイン電極と、ドリフト層に形成されたりセス部の内表面および前記ドリフト層の表面に形成された絶縁膜と、前記絶縁膜上に形成されたフィールドプレート部を有するゲート電極とを備えたGaN系電界効果トランジスタにおいて、前記ドリフト層は、前記リセス部と前記ドレイン電極との間に、シートキャリア密度が $5 \times 10^{13} \text{ cm}^{-2}$ 以上、 $1 \times 10^{14} \text{ cm}^{-2}$ 以下のn型GaN系化合物半導体からなる電界緩和領域を有し、前記ドリフト層の前記電界緩和領域上に形成された前記絶縁膜の厚さが300nm以上であることを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板上に形成されたバッファ層と、
 前記バッファ層上に形成された p 型の GaN 系化合物半導体からなるチャンネル層と、
 前記チャンネル層上に形成され、その一部に前記チャンネル層に達する凹状のリセス部を有する n 型 GaN 系化合物半導体からなるドリフト層と、
 前記ドリフト層上に、前記ドリフト層に電氣的に接続され、前記リセス部を挟むように配置されたソース電極およびドレイン電極と、
 前記リセス部の内表面および前記ドリフト層の表面に形成された絶縁膜と、
 前記絶縁膜上に形成されたフィールドプレート部を有するゲート電極とを備え、
 前記ドリフト層は、前記リセス部と前記ドレイン電極との間に、シートキャリア密度が $5 \times 10^{13} \text{ cm}^{-2}$ 以上、 $1 \times 10^{14} \text{ cm}^{-2}$ 以下の n 型 GaN 系化合物半導体からなる電界緩和領域を有し、前記ドリフト層の前記電界緩和領域上に形成された前記絶縁膜の厚さが 300 nm 以上であることを特徴とする GaN 系電界効果トランジスタ。

10

【請求項 2】

前記絶縁膜は、リセス部の内表面に形成された第 1 の絶縁膜と、
 前記ドリフト層の表面に形成された第 2 の絶縁膜とからなることを特徴とする請求項 1 に記載の GaN 系電界効果トランジスタ。

20

【請求項 3】

前記第 1 の絶縁膜は、 SiO_2 、 SiN 、 Al_2O_3 、 Ga_2O_3 、 TaO_x 、または SiON からなることを特徴とする請求項 1 または 2 に記載の GaN 系電界効果トランジスタ。

【請求項 4】

前記第 2 の絶縁膜は、 SiN 、 Al_2O_3 、 Sc_2O_3 、または MgO からなることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の GaN 系電界効果トランジスタ。

【請求項 5】

前記電界緩和層上に形成された前記絶縁膜は、前記リセス部のドレイン電極側端部から前記ドレイン電極へ向って厚さが連続、または不連続に増加し、最も厚い部分の厚さが 300 nm 以上であることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の GaN 系電界効果トランジスタ。

30

【請求項 6】

前記ゲート電極は、前記電界緩和層上に形成された部分の長さが、 $0.5 \mu\text{m}$ 以上、 $10 \mu\text{m}$ 以下であることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載の GaN 系電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワーエレクトロニクス用デバイスや高周波増幅デバイスとして用いられる GaN 系電界効果トランジスタに関する。

40

【背景技術】

【0002】

III 族窒化物系化合物半導体に代表されるワイドバンドギャップ半導体は、高い絶縁破壊耐圧、良好な電子輸送特性、良好な熱伝導度を持つため、高温環境用、大パワー用、あるいは高周波用の半導体デバイスの材料として非常に魅力的である。

【0003】

特許文献 1 には、高周波、大出力用のショットキーゲート電界効果トランジスタにおいて、所定の庇状のフィールドプレート部を有するゲート電極を、所定の膜厚の誘電体膜上に形成することによって、寄生容量の削減、リターンロス値の低減、耐圧の向上、および

50

過大入力に対する歪みレベルを低減することができることが記載されている。

【0004】

また、通常電力の制御に使われている、インバータやコンバータにおいては、ゲートに制御信号（電圧）が印加されていない時、素子に電流が流れない、いわゆるノーマリオフ型のFETが使われる。特許文献2には、ノーマリオフ型の構造であるMOS（Metal Oxide Semiconductor）型電界効果トランジスタ（MOSFET）において、コンタクト層およびリサーフ（電界緩和）層を選択再成長によって形成するものが記載されている。

【先行技術文献】

【特許文献】

【0005】

10

【特許文献1】特開2000-118122号公報

【特許文献2】特開2008-159631号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献2に記載された電界効果トランジスタでは、素子のオン抵抗を低減するために、リサーフ層のキャリア濃度を高くすると、耐圧が急激に低下するという問題があった。これは、リサーフ層のキャリア濃度が高い場合、ゲート電極のドレイン側端部とリサーフ層との間で電界集中が発生し、絶縁破壊を起こしてしまうためと考えられる。

20

【0007】

本発明は、上記に鑑みてなされたものであって、低オン抵抗・高耐圧で動作可能なGaN系化合物半導体デバイスを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の一実施形態に係るGaN系電界効果トランジスタは、基板と、前記基板上に形成されたバッファ層と、前記バッファ層上に形成されたp型のGaN系化合物半導体からなるチャンネル層と、前記チャンネル層上に形成され、その一部に前記チャンネル層に達する凹状のリセス部を有するn型GaN系化合物半導体からなるドリフト層と、前記ドリフト層上に、前記ドリフト層に電氣的に接続され、前記リセス部を挟むように配置されたソース電極およびドレイン電極と、前記リセス部の内表面および前記ドリフト層の表面に形成された絶縁膜と、前記絶縁膜上に形成されたフィールドプレート部を有するゲート電極とを備え、前記ドリフト層は、前記リセス部と前記ドレイン電極との間に、シートキャリア密度が $5 \times 10^{13} \text{ cm}^{-2}$ 以上、 $1 \times 10^{14} \text{ cm}^{-2}$ 以下のn型GaN系化合物半導体からなる電界緩和領域を有し、前記ドリフト層の前記電界緩和領域上に形成された前記絶縁膜の厚さが300nm以上であることを特徴とする。

30

【0009】

また、本発明の別の実施形態に係るGaN系電界効果トランジスタは、前記絶縁膜が、リセス部の内表面に形成された第1の絶縁膜と、前記ドリフト層の表面に形成された第2の絶縁膜とからなることを特徴とする。

40

【0010】

また、本発明の別の実施形態に係るGaN系電界効果トランジスタは、前記第1の絶縁膜が、 SiO_2 、 SiN 、 Al_2O_3 、 Ga_2O_3 、 TaO_x 、または SiON からなることを特徴とする。

【0011】

また、本発明の別の実施形態に係るGaN系電界効果トランジスタは、前記第2の絶縁膜が、 SiN 、 Al_2O_3 、 Sc_2O_3 、または MgO からなることを特徴とする。

【0012】

また、本発明の別の実施形態に係るGaN系電界効果トランジスタは、前記電界緩和層上に形成された前記絶縁膜が、前記リセス部のドレイン電極側端部から前記ドレイン電極

50

へ向って厚さが連続、または不連続に増加し、最も厚い部分の厚さが300nm以上であることを特徴とする。

【0013】

また、本発明の別の実施形態に係るGaN系電界効果トランジスタは、前記ゲート電極の前記電界緩和層上に形成された部分の長さが、0.5μm以上、10μm以下であることを特徴とする。

【発明の効果】

【0014】

本発明によれば、ゲートフィールドプレート構造の電界効果トランジスタにおいて、フィールドプレート部の絶縁膜を厚くすることで、オン抵抗を低くするためにリサーフ領域のキャリア密度を高くしても、高い絶縁破壊電圧を得ることができるという顕著な効果を奏する。

【図面の簡単な説明】

【0015】

【図1】本発明の第一の実施形態に係るGaN系電界効果トランジスタの断面模式図である。

【図2】本発明の第一の実施形態に係るGaN系電界効果トランジスタの、リサーフ領域のシートキャリア濃度と、絶縁破壊電圧の関係を示すグラフである。

【図3】本発明の第一の実施形態に係るGaN系電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図4】本発明の第一の実施形態に係るGaN系電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図5】本発明の第一の実施形態に係るGaN系電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図6】本発明の第一の実施形態に係るGaN系電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図7】本発明の第一の実施形態に係るGaN系電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図8】本発明の第一の実施形態に係るGaN系電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図9】本発明の第二の実施形態に係るGaN系電界効果トランジスタの断面模式図である。

【図10】本発明の第三の実施形態に係るGaN系電界効果トランジスタの断面模式図である。

【発明を実施するための形態】

【0016】

以下に、図面を参照して本発明に係るGaN系化合物半導体デバイスの実施の形態を詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0017】

(第一の実施形態)

図1は、本発明の第一の実施形態に係るGaN系電界効果トランジスタ(以下「MOSFET」という)の断面模式図である。図1に示すように、MOSFET100は、シリコン(Si)、炭化シリコン(SiC)、サファイア等からなる基板10上に、GaN層とAlN層とを交互に積層して形成したバッファ層12と、p型GaNからなるチャネル層14と、n型GaNからなるドリフト層16が順次積層されている。

【0018】

ドリフト層16の一部には、底部18aがチャネル層14に達する、断面が略逆台形状のリセス部18が設けられている。リセス部の内側面18bは、底部18aに対して傾斜して立ち上がっている。

【0019】

10

20

30

40

50

ドリフト層 16 の表面、リセス部 18 の底部 18 a、および内側面 18 b には、 SiO_2 等の絶縁膜 21 が形成され、リセス部 18 における絶縁膜 21 上には、ゲート電極 31 が形成されている。また、リセス部 18 を挟んだドリフト層 16 上には、ソース電極 33、ドレイン電極 35 が、それぞれドリフト層 16 とオーミック接触するように形成されている。

【0020】

ドリフト層 16 内には、ドリフト層 16 の他の部分よりもシートキャリア密度が低いリサーフ領域 16 a が設けられている。リサーフ領域（電界緩和領域）16 a は、ゲート電極 31 とドレイン電極 35 の間に発生する電界集中を緩和する機能を備えている。

また、ゲート電極 31 は、リサーフ領域 16 a 上に絶縁膜 21 を介してフィールドプレート（FP）部 31 a を備えている。FP 部 31 a は、ゲート電極 31 のドレイン側端部での電界集中を緩和する機能を備えている。

10

【0021】

良好な絶縁破壊電圧を得るために、リサーフ領域 16 a のシートキャリア濃度は、 $5 \times 10^{13} \text{ cm}^{-2}$ 以上、 $1 \times 10^{14} \text{ cm}^{-2}$ 以下であることが必要である。シートキャリア密度が $5 \times 10^{13} \text{ cm}^{-2}$ よりも低いと、FET のオン抵抗が高くなってしまいうため、好ましくない。また、シートキャリア密度が、 $1 \times 10^{14} \text{ cm}^{-2}$ よりも高いと、後述するように絶縁破壊電圧が低下してしまうため、好ましくない。

【0022】

更に、リサーフ領域 16 a 上に形成された絶縁膜 21 の厚さは、300 nm 以上であることが好ましく、この場合、FET の絶縁破壊電圧として 1500 V 以上の値を得ることができる。リサーフ領域 16 a 上に形成された絶縁膜 21 の厚さの上限については、特に限定されないが、製造時間等を考慮すると、1500 nm 程度であることが好ましい。

20

【0023】

図 2 は、本発明の第一の実施形態に係る GaN 系電界効果トランジスタにおいて、リサーフ領域 16 a のシートキャリア濃度と、MOSFET の絶縁破壊電圧の関係を示すグラフである。図中の t は、リサーフ領域 16 a 上の絶縁膜 21 の厚さを示している。図 2 に示すように、素子の絶縁破壊電圧は、リサーフ領域 16 a のシートキャリア濃度に対して極大値（以下、最大絶縁破壊電圧という）を有しており、 t の値が増えるにつれ、最大絶縁破壊電圧も増加する。

30

【0024】

しかし、リサーフ領域 16 a 上の絶縁膜 21 の厚さが 60 nm の場合、素子の絶縁破壊電圧（耐圧）はリサーフ領域 16 a のシートキャリア濃度が $4.0 \times 10^{13} \text{ cm}^{-2}$ 程度で極大となり、それ以上のシートキャリア濃度では、急激に耐圧が低下してしまう。これは、ゲート電極 31 のドレイン電極 35 側端部とリサーフ領域 16 a との間で電界集中が発生し、絶縁破壊を起こしてしまうためと考えられる。

【0025】

ドリフト層 16 のシートキャリア密度が $5.0 \times 10^{13} \text{ cm}^{-2}$ よりも低い場合、オン抵抗を十分に低減することができず、また、リサーフ領域 16 a 上の絶縁膜 21 を厚くしても、素子の絶縁破壊電圧（耐圧）は 1000 V 以下となってしまう。また、ドリフト層 16 のキャリア密度が $1.0 \times 10^{14} \text{ cm}^{-2}$ よりも高い場合、オン抵抗は低くなるが、耐圧が低下してしまう。

40

【0026】

以上から、ドリフト層 16 のシートキャリア密度は、 $5.0 \times 10^{13} \text{ cm}^{-2}$ 以上、 $1.0 \times 10^{14} \text{ cm}^{-2}$ 以下、かつリサーフ領域 16 a 上の絶縁膜 21 の厚さは 300 nm 以上が好ましい。この様な構成とすることで、低オン抵抗、かつ高耐圧の電界効果トランジスタを得ることができる。

【0027】

次に、本発明の第一の実施形態に係る GaN 系電界効果トランジスタの製造方法について説明する。図 3 ないし 8 は、図 1 に示す MOSFET 100 の製造方法を説明する説明

50

図である。なお、以下では、有機金属気相成長(MOCVD)法を用いて製造した場合について説明するが、製法は特に限定されるものではない。

【0028】

はじめに、(111)面を主表面とするSiからなる基板10をMOCVD装置にセットし、水素ガスをキャリアガスとして用い、トリメチルガリウム(TMGa)、トリメチルアルミニウム(TMAI)およびNH₃を原料ガスとし、成長温度1050で、基板10上に、バッファ層12、p-GaNからなるチャンネル層14を順次エピタキシャル成長させる。なお、チャンネル層14に対するp型のドーピング源としてビスシクロペンタジエニルマグネシウム(CP2Mg)を用い、Mgの濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度になるようにCP2Mgの流量を調整する。

10

つぎに、TMGaとNH₃とをMOCVD装置に導入し、成長温度1050で、チャンネル層14上にn⁻型GaN層16をエピタキシャル成長させる。n⁻型GaNからなるドリフト層16のシートキャリア密度は、 $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度である。

【0029】

なお、上記において、バッファ層12は、厚さ200nm/20nmのGaN/AlN複合層を8層積層したものとする。また、バッファ層12、チャンネル層14、ドリフト層16の厚さは、それぞれ1800nm、600nm、100nmとする。

【0030】

さらに、プラズマ化学気相成長(PCVD)法を用いて、ドリフト層16上に、厚さ500nmのアモルファスシリコン(a-Si)からなる第1のマスク層23を形成し、フォトリソグラフィとCF₄ガスを用いてパターニングを行い、開口部23aを形成する。(図3)さらに、第1のマスク層23をマスクとして、Cl₂ガスを用いてドリフト層16をエッチングし、底面がチャンネル層14に達するリセス部18を形成する(図4)。リセス部18の断面は、少なくともドレイン電極が形成される側の側面が底面に対して傾斜して立ち上がっている略逆台形状であることが好ましい。このような構成とすることで、リセス部の底面のドレイン電極側端部に電界が集中することを抑制することができ、さらに高い絶縁破壊電圧を得ることができる。

20

【0031】

なお、第1のマスク層23は、上面からエッチングされるため、第1のマスク層23の厚さは、チャンネル層14が表出するまでドリフト層16のエッチングを行なった場合に、開口部23a以外の位置のドリフト層16が露出してしまわないように、十分に厚くする。

30

【0032】

次に、第1のマスク層23を除去した後、リセス部18およびドリフト層16の一部を覆う第2のマスク層24を形成し、ドリフト層16のソース電極およびドレイン電極を形成する部分にn型の不純物をイオン注入することによってn⁺型のGaNからなるコンタクト領域16bを形成する。このとき、イオン注入されないドリフト層16の残りの部分は、リサーフ領域16aとなる(図5)。ここで、コンタクト層16bのシートキャリア密度は、オーミック電極(ソース電極33、ドレイン電極35)とのコンタクト抵抗を低減するため、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが望ましい。

40

【0033】

次に、第2のマスク層24を除去した後、リフトオフ法を用いてコンタクト層16b上にソース電極33、ドレイン電極35を形成する(図6)。なお、ソース電極33、ドレイン電極35は、いずれも厚さ25nm/300nmのTi/Al積層構造からなる。また、電極を構成する金属膜の成膜は、スパッタ法や真空蒸着法を用いて行うことができる。

【0034】

次に、SiH₄とN₂Oを原料として、PCVD法を用いて、SiO₂からなる厚さ60nmの絶縁膜26'を、リセス部18の内表面上、ドリフト層16上、ソース電極33およびドレイン電極35上に成膜する(図7)。

50

さらに、リサーフ領域 16 a 上のみには SiO_2 を堆積し、絶縁膜 26 を形成する。このとき、リサーフ領域 16 a 上の絶縁膜は、あわせて 300 nm 以上となるように形成する。

【0035】

次に、リフトオフ法を用いて、リセス部 18 における絶縁膜 26 上に Ti/Al 積層構造からなるゲート電極 31 を形成し、ソース電極 33 およびドレイン電極 35 上の絶縁膜 26 を除去することによって、図 1 に示す MOSFET 100 が完成する。

【0036】

ここで、ゲート電極 31 のドレイン電極 35 側端部は、リサーフ領域 16 a 上に絶縁膜を介した状態でフィールドプレート部 31 a を備えており、さらに耐圧を向上することができる。フィールドプレート部 31 a の長さ W は、ゲート電極 31 とドレイン電極 35 との間隔によって適宜定めることができるが、ゲート電極 31 とドレイン電極 35 との間隔を L とした場合、 $L/3$ 程度が望ましい。例えば、 L が $12\ \mu\text{m}$ の場合、 W は $4\ \mu\text{m}$ 程度が望ましい (図 1 参照)。

【0037】

また、フィールドプレート部 31 a の長さ W は、 $0.5\ \mu\text{m}$ 以上、 $10\ \mu\text{m}$ 以下であることが好ましい。 W が $0.5\ \mu\text{m}$ よりも短いと、フィールドプレート効果を得ることが難しくなり、 $10\ \mu\text{m}$ よりも長いと、ゲート - ドレイン間の距離が長くなって、結果的に素子の大型化につながってしまう。

【0038】

なお、MOSFET 100 の製造方法として図 2 ~ 8 に示したプロセスを例にとりて説明したが、製造方法としてはこれに限定されるものではない。例えば、絶縁膜 26 は、2 層の膜によって形成したが、単一の絶縁膜で形成してもよい。この場合、全体に、300 nm 以上の絶縁膜を形成した後、ゲート電極を形成する部分をエッチングによって 60 nm の厚さまで除去してもよい。

【0039】

また、上述した製造方法では、絶縁膜 26 として、PCVD 法によって成膜した SiO_2 を例にとりて説明したが、成膜方法としては、PCVD 以外にも APCVD 法、ECR スパッタ法などの成膜方法を利用することができる。また、絶縁膜 26 の材料として、 SiO_2 以外にも、チャンネル層 14 と間の界面準位密度を低く保つことができ、かつ絶縁破壊耐圧の高い絶縁材料、例えば AlN 、 Al_2O_3 、 Ga_2O_3 、 TaO_x 、または SiON を用いることができる。

【0040】

また、上述した製造方法では、コンタクト領域 16 b の形成方法として、イオン注入法を例にとりて説明したが、この方法に限らず、コンタクト領域を形成する部分をエッチングにより除去した後、 n^+ 型 GaN を選択再成長することによって形成してもよい。

【0041】

(第二の実施形態)

図 9 は、本発明の第二の実施形態に係る GaN 系電界効果トランジスタの断面模式図である。図 9 に示すように、MOSFET 200 は、MOSFET 100 と同様の構成であるが、絶縁膜が第一の実施形態における 26 に代わり、第 1 の絶縁膜 46 と、第 2 の絶縁膜 47 で形成されている点で異なる。

【0042】

すなわち、MOSFET 200 における絶縁膜は、リセス部 18 の内側面に形成された第 1 の絶縁膜 46 と、ドリフト層 16 上に形成された第 2 の絶縁膜 47 からなる。第 1 の絶縁膜 46 と、第 2 の絶縁膜 47 の厚さはそれぞれ、60 nm、300 nm である。

【0043】

第 1 の絶縁膜 46 に使用される材料としては、絶縁破壊電圧の高い絶縁膜であればよく、 SiO_2 、 AlN 、 Al_2O_3 、 Ga_2O_3 、 TaO_x 、または SiON を用いることができる。また、第 2 の絶縁膜 47 に使用される材料としては、絶縁破壊電圧が高く、かつ、

10

20

30

40

50

ドリフト層 16 との間の界面準位密度を低減できる絶縁膜であればよく、SiN、Al₂O₃、Sc₂O₃、MgOを用いることができる。

第1の絶縁膜46、および第2の絶縁膜47の成膜方法としては、PCVD法、Cat-CVD法、ECRスパッタ法等、様々な方法を利用することができる。

【0044】

このように、絶縁膜を第1の絶縁膜46、第2の絶縁膜47という2種類の絶縁膜で構成することで、リサーチ領域16a上のみを厚膜化する工程を単純化することができる。また、例えば、第1の絶縁膜46は絶縁破壊電圧が高い材料で形成し、第2の絶縁膜47は絶縁破壊電圧が高く、かつドリフト層16（リサーチ領域16a）との間の界面準位密度を低減できる材料・条件で形成することができる。

10

【0045】

（第三の実施形態）

図10は、本発明の第三の実施形態に係るGaN系電界効果トランジスタの断面模式図である。図10に示すように、MOSFET300は、MOSFET100と同様の構成であるが、リサーチ領域16a上の絶縁膜56の厚さがゲート電極31側から段階的に増加している点で異なる。

【0046】

すなわち、MOSFET300における絶縁膜56は、リサーチ領域16a上で厚さが比較的薄い第1の部分56aと、比較的厚い第2の部分56bを備えており、更にその上にはゲート電極31の第1のFP部31b、および第2のFP部31cが形成されている。ここで、絶縁層56の厚さは、最も厚い第2の部分56bの厚さ t_2 が300nm以上であればよく、その他の部分の厚さは特に限定されないが、製造プロセスを考慮すると、薄い第1の部分56aの厚さ t_1 は、リセス部18に形成される部分の厚さと同じことが望ましく、例えば50~100nm程度が望ましい。

20

【0047】

本実施形態によれば、ゲート電極31とドレイン電極35の間で電界が集中する部分を、第1のFP部31b、および第2のFP部31cによって分散させることができるため、MOSFETの耐圧を更に向上させることができる。

【0048】

リサーチ領域16a上の絶縁膜56の厚さは、上記説明のように段階的に増加させてもよく、連続的に増加させてもよい。また、段階的に増加させる場合、段数は問わないが、製造時間やコストを考慮すると、2段、または3段であることが好ましい。

30

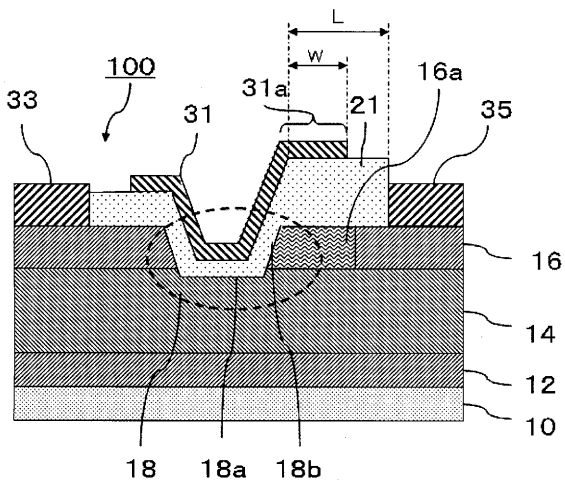
【符号の説明】

【0049】

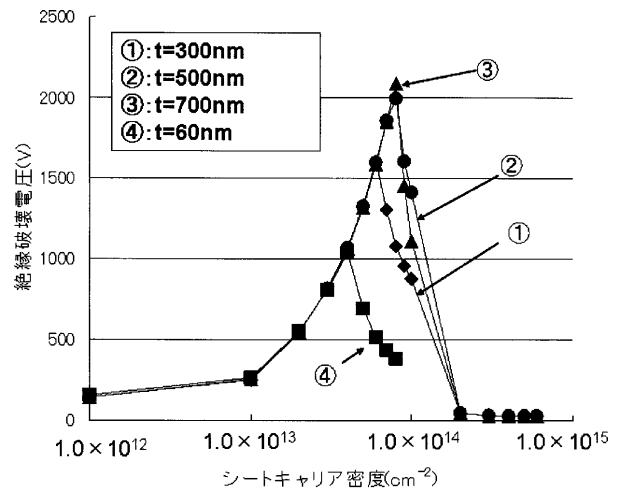
100、200、300	MOSFET	
10	基板	
12	バッファ層	
14	チャネル層	
16	ドリフト層	
16a	リサーチ領域（電界緩和領域）	40
16b	コンタクト領域	
18	リセス部	
18a	底部	
18b	内側面	
21	絶縁膜	
23	第1のマスク層	
23a	開口部	
24	第2のマスク層	
26、26'	絶縁膜	
31	ゲート電極	50

- 3 1 a フィールドプレート (F P) 部
- 3 1 b 第 1 の F P 部
- 3 1 c 第 2 の F P 部
- 3 3 ソース電極
- 3 5 ドレイン電極
- 4 6 第 1 の絶縁膜
- 4 7 第 2 の絶縁膜
- 5 6 絶縁膜
- 5 6 a 第 1 の部分
- 5 6 b 第 2 の部分

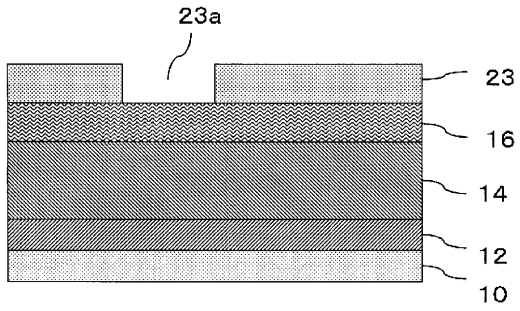
【 図 1 】



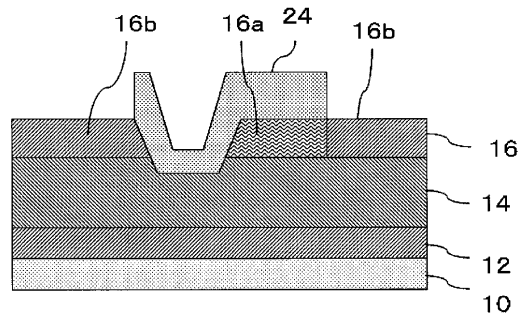
【 図 2 】



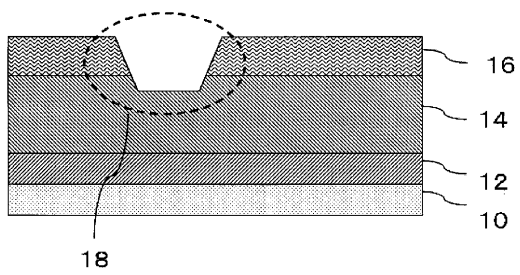
【 図 3 】



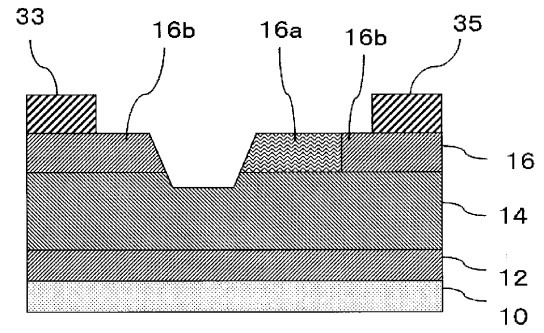
【 図 5 】



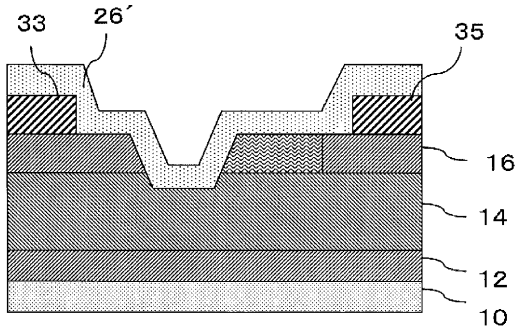
【 図 4 】



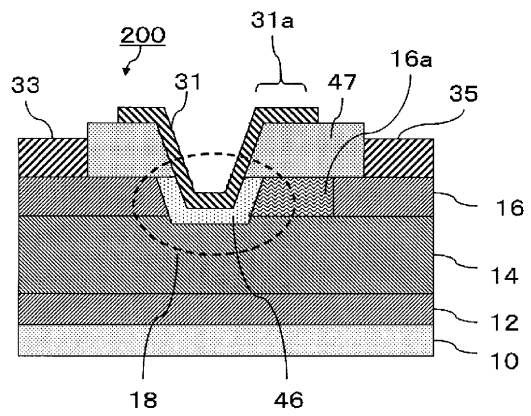
【 図 6 】



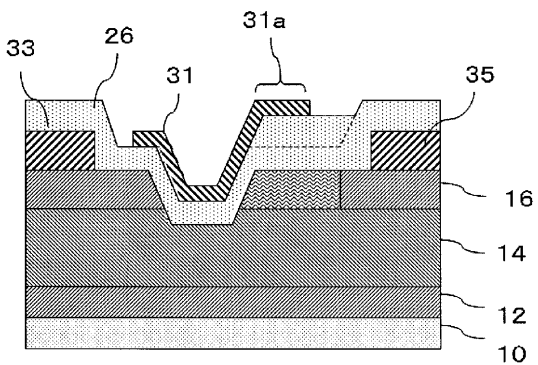
【 図 7 】



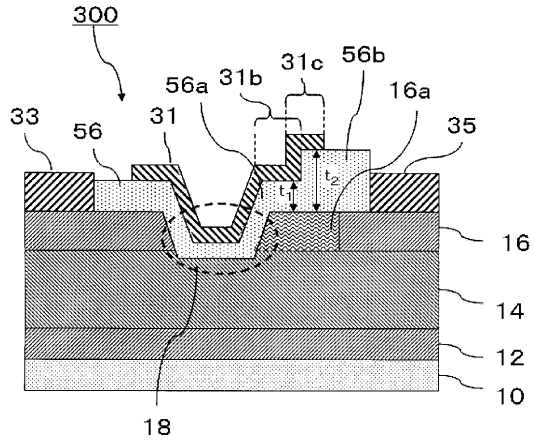
【 図 9 】



【 図 8 】



【図10】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/41 (2006.01)	H 0 1 L 29/78 6 1 7 T	
H 0 1 L 21/28 (2006.01)	H 0 1 L 29/78 6 1 7 U	
	H 0 1 L 29/58 G	
	H 0 1 L 29/44 Y	
	H 0 1 L 21/28 3 0 1 B	

Fターム(参考) 5F110 AA07 AA11 BB12 CC02 DD01 DD04 DD05 DD12 DD17 EE03
 EE04 EE14 EE22 FF01 FF02 FF03 FF04 FF09 FF12 FF28
 FF29 FF30 GG04 GG34 GG44 HJ04 HJ13 HK03 HK04 HK11
 HK22 HK25 HK27 HK32 HK33 HK34 HM12 QQ14
 5F140 AA25 AA30 AC36 BA01 BA02 BA06 BA17 BA20 BB03 BB06
 BB15 BB18 BD01 BD04 BD06 BD07 BD09 BD11 BD12 BD18
 BE09 BE10 BF07 BF11 BF15 BF43 BH07 BH14 BH30 BJ07
 BJ11 BJ15 BK13 BK18 BK29 CD09 CE02