

# 公告本

申請日期	90.10.28
案 號	90126277
類 別	H01L 21/629

A4  
C4

546702

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	製造電子裝置和半導體積體電路裝置的方法
	英 文	METHOD OF MANUFACTURING AN ELECTRONIC DEVICE AND A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
二、發明 人	姓 名	1.田中 稔彦 TOSHIHIKO TANAKA 2.長谷川 昇雄 NORIO HASEGAWA
	國 籍	1.2.皆日本
	住、居所	1.2.皆日本國東京都千代田區丸內1丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悅彦 ETSUHIKO SHOYAMA

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

日本 2000年11月01日 特願2000-334366 有 無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

## 五、發明說明 ( 1 )

## 發明背景

## 發明領域

本發明是有關於一種製造具精細圖案之電子裝置的方法，更特別的是，有關於一種製造具複數個精細電路圖案之半導體積體電路裝置的方法。

## 習用技術

製造半導體積體電路裝置的方法中，重複使用如化學氣相沉積(CVD)製程的磊晶製程，如離子佈植製程的摻雜製程，微影蝕刻製程，以及蝕刻製程。隨著近年來所達成的，縮小電路圖案並加強尺寸精確度，可以有效的改善半導體積體電路裝置的操作速率與集積密度。縮小電路圖案主要是取決於微影蝕刻製程，所以微影蝕刻製程在製造半導體積體電路裝置時，是扮演著關鍵的角色。

微影蝕刻製程主要是使用投影對齊器，將安置在投影對齊器上的光罩圖案轉移到半導體晶圓的表面上而形成裝置圖案。此時，高解析投影對齊器的曝光面積是比半導體晶圓的面積還小，所以曝光處理是分割成複數個照光處理，以步進或掃描方式，對晶片區重複進行複數次的曝光處理。晶片的尺寸大小是取決於製造成品，所以光罩一般是具有外框，該外框是當作用如鉻(Cr)之金屬做成的遮蔽區，使得所需的照光尺寸可以達到。以這種方式，經複數個照光處理所曝光的單晶片區會避免發生重疊，而且切割區是在給切割用之每個晶片邊緣的周圍。

近年來，對較高集積度與較快裝置操作的需求，已經導

## 五、發明說明 ( 2 )

致增加微影蝕刻製程所形成之圖案的縮小。本申請案中，所追求之研究與開發的目的，是在縮短光學對齊器中對圖案進行曝光處理用之曝光光線的波長。

此外，現在是使用半調相位移曝光方法。調相位移光罩是一種半透明薄膜(稱作半調薄膜)，是在透明片上形成，讓曝光光線變暗並改變其相位。一般，需要1%至25%範圍的曝光光線透射率。

穿透過半調薄膜的曝光光線，相對於不穿透該薄膜的曝光光線來說，會被相位移。可以使用單層或多層的半調薄膜來產生相差。雖然需要 $180^\circ$ 與奇倍數的相差來得到最高的解析度，但是在 $180^\circ \pm 90^\circ$ 範圍內的其它相差對於改善解析度上也很有效。已知，使用半調光罩能改善解析度約5%至20%。

例如，半調相位移的說明可以在JP-A No. H5-181257中找到。

如上所述，已知半調相位移法是一種能以高解析度解析出精細尺寸圖案的曝光法。然而，該曝光法有一些問題，如以下所述，而很難得到足夠的圖案轉移精確度。

半調相位移法會在孔徑與半調部間的界面附近，對穿透過半調部的曝光光線與穿透過孔徑的曝光光線之間造成干涉，加強光學對比，進而改善解析度與曝光容忍度。為此，控制穿透過半調部之曝光光線量，或半調部之透射率，以及相位移量是很重要的。

此外，半調薄膜圖案的尺寸精確度對於轉移圖案的尺寸

## 五、發明說明 ( 3 )

精確度具有很深的影響。對於接近投影透鏡的精細圖案，由於光線的繞射與稱作光罩誤差加強因子(MEF)的因子一起，基本上會將光學對比變得較低，讓轉移圖案的尺寸精確度比光罩上圖案的精確度還低。MEF是顯示出與光罩上圖案尺寸誤差 $\Delta Lw$ 有關的轉移圖案尺寸誤差 $\Delta Lm$ 之放大作用的指標，並由方程式 $MEF = \Delta Lm / (M \cdot \Delta Lw)$ 控制，其中M是投影透鏡的縮小因子。如果是使用5X透鏡，則M是1/5。如果是使用半調相位移光罩的精細圖案，該圖案一般是以2至3的MEF做轉移，使得光罩上圖案尺寸的不需要變動被放大2M至3M倍。

在半導體積體電路裝置的製程中，精細圖案中特別高的尺寸精確度所需要的步驟是電晶體閘極的圖案轉移步驟。隨著閘極尺寸的變小，電晶體的操作速度會變快。閘極的高尺寸精確度會讓電路穩定操作，以及讓高速電路一起工作，結果增加半導體積體電路裝置的附加價值。此外，如果精細圖案可以用較高精確度的接線圖案製程來形成時，則互連接線會造成較高封裝密度以及較短的長度，也會對高速電路操作與較高集積密度有貢獻。

然而，如果將傳統的半調相位移曝光法調整成非常精細的閘極，接線與孔洞圖案製程時則會發生問題，因為半調相位移光罩之相位與透射性的可控制性不足以及光罩尺寸的變動，而無法達到足夠的尺寸精確度，結果製程的再現性與良率都無法改善。

發明摘要

## 五、發明說明 ( 4 )

本發明的目的在於提供一種製造具精細尺寸圖案之電子裝置的改良方法。

本發明的另一目的在於提供一種製造具精細電路圖案之半導體電路裝置的改良方法，而達到較高的集積程度以及較高速操作。

本發明的另一目的在於提供一種製造高速高度積體化之半導體積體電路裝置的改良方法，形成精細圖案給較佳尺寸精確度的閘極，接線與孔洞。

以下將說明在此所揭示出之本發明的典型特點。雖然以下說明是集中在製造半導體電路裝置的方法上，但是本發明也可以應用到製造其它具非常精細圖案之電子裝置的方法上，比如液晶顯示裝置，顯微機器與超導裝置。依據本發明的第一特點，使用半調相位移圖案外具有用光阻做成之遮蔽區的光罩，來對如半導體晶圓之工件的表面的光敏薄膜，利用斜向照光系統而進行曝光處理，以便轉移精細圖案。

光罩或其它工件是以步進或掃描的方式進行曝光照射，並以部分重疊來轉移光阻遮蔽區的方式，複數次的重複該曝光處理。這會讓具高精確度之精細圖案被轉移到工件表面上複數個相鄰區進而形成電子裝置變為可能，比如半導體積體電路裝置。

本發明第一特點的光阻遮蔽區是在安置有具半調特性之電路圖案的區域外形成，進而能有效的避免掉在複數次的曝光照射中將這些曝光區重疊在一起。

## 五、發明說明( 5 )

此外，雖然可以對透明片表面提供投影與凹洞來構成半調相位移圖案，以便形成具較高精確度與較佳再現性的較精細圖案，但是更需要在透明片表面上沉積出半調薄膜以及定義出該薄膜的圖案。如果半調薄膜上有對齊光罩當作參考，則用半調薄膜所構成的半調相位移圖案能提供半調相位移光罩與工件或晶圓的改良互相對齊精確度。

依據本發明的第二特點，如半導體積體電路裝置的電子裝置是用以下步驟來製造：形成尺寸不會在主要晶圓表面上之介電薄膜的二維方向(亦即  $x$ 與 $y$ 方向)上延伸太多的精細孔洞，以便貼合到延伸至晶圓內半導體區的電極端，或是形成接線層之間的互連，進行第一精細圖案轉移製程，該製程會將精細孔洞圖案轉移至主要晶圓表面上第一光敏薄膜的複數個相鄰區，使用具遮蔽區之第一半調相位移光罩，重複以步進或掃描方式進行曝光處理，該遮蔽區是用鉻或包圍在對應到精細孔洞圖案之半調相位移圖案的另一金屬做成，或是所謂具對應到精細孔洞圖案之圖案的二元光罩，該精細孔洞圖案是用遮蔽薄膜形成；在形成相互接近的較窄或矩形精細圖案時，比如開極圖案與接線圖案(亦即至少具有比上述孔洞圖案還大之長邊尺寸的複數個圖案，亦即在 $x$ 或 $y$ 方向上比上述孔洞圖案延伸還多的複數個圖案)，進行第二精細圖案轉移製程，該製程會將精細接線圖案轉移至主要晶圓表面上第二光敏薄膜的複數個相鄰區，是使用具遮蔽區之第二半調相位移光罩，利用步進馬達或掃描器，重複進行複數次的斜向照射曝光處理，該遮蔽區

## 五、發明說明( 6 )

是用對應到精細圖案之半調相位移圖案形成區外的光阻做成。

此外，在本發明的第二特點中，形成精細孔洞圖案的第一光罩以及形成對應到工件之較窄電極與接線圖案的第二光罩，比如晶圓，其對齊精確度是可以在鉻或其它金屬遮蔽薄膜中形成第一光罩的對齊記號，以及在被光阻遮蔽區所包圍之半調薄膜內形成第二光罩的對齊記號，而獲得改善。亦即，依據要形成之精細圖案的種類，可以使用具光阻做成之遮蔽區的半調相位移光罩或具金屬之對齊晶圓記號的金屬遮蔽區光罩，或是二者都使用，來形成較高尺寸精確度與較高對齊精確度的精細電路圖案；亦即閘極，接線或孔洞。

此外，依據本發明第三特點，上述本發明第一特點中所使用的光罩可以做成在精細圖案形成區內沒有光阻材料，所以有可能用光阻材料形成光阻帶狀遮蔽區，該光阻材料會發出對應到入射光的螢光，並利用檢驗光對該區進行輻射，很容易的檢驗出精細圖案部內的光阻殘留缺陷，進而改善電子裝置的製造良率。

此外，依據本發明另一特點，可以很有效的避免精細圖案光罩與電子裝置的污染，使用具有在精細圖案形成區外形成之光阻遮蔽薄膜的光罩，並使用要安置在對齊器之支撐架以及傳送光罩用之傳送裝置上沒有光阻之光罩片的外部區，來進行曝光處理，進而避免光阻材料接觸到。

當閘極，孔洞與接線的精細圖案處理中使用上述本發明



## 五、發明說明 ( 7 )

不同的製造方法時，可以改善製造電子裝置時的再現性與良率，比如高密度半導體積體電路裝置。

為了讓光罩的製程更容易與更精確，例如 JP-A No. H5-289307 揭示出一種形成具光阻薄膜之光罩圖案的方法。該光罩是一種所謂的二元光罩，包括曝光光線透射部與具足夠低之透射率的遮蔽部，本質上是沒有重疊曝光的問題。

已經發現到在 JP-A No. H9-211837 中，是使用在半調相位移光罩中光阻遮蔽區的實例，能避免當電路圖案形成時的次尖峰轉移，並形成所謂的環型半調光罩，其中只有靠近圖案邊緣的區域才會是具半調特性。

本發明是與這些方法的目的以及效應不同，而且在光阻形成的位置上也不相同。

本發明能形成具有較高尺寸精確度與對齊精確度的精細圖案，能製造出較佳再現性的電子裝置，比如高密度半導體積體電路裝置。

### 圖式的簡單說明

圖1是顯示出本發明使用之曝光方法的示意圖。

圖2A是顯示出依據本發明製造半導體積體電路裝置之方法中所使用之光罩結構的平視圖；而圖2B是剖示圖。

圖3A是顯示出依據本發明製造半導體積體電路裝置之另一方法中所使用之光罩結構的平視圖；而圖3B與3C是剖示圖。

圖4A至4F是說明依據本發明製造半導體積體電路裝置之方法中所使用之光罩，其製造時步驟之剖示圖。

## 五、發明說明( 8 )

圖5A至5H是說明依據本發明製造半導體積體電路裝置之另一方法中所使用之光罩，其製造時步驟之剖示圖。

圖6A至6D是說明依據本發明製造半導體積體電路裝置之方法的製造步驟剖示圖。

圖7A圖是說明依據本發明製造半導體積體電路裝置之方法中所使用之另一光罩結構的平視圖；而圖7B是剖示圖。

圖8是對齊器主要部分的示意圖，顯示出依據本發明製造半導體積體電路裝置之方法中所使用之對齊器。

圖9圖是說明依據本發明製造半導體積體電路裝置之方法中半導體晶圓部分的平視圖。

圖10A至10D是說明依據本發明製造半導體積體電路裝置之另一方法中不同步驟下半導體晶圓的部分剖示圖。

圖11A至11B是說明依據本發明所製造之半導體積體電路裝置的圖案部分之平視圖。

### 較實施例的詳細說明

#### 第一實施例

將詳細說明依據本發明製造電子裝置的方法，比如半導體積體電路裝置。

將參閱圖1所示對齊器部分的剖示圖，來說明轉移精細圖案的曝光製程，其中參考數號100是代表用石英玻璃做成的光學透射片，參考數號101是代表半調薄膜，參考數號102是代表用光阻薄膜做成的遮蔽區，參考數號103是代表在半調薄膜101上形成要進行轉移之精細電路圖案，參考數號104是代表線網對齊光罩，參考數號110是代表從ArF激光雷

## 五、發明說明 ( 9 )

射的斜向入射曝光光線(遠離軸照射光光線)，參考數號111是代表繞射光線，參考數號112是代表投影透鏡，參考數號113是代表投影光線，參考數號114是代表晶圓，而參考數號115是代表施加到晶圓114主要表面上的光敏薄膜(稱作光敏薄膜的光阻薄膜，用來分辨出形成遮蔽區之光阻薄膜102)。

如圖1所示，經由光學透射片100用斜向入射曝光光線(亦即遠離軸照射)對具光阻遮蔽區102的半調相位移光罩進行曝光處理，可以避免所謂的次尖峰，該次尖峰是在曝光時因照射在半調薄膜內相鄰孔徑上光線的干涉，半調薄膜下曝光光線強度尖峰的一種現象，該光學透射片100是安置在平行並面對晶圓114主要表面，且可以改善焦距，所以該方法是依據本發明非常有效的曝光與轉移精細圖案的方法。

如圖式中所示，光敏薄膜(光阻薄膜)115內的預設區是沉積在晶圓114的主要表面上，比如單一半導體積體電路的晶片區，被曝光到ArF激光雷射的光線，該光線是從光學透射片100的背面斜向入射，而該背面沒有精細電路圖案103。

接著，連續進行複數次的曝光處理(一個曝光道次)，對光罩或晶圓在x與y方向進行步進或掃描處理，以部分重疊的方式轉移光阻遮蔽區，直到曝光處理蓋滿較大晶圓主要表面上的整個光敏薄膜(光阻薄膜)115為止，如圖9所示。圖9是曝光晶圓的平視圖，其中參考數號31代表晶圓，參考數號32代表複數個晶片區，參考數號33代表切割並分離開晶片用的切割區。

## 五、發明說明 ( 10 )

利用高精確度的高解析對齊器，如果不是一次曝光整個晶圓表面，而是在上述預設曝光條件之下完成小曝光區(比如對應到被單一晶片所佔用的區域)後，立刻將相鄰到該區域的區域在相同條件下進行曝光處理，且在x與y方向上重複該製程複數次(亦即將曝光處理分割成複數個道次並重複進行)，會很有效。

因為晶片尺寸取決於所製造出來的成品，所以是使用形成光罩圖案之外框的光阻遮蔽區102，來得到所需的曝光尺寸(定義出一個曝光道次的曝光區)，並避免在複數個曝光道次中對光阻遮蔽區所包圍的精細圖案形成區進行重疊曝光。

接著，對晶圓114的主要表面上之光敏薄膜(光阻薄膜)115進行光顯影處理，是如上述方式進行曝光處理，形成對應到介電薄膜金屬薄膜(為簡化起見，該薄膜是在進行處理的薄膜，並未顯示於圖式中)內精細電路圖案103的圖案。

之後，被光顯影處理過的光敏薄膜(光阻薄膜)115是當作蝕刻光罩用，選擇性的蝕刻掉底下的介電薄膜或金屬薄膜，形成具有對應到晶圓114主要表面上精細圖案103的介電薄膜或金屬薄膜。

然後使用傳統製造半導體積體電路裝置方法中所使用到的技術，產生複數個具精細圖案的電子裝置，該精細圖案在如圖9所示的單一晶圓之相鄰位置上會形成電極與接線，而且能在切割區33上切割而得到所需的個別電子裝置。

## 五、發明說明 ( 11 )

接著，製造半導體積體電路裝置的本方法中所使用到的光罩實例將顯示於圖2A與2B中，而圖2A是光罩的平視圖，圖2B是圖2A中沿著割線A-A'的剖示圖。

參考數號106代表用半調薄膜101做成的精細電路圖案形成區；電路圖案形成區(亦即轉移區)106是被遮蔽區102包圍，形成光阻薄膜的外帶(或框)。圖2A與2B中，參考數號103是代表要進行轉移的較窄或矩形電路圖案，參考數號104是代表線網對齊記號，參考數號105代表電路圖案形成區106中半調薄膜101內的晶圓對齊記號，而參考數號100是代表用石英玻璃做成的光學透射片。要注意的是，當考慮到製造光罩的方法時，圖案側是畫成朝上的，但是當光罩被插到對齊器內時，光罩是由上往下，而圖案是朝下，如圖1所示。

用光顯影方法所形成的光阻薄膜102，包括有機材料，讓該薄膜與圖案在形成時沒有半調薄膜101。結果，光罩上電路圖案形成區的相位與透射率以及精確度的可控制性都可以獲得改善。

如圖2A與2B所示，光阻薄膜102是形狀為矩形或圓形框的帶狀，包完全圍住電路圖案形成區(轉移區)106，並去除掉在光罩片邊緣上會接觸到對齊器平台或傳送系統的部分光阻薄膜。雖然光阻遮蔽區102最好是矩形或圓形，但是假設會接觸到對齊器平台或傳送系統的部分光阻薄膜被去除掉，而如果有必要的話，也可以是L形或C形，因為如果光阻薄膜102接觸到平台(尤其是支撐台)或傳送系統時，光阻

## 五、發明說明 ( 12 )

薄膜的接觸部分會剝離開，造成外來物質缺陷。

現在將參閱圖4A至4F，說明圖2A與2B所示製造半調相位移光罩的方法，圖4A至4F是製程中的部分剖示圖。首先如圖4A所示，在石英玻璃光學透射片40上形成半調薄膜41，形成光敏薄膜(光阻薄膜)42，並進行圖案曝光43給對閘極與接線圖案用。為了產生半調效應，半調薄膜的薄膜厚度d是設定成 $\lambda / \{2 \cdot (n-1)\}$ ，其中 $\lambda$ 是曝光光線的波長，n是在曝光光線下半調薄膜41的折射率。相對於曝光光線的透射率是設定成6%。

在此， $\text{SiN}_x\text{O}_y$ 薄膜是半調薄膜材料。在此也可以使用 $\text{ZrSiO}_x$ 薄膜， $\text{CrF}_x$ 薄膜， $\text{MoSi}_x$ 薄膜， $\text{ZrSiO}_x$ 與 $\text{ZrSiO}_y$ 的雙層薄膜，其中x與y是代表組成比例。

接著如圖4B所示，進行光顯影處理，定義出光阻薄膜42(44)的圖案，並且如圖4C所示，定義出圖案的光阻薄膜44是當作光罩用，選擇性的蝕刻掉半調薄膜41，而形成半調薄膜圖案45。

如圖4D所示，然後去除掉光阻薄膜44留下半調薄膜45，在半調薄膜45內形成所需閘極與接線的電路圖案46。之後如圖4E所示，要形成遮蔽區的區域被覆蓋上負光阻並進行曝光處理(48)。對上述半導體晶圓上光敏薄膜進行曝光處理時，會接觸到對齊器平台或傳送系統的區域是不做曝光處理的。當進行曝光處理時，基本需求是光阻遮蔽區49必須從要轉移之區域的邊緣向外延伸到夠遠處，而能被對齊器的光罩片充分的覆蓋住。

## 五、發明說明 ( 13 )

最好選取光阻薄膜49的厚度以及底下的半調薄膜45一起，產生相對於曝光光線來說為0.3%或更小的透射率。

考慮到在對半導體晶圓上光敏薄膜進行曝光處理時用在x與y方向上的重複步驟，而針對類矩形框光阻遮蔽區102的角落部分進行重複曝光處理時，如果相同處的重疊曝光次數為四或更少，則光阻遮蔽薄膜102(或49)的厚度與底下的半調薄膜45一起，最好是能產生相對於曝光光線來說為1%或更小的透射率。

以這種方式形成光罩後，透明薄膜薄層是安置在主要表面上，以避免顆粒貼合到圖案形成區上。將參閱圖7A與7B來說明實例。圖7A是具有類似於圖2A與2B所示光阻遮蔽區之半調光罩的平視圖，而圖7B是當安置在支撐台上時沿著割線A-A'的剖示圖。

圖7A與7B所示的光罩具有不同高度層的圖案，是與圖2A與2B所示圖案的光罩有很大的不同，因為其表面上覆蓋住薄層161(162)。除了這點以外，該光罩是與圖2A與2B所示的相同，所以共用功能部分與組合部分是用相同的參考數號來指定。

圖7A與7B中的薄層162是安置在光罩的主要表面(第一主要表面)上，並用薄層安置框161來固定，來保護其表面。被薄層162覆蓋住的區域稱為薄層覆蓋區。薄層162是安置成會覆蓋並包圍住整個晶片區106與光阻遮蔽薄膜102，以及部分的重疊到積體電路圖案區外之薄層覆蓋區的半調薄膜101上。薄層安置框161的基部是被鍵結並固定到直接接

## 五、發明說明 ( 14 )

觸到光罩內緣的半調薄膜101，是在光學圖案形成的區域內，但是在被該薄膜所覆蓋的區域外。這種設計可以避免光罩在傳送或安置到對齊器或測試設備時，薄層安置框161會被剝離開。此外，如果光阻薄膜102是在薄層安置框161的貼合位置上形成，則光阻薄膜的顆粒在薄層161(162)在貼合或剝離時會釋放出來。本實例中，既然，薄層安置框161是直接鍵結接觸到半調薄膜101，所以可以避免掉這種顆粒的產生。也可以將薄層安置框161鍵結而直接接觸到光罩片100，而得到這種效應。此外如圖7B所示，在會接觸到構成遮蔽區之對齊器102的安置部163之光罩的表面部164上，沒有出現或形成構成遮蔽區的光阻薄膜102。由於剝離開或磨擦掉光阻薄膜102，這會避免產生顆粒。

上述結構產生以下效應。

(1)產生具薄層的光罩，可以避免顆粒沉積在光罩上，並防止轉移圖案變差。

(2)將薄層安置框鍵結而直接接觸到遮蔽圖案或光罩片，可以避免遮蔽圖案光阻薄膜在薄層進行貼合或剝離處理時被剝離開或磨擦掉。所以，可以避免掉因光阻薄膜被剝離開或磨擦掉所產生的顆粒。

如圖7A所示，網線對齊記號104是在薄層161(162)的半調薄膜101內，且晶圓對齊記號105是在薄層161(162)中圖案形成區106的半調薄膜101內；所以如圖2A與2B所示，複數個光罩是可以具改良精確度的對齊到預設位置。

接著，圖8將顯示出縮小投影對齊器的示意圖。從縮小投



## 五、發明說明 ( 15 )

影對齊器中之光源1501所射出的曝光光線，是透射過飛眼透鏡1502，束狀調節孔徑1503，聚焦透鏡1504與1505，反射鏡1506，而射到光罩1507上。光罩片1522是安置在光罩上，可以視曝光區大小而藉此調節孔徑尺寸。光罩1507是與主要表面(第一表面)安置在一起，而在該主要表面上已經形成遮蔽(半調)圖案，面朝下(面對半導體晶圓1509)。因此，曝光光線是入射到光罩1507的背部表面(第二主要表面)上。光罩1507上所形成的光罩圖案是經過透鏡1508而投影到要進行曝光處理的平板上，亦即半導體晶圓1509。薄層1510是在光罩1507的第一主要表面上，以避免因外來顆粒沉積的圖案轉移缺陷。用光罩位置控制裝置1511控制，吸住光罩平台1512而抓住光罩1507，且用位置偵測裝置1513偵測出光罩1507上的網線對齊記號而量測出該位置，進而精確的進行對齊到投影透鏡1508的中心與光軸。半導體晶圓1509是藉吸住樣品台1514而被抓住。樣品台1514是安置在Z平台1515上，會在投影透鏡1508的光軸方向上或是Z軸方向上移動，也可以安置在X-Y平台1516上。Z平台1515與X-Y平台1516是用相對應的驅動裝置1518與1519來驅動，對應到從伺服系統1517而來的控制命令，所以移動到所需的曝光位置上。用雷射測距計1521精確的監視該位置，當作反射鏡1520的位置。已經在晶圓上形成的晶圓對齊記號1523會被晶圓記號偵測系統1524所偵測到，而該位置資訊被送到做對齊處理用的伺服系統1517。

如上所述，為了光罩上會接觸到對齊器或傳送裝置的區

## 五、發明說明 ( 16 )

域，要完全的去除掉形成遮蔽區的光阻薄膜，以避免在光罩安置到對齊器上並做傳送處理時會產生顆粒。當省略掉該去除製程時會產生顆粒，而造成轉移缺陷。

接著，為了讓圖2與7的光罩特性能被更加了解，依據本發明第二特點製造半導體積體電路裝置的方法中，所使用到的光罩之實例是顯示於圖3A，3B與3C中，以便在晶圓主要表面內的介電薄膜中形成精細孔洞，貼合到延伸到晶圓內半導體區的電極端，或是在接線層之間形成互連。圖3A顯示出光罩的平視圖，而圖3B與3C分別顯示出圖3A中沿著割線A-A'與B-B'的剖示圖。

形成精細孔洞圖案的光罩中，圖3A中用參考數號205所代表將不同曝光層對齊的晶圓對齊記號是用如鉻(Cr)的金屬做成，其中的精細孔洞圖案是不具有在二維(亦即x與y方向)上延伸的尺寸。圖式中，參考數號200代表用石英玻璃做成的光學透射片，參考數號201代表半調薄膜，參考數號202代表用金屬鉻(Cr)做成的金屬遮蔽薄膜，參考數號203代表孔洞圖案，參考數號204代表網線對齊記號，參考數號206代表用半調薄膜做成的孔洞圖案形成區(轉移區)。在孔洞圖案形成區206外的整個區域上，用金屬鉻(Cr)做成的金屬遮蔽薄膜202會避免複數次曝光道次時的重疊曝光。從圖式中可以了解到，在用金屬鉻(Cr)做成的金屬遮蔽薄膜202中，部分形成網線對齊記號204，而該金屬遮蔽薄膜202是在孔洞圖案形成區206外的整個區域上，如同晶圓對齊記號205。

此外，為了更容易了解圖4A至4F所示的方法，使用如圖

## 五、發明說明 ( 17 )

2A與B中所示具光阻遮蔽區之半調相位移光罩，將參閱圖5A至5H利用圖3A與3B中鉻遮蔽區，來簡略的說明製造半調相位移光罩的方法，圖5A至5H是製造步驟的部分剖示圖。

首先如圖5A所示，半調薄膜51，Cr薄膜52與光阻薄膜53依序被沉積到石英玻璃50上，且對所需圖案進行曝光處理(54)。進行光顯影處理，形成光阻薄膜圖案55，如圖5B所示。接著如圖5C所示，依序蝕刻掉Cr薄膜與半調薄膜，在Cr薄膜與半調薄膜內形成圖案56。如圖5D所示的去除掉光阻薄膜殘留；然後光阻薄膜58在次如圖5E所示的沉積出來。進行光顯影處理，形成光阻薄膜圖案60，如圖5F所示，對該光阻薄膜圖案60進行蝕刻，從未被光阻薄膜所遮蔽住的位置上去除掉鉻而形成Cr薄膜圖案61，如圖5G所示。最後，去除掉光阻薄膜殘留，形成半調相位移光罩，包括用Cr與半調區62所做成的遮蔽區63，如圖5H所示。

圖5A至5H所示光罩形成法的問題是：(1)會減少圖案相位與尺寸精確度的可控制性，因為在去除掉覆蓋Cr薄膜時，半調薄膜是會被非均勻的蝕刻掉；以及(2)當必須選擇用Cr來覆蓋時，要有相對於Cr具有足夠蝕刻選擇性但不能被高尺寸精確度蝕刻掉的半調材料，所以另一材料選擇之材料選擇範圍是受限的，很難達到精確度。

對於發射出高能曝光光線的ArF激光雷射(波長193奈米)或F2激光雷射(波長157奈米)來說，限制另一材料選擇範圍會在光罩中變成很重要的問題，並讓曝光光線輻射抵抗力變成重要的問題，所以更加需要使用圖2A與2B以及圖4A至

## 五、發明說明 ( 19 )

每個n型MISFET  $Q_n$ 與p型MISFET  $Q_p$ 的較窄閘極9是用以下步驟來形成：用化學氣相沉積(CVD)沉積出用低電阻多晶矽做成的閘極形成薄膜；然後將光敏薄膜(光阻薄膜)沉積到該薄膜的整個表面上；使用圖8所示之ArF激光雷射縮小投影對齊器以及具有圖2A與2B或圖7A與7B所說明並配合圖1所示斜向照光系統之光阻遮蔽區的半調相位移光罩，對該光敏薄膜進行曝光處理；曝光的光敏薄膜進行光顯影處理，轉移對應到閘極的光罩圖案；以及進行傳統的蝕刻處理，定義出低電阻多晶矽薄膜的圖案。例如，閘極長度是 $0.1 \mu\text{m}$ (微米)數量級，但是並不特別的受限於此數值。

斜向照光系統不只是對於閘極圖案尺寸的可控制性上很有效，而且對於在閘極圖案的相同時間所形成之參考對齊記號的形狀與位置精確度上也很有效。已經變得很清楚，具有比閘極圖案還寬之線寬的對齊記號會受透鏡像差影響，且當使用半調薄膜時，形狀與位置的精確度會降低。使用斜向照光系統，解決了該問題；因此接觸孔洞層的對齊精確度，比如對齊到閘極層，可以獲得改善。

構成圖6A中n型MISFET  $Q_n$ 之源極與汲極的半導體區10，是用閘極9以自我對齊的方式，經由以閘極9當作光罩的離子佈植處理，將比如磷(P)或砷(As)的雜質植入p型半導體區6p內來形成的。構成p型MISFET  $Q_p$ 之源極和汲極之半導體區域11係以與閘極電極9自行對齊的方式透過離子植入製程利用閘極電極9作為光罩，藉由導入一雜質，例如硼(B)進入後n型半導體區域6n。要注意的是，閘極9並不受限於單一低電

## 五、發明說明 ( 21 )

上延伸，降低投影影像的有效圖案曝光強度。因此已經提出增加曝光光線量來對該圖案進行曝光處理，而在晶圓上形成預設尺寸之孔洞圖案的方法。然而，當晶圓對齊記號的尺寸大於孔洞圖案且小於二維繞射效應，而用非常高量的曝光光線對該晶圓對齊記號進行曝光處理時，該記號會過度曝光。例如，孔洞圖案在光罩上的一般尺寸為 $1.0\ \mu\text{m}$ 至 $1.5\ \mu\text{m}$ (微米)，但是對齊記號上的線寬為 $15\ \mu\text{m}$ ，所以如果是使用具有如圖2A與2B半調薄膜所包圍住之晶圓對齊記號的光罩，則穿透過半掉薄膜的曝光光線量會延伸太多，且延伸光線與圖案部內的繞射光線之間會發生干涉，改變轉移後對齊記號的幾何形狀。因此，包括孔洞圖案的薄層以及要與之對齊的薄層之間，其對齊精確度會降低，而造成錯誤的對齊。

另一方面，如果是圖3A至3C所示的光罩，既然晶圓對齊記號是被Cr做成的遮蔽區充分的包圍住，所以即使是曝光光線過量，則轉移後對齊記號的幾何形狀也會有高度的對稱性，而可以得到較高的對齊精確度。

雖然本實施例是使用具有圖3A至3C所示Cr遮蔽區的半調薄膜給孔洞曝光用，但是如果使用如Cr之充分防光材料所做成的薄膜，也可以使用二元光罩，來得到足夠的對齊精確度。然而，圖3A至3C所示的半調薄膜最好是給具有較高解析度的孔洞用。

為了讓不同處理中的圖案曝光與對齊操作能有很有效的表現，最好是如果可以共同使用昂貴的對齊器給這些處理

四、中文發明摘要(發明之名稱: 製造電子裝置和半導體積體電路裝置的方法 )

一種製造電子裝置的方法，比如高速半導體積體電路裝置，在轉移精細圖案時具有改良的尺寸精確度。邏輯閘圖案與接線圖案的微影蝕刻處理是對半調相位移光罩進行曝光處理來進行的，該半調相位移光罩具有用斜向照光系統而以光阻所做成的遮蔽區，而且接觸孔的微影蝕刻處理是使用具有金屬對齊晶圓記號之金屬遮蔽薄膜的光罩來進行。

英文發明摘要(發明之名稱:

METHOD OF MANUFACTURING AN  
ELECTRONIC DEVICE AND A SEMICONDUCTOR )  
INTEGRATED CIRCUIT DEVICE

A method of manufacturing an electronic device, such as a high-speed semiconductor integrated circuit device, with improved dimensional accuracy in transferring fine patterns.

Photolithography for gate patterns and wiring patterns is carried out by exposing a halftone phase-shift mask having shade areas made of resist with an oblique illumination system, and photolithography for contact hole patterns is carried out by using a photomask having a metal shade film with metal alignment wafer marks.

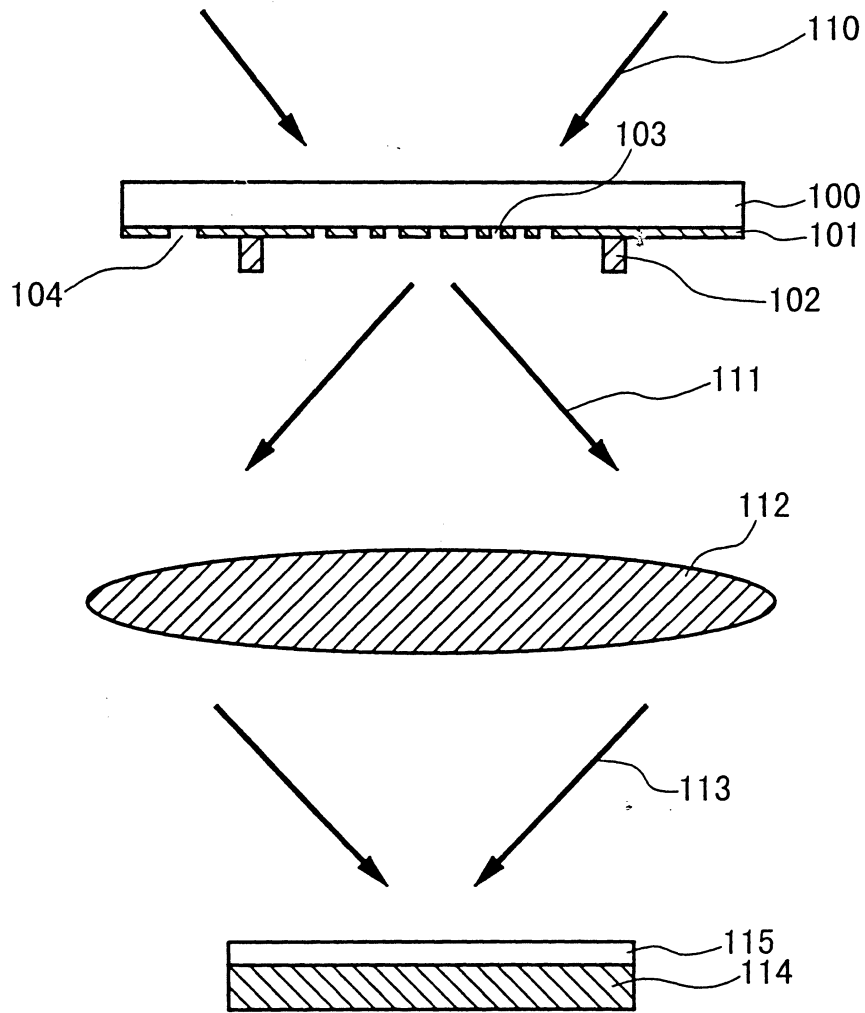


圖 1

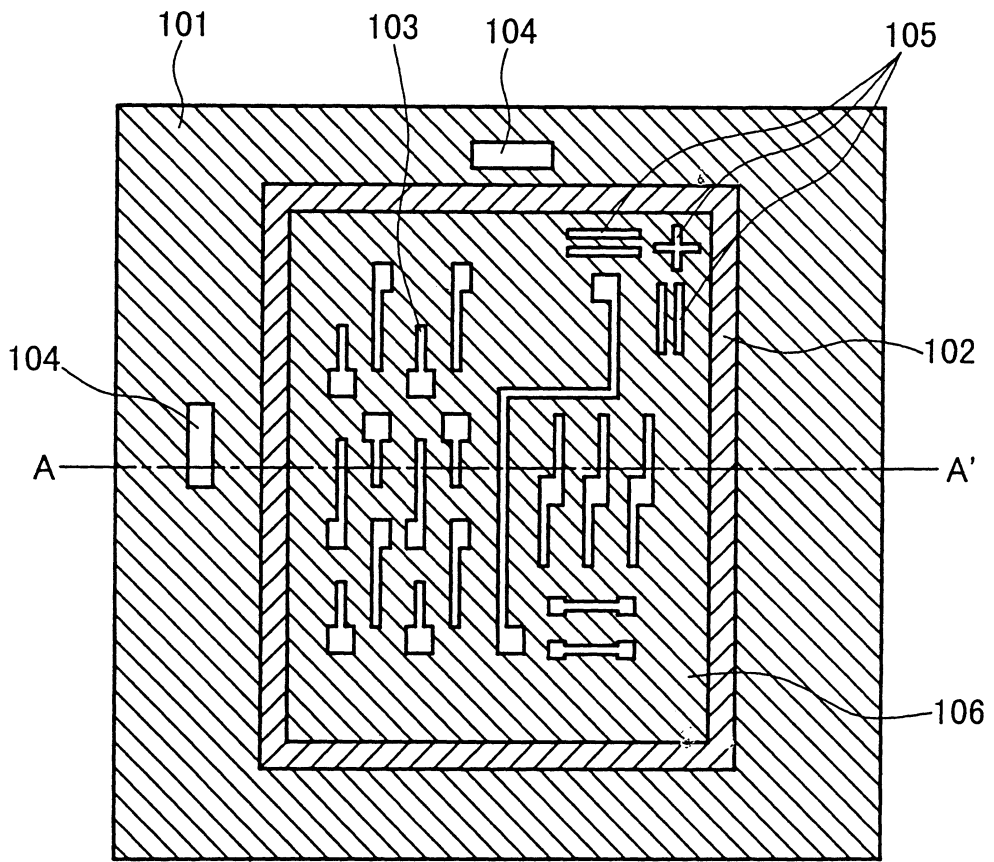


圖 2A

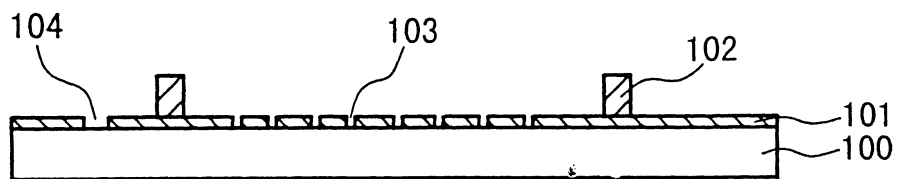


圖 2B



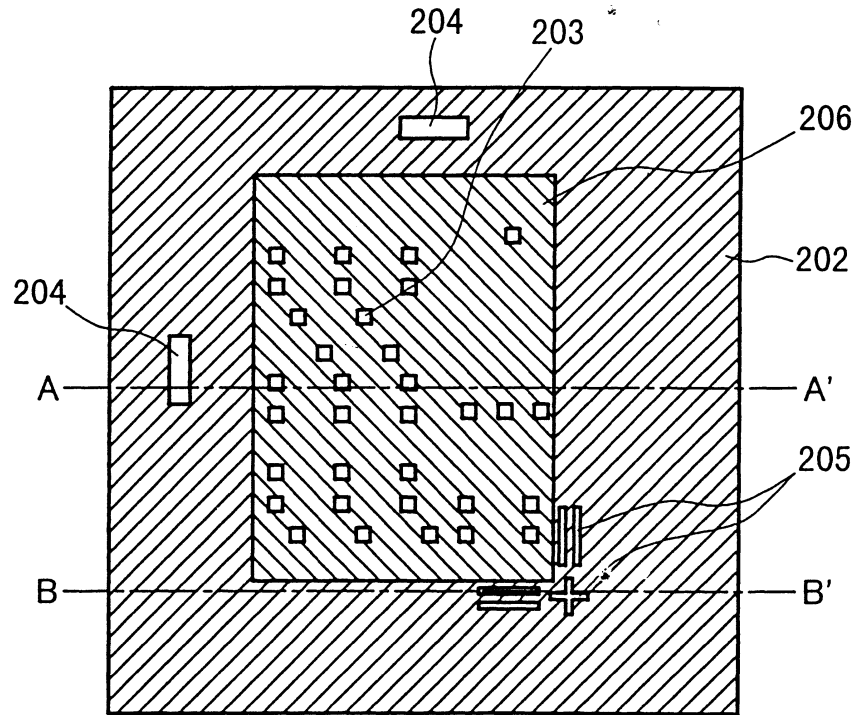


圖 3A

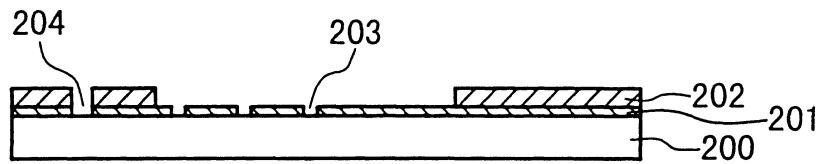


圖 3B

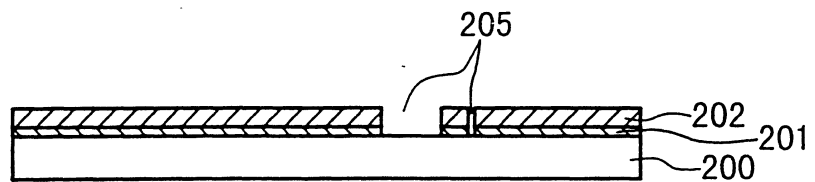
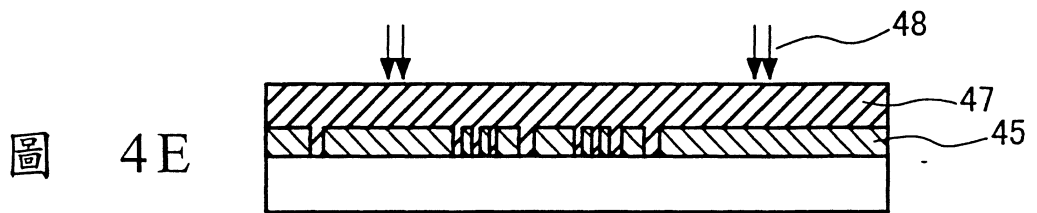
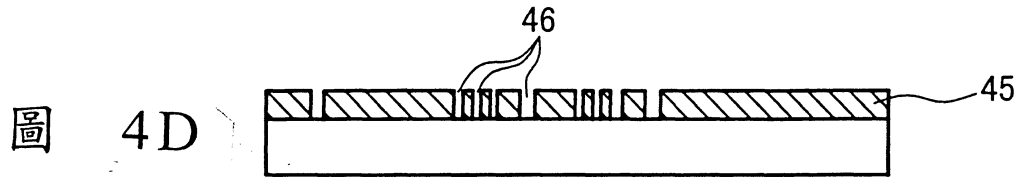
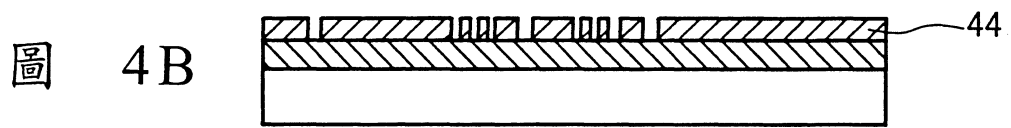
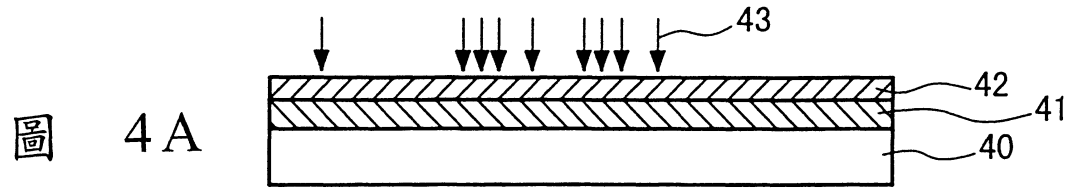


圖 3C



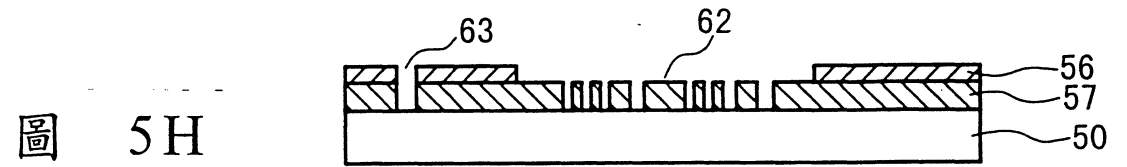
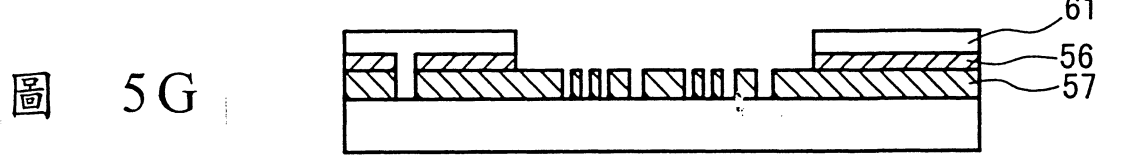
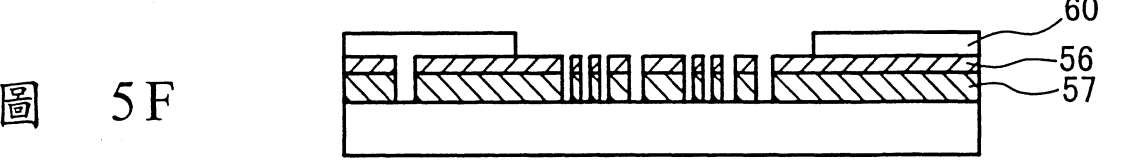
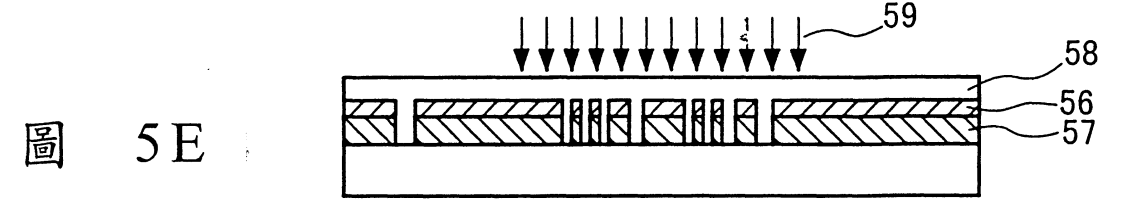
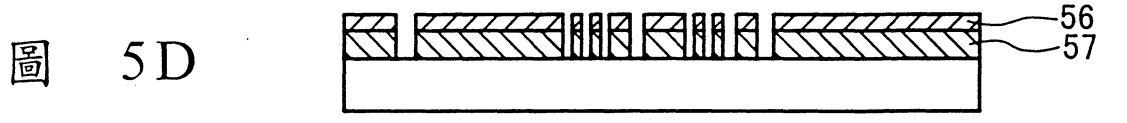
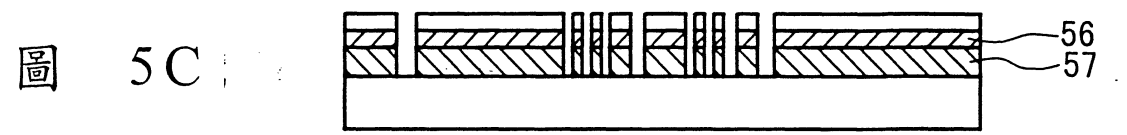
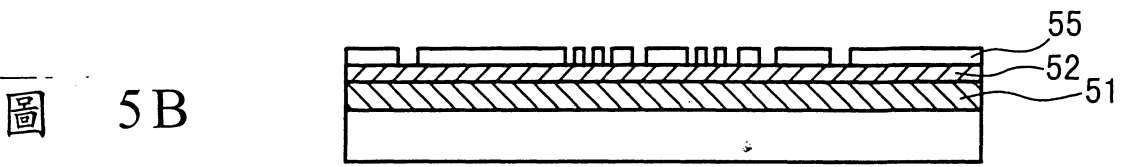
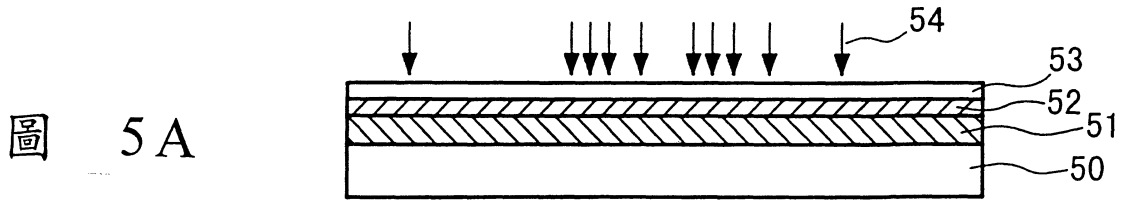


圖 6A

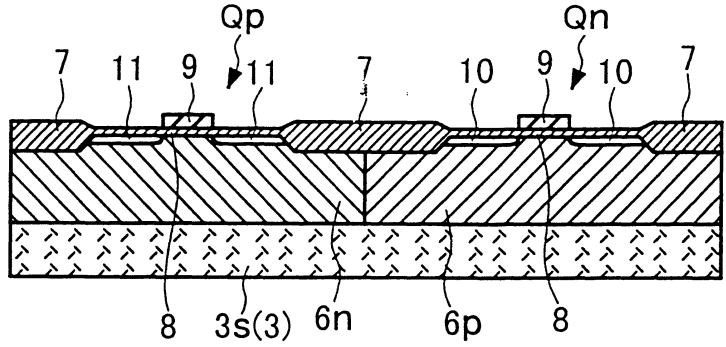


圖 6B

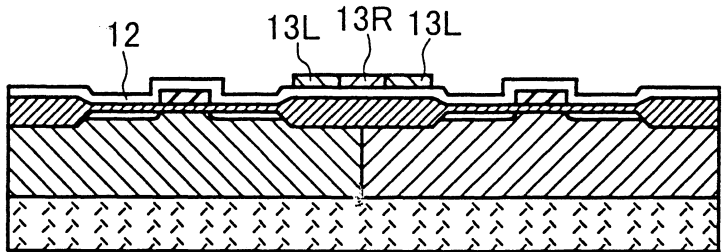


圖 6C

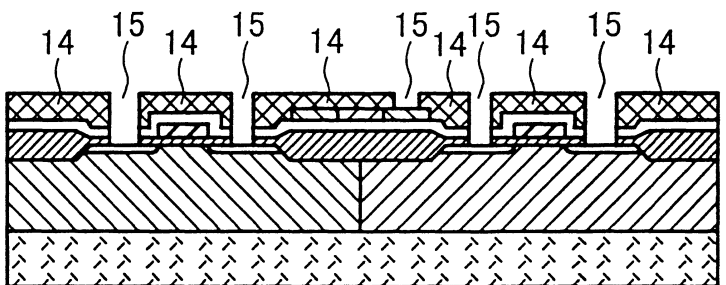
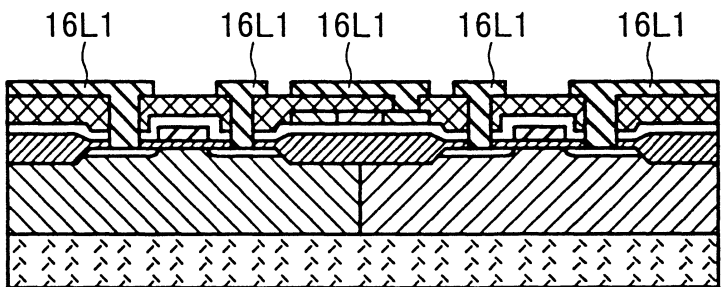


圖 6D



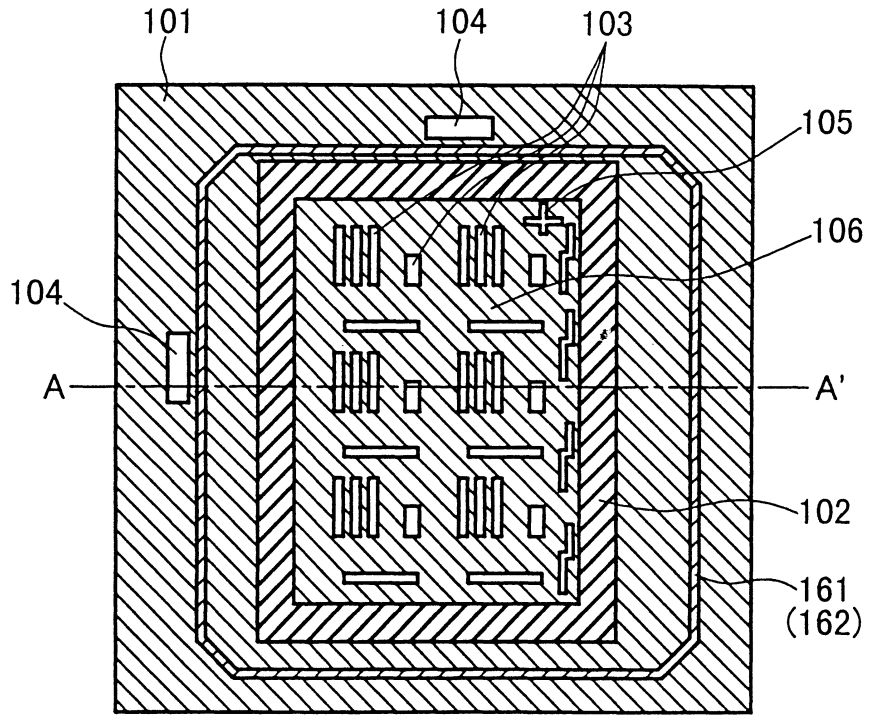


圖 7A

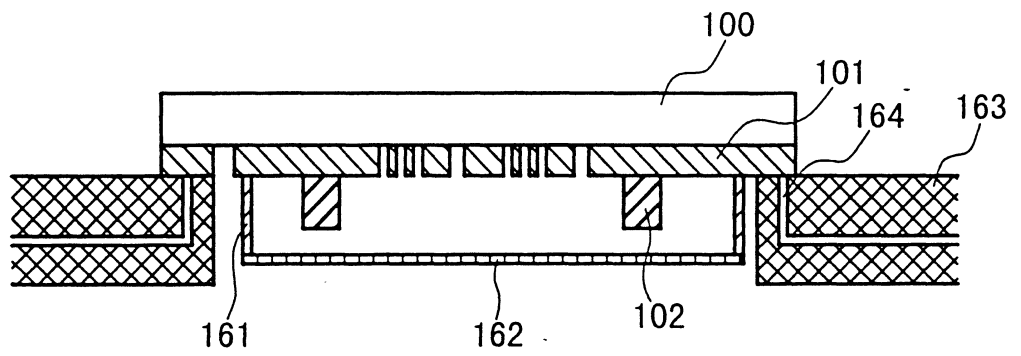


圖 7B

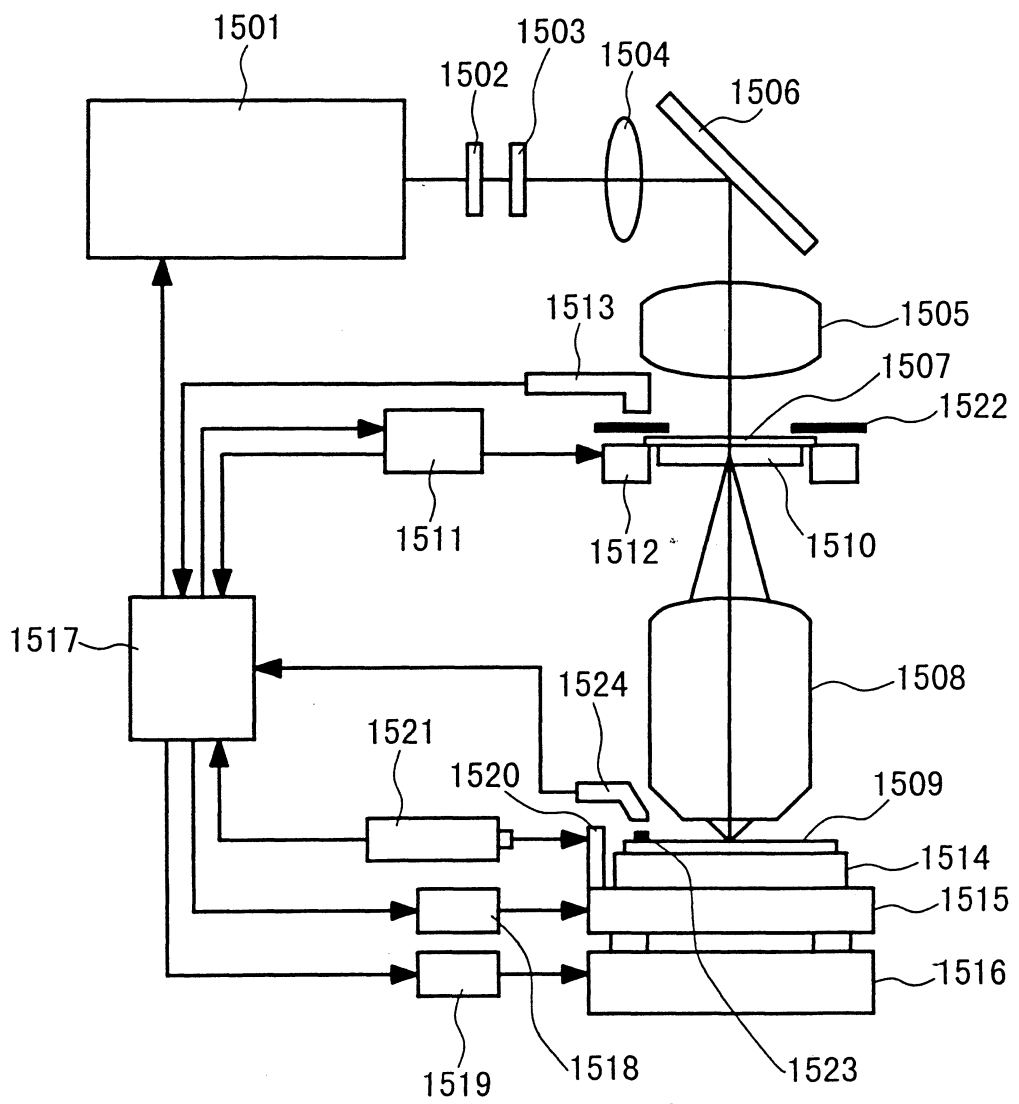


圖 8

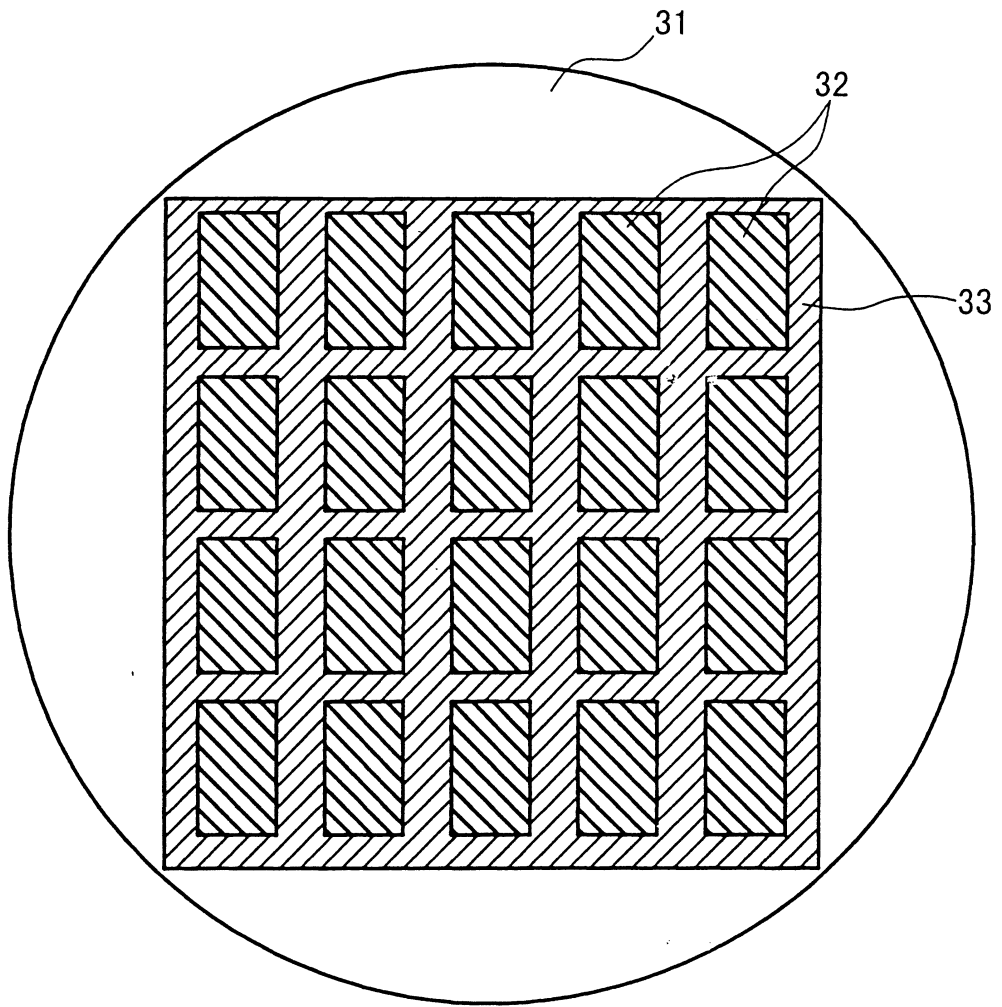
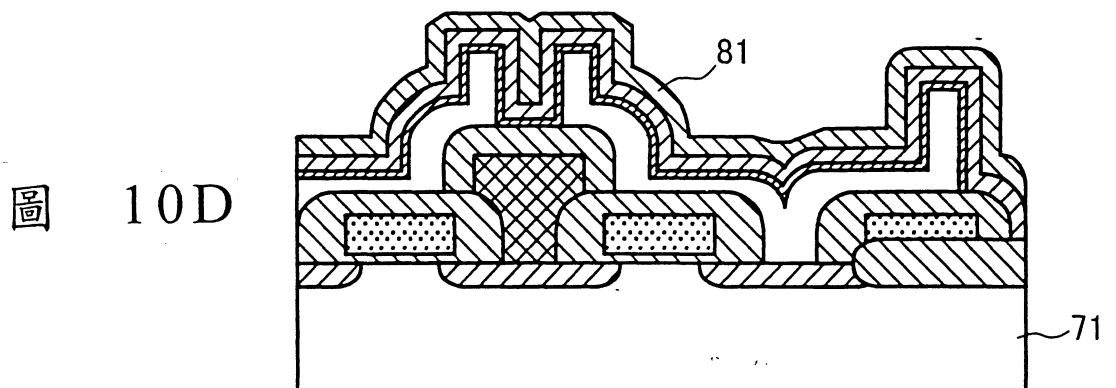
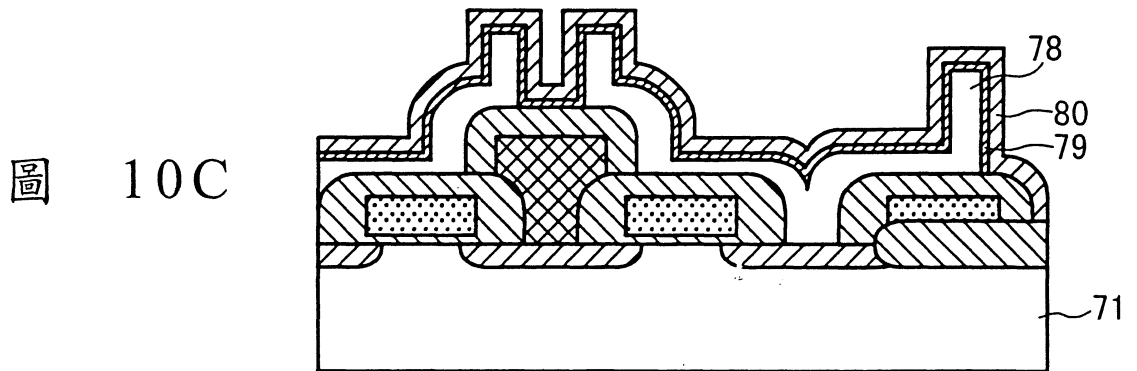
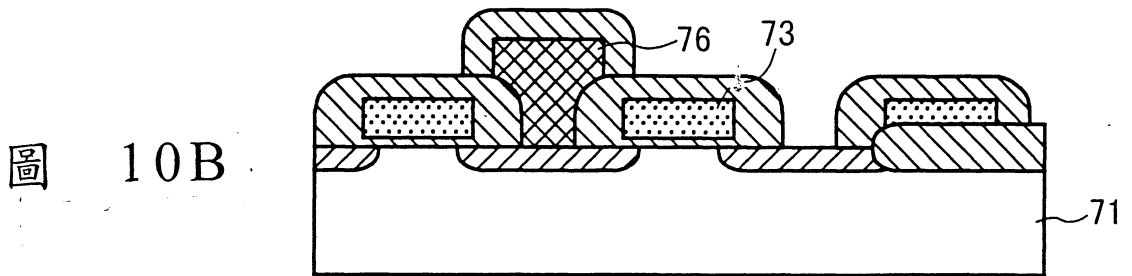
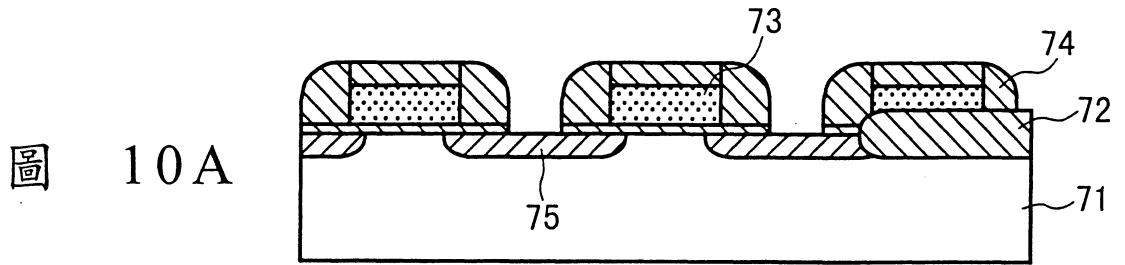


圖 9





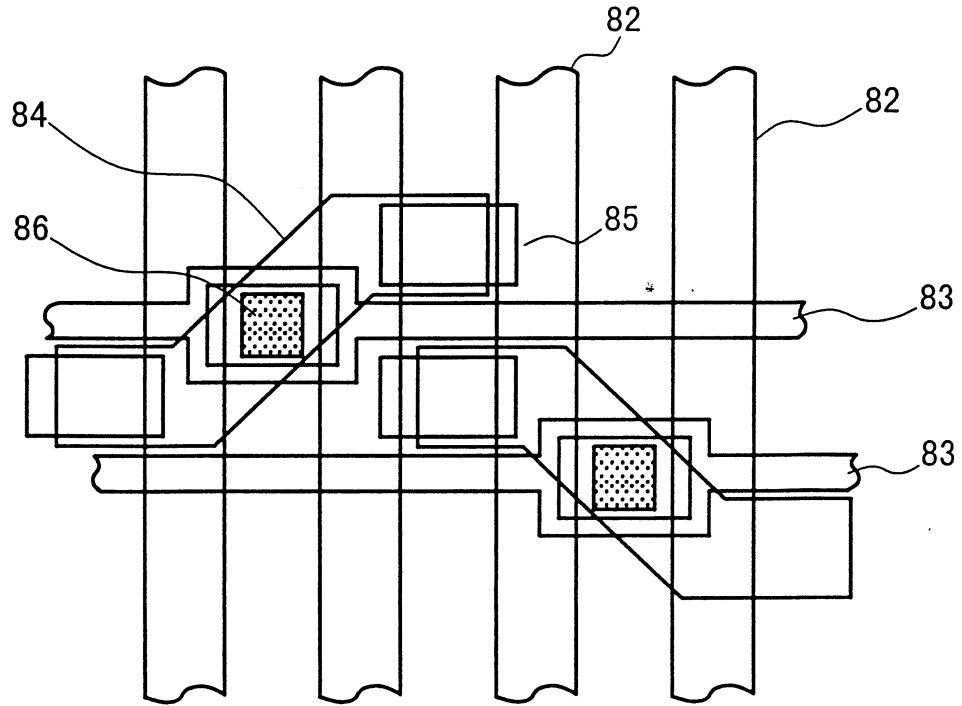


圖 11A

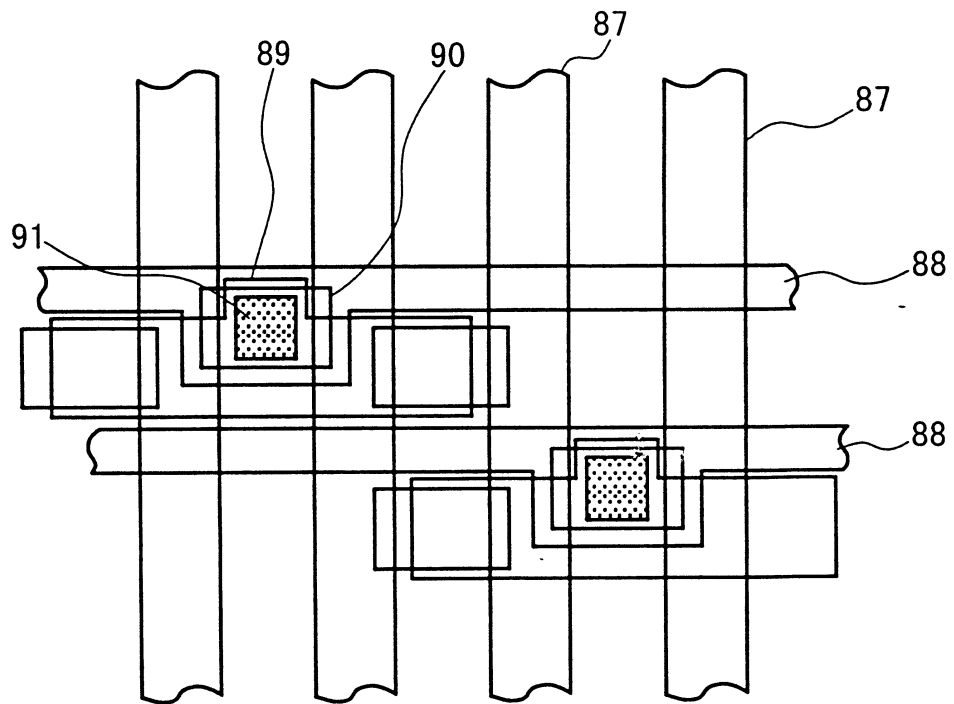


圖 11B

## 五、發明說明 ( 18 )

4F所示光阻遮蔽區的半調光罩，尤其是形成較窄精細圖案(與圖3A至3C以及圖5A至5H所示的比較起來，改善相位的可控制性4%至3%)，但是，當作形成精細孔洞圖案用的光罩，最好是使用圖3A與3C以及圖5A至5H所示的光罩，如將在第二實施例中所要詳細說明的。

## 第二實施例

將參閱圖6A至6D，來說明使用本發明製造具雙位阱互補MIS(CMIS)電路之半導體積體電路裝置的方法，圖6A至6D是製造步驟中的部分剖示圖。

圖6A是製造方法中所使用到半導體晶圓3的部分剖示圖。半導體晶圓3包括薄圓的矽片或另一半導體材料片。例如，半導體晶圓3中的半導體基板3s包括n型單晶矽，在n型單晶矽上形成n型半導體區(位阱)6n與p型半導體區(位阱)6p。n型位阱6n包含n型雜質，比如磷(P)或砷(As)。p型位阱6p包含p型雜質，比如硼(B)。

在主要表面(第一表面)上，用氧化矽薄膜或類似材料做成而當作絕緣用的場介電薄膜7是用矽局部氧化(LOCOS)或另一方法來形成。該絕緣區可以是溝槽型。亦即，可以將介電薄膜填滿已經挖到半導體基板3s厚度內的溝槽中，而形成絕緣區。

n型MISFET Qn與p型MISFET Qp是在被場介電薄膜7所包圍之相對應半導體五動區內形成。n型MISFET與p型MISFET的閘極介電薄膜8是用如矽熱氧化所形成的氧化物薄膜。

## 五、發明說明 ( 20 )

阻多晶矽薄膜的結構，而可以是具有不同改質結構：可以具有所謂的多矽化物結構，是將比如矽化鎢或矽化鈷的矽化物層加到低電阻的多晶矽薄膜內而形成，或可以具有所謂的多金屬結構，是加入比如鎢薄膜的金屬薄膜，穿過氮化鈦，氮化鎢或另一適當材料的阻障導體薄膜，結合低電阻的多晶矽薄膜而形成。

接著，例如，在用CVD或另一方法將如氧化矽薄膜的層間介電薄膜12沉積到半導體基板3s上之後，用CVD或另一方法將多晶矽薄膜13沉積到上表面上。然後利用微影技術，使用圖8所示的KrF激光雷射縮小投影對齊器以及具有圖2A至2B與圖7A至7B所示之光阻遮蔽區的半調相位移光罩，以及使用傳統的蝕刻技術，對多晶矽薄膜13定義出圖案，而且將雜質植入定義圖案之多晶矽薄膜的預設區內，形成接線13L與電阻13R(圖6B)。

之後如圖6C所示，例如，包括氧化矽薄膜的TEOS薄膜14是沉積到半導體基板3s上，然後利用微影技術，使用圖8所示的ArF激光雷射縮小投影對齊器以及具有圖3A至3C所示之金屬遮蔽區的半調相位移光罩，以及使用傳統的蝕刻技術，穿過層間介電薄膜12與TEOS薄膜14，對一部分的半導體區10或11與接線13L進行曝光處理，而形成精細接觸孔15。

將說明該孔洞圖案處理為何使用圖3A至3C所示之光罩而非使用圖2A至2B與圖7A至7B所示之光罩的理由。

精細孔洞圖案在曝光時，曝光光線會偏離並在x與y方向

## 五、發明說明 ( 22 )

，而不會大幅改變視處理製程而定的曝光條件。為此，最是在該孔洞形成製程中使用圖3A至3C所示的半調薄膜，其中用圖2A與2B所示的半調薄膜構成精細電路圖案且包圍區被金屬遮蔽物覆蓋住。金屬遮蔽區的金屬並不受限於Cr；也可以使用如鎢(W)，鈦(Ti)，鉭(Ta)的金屬，或是如氮化鎢(WN)與鎢化鈦(TiW)的金屬化合物。

如上所述，在圖3A至3C所示的記號中，Cr框202是包括網線對齊記號204與晶圓對齊記號205，而且使用這些記號，以具有改善的對齊精確度方式，將複數個精細孔洞圖案轉移到晶圓上。

現在來說明CMIS製程。用鎢或其它金屬做成的金屬薄膜被沉積到圖6C中用CVD或其它方法所得到的半導體基板3s上後，用微影蝕刻技術對金屬薄膜定義出圖案，使用圖8所示之ArF激光雷射縮小投影對齊器與具有圖2A至2B與圖7A至7B所示之光阻遮蔽區的半調相位移光罩，以及使用傳統的蝕刻技術，而形成如圖6D所示的第一層接線16L1。

之後，以相同的方式在第一接線層上，形成第二與後續的接線層(未顯示於圖中)，而製造出半導體積體電路裝置。

依據本方法所製造之CMIS裝置，在微影蝕刻轉移製程中的尺寸精確度上，具有4%的改善。因此，高速LSI晶片的製造良率會增加5%。

從本實施例中可以了解到，半導體積體電路裝置的製造最好是使用具有金屬遮蔽薄膜或二元光罩的第一半調相位移光罩，形成具有很小二維延伸之精細尺寸的孔洞圖案，

## 五、發明說明 ( 23 )

並且使用具有圖2A至2B與圖7A至7B所示之光阻遮蔽區的第二半調相位移光罩，形成具有較窄與較寬尺寸的電極與接線圖案，比孔洞圖案在x與y方向延伸更多。最好也在第一光罩上的金屬遮蔽薄膜中，以及被第二光罩上光阻遮蔽區包圍住的半調薄膜中，形成光罩對齊記號，並且用來將相對應光罩精確的對齊到晶圓上的預設位置。

## 第三實施例

接著，將參閱圖10A至10D以及圖11A與11B，來說明當作第三實施例製造半導體記憶裝置的方法。圖10A至10D是該裝置製造方法之步驟的部分剖示圖，而圖11A與11B是製造後裝置的部分平視圖。

如圖10A所示，p型Si半導體區71是當作基底(晶圓)用，使用傳統的裝置絕緣技術在其表面上形成裝置絕緣區72。接著，例如沉積出厚度150 nm(微米)之多晶Si層(閘極)以及厚度200 nm(微米)之SiO<sub>2</sub>薄膜(閘極介電薄膜)的結構，而形成字元線73；然後，利用化學氣相沉積(CVD)，在其上形成厚度150 nm(微米)的SiO<sub>2</sub>薄膜，並以非等方向性處理，形成側邊隔層74，包括在字元線73的側壁上的SiO<sub>2</sub>薄膜。接著，形成n型擴散層75(源極與汲極區)。

接著如圖10B所示，形成包括多晶Si或高熔點矽化金屬或堆疊薄膜的資料線76。

接著，形成儲存電極(電容電極)78，其上沉積出Ta<sub>2</sub>O<sub>5</sub>，Si<sub>3</sub>N<sub>4</sub>，SiO<sub>2</sub>，BST，PZT或鐵電材質的薄膜或是複合薄膜，而形成電容介電薄膜79。此外，沉積出多晶Si，高熔點金

## 五、發明說明 ( 24 )

屬，高熔點矽化金屬或低電阻導體，如Al或Cu，而形成板電極80(圖10C)。

接著如圖10D所示，經由包括形成接線與介電薄膜81的傳統互連處理以及鈍化處理，而製造出記憶裝置。

以下將說明依據本發明微影處理所形成的圖案。圖11A是製造後儲存裝置之記憶體部分中典型圖案設計的平視圖。參考數號82是代表字元線，參考數號83是代表資料線，參考數號84是代表主動區，參考數號85是代表儲存電極，參考數號86是代表電極接觸孔洞圖案。

圖11B是另一製造後儲存裝置之記憶體部分中典型圖案設計的平視圖。參考數號87是代表字元線，參考數號88是代表資料線，參考數號89是代表主動區，參考數號90是代表儲存電極，參考數號91是代表電極接觸孔洞圖案。

字元線82與87以及資料線83與88是使用半調相位移光罩來形成，該光罩具有光阻遮蔽薄膜，如圖2A與2B以及圖7A與7B所示，在第一與第二實施例已經說明過。圖11B中，儲存電極90也是使用半調相位移光罩，來定義出圖案。

如果圖案密度亦即光線透射區與光罩遮蔽區的比例超過約25%，則電路圖案的最佳曝光光線量是在不影響轉移晶圓對齊記號之幾何對稱性的這種程度左右。具光阻遮蔽區之半調相位移光罩具有較高的相位可控制性以及尺寸精確度，如上所述，因此具有較高的微影轉移精確度。此外如圖1所示，利用經由該光罩的斜向入射光，對具有光阻遮蔽區之半調相位移光罩所進行的曝光處理，在所謂的斜向照光

## 五、發明說明 ( 25 )

系統中，是可以避免曝光光線強度到達尖峰或次尖峰，改善聚焦深度。

另一方面，電極接觸孔洞圖案86與91的形成是使用如圖3A，3B與3C所示具Cr遮蔽區之半調相位移光罩。該光罩上的晶圓對齊記號是在Cr薄膜中形成。使用該光罩的曝光處理可以從晶圓上的晶圓對齊記號，得到較高的對齊精確度，並在孔洞圖案形成中達到較佳對稱性。

使用本發明所製造出的半導體記憶裝置在其特性上顯示出以下改善：(1)較快且較穩定的讀取操作，因為字元線中已被降低的線寬變動；(2)較穩定的資料保存特性，因為儲存電極區中已被降低的變動。

雖然這些說明已經集中在使用本發明來製造出動態隨機存取記憶體(DRAM)晶片，但是本發明並不受限於這種應用；也可以用來製造出具另一種記憶電路的半導體積體電路裝置，比如靜態隨機存取記憶體(SRAM)或快閃記憶體(或電性可抹除唯讀記憶體(EEPROM))，具有如微處理之邏輯電路的半導體積體電路裝置，或是集積在相同半導體基板上具有記憶體與邏輯電路的混合型半導體積體電路裝置。

雖然不同實施例中的實例主要都是屬於半調相位移圖案，該半調相位移圖案是在具有對齊記號的半調薄膜內形成，得到較佳的對齊精確度，如在本發明人與其它人所申請的日本專利No. 2000-128944案中的圖2A至2C，圖6以及圖11A與11B所示，但是也可以在透明光罩板的表面上形成投影與凹洞，來產生半調相位移圖案。當使用在光罩板內形

## 五、發明說明 ( 26 )

成凸形物的本方法來調整相位角時，有一方法(1)是形成移動圖案，形成光罩板凸形物，沉積出光學不透明單元，以及對光學不透明單元定義出圖案；調整相位角的另一方法(2)是對光學不透明單元定義出圖案，然後使用光學不透明單元當作光罩，而在光罩上形成自我對齊的凸形物。後者的方法對於對齊來說沒有嚴重的問題，因為是用自我對齊，所以對於複雜的精細圖案來說尤其有利。

雖然上述的實施例主要是在說明製造半導體積體電路的裝置，將不同精細圖案轉移到半導體晶圓上，但是本發明並不限於這種應用；也可以應用到製造其它具有非常精細圖案的電子裝置上，比如超導電裝置，以及應用到微型機器的製造上。

在本發明中，可以形具高尺寸精確度與高對齊精確度的精細圖案。因此，能高再現性的製造出電子裝置，比如具有高操作速率或高集積密度的半導體積體電路。

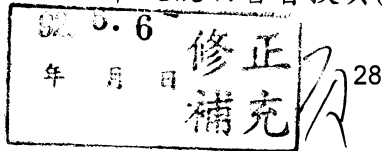
## 元件符號說明

3S	半導體基板	12	層間介電薄膜
6n	n-型半導體區	13	多晶矽薄膜
6p	p-型半導體區	13R	電阻
7	場介電薄膜	13L	接線
8	閘極介電薄膜	14	TEOS薄膜
9	較窄閘極	15	精細接觸孔
10	半導體區	16L1	第1層接線
11	半導體區	31	晶圓



## 五、發明說明 ( 27 )

32	複數個晶片區	62	半調區
33	切割區	63	遮蔽區
40	石英玻璃光學透射片	71	p-型Si半導體區
41	半調薄膜	72	裝置絕緣區
42	光敏薄膜(光阻薄膜)	73	字元線
43	圖案曝光	74	側邊隔層
44	圖案的光阻薄膜	75	n-型擴散層
45	半調薄膜	76	資料線
46	電路圖案	78	儲存電極(電容電極)
47	負光阻	79	電容介電薄膜
48	曝光處理	80	板電極
49	光阻薄膜	81	介電薄膜
50	石英玻璃	82	字元線
51	半調薄膜	83	資料線
52	Cr薄膜	84	主動區
53	光阻薄膜	85	儲存電極
54	曝光處理	86	電極接觸孔洞圖案
55	光阻薄膜圖案	87	字元線
56	圖案	88	資料線
57	半調薄膜	89	主動區
58	光阻薄膜	90	儲存電極
59	曝光處理	91	電極接觸孔洞圖案
60	光阻薄膜圖案	100	光學透射片
61	Cr薄膜圖案	101	半調薄膜



102	遮蔽區	1503	束狀調節孔徑
103	精細電路圖案	1504	聚焦透鏡
104	線網對齊光罩	1505	聚焦透鏡
105	晶圓對齊記號	1506	反射鏡
106	電路圖案形成區	1507	光罩
110	斜向入射曝光光線	1508	投影透鏡
111	繞射光線	1509	半導體晶圓
112	投影透鏡	1510	薄層
113	投影光線	1511	光罩位置控制裝置
114	晶圓	1512	光罩平台
115	光敏薄膜	1513	位置偵測裝置
161	薄層	1514	樣品台
162	薄層	1515	Z平台
163	安置部(支撐部)	1516	X-Y平台
164	表面部	1517	伺服系統
200	光學透射片	1518	驅動裝置
201	半調薄膜	1519	驅動裝置
202	金屬遮蔽薄膜	1520	反射鏡
203	孔洞圖案	1521	雷射測距計
204	網線對齊記號	1522	光罩片
205	晶圓對齊記號	1523	晶圓對齊記號
206	孔洞圖案形成區	1524	晶圓記號偵測系統
1501	光源	Qn	n-型MISFET
1502	飛眼透鏡	Qp	p-型MISFET

## 六、申請專利範圍

1. 一種製造電子裝置的方法，對在該電子裝置內的半調相位移光罩進行斜向照射，該半調相位移光罩具有在光學透射片上的半調相位移圖案以及具有在圖案形成區外之光阻薄膜，進而將圖案轉移到工件表面的光敏薄膜上。
2. 如申請專利範圍中第1項之製造電子裝置的方法，其中在該工件表面上之光阻薄膜中的不同相鄰區重複進行曝光處理，以部分重疊的方式轉移該光阻薄膜。
3. 一種製造電子裝置的方法，其中：

當複數個光罩被用來形成孔洞圖案以及接線圖案，而接線圖案比工件表面上之孔洞圖案具有較大的縱向尺寸時，進行第一投影處理，而在第一工件表上形成孔洞圖案，該第一投影處理是使用具有半調相位移圖案的第一半調相位移光罩，該半調相位移圖案是對應到第一光學透射片上的孔洞圖案以及圖案形成區外第一光學透射片上的金屬遮蔽薄膜；以及進行第二投影處理，而在第二工件表上形成接線圖案，該第二投影處理是使用具有半調相位移圖案的半調相位移光罩，該半調相位移圖案是對應到第二光學透射片上的接線圖案以及圖案形成區外的帶狀光阻遮蔽薄膜。
4. 一種製造電子裝置的方法，其中：

當複數個光罩被用來形成孔洞圖案以及接線圖案，而接線圖案比工件表面上之孔洞圖案具有較大的縱向尺寸時，進行第一投影處理，而在第一工件表上形成孔洞圖

## 六、申請專利範圍

案，該第一投影處理是使用具有對應到孔洞圖案之圖案的二元光罩，該孔洞圖案包括遮蔽部以及第一光學透射片上光學透射部；以及進行第二投影處理，而在第二工件表上形成接線圖案，該第二投影處理是使用具有半調相位移圖案的半調相位移光罩，該半調相位移圖案是對應到接線圖案以及第二光學透射片上圖案形成區外的光阻遮蔽薄膜。

5. 一種製造半導體積體電路裝置的方法，其中：

當複數個精細孔洞圖案在半導體基板上的介電層內形成，而該半導體基板具有複數個半導體區時，使用具有半調相位移薄膜圖案的第一半調相位移光罩，對介電層上的第一光敏薄膜進行曝光處理，該半調相位移薄膜圖案是對應到第一光學透射片表面上的精細孔洞圖案以及第一光學透射片表面上圖案形成區外的金屬遮蔽薄膜；以及在半導體基板上的導電層內形成複數個接線圖案，該接線圖案至少具有比精細孔洞圖案還大的縱向尺寸，使用具有半調相位移圖案的半調相位移光罩，對導電層上的第二光敏薄膜進行曝光處理，該半調相位移圖案是對應到第二光學透射片上的接線圖案以及對應到第二光學透射片上圖案形成區外的光阻遮蔽薄膜。

6. 如申請專利範圍中第5項之製造半導體積體電路裝置的方法，其中給第一半調相位移光罩用的該光罩對齊記號是在金屬遮蔽薄膜內形成；給第二半調相位移光罩用的該光罩對齊記號是在半調相位移薄膜內形成；而這些對齊



## 六、申請專利範圍

記號都是用來將該二光罩對齊到半導體基板。

7. 一種製造半導體積體電路裝置的方法，其中：

當複數個精細孔洞圖案在半導體基板上的介電層內形成，而該半導體基板具有複數個半導體區時，使用具有對應到精細孔洞圖案之圖案的二元光罩，對介電層上的第一光敏薄膜進行曝光處理，該精細孔洞圖案包括在第一光學透射片上之遮蔽部與光學透射部；以及在半導體基板上的導電層內形成複數個接線圖案，該接線圖案至少具有比精細孔洞圖案還大的縱向尺寸，使用具有半調相位移薄膜圖案的半調相位移光罩，對導電層上的第二光敏薄膜進行曝光處理，該半調相位移圖案是對應到第二光學透射片上的接線圖案以及對應到第二光學透射片上圖案形成區外的光阻遮蔽薄膜。

8. 如申請專利範圍中第7項之製造半導體積體電路裝置的方法，其中給半調相位移光罩用的該光罩對齊記號是在半調薄膜內形成，而該對齊記號是用來將該光罩對齊到半導體基板。

9. 一種製造電子裝置的方法，係包括以下步驟：

備製具有半調薄膜圖案的半調相位移光罩，該半調薄膜圖案是給減低曝光光線並將光學透射片上曝光光線做相位移處理用，而在電路圖案形成區外形成電路圖案與光阻薄膜；用光線對半調薄膜圖案內的電路圖案形成區進行輻射，並藉觀察螢光而檢驗在光罩內有出現或是沒有光阻殘留；以及使用檢驗過的半調相位移光罩，對工

## 六、申請專利範圍

件表面上的光敏薄膜進行曝光處理，且將電路圖案轉移到光敏薄膜上。

10. 一種製造電子裝置的方法，其中的光罩具有在光學透射片上所形成之電路圖案以及具有在電路圖案形成區外之區域中所形成的光阻薄膜，而該光罩是用來過濾曝光光線；以及複數次的將電路圖案轉移到主要工件表面中光敏薄膜上的不同轉移位置，以步進或掃描的方式，用斜向入射光線並透過光罩，對工件進行曝光處理，使得光阻薄膜區在不同曝光時會部分重疊在一起。
11. 一種製造電子裝置的方法，其中半調相位移光罩是被安置在縮小投影對齊器上，該半調相位移光罩是在光學透射片上形成，並具有半調相位移薄膜，在該半調相位移薄膜中形成電路圖案以及光罩對齊記號，且在形成電路圖案以及光罩對齊記號的區域外形成光阻遮蔽薄膜；以及在參考半調薄膜內的光罩對齊記號而將半調相位移光罩與要進行曝光處理的晶圓對齊後，利用斜向入射之光線，穿過半調相位移光罩，而對主要工件表面上的光敏薄膜進行曝光處理。
12. 一種製造電子裝置的方法，其中具有光學透射片上之半調相位移圖案以及具有圖案形成區外之光阻薄膜的半調相位移光罩，是被安置在投影對齊器上，讓光阻薄膜不要接觸到傳送裝置與支撐裝置，而且利用斜向入射之光線，穿過光罩，照到主要工件表面上光敏薄膜中不同的相鄰區域，而對該進行複數次的曝光處理，使得該光阻

## 六、申請專利範圍

薄膜以部分重疊的方式進行轉移。

13. 一種製造電子電路裝置的方法，其中利用具有以光阻薄膜過濾掉圖案形成區外曝光光線的光罩，以及利用具有能過濾掉圖案形成區外曝光光線之金屬遮蔽薄膜的光罩，來進行微影處理，其中電路圖案是沉積在圖案形成區內，進而製造出電子半導體裝置。
14. 一種製造電子電路裝置的方法，其中利用半調相位移光罩進行微影處理，而每個光罩都具有曝光光線透射區以及具有讓曝光光線變暗且讓相位反轉的區域，其中使用具有過濾掉圖案形成區外曝光光線之光阻薄膜的半調相位移光罩，以及使用具有能過濾掉圖案形成區外曝光光線之金屬薄膜的光罩，而電路圖案是沉積在圖案形成區內。
15. 如申請專利範圍中第14項之製造電子電路裝置的方法，其中在給電子電路裝置用的閘極形成製程中或是在給電子電路裝置用的接線形成製程中，使用具有沉積在圖案形成區外之光阻薄膜的半調相位移光罩，而電路圖案是沉積在圖案形成區內；以及在導電孔洞形成製程中，使用具有在圖案形成區外形成之金屬薄膜的光罩。