

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3744381号
(P3744381)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年12月2日(2005.12.2)

| (51) Int. Cl. | F I |
|-------------------------|----------------|
| HO 1 L 29/812 (2006.01) | HO 1 L 29/80 F |
| HO 1 L 21/338 (2006.01) | HO 1 L 29/46 |
| HO 1 L 29/43 (2006.01) | HO 1 L 29/48 E |
| HO 1 L 29/47 (2006.01) | |
| HO 1 L 29/872 (2006.01) | |

請求項の数 9 (全 19 頁)

| | |
|-----------|-------------------------------|
| (21) 出願番号 | 特願2001-147526 (P2001-147526) |
| (22) 出願日 | 平成13年5月17日(2001.5.17) |
| (65) 公開番号 | 特開2002-343814 (P2002-343814A) |
| (43) 公開日 | 平成14年11月29日(2002.11.29) |
| 審査請求日 | 平成16年4月19日(2004.4.19) |

| | |
|-----------|--|
| (73) 特許権者 | 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 |
| (74) 代理人 | 100109313 弁理士 机 昌彦 |
| (74) 代理人 | 100136814 弁理士 工藤 雅司 |
| (74) 代理人 | 100111637 弁理士 谷澤 靖久 |
| (72) 発明者 | 分島 彰男 東京都港区芝五丁目7番1号 日本電気株式会社社内 |
| (72) 発明者 | 大田 一樹 東京都港区芝五丁目7番1号 日本電気株式会社社内 |

最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に、少なくとも InGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、前記ゲート電極とドレイン電極との間に、絶縁膜を介して電界制御電極が配置され、該電界制御電極と前記ゲート電極とが電氣的に接続されていることを特徴とする電界効果型トランジスタ。

【請求項2】

GaAs 基板上に、少なくとも InGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、該 InGaP 層と前記ゲート電極とがショットキ接合し、該 InGaP 層上に絶縁膜を介して電界制御電極が前記ゲート電極とドレイン電極との間に配置され、該電界制御電極と前記ゲート電極とが電氣的に接続されていることを特徴とする電界効果型トランジスタ。

【請求項3】

GaAs 基板上に、少なくとも InGaP 層と、InAlGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部

10

20

がチャンネル層として機能し、前記 InAlGaP 層が前記ゲート電極とショットキ接合し、該 InAlGaP 層上に絶縁膜を介して電界制御電極が前記ゲート電極とドレイン電極との間に配置され、該電界制御電極と前記ゲート電極とが電氣的に接続されていることを特徴とする電界効果型トランジスタ。

【請求項 4】

半導体基板上に、少なくとも InGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、前記ゲート電極とドレイン電極との間に、絶縁膜を介して電界制御電極が配置され、該電界制御電極に印加する DC 電圧 V_c を $V_c > 0$ とすることを特徴とする電界効果型トランジスタ。

10

【請求項 5】

GaAs 基板上に、少なくとも InGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、該 InGaP 層と前記ゲート電極とがショットキ接合し、該 InGaP 層上に絶縁膜を介して電界制御電極が前記ゲート電極とドレイン電極との間に配置され、該電界制御電極に印加する DC 電圧 V_c を $V_c > 0$ とすることを特徴とする電界効果型トランジスタ。

【請求項 6】

GaAs 基板上に、少なくとも InGaP 層と、InAlGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、前記 InAlGaP 層が前記ゲート電極とショットキ接合し、該 InAlGaP 層上に絶縁膜を介して電界制御電極が前記ゲート電極とドレイン電極との間に配置され、該電界制御電極に印加する DC 電圧 V_c を $V_c > 0$ とすることを特徴とする電界効果型トランジスタ。

20

【請求項 7】

半導体基板上に、少なくとも InGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、前記ゲート電極がドレイン側に底状の底部を有し、該底部と、前記ゲート電極とショットキ接合する層との間に絶縁膜が配置されていることを特徴とする電界効果型トランジスタ。

30

【請求項 8】

GaAs 基板上に、少なくとも InGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、該 InGaP 層と前記ゲート電極とがショットキ接合し、前記ゲート電極がドレイン側に底状の底部を有し、該底部が前記 InGaP 層上に配置された絶縁膜上にせり出された構造となっていることを特徴とする電界効果型トランジスタ。

40

【請求項 9】

GaAs 基板上に、少なくとも InGaP 層と、InAlGaP 層と、互いに離間して設けられたソース電極及びドレイン電極と、該ソース電極とドレイン電極との間にゲート電極とが配置された電界効果型トランジスタにおいて、前記 InGaP 層の一部または全部がチャンネル層として機能し、前記 InAlGaP 層が前記ゲート電極とショットキ接合し、前記ゲート電極がドレイン側に底状の底部を有し、該底部が前記 InAlGaP 層上に配置された絶縁膜上にせり出された構造となっていることを特徴とする電界効果型トランジスタ。

【発明の詳細な説明】

50

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、移動体通信、衛星通信、及び衛星放送等のマイクロ波領域で動作する高出力のショットキゲート電界効果型トランジスタに関する。

【 0 0 0 2 】

【 従来技術 】

化合物半導体は電子の高速性を利用して、高周波素子としての応用が進んでいる。しかしながら、化合物半導体を用いた電界効果型トランジスタ（以下、FETと称す）では、Si-MOSFETとは異なり、ゲート電極が基板のチャンネル層またはショットキ層と接触しているために、ゲート電極のドレイン側の端に電界が集中し、破壊が生じたり、ゲートに電流が流れ込むことによる高周波特性の劣化が生じることがあった。このことは特に大信号動作を必要とする高出力増幅器用途のFETにおいては大きな問題である。これまで、ゲート電極のドレイン側の端に生じる高電界を緩和させる様々な試みが行われている。その一例としては特開2000-3919号公報にはゲート・ドレイン間の絶縁膜上に電界制御電極を設ける技術が記載されている（従来例1）。また、特開平10-261653号公報には、チャンネル層にGaAsやInGaAsではなく、バンドギャップが大きいInGaPをチャンネル層に用いることにより高電界耐性を高める方法も報告されている（従来例2）。

10

【 0 0 0 3 】

【 発明が解決しようとする課題 】

しかしながら、InGaPをチャンネルに有する電界効果型トランジスタにおいては、バンドギャップが従来用いられているGaAs系に比べ大きく、ゲートのドレイン側の端に生じる電界集中による破壊やゲートリークによる高周波特性の劣化は十分に解決されるが、従来、チャンネル層に用いられるGaAsやInGaAsに比べ、電子速度が遅いためドレイン電流が大きくとれず、高出力動作時の電流振幅が小さく高出力が得られにくいという問題が生じていた。本発明の目的は、このような問題を解決し、従来実現し得なかった高耐圧性と高電流性の両方を満足させ、高出力化可能な電界効果型トランジスタを提供することにある。

20

【 0 0 0 4 】

【 課題を解決するための手段 】

本発明の一手段は、InGaPをチャンネル層またはリセス表面に有する電界効果型トランジスタにおいて、ゲート・ドレイン間の絶縁膜上に電界制御電極を設ける。ここで、電界制御電極は、ゲート電極と接続されDC上は同電位に、また、RF上は同電位同位相に保つ。これにより、ゲートに入力されたRF電力が正に振幅した場合に電界制御電極下の空乏層の伸びが小さくなり、大きな電流振幅を得ることができ、高出力化が可能である。また、別の方法としては、上記電界制御電圧をゲート電極とは独立させて、電界制御電極電圧 V_c を $V_c > 0$ の電圧をかける。これにより、ドレイン電流が増加し、前記と同様の効果が得られる。この場合、ゲートのドレイン側端の電界集中が電界制御電極を付加しなかった場合に比べ大きくなるが、バンドギャップの大きいInGaP層をチャンネル層に用いており、顕著な耐圧劣化は無い。また、別の手段として、ゲート電極のドレイン側を庇状にして、絶縁膜上にせり出させることもできる。この場合、前記のゲートと電界制御電極とを接続した場合と同様の効果がある。この方法では、本来のゲートとして機能する部分と電界制御部分とが接続されている為、ゲート容量の増加があり高周波動作には多少の影響を生じるが、ゲート電極と電界制御部分を同時に作製できるので、プロセスが簡単になるという利点がある。

30

40

【 0 0 0 5 】

【 発明の実施の形態 】

以下、図面を参照して本発明の好ましい実施の形態について説明する。

（第1の実施の形態）

本発明の第1の実施の形態を示す断面構成図を図1に示す。この実施の形態は、GaAs基板1上に、バッファ層2、n型InGaP3をチャンネル層に有し、ゲート電極8とドレイン電極7との間に、ショットキ層4の上部に絶縁膜9を介して、電界制御電極10が形成された

50

構成である。電界制御電極 10 は、ゲート電極 8 とドレイン電極 7 との間に、これらの電極と接触しないように形成される。この電界制御電極 10 をゲート電極と電氣的に接続する。これにより、電界制御電極 10 はゲート電極 8 と DC 上は同電位となり、RF 上は同電位同位相となる。ゲートに RF 信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御電極下の空乏層の伸びが小さくなる。すなわち、この時にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、RF 出力が向上する。また、ドレイン側の抵抗成分による RF 損失を小さくすることでも RF 出力向上が図れる。また、InGaP 層はバンドギャップが約 1.9eV と GaAs 層の約 1.4eV に比べ大きく、高電圧動作が可能である。InGaP 層の高耐圧性と本発明の上記構成による高電流性により、従来よりも高出力化が可能となる。

10

【0006】

(第2の実施の形態)

本発明の第2の実施の形態を示す断面構成図を図2に示す。この実施の形態では、GaAs基板1上に、バッファ層2、n型InGaP3をチャンネル層に有し、ゲート電極8とドレイン電極7との間に、InGaPショットキ層11の上部に絶縁膜9を介して、電界制御電極10が形成された構成である。電界制御電極10は、ゲート電極8とドレイン電極7との間の、これらの電極の存在しない領域に形成される。この電界制御電極10をゲート電極と電氣的に接続する。これにより、電界制御電極10はゲート電極8とDC上は同電位となり、RF上は同電位同位相となる。ゲートにRF信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御電極下の空乏層の伸びが小さくなる。すなわち、この瞬間にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、RF出力が向上する。また、ドレイン側の抵抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、本実施形態のようにInGaP層をショットキ層に用いた場合、InGaP表面が安定でありショットキ層と絶縁膜9との間の界面準位密度が極めて小さい。したがって、電界制御電極10下の空乏層変調の入力RFに対する遅延が少なく、第1の実施の形態に記載のチャンネル層のみをInGaP層にした場合と比べて出力向上に効果的である。

20

【0007】

(第3の実施の形態) 本発明の第3の実施の形態を示す断面構成図を図3に示す。この実施の形態では、GaAs基板1上に、バッファ層2、n型InGaP3をチャンネル層に有し、ゲート電極8とドレイン電極7との間に、InGaP3をチャンネル層よりも格子定数が小さいInGaPショットキ層12(以下、歪みInGaPショットキ層と記す)の上部に絶縁膜9を介して、電界制御電極10が形成された構成である。電界制御電極10は、ゲート電極8とドレイン電極7との間の、これらの電極の存在しない領域に形成される。この電界制御電極10をゲート電極と電氣的に接続する。これにより、電界制御電極10はゲート電極8とDC上は同電位となり、RF上は同電位同位相となる。ゲートにRF信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御電極下の空乏層の伸びが小さくなる。すなわち、この瞬間にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、RF出力が向上する。また、ドレイン側の抵抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、この第3の実施形態のように歪みInGaP層をショットキ層に用いた場合、GaAsに格子整合するInGaPをショットキに用いた場合よりも、耐圧が高く、ゲート電極のドレイン側の端での電界集中に対する破壊耐性も大きく、より高い電圧での動作が可能である。

30

40

【0008】

(第4の実施の形態)

本発明の第4の実施の形態を示す断面構成図を図4に示す。この実施の形態は、GaAs基板1上に、バッファ層2、n型InGaP3をチャンネル層に有し、ゲート電極8とドレイン電極7との間に、InAlGaPショットキ層13の上部に絶縁膜9を介して、電界制御電極10が形成された構成である。電界制御電極10は、ゲート電極8とドレイン電極7との間の、これらの電極の存在しない領域に形成される。この電界制御電極10をゲート電極と電氣的に接続する。これにより、電界制御電極10はゲート電極8とDC上は同電位となり、

50

R F 上は同電位同位相となる。ゲートに R F 信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御電極下の空乏層の伸びが小さくなる。すなわち、この瞬間にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、R F 出力が向上する。また、ドレイン側の抵抗成分による R F 損失を小さくすることで R F 出力向上が図れる。また、本実施形態のように InAlGaP 層をショットキ層に用いた場合、第 2 の実施の形態に示した InGaP をショットキに用いた場合よりも、耐圧が高くなり、ゲート電極のドレイン側の端での電界集中に対する破壊耐性も大きく、より高い電圧での動作が可能である。また、本構造では、InAlGaP ショットキ層 1 3 は GaAs と格子整合を保ったままバンドギャップを大きくできるので、その膜厚に制限がなくより高耐圧をねらった場合に有効である。

10

【 0 0 0 9 】

(第 5 の実施の形態)

本発明の第 5 の実施の形態を示す断面構成図を図 5 に示す。この実施の形態では、GaAs 基板 1 上に、バッファ層 2、n-型 InGaP 3 をチャンネル層に有し、ゲート電極 8 とドレイン電極 7 との間に、ショットキ層 4 の上部に絶縁膜 9 を介して、電界制御電極 1 0 が形成された構成である。電界制御電極 1 0 は、他の電極とは接続せず、独自に制御可能とする。この電界制御電極 1 0 の電圧 V_c を $V_c > 0$ にする。これにより、ゲート電極 8 のドレイン側端で生じている電界集中はさらに大きくなるが、すでに記述したように、InGaP 層はバンドギャップが約 1.9eV と GaAs の約 1.4eV に比べ大きく、耐圧性能には大きな影響を与えない。一方、電界制御電極下の空乏層の伸びが小さくなり、ドレイン電流が増加し、高出力動作時の電流振幅が大きくとれ、R F 出力が向上する。また、ドレイン側の抵抗成分による R F 損失を小さくすることで R F 出力向上が図れる。

20

【 0 0 1 0 】

(第 6 の実施の形態)

本発明の第 6 の実施の形態を示す断面構成図を図 6 に示す。この実施の形態は、GaAs 基板 1 上に、バッファ層 2、n-型 InGaP 3 をチャンネル層に有し、ゲート電極 8 とドレイン電極 7 との間に、InGaP ショットキ層 1 1 の上部に絶縁膜 9 を介して、電界制御電極 1 0 が形成された構成である。電界制御電極 1 0 は、他の電極とは接続せず、独自に制御可能とする。この電界制御電極 1 0 の電圧 V_c を $V_c > 0$ にする。これにより、ゲート電極 8 のドレイン側端で生じている電界集中はさらに大きくなるが、すでに記述したように、InGaP 層はバンドギャップが約 1.9eV と GaAs の約 1.4eV に比べ大きく耐圧性能には大きな影響を与えない。一方、電界制御電極下の空乏層の伸びが小さくなり、ドレイン電流が増加し、高出力動作時の電流振幅が大きくとれ、R F 出力が向上する。また、ドレイン側の抵抗成分による R F 損失を小さくすることで R F 出力向上が図れる。また、このように InGaP 層をショットキ層に用いた場合、InGaP 表面が安定でありショットキ層と絶縁膜 9 との間の界面準位密度が極めて小さい。したがって、電界制御電極 1 0 が M I S F E T のゲート電極のように働き、電界制御電極 1 0 に印加した電圧に対する、電界制御電極 1 0 下の空乏層の応答性が良い。その結果、第 5 の実施の形態に記載のチャンネル層のみを InGaP 層にした場合と比べてドレイン電流をさらに大きくすることができ、さらなる出力向上が得られる。

30

【 0 0 1 1 】

(第 7 の実施の形態)

本発明の第 7 の実施の形態を示す断面構成図を図 7 に示す。この実施の形態は、GaAs 基板 1 上に、バッファ層 2、n-型 InGaP 3 をチャンネル層に有し、ゲート電極 8 とドレイン電極 7 との間に、InGaP 3 をチャンネル層よりも格子定数が小さい InGaP ショットキ層 1 2 (以下、歪み InGaP ショットキ層) の上部に絶縁膜 9 を介して、電界制御電極 1 0 が形成された構成である。電界制御電極 1 0 は、他の電極とは接続せず、独自に制御可能とする。この電界制御電極 1 0 の電圧 V_c を $V_c > 0$ にする。これにより、ゲート電極 8 のドレイン側端で生じている電界集中はさらに大きくなるが、すでに記述したように、InGaP 層はバンドギャップが約 1.9eV と GaAs の約 1.4eV に比べ大きく耐圧性能には大きな影響を与えない。一方、電界制御電極下の空乏層の伸びが小さくなり、ドレイン電流が増加し、高出力動作時の電流振幅が大きくとれ、R F 出力が向上する。また、ドレイン側の抵

40

50

抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、このように歪みInGaP層をショットキ層に用いた場合、GaAsに格子整合するInGaPをショットキに用いた場合よりも、耐圧が高くなり、ゲート電極のドレイン側の端での電界集中に対する破壊耐性も大きく、より高い電圧での動作が可能である。

【0012】

(第8の実施の形態)

本発明の第8の実施の形態を示す断面構成図を図8に示す。この実施の形態は、GaAs基板1上に、バッファ層2、n-型InGaP3をチャネル層に有し、ゲート電極8とドレイン電極7との間に、InAlGaPショットキ層13の上部に絶縁膜9を介して、電界制御電極10が形成された構成である。電界制御電極10は、他の電極とは接続せず、独自に制御可能とする。この電界制御電極10の電圧 V_c を $V_c > 0$ にする。これにより、ゲート電極8のドレイン側端で生じている電界集中はさらに大きくなるが、すでに記述したように、InGaP層はバンドギャップが約1.9eVとGaAsの約1.4eVに比べ大きく耐圧性能には大きな影響を与えない。一方、電界制御電極下の空乏層の伸びが小さくなり、ドレイン電流が増加し、高出力動作時の電流振幅が大きくとれ、RF出力が向上する。また、ドレイン側の抵抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、この実施形態のようにInAlGaP層をショットキ層に用いた場合、第2の実施の形態に示したInGaPをショットキに用いた場合よりも、耐圧が高くなり、ゲート電極のドレイン側の端での電界集中に対する破壊耐性も大きく、より高い電圧での動作が可能である。また、本構造では、InAlGaPショットキ層13はGaAsと格子整合を保ったままバンドギャップを大きくできるので、その膜厚に制限がなくより高耐圧をねらった場合に有効である。

10

20

【0013】

(第9の実施の形態)

本発明の第9の実施の形態を示す断面構成図を図9に示す。この実施の形態では、GaAs基板1上に、バッファ層2、n-型InGaP3をチャネル層に有し、ドレイン側に庇状の底部を有する庇型ゲート電極14とこの底部の下に絶縁膜9を配置する。(以下、この底部を電界制御部と呼ぶ)。この電界制御部下のInGaPチャネル層中は、ゲートの変調と同調して変化する。すなわち、ゲートにRF信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御部下の空乏層が絶縁膜を介しての伸びが小さくなる。この時にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、RF出力が向上する。また、ドレイン側の抵抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、すでに述べたように、InGaP層はバンドギャップが約1.9eVと従来例のGaAsの約1.4eVに比べ大きく、高電圧動作が可能である。InGaP高耐圧性と本発明により高電流性により、従来技術よりも高出力化が可能である。

30

【0014】

(第10の実施の形態)

本発明の第10の実施の形態を示す断面構成図を図10に示す。この実施の形態は、GaAs基板1上に、バッファ層2、n-型InGaP3をチャネル層に、InGaPショットキ層11を有し、ドレイン側に庇形状(庇部)を有する庇型ゲート電極14とこの庇部下に絶縁膜9が配置される。(以下、この底部を電界制御部と呼ぶ)。この電界制御部下のInGaPチャネル層中は、ゲートの変調と同調して変化する。すなわち、ゲートにRF信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御部下の空乏層が絶縁膜を介しての伸びが小さくなる。この時にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、RF出力が向上する。また、ドレイン側の抵抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、すでに述べたように、InGaP層はバンドギャップが約1.9eVとGaAsの約1.4eVに比べ大きく、高電圧動作が可能である。InGaP高耐圧性と本発明により高電流性により、従来技術よりも高出力化が可能である。また、このようにInGaP層をショットキ層に用いた場合、InGaP表面が安定でありショットキ層と絶縁膜9との間の界面準位密度が極めて小さい。したがって、電界制御電極10下の空乏層変調の入力RFに対する遅延が少なく、第1の実施の形態に記載のチャネル層のみをInGaP層にした

40

50

場合と比べて出力向上に効果的である。

【 0 0 1 5 】

(第11の実施の形態)本発明の第11の実施の形態を示す断面構成図を図11に示す。この実施の形態では、GaAs基板1上に、パッファ層2、n型InGaP3をチャンネル層に、さらに、InGaP3をチャンネル層よりも格子定数が小さいInGaPをショットキ層12に有し(以下、歪みInGaPショットキ層)、ドレイン側に庇形状(庇部)を有する庇型ゲート電極14とこの庇部下に絶縁膜9が配置される。(以下、この庇部を電界制御部と呼ぶ)。この電界制御部下のInGaPチャンネル層中は、ゲートの変調と同調して変化する。すなわち、ゲートにRF信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御部下の空乏層が絶縁膜を介しての伸びが小さくなる。この時にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、RF出力が向上する。また、ドレイン側の抵抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、すでに述べたように、InGaP層はバンドギャップが約1.9eVとGaAsの約1.4eVに比べ大きく、高電圧動作が可能である。InGaP高耐圧性と本発明により高電流性により、従来技術よりも高出力化が可能である。また、このように歪みInGaP層をショットキ層に用いた場合、GaAsに格子整合するInGaPをショットキに用いた場合よりも、耐圧が高くなり、ゲート電極のドレイン側の端での電界集中に対する破壊耐性も大きく、より高い電圧での動作が可能である。

10

【 0 0 1 6 】

(第12の実施の形態)

本発明の第12の実施の形態を示す断面構成図を図12に示す。この実施の形態では、GaAs基板1上に、パッファ層2、n型InGaP3をチャンネル層に、さらに、InAlGaP層をショットキ層13に有し、ドレイン側に庇形状(庇部)を有する庇型ゲート電極14とこの庇部下に絶縁膜9が配置される。(以下、この庇部を電界制御部と呼ぶ)。この電界制御部下のInGaPチャンネル層中は、ゲートの変調と同調して変化する。すなわち、ゲートにRF信号を入力した場合、ゲート電位が正方向に振幅すると、電界制御部下の空乏層が絶縁膜を介しての伸びが小さくなる。この時にドレイン電流が増加し、高出力動作時の電流振幅が大きくなることにより、RF出力が向上する。また、ドレイン側の抵抗成分によるRF損失を小さくすることでもRF出力向上が図れる。また、すでに述べたように、InGaP層はバンドギャップが約1.9eVとGaAsの約1.4eVに比べ大きく、高電圧動作が可能である。InGaP高耐圧性と本発明により高電流性により、従来技術よりも高出力化が可能である。また、本構造では、InAlGaPショットキ層13はGaAsと格子整合を保ったままバンドギャップを大きくできるので、その膜厚に制限がなくより高耐圧をねらった場合に有効である。

20

30

【 0 0 1 7 】

【実施例】

次に本発明の実施例を示し、より詳細に説明する。

【 0 0 1 8 】

(実施例1)本実施例のFETは図1に示すように、n型InGaP層3をチャンネル層に有し、ゲート電極8とドレイン電極7との間に、ゲート電極8と接続された電界制御電極10が設けられている。以下、図13(a)~(h)を参照して本実施例のFETの作製方法について説明する。

40

【 0 0 1 9 】

まず、半絶縁性GaAs基板1にMOCVD法により、AlGaAsパッファ層2、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型InGaP層3(厚さ、150nm)、AlGaAsショットキ層4(厚さ、20nm)、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAsコンタクト層5(厚さ、150nm)を成長させる(図13(a))。次に、レジスト(図示せず)をマスクに、硫酸系水溶液によりGaAsコンタクト層5をウェットエッチングし、リセスを形成する(図13(b))。つづいてCVD法により、厚さ300nmのSiO₂膜からなる絶縁膜14を堆積した後、ゲート電極形成箇所の絶縁膜14をSF₆を用いてドライエッチングする(図13(c))。次いで絶縁膜14をマスクとして、ゲート電極箇所のAlGaAsショットキ層4を5nm程度エッチングした後、全面に100nmのWSi膜及び400nmのAu膜をこの順にスパッタ蒸着する。その後、ゲート電極形成箇所にのみレジ

50

ストを設け、イオンミリングにより不要金属を除去して、ゲート電極を形成する。さらに、残っている絶縁膜14を弗酸により除去した後、再度、CVD法により全面にSiO₂からなる絶縁膜9を100nm堆積する(図13(d))。次にドレイン電極形成箇所とゲート電極形成箇所との間に電界制御電極10(Ti:100nm, Au:500nm)を形成する(図13(e))。つづいて、絶縁膜9の所定箇所をエッチングしてコンタクト層5を露出させ、50nmのAuGe、8nmのNi、250nmのAuをこの順に真空蒸着し、ソース電極6及びドレイン電極7を形成する(図13(f))。さらに、TiAu配線を用いて、ゲート電極8と電界制御電極10とを接続し本発明のFETを完成する(図13(g))。

【0020】

上記のようにして作製したFET(ゲート幅、1mm)の特性を評価するため、比較例として、電界制御電極が無い従来型のGaAs-FET(断面構成図は図25)(以下、「従来GaAs-FET」と記す)と、特開2000-3919号公報に記載されている構成のFET(断面構成図は図26)(以下、従来例1と記す)と、特開平10-261653号公報に記載されている構成のInGaP層をチャネル層に有するFET(断面構成図は図27)(以下、「InGaP-FET」と記す)とを作製した。

【0021】

以下、各比較例の構成、素子作製工程について説明する。

【0022】

まず、従来GaAs-FETの構成は図25に示した通りである。この素子作製工程は、GaAs基板上にAlGaAsバッファ層2、Siを $2 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAs層15(厚さ、150nm)、AlGaAsショットキ層16、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAsコンタクト層5(厚さ、150nm)をMOCVD法により成長させた後、上記実施例1の素子作製工程と同様にリセス形成、ゲート電極形成を行い、その後、電界制御電極工程を行わずに、ソース及びドレイン電極工程を行うことにより作製した。ゲート幅や電極間隔等は実施例1と同様とした(ゲート幅は1mm)。

【0023】

従来例1の構成は図26に示した通りである。この素子作製工程は、GaAs基板1上にAlGaAsバッファ層2、Siを $2 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAs層15(厚さ、150nm)、AlGaAsショットキ層16、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAsコンタクト層5(厚さ、150nm)をMOCVD法により成長させた後、実施例1の素子作製工程と同様に、リセス形成、ゲート電極形成、電界制御電極工程、ソース及びドレイン電極工程を行うことにより作製した。ゲート幅や電極間隔等は実施例1と同様とした(ゲート幅は1mm)。

【0024】

InGaP-FETの構成は図27に示した通りである。この素子作製工程はGaAs基板1上にMOCVD法により、AlGaAsバッファ層2、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型InGaP層3(厚さ、150nm)、AlGaAsショットキ層4(厚さ、20nm)、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAsコンタクト層5(厚さ、150nm)を成長させ、つづいて、上記実施例1の素子作製工程と同様にリセス形成、ゲート電極形成を行い、その後、電界制御電極工程を行わずに、ソース及びドレイン電極工程を行うことにより作製した。ゲート幅や電極間隔等は実施例1と同様とした(ゲート幅は1mm)。

【0025】

上記のようにして作製した実施例1の構成のFETと、比較例として作製した3種類のFETとの特性を比較した結果を図14(a)~(d)に示す。

【0026】

図14(a)は実施例1、及び比較例(3種類)との最大ドレイン電流を示したものである。これより、InGaP系FETではドレイン電流が小さく、RF動作時に電流振幅が大きくとれず、高出力が得られ難いことがわかる。

【0027】

図14(b)には上記4種類の素子のゲート耐圧を示す。これよりバンドギャップの大きいInGaP系FETのゲート耐圧は大きいことが分かる。また、GaAs系FETにおい

10

20

30

40

50

ては、電界制御電極が付加されていることによりゲート耐圧が向上するが、InGaPをチャンネルとするInGaP系FETにおいては、電界制御電極の有無がゲート耐圧にほとんど影響を与えないことが分かる。

【0028】

図14(c)には、上記4種類のゲート幅1mmの素子における、ドレイン電圧と2GHzにおける出力の関係を示す。この図から従来GaAs-FETにおいては、ドレイン電圧が10Vから15Vという比較的低い電圧においては同じ出力が得られる。電圧を増加させた場合には、電界制御電極の無い素子では20Vで出力が飽和するが、電界制御電極が付加された素子においてはさらに出力が増加している。このことから、GaAs系FETにおいては、電界制御電極により耐圧が向上し、高いドレイン電圧での動作が可能になり、その結果高出力が得られていることが分かる。一方、InGaP系FETでは、GaAs系FETより電界制御電極の有無(実施例1では電界制御電極有り、InGaP-FETでは電界制御電極無し)により出力に顕著な差があり、特に、より低いドレイン電圧においても出力が顕著に向上する。また、ドレイン電圧を増加させるに従ってその出力差は大きくなる。なお、出力が飽和するドレイン電圧は同じである。以上の結果から、InGaP系FETにおける電界制御電極は、耐圧を向上させる効果は少ないが、RF動作時の電流振幅が大きくなったことにより高出力化が得られていると考えられ、出力向上に及ぼす影響はGaAs系FETに比べ顕著であると言える。なお、このことを示すために、図14(d)には図14(c)から見積もった上記4種類の素子のRF動作時の最大ドレイン電流を示す。このように、InGaP系FETでは、電界制御電極を付加すること(実施例1)により、RFドレイン電流が増加していることが分かる。

10

20

【0029】

(実施例2)

本実施例のFETは図2に示すように、n型InGaP層3をチャンネル層に有し、かつ、InGaPショットキ層11を有する。ゲート電極8とドレイン電極7との間に、ゲート電極8と接続された電界制御電極10が設けられている。以下、図15(a)(b)を参照して本実施例のFETの作製方法について説明する。

【0030】

まず、半絶縁性GaAs基板1にMOCVD法により、AlGaAsバッファ層2、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型InGaP層3(厚さ、150nm)、InGaPショットキ層11(厚さ、20nm)、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAsコンタクト層5(厚さ、150nm)を成長させる(図15(a))。その後、実施例1と同等の工程を行い、本発明のFETを作製する(図15(b))。

30

【0031】

図16(a)は、実施例1と実施例2の構成のFETのドレイン電圧と2GHzにおける出力との関係である。本実施例2で作製した素子は実施例1と比べ出力が約15%向上することが分かる。なお、本実施例2で作製した素子のDCドレイン電流及び耐圧は、実施例1で作製した素子とほぼ同じであった。

【0032】

図16(b)は、周波数と飽和出力との関係である。本実施例の構成のFETでは飽和出力の周波数依存性が良好であることがわかる。これは、本実施例では電界制御電極10下の絶縁膜9と接する半導体にAlを含まないので、絶縁膜9と半導体との界面準位が少なく非常に安定であるためと考えられる。

40

【0033】

図16(c)は、高温保管試験(300、窒素雰囲気)における、保管時間とドレイン電流変動との関係を示したものである。本実施例の素子はAlの酸化の問題も生じず安定であることが分かる。

【0034】

本実施例では、n型InGaPチャンネル層3とInGaPショットキ層11とが連続的に構成されているが、この間に別の層を設けても電界制御電極下の絶縁膜に接する半導体がInGaP層で

50

あれば同様の効果が得られる。

【0035】

(実施例3)

本実施例のFETは図3に示すように、n型InGaP層3をチャネル層に有し、かつ、歪みInGaPショットキ層12を有する。ゲート電極8とドレイン電極7との間に、ゲート電極8と接続された電界制御電極10が設けられている。以下、図17(a)(b)を参照して本実施例のFETの作製方法について説明する。

【0036】

まず、半絶縁性GaAs基板1上にMOCVD法により、AlGaAsバッファ層2、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型InGaP層3(厚さ、150nm)、歪み $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ ショットキ層12(厚さ、20nm)、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAsコンタクト層5(厚さ、150nm)を成長させる(図17(a))。その後、実施例1と同等の工程を行い、本実施例のFETを作製する(図17(b))。

10

【0037】

本実施例で作製した素子の最大ドレイン電流及び耐圧を実施例2で作製した素子と比較した結果を図18(a)に示す。本実施例及び実施例2ともに最大ドレイン電流はほぼ同じであるが、本実施例の素子では耐圧が約15V向上する。

【0038】

さらに、ドレイン電圧と2GHzにおける出力の関係を図18(b)に示す。実施例2の素子ではドレイン電圧55Vで出力が飽和するが、本実施例の素子では60Vで出力が飽和し、最大出力が約10%向上することが分かる。なお、両素子とも50Vまで出力がほぼ同じであることから、RF動作時のドレイン電流振幅は同じである。

20

【0039】

本実施例では、n型InGaPチャネル層3と歪みInGaPショットキ層12とが連続的に構成されているが、この間に別の層を設けても電界制御電極下の絶縁膜に接する半導体が歪みInGaP層であれば同様の効果が得られる。

【0040】

(実施例4)

本実施例のFETは図4に示すように、n型InGaP層3をチャネル層に有し、かつ、InAlGaPショットキ層13を有する。ゲート電極8とドレイン電極7との間に、ゲート電極8と接続された電界制御電極10が設けられている。以下、図19(a)(b)を参照して本実施例のFETの作製方法について説明する。

30

【0041】

まず、半絶縁性GaAs基板1にMOCVD法により、AlGaAsバッファ層2、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型InGaP層3(厚さ、150nm)、 $\text{In}_{0.5}\text{Al}_{0.4}\text{Ga}_{0.1}\text{P}$ ショットキ層13(厚さ、20nm)、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn型GaAsコンタクト層5(厚さ、150nm)を成長させる(図19(a))。その後、実施例1と同等の工程を行い、本発明のFETを完成する(図19(b))。

【0042】

本実施例で作製した素子の最大ドレイン電流及び耐圧を実施例2で作製した素子と比較した結果を図20(a)に示す。本実施例及び実施例2ともにドレイン電流はほぼ同じであるが、本実施例では耐圧が約25V向上している。

40

【0043】

さらに、ドレイン電圧と2GHzにおける出力の関係を図20(b)に示す。実施例2の素子ではドレイン電圧55Vで出力が飽和するが、本実施例の素子は65Vで出力が飽和し、最大出力が約15%向上することが分かる。

【0044】

なお、本実施例では、絶縁膜と接する半導体がInAlGaPであるので、表面安定化の面で実施例2に比べて劣る。そのためドレイン電圧が50V以下の領域では、実施例2の素子の方が出力が大きい。しかしながら、本素子では、InAlGaPの膜厚を厚くすることでさらに

50

耐圧を高くすることが出来る点で、実施例 2 の素子や実施例 3 の素子よりも高出力化が可能である。

【 0 0 4 5 】

本実施例では、n型 InGaP チャネル層 3 と InAlGaP ショットキ層 1 3 とが連続的に構成されているが、この間に別の層を設けても電界制御電極下の絶縁膜に接する半導体が InAlGaP 層であれば同様の効果が得られる。

【 0 0 4 6 】

(実施例 5)

本実施例の F E T は図 5 に示すように、n型 InGaP 層 3 をチャネル層に有し、ゲート電極 8 とドレイン電極 7 との間に他の電極とは独立に電圧を印加できる電界制御電極 1 0 が設けられている。以下、図 1 3 と図 2 1 を参照して本実施例の F E T の作製方法について説明する。

10

【 0 0 4 7 】

実施例 1 と同様のプロセスで、図 1 3 (a) ~ (f) までの工程を行う。TiAu 配線を用いて、ソース電極 6、ドレイン電極 7、ゲート電極 8 と電界制御電極 1 0 とに独立に電圧を印加できるようにし本実施例の F E T を作製する (図 2 1) 。

【 0 0 4 8 】

図 2 2 (a) は電界制御電極電圧と最大ドレイン電流との関係を示したものである。ここでの従来例 1 は上記した図 2 6 の構成において、ゲート電極 8 と電界制御電極 1 0 とを接続せず、それぞれ独立に制御する構成としたものである。本実施例の素子においては、たとえば電界制御電極を電氣的にフローティングした場合には、電界制御電極を付けなかった素子と同じドレイン電流 (0.15A (ゲート幅 1mm の素子)) である。また、例えば電界制御電極電圧 (V_c) を + 6 V とした場合の、素子の最大ドレイン電流は 0.3A (ゲート幅 1mm の素子) であり、 V_c に正の電圧を印加することで、大幅なドレイン電流の増加が見られる。一方、従来例 1 の素子の場合には若干のドレイン電流の向上が見られるだけである。

20

【 0 0 4 9 】

図 2 2 (b) は電界制御電極電圧と耐圧との関係を示したものである。本実施例の素子の耐圧はほとんど変化しないのに対して、従来例 1 の素子では耐圧が急激に劣化してしまうことが分かる。

【 0 0 5 0 】

即ち、本実施例の F E T では従来例 1 (G a A s 系 F E T) に比べ、電界制御電極電圧の制御により最大ドレイン電流の大幅な向上が図れると伴に、耐圧の劣化を抑制でき、出力の大幅な向上を図ることができる。

30

【 0 0 5 1 】

なお、特開 2 0 0 0 - 3 9 1 9 号公報に記載の従来例 1 の場合には耐圧向上の観点から V_c を印加するもので、 V_c を正にするものではない。一方、本発明においては、InGaP の高耐圧性により、 V_c 印加による耐圧向上ではなく、ドレイン電流増加を図るため $V_c > 0$ とするもので、このため、高耐圧と高ドレイン電流の両者を満足でき、出力の大幅な向上を図ることが可能となる。

【 0 0 5 2 】

次に、図 2 2 (c) には 2 GHz でのドレイン電流と出力との関係を示す。ここでの本実施例の素子は電界制御電極電圧 V_c として + 6 V 印加した素子を示している。また、比較例として電界制御電極無し InGaP - F E T (従来例 2) (断面構成は図 2 7) も示している。本発明の素子では、D C ドレイン電流が増加したことにより、R F 電流振幅が大きくとれ出力が大幅に増大していることが分かる。

40

【 0 0 5 3 】

本実施例の構成では、ゲート電極 8 と電界制御電極 1 0 とに独立に電界を印加できるため、電界制御電極 1 0 には絶縁膜の破壊電圧までの電圧を印加できる。このため、特に絶縁膜 9 の厚さを厚くする必要が生じた場合 (プロセス上の要求などから厚くする必要がある場合など) においても、本実施例の構成ではチャネル層の空乏層を十分に縮めることがで

50

きる。即ち、本実施例の構成は、特に、絶縁膜 9 の厚さを厚くした場合にも有効である。

【 0 0 5 4 】

なお、実施例 1 ~ 4 の素子を、本実施例のようにゲート電極電圧と電界制御電極電圧とを独立に制御する構成としても上記と同様に有効である。

【 0 0 5 5 】

(実施例 6)

本実施例の F E T は図 9 に示すように、n 型 InGaP 層 3 をチャネル層に有し、ゲート電極 8 のドレイン側が庇状になって絶縁膜上に迫り出した構造である。以下、図 2 3 (a) ~ (e) を参照して本実施例の FET の作製方法について説明する。

【 0 0 5 6 】

まず、実施例 1 と同様に各層を形成する (図 2 3 (a))。次に、レジスト (図示せず) をマスクに、硫酸系水溶液により GaAs コンタクト層 5 をウェットエッチングし、リセスを形成する (図 2 3 (b))。つづいて CVD 法により、厚さ 300nm の SiO₂ 膜からなる絶縁膜 9 を堆積した後、ゲート電極形成箇所の絶縁膜 9 を SF₆ を用いてドライエッチングする (図 2 3 (c))。次いで絶縁膜 9 をマスクとして、ゲート電極箇所の AlGaAs ショットキ層 4 を 5nm 程度エッチングした後、全面に 100nm の WSi 膜及び 400nm の Au 膜をこの順にスパッタ蒸着する。その後、ゲート電極形成箇所にのみレジストを設け、イオンミリングにより不要金属を除去して、ドレイン側に庇を有するゲート電極 1 4 を形成する (図 2 3 (d))。つづいて、絶縁膜 9 の所定箇所をエッチングしてコンタクト層 5 を露出させ、50nm の AuGe、8nm の Ni、250nm の Au をこの順に真空蒸着し、ソース電極 6 及びドレイン電極 7 を形成し、本発明の F E T を完成する (図 2 3 (e))。このように、庇型ゲート電極構造は、ゲート形成時の絶縁膜をそのまま使えること、ゲート電極とは別に電界制御電極を形成する必要がないことでプロセスが簡便になるという長所がある。

【 0 0 5 7 】

本実施例の素子における庇の迫り出し幅と 2 GHz における出力 (ドレイン電圧 4 0 V) との関係を図 2 4 に示す。これより、迫り出し幅が 0.5 μ m 以上で出力向上の効果があることが分かる。更に望ましくは 1 μ m 以上が好ましい。ただ、この庇部の迫り出し幅が大きすぎるとゲート容量が増加する。また、図 2 4 からわかるように迫り出し幅が 1 μ m 以上の場合には出力がほぼ一定である。このことから、高出力と、ゲート容量の増大抑制とを満足するための最適値は 1 μ m 程度で、迫り出し幅は大きくとも 2 μ m 以下とすることが好ましい。

【 0 0 5 8 】

なお、実施例 2 ~ 4 の構成におけるゲート電極と電界制御電極とを、本実施例のように庇構造としても上記と同様に有効である。

【 0 0 5 9 】

【 発明の効果 】

以上説明したように、本発明の F E T によれば、ゲート電極とドレイン電極の間にゲートと接続された電界制御電極が形成されているため、R F 動作時に電界制御電極下部の空乏層が R F に追従しながら延び縮みし、従来、ドレイン電流が大きくとれなかった InGaP チャネルを有する FET においても電流振幅が大きくなり、良好な高出力特性を得ることができる。

【 0 0 6 0 】

また、電界制御電極をゲート電極とは接続せず、独立に電圧制御する場合においても、この電圧を正に印加することで、ドレイン電流増加による高出力化が図れる。

【 0 0 6 1 】

またゲートのドレイン側を庇状にして、絶縁膜上に迫り出させることによっても、R F 動作時の電流振幅を大きくすることができ、高出力化が可能である。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施の形態を示す断面構成図である。

【 図 2 】 本発明の第 2 の実施の形態を示す断面構成図である。

10

20

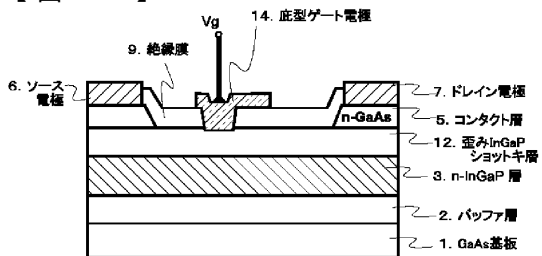
30

40

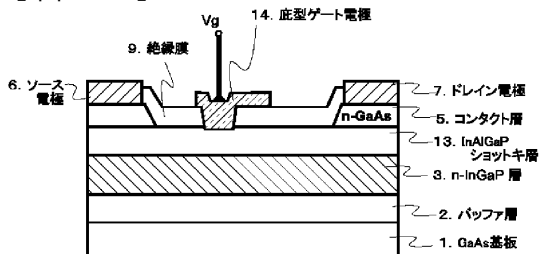
50

- 【図3】本発明の第3の実施の形態を示す断面構成図である。
- 【図4】本発明の第4の実施の形態を示す断面構成図である。
- 【図5】本発明の第5の実施の形態を示す断面構成図である。
- 【図6】本発明の第6の実施の形態を示す断面構成図である。
- 【図7】本発明の第7の実施の形態を示す断面構成図である。
- 【図8】本発明の第8の実施の形態を示す断面構成図である。
- 【図9】本発明の第9の実施の形態を示す断面構成図である。
- 【図10】本発明の第10の実施の形態を示す断面構成図である。
- 【図11】本発明の第11の実施の形態を示す断面構成図である。
- 【図12】本発明の第12の実施の形態を示す断面構成図である。 10
- 【図13】本発明の製造方法を示す工程断面図である。
- 【図14】本発明の電界効果トランジスタの特性を示す図である。
- 【図15】本発明の製造方法を示す工程断面図である。
- 【図16】本発明の電界効果トランジスタの特性を示す図である。
- 【図17】本発明の製造方法を示す工程断面図である。
- 【図18】本発明の電界効果トランジスタの特性を示す図である。
- 【図19】本発明の製造方法を示す工程断面図である。
- 【図20】本発明の電界効果トランジスタの特性を示す図である。
- 【図21】本発明の製造方法を示す工程断面図である。
- 【図22】本発明の電界効果トランジスタの特性を示す図である。 20
- 【図23】本発明の製造方法を示す工程断面図である。
- 【図24】本発明の電界効果トランジスタの特性を示す図である。
- 【図25】従来技術の構成を示す断面図である。
- 【図26】従来技術の構成を示す断面図である。
- 【図27】従来技術の構成を示す断面図である。
- 【符号の説明】
- 1・・・GaAs基板
- 2・・・バッファ層
- 3・・・n型InGaP層
- 4・・・ショットキ層 30
- 5・・・コンタクト層
- 6・・・ソース電極
- 7・・・ドレイン電極
- 8・・・ゲート電極
- 9・・・絶縁膜
- 10・・・電界制御電極
- 11・・・InGaPショットキ層
- 12・・・歪みInGaPショットキ層
- 13・・・InAlGaP層
- 14・・・庇型ゲート電極 40
- 15・・・n型GaAs層
- 16・・・AlGaAsショットキ層

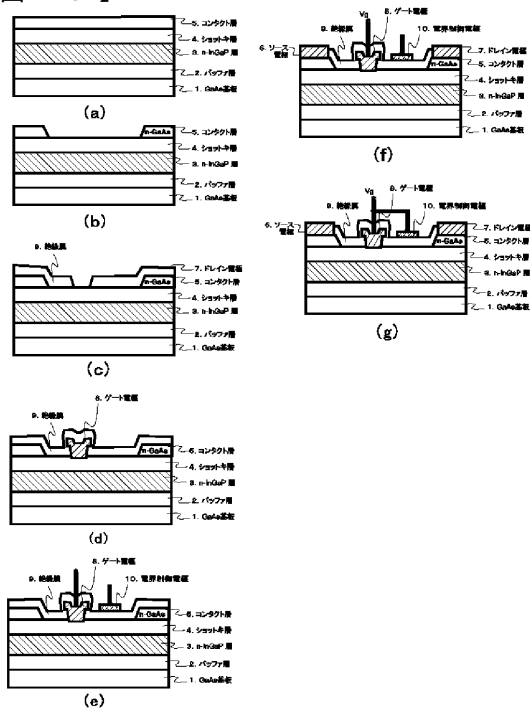
【図11】



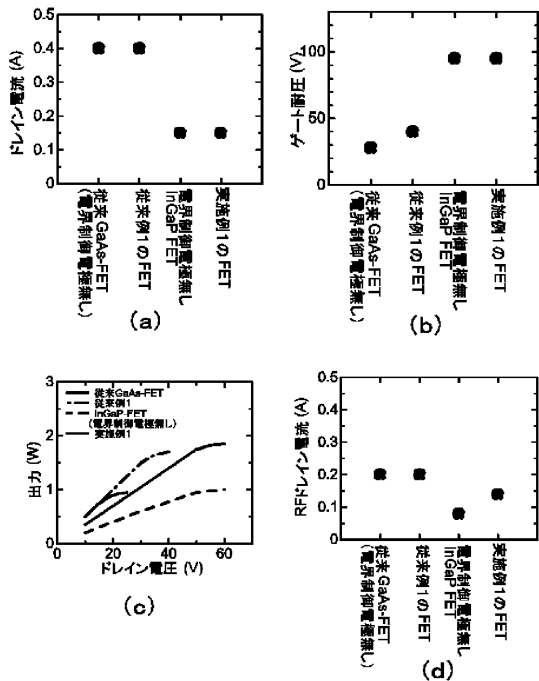
【図12】



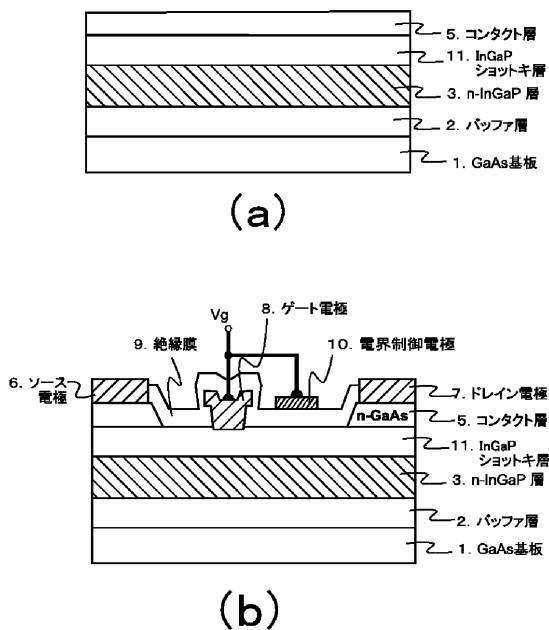
【図13】



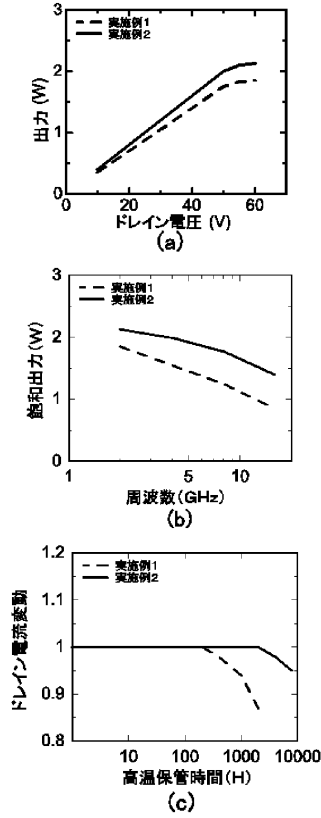
【図14】



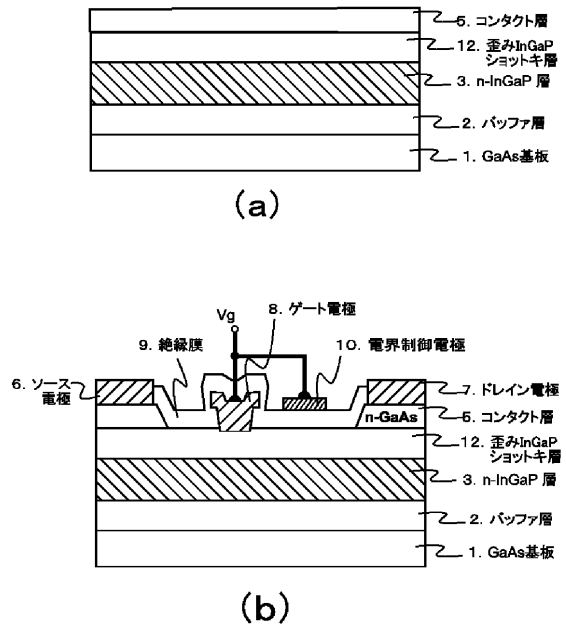
【図15】



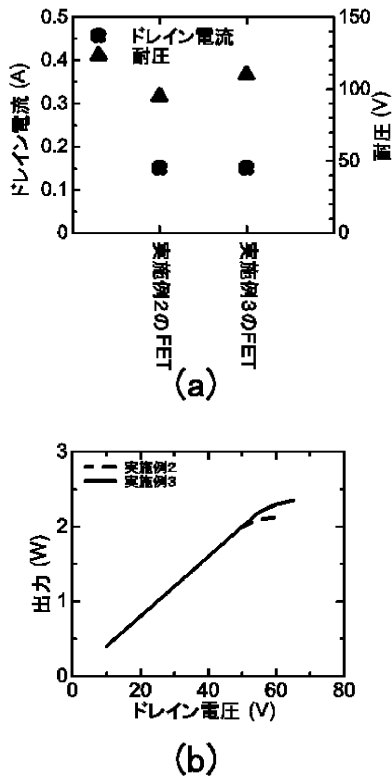
【 図 1 6 】



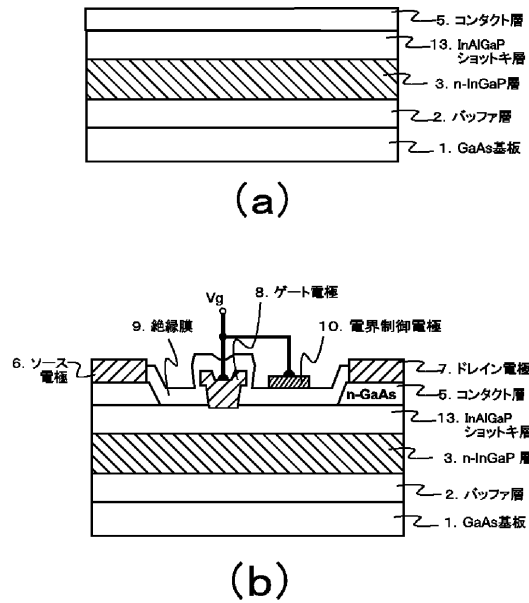
【 図 1 7 】



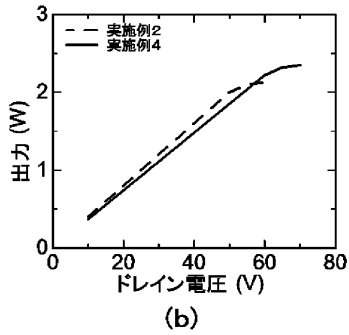
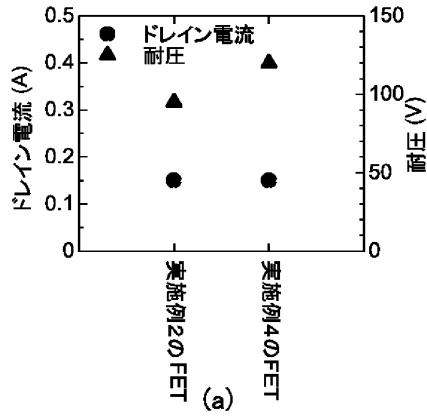
【 図 1 8 】



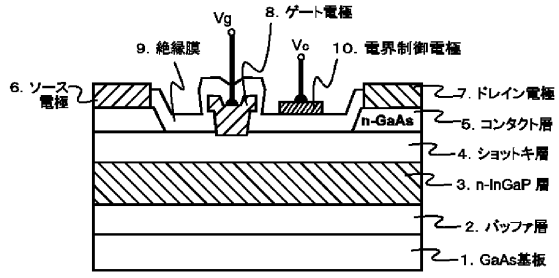
【 図 1 9 】



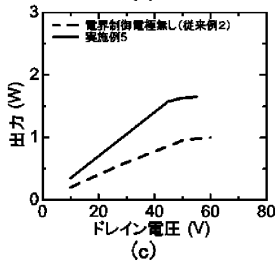
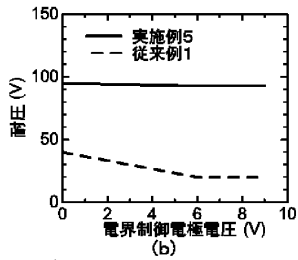
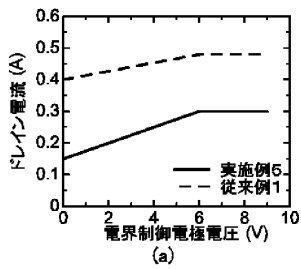
【図20】



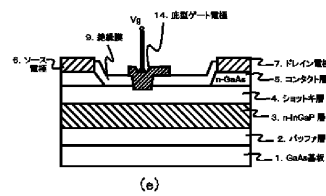
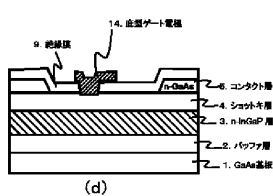
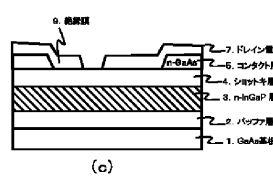
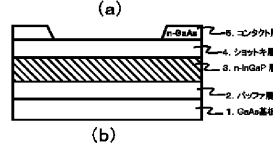
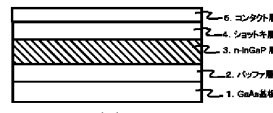
【図21】



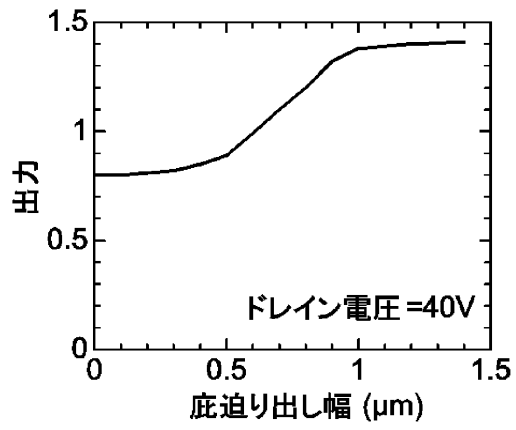
【図22】



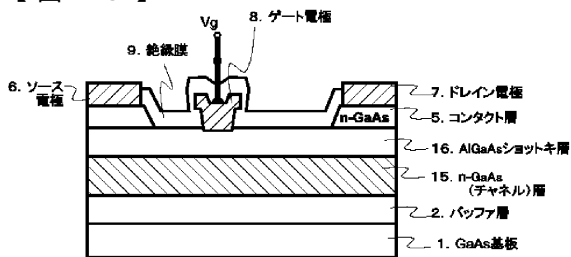
【図23】



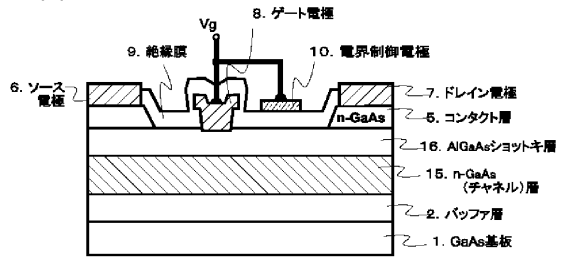
【 図 2 4 】



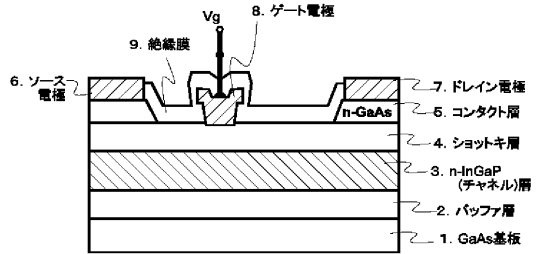
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



フロントページの続き

- (72)発明者 松永 高治
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 CONTRATA
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 葛原 正明
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 萩原 周治

- (56)参考文献 特開平09-232827(JP,A)
特開平10-261653(JP,A)
特開2000-100831(JP,A)
特開2001-035840(JP,A)
特開2001-085674(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 29/43
H01L 29/47
H01L 29/812
H01L 29/872