

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5193837号  
(P5193837)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl. F I  
**G06K 19/077 (2006.01)** G O 6 K 19/00 K  
 G O 6 K 19/00 L

請求項の数 3 (全 14 頁)

(21) 出願番号	特願2008-315489 (P2008-315489)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成20年12月11日(2008.12.11)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2009-259207 (P2009-259207A)	(74) 代理人	110001092 特許業務法人サクラ国際特許事務所
(43) 公開日	平成21年11月5日(2009.11.5)		
審査請求日	平成23年2月24日(2011.2.24)	(74) 代理人	100077849 弁理士 須山 佐一
(31) 優先権主張番号	特願2008-73165 (P2008-73165)	(74) 代理人	100113871 弁理士 川原 行雄
(32) 優先日	平成20年3月21日(2008.3.21)	(74) 代理人	100124073 弁理士 山下 聡
(33) 優先権主張国	日本国(JP)	(74) 代理人	100134223 弁理士 須山 英明

最終頁に続く

(54) 【発明の名称】 半導体メモリカード

(57) 【特許請求の範囲】

【請求項1】

第1の長辺に設けられた切り欠き部を有する矩形形状の外形形状を備え、外部接続端子を備える第1の面と、前記第1の長辺の前記切り欠き部を除く部分に沿って配置された接続パッドを備える第2の面と有する配線基板と、

前記配線基板の前記第2の面上に搭載され、前記配線基板の前記第1の長辺の近傍に位置する長辺に沿って、かつ前記接続パッドの配置位置と対応するように偏って配列された電極パッドを有するメモリデバイスと、

前記メモリデバイス上に積層され、少なくとも一つの外形辺に沿って配列された電極パッドを有するコントローラデバイスと、

前記メモリデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第1の金属ワイヤと、

前記コントローラデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第2の金属ワイヤと、

前記メモリデバイスと前記コントローラデバイスを前記第1および第2の金属ワイヤと共に封止するように、前記配線基板の前記第2の面上に形成された封止樹脂層と

を具備することを特徴とする半導体メモリカード。

【請求項2】

第1の長辺に設けられた切り欠き部を有する矩形形状の外形形状を備え、外部接続端子を備える第1の面と、前記第1の長辺の前記切り欠き部を除く部分に沿って配置された接続

パッドを備える第2の面とを有する配線基板と、

前記配線基板の前記第2の面上に積層された複数のメモリデバイスを備え、前記複数のメモリデバイスは前記配線基板の前記第1の長辺の近傍に位置する長辺に沿って、かつ前記接続パッドの配置位置と対応するように偏って配列された電極パッドを有するメモリデバイス群と、

前記メモリデバイス群上に配置され、少なくとも一つの外形辺に沿って配列された電極パッドを有するコントローラデバイスと、

前記複数のメモリデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第1の金属ワイヤと、

前記コントローラデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第2の金属ワイヤと、

前記メモリデバイス群と前記コントローラデバイスを前記第1および第2の金属ワイヤと共に封止するように、前記配線基板の前記第2の面上に形成された封止樹脂層と

を具備することを特徴とする半導体メモリカード。

#### 【請求項3】

請求項1または請求項2記載の半導体メモリカードにおいて、

前記切り欠き部は前記配線基板の前記第1の長辺と第1の短辺との角部から前記第1の長辺に沿って設けられており、かつ前記コントローラデバイスの前記電極パッドは前記配線基板の前記第1の長辺の近傍に位置する第1の辺と前記配線基板の前記第1の短辺と対向する第2の短辺の近傍に位置する第2の辺とに沿って配列されていることを特徴とする半導体メモリカード。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は半導体メモリカードに関する。

#### 【背景技術】

#### 【0002】

NAND型フラッシュメモリのような不揮発性半導体メモリデバイスを内蔵するメモリカード(半導体メモリカード)は、急速に小型化と高容量化が進められている。小型化されたメモリカードを実現するために、メモリデバイスやコントローラデバイス等の半導体デバイス(半導体チップ)は配線基板上に積層して搭載されている。さらに、メモリデバイス自体も配線基板上に多段に積層される場合が多くなってきている。半導体デバイスの電極パッドはワイヤボンディングを適用し、金属ワイヤ(ボンディングワイヤ)を介して配線基板の接続パッドと電気的に接続される。

#### 【0003】

メモリカードの高容量化を実現する上で、メモリデバイスやコントローラデバイス等の半導体デバイスの配線基板上における搭載構造の改良に加えて、メモリデバイス自体の高密度化や高機能化とそれらに基づく高容量化が進められている。メモリデバイスの外形形状は高容量化を図る上で大形化する傾向にある。ここで、メモリデバイスはSD™規格等で外形寸法が規定されている。メモリカードの外周にはカードスロットに装着する際のカードの前後や表裏の向きを示す切り欠き部等が設けられている(特許文献1参照)。

#### 【0004】

メモリカード用の配線基板上に大形化されたメモリデバイスを搭載する場合、配線基板とメモリカードとの接続が困難になるおそれがある。これは配線基板上に搭載可能なメモリデバイスのサイズを制約する要因となる。長辺に切り欠き部を設けた配線基板の有効面積内に可能な限り大きなメモリデバイスを搭載すると、配線基板とメモリデバイスとの接続が確保できないおそれがある。メモリデバイスの長辺に沿って電極パッドを配置すると、配線基板の切り欠き部が障害となって接続パッドを全て配置することができない。

#### 【0005】

配線基板上にメモリデバイスを多段に積層する場合には、各メモリデバイスに対してワ

10

20

30

40

50

イヤボンディングを可能にするために、複数のメモリデバイスを階段状に積層することが考えられる（特許文献2参照）。短辺側に電極パッドを設けたメモリデバイスを階段状に積層した場合、メモリデバイスの積層数が増加するにつれて階段方向の長さが長くなり、配線基板に対するメモリデバイスの占有面積が増加する。これも配線基板上に搭載可能なメモリデバイスのサイズを制約する要因となる。さらに、短辺片側パッド構造を有するメモリデバイスは高密度化や高機能化に基づく電極数の増加に対応できないおそれがある。

【0006】

さらに、メモリデバイス自体に関しては高容量化に伴って、チップサイズ（特に短辺方向の長さ）が例えばマイクロSD™カードのようなメモ리카ードの規格を満たすことができない可能性が生じている。メモリデバイスは一般的に複数（例えば2個）のメモリアレイ領域を並列配置し、周辺回路をパッド列と同一領域および同一方向に配置した構造を有している。このような回路配置ではメモリデバイスの短辺方向の長さを減少させることが困難であることから、メモ리카ードの規格を満たせない可能性が生じている。

【特許文献1】特開2007-293800号公報

【特許文献2】特開2005-302871号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、配線基板とメモリデバイスとの接続を確保した上で、配線基板に搭載することが可能なメモリデバイスの大形化を図った半導体メモ리카ードを提供することにある。

【課題を解決するための手段】

【0008】

本発明の第1の態様に係る半導体メモ리카ードは、第1の長辺に設けられた切り欠き部を有する矩形の外形形状を備え、外部接続端子を備える第1の面と、前記第1の長辺の前記切り欠き部を除く部分に沿って配置された接続パッドを備える第2の面とを有する配線基板と、前記配線基板の前記第2の面上に搭載され、前記配線基板の前記第1の長辺の近傍に位置する長辺に沿って、かつ前記接続パッドの配置位置と対応するように偏って配列された電極パッドを有するメモリデバイスと、前記メモリデバイス上に積層され、少なくとも一つの外形辺に沿って配列された電極パッドを有するコントローラデバイスと、前記メモリデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第1の金属ワイヤと、前記コントローラデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第2の金属ワイヤと、前記メモリデバイスと前記コントローラデバイスを前記第1および第2の金属ワイヤと共に封止するように、前記配線基板の前記第2の面上に形成された封止樹脂層とを具備することを特徴としている。

【0009】

本発明の第2の態様に係る半導体メモ리카ードは、第1の長辺に設けられた切り欠き部を有する矩形の外形形状を備え、外部接続端子を備える第1の面と、前記第1の長辺の前記切り欠き部を除く部分に沿って配置された接続パッドを備える第2の面とを有する配線基板と、前記配線基板の前記第2の面上に積層された複数のメモリデバイスを備え、前記複数のメモリデバイスは前記配線基板の前記第1の長辺の近傍に位置する長辺に沿って、かつ前記接続パッドの配置位置と対応するように偏って配列された電極パッドを有するメモリデバイス群と、前記メモリデバイス群上に配置され、少なくとも一つの外形辺に沿って配列された電極パッドを有するコントローラデバイスと、前記複数のメモリデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第1の金属ワイヤと、前記コントローラデバイスの前記電極パッドと前記配線基板の前記接続パッドとを電気的に接続する第2の金属ワイヤと、前記メモリデバイス群と前記コントローラデバイスを前記第1および第2の金属ワイヤと共に封止するように、前記配線基板の前記第2の面上に形成された封止樹脂層とを具備することを特徴としている。

【発明の効果】

## 【0011】

本発明の態様に係る半導体メモリカードによれば、配線基板とメモリデバイスとの接続を確保した上で、配線基板に搭載可能なメモリデバイスの大形化を図ることができる。従って、高容量の半導体メモリカードを提供することが可能となる。

## 【発明を実施するための最良の形態】

## 【0012】

以下、本発明を実施するための形態について、図面を参照して説明する。図1、図2および図3は本発明の実施形態による半導体メモリカードを示している。図1は半導体メモリカードの平面図である。図2は図1のA-A線に沿った断面図（長辺方向に切断した断面図）である。図3は図1のB-B線に沿った断面図（短辺方向に切断した断面図）である。これらの図に示される半導体メモリカード1はケースレスのメモリカードであり、例えばマイクロSD™規格のメモリカード（マイクロSD™カード）として使用される。

10

## 【0013】

メモリカード1は半導体チップの搭載基板と外部接続端子の形成基板とを兼ねる配線基板2を備えている。配線基板2は、例えば絶縁性樹脂基板の内部や表面に配線網を設けたものであり、具体的にはガラス-エポキシ樹脂やBT樹脂（ビスマレイミド・トリアジン樹脂）等を使用したプリント配線板が適用される。配線基板2は、端子形成面となる第1の面2aと、チップ搭載面となる第2の面2bとを有している。配線基板2の第2の面2bには、チップコンデンサやヒューズ等の電子部品（チップ部品）3が実装されている。

## 【0014】

20

配線基板2は概略矩形形状の外形を有している。配線基板2の外形を構成する辺のうち、第1の短辺4Aはメモリカード1をカードスロットに挿入する際の先端部に相当する。第2の短辺4Bはメモリカード1の後方部に相当する。配線基板2の第1の長辺5Aにはメモリカード1の前後や表裏の向きを示すように、切り欠き部6やくびれ部7が設けられている。切り欠き部6は第1の短辺4Aの幅が第2の短辺4Bの幅より狭くなるように、第1の短辺4Aと第1の長辺5Aとの角部から第1の長辺5Aに沿って設けられている。

## 【0015】

配線基板2には第1の長辺5Aと第1の短辺4Aとの角部（仮想角部）を含む第1の長辺5Aの一部を切り欠くことによって、切り欠き部6が設けられている。切り欠き部6の端部6aは角度が鈍角となるように傾斜されている。さらに、配線基板2は第1の長辺5Aの一部を略台形状に切り欠いてくびれさせたくびれ部7を有している。配線基板2の角部は曲線状（R形状）とされている。電子部品3は配線基板2の両短辺4A、4B側に配置されている。なお、切り欠き部6の形状は特に限定されるものではなく、第1の長辺5Aの一部を切り欠くものであればよい。

30

## 【0016】

配線基板2の概略矩形形状の外形形状は、第1の長辺5Aに設けられた切り欠き部6やくびれ部7によって左右非対称とされている。従って、矩形形状のメモリデバイス（半導体チップ）の搭載に有効な領域は、切り欠き部6から連続する部分（切り欠き部6の形成に伴う第1の長辺5Aに平行な残余の部分）を除く第2の長辺5Bに平行な矩形領域となる。配線基板2の短辺4A、4B側については、電子部品3の実装領域を除く領域となる。配線基板2の第2の面2bにおける半導体チップ（メモリデバイスやコントローラデバイス）の搭載領域は、このような矩形領域に設定されている。

40

## 【0017】

配線基板2の第1の面2aには、メモリカード1の入出力端子となる外部接続端子8が形成されている。外部接続端子8は電解めっき等により形成された金属層で構成されている。配線基板2の第1の面2aはメモリカード1の表面に相当する。さらに、配線基板2の第1の面2aには、外部接続端子8の形成領域を除く領域に第1の配線網（図示せず）が設けられている。第1の配線網は例えばメモリカード1のテストパッドを有している。第1の面2aに設けられた第1の配線網は、絶縁性の接着シールや接着テープ等を用いた絶縁層（図示せず）で覆われている。

50

## 【 0 0 1 8 】

配線基板 2 の第 2 の面 2 b は、チップ搭載部 9 と接続パッド 1 0 を含む第 2 の配線網とを備えている。配線基板 2 の第 2 の面 2 b はメモリカード 1 の裏面に対応するものである。チップ搭載部 9 は上記したように第 2 の長辺 5 B に平行で、かつ電子部品 3 の実装領域を除いた矩形領域に設けられている。切り欠き部 6 やくびれ部 7 を有する配線基板 2 においては、第 2 の長辺 5 B に平行な矩形領域にチップ搭載部 9 を設けることによって、矩形形状のメモリデバイスの有効搭載面積を最大にすることができる。

## 【 0 0 1 9 】

接続パッド 1 0 を有する第 2 の配線網は、配線基板 2 の図示を省略した内部配線（スルーホール等）を介して、外部接続端子 8 や第 1 の配線網と電気的に接続されている。接続パッド 1 0 は、第 1 の長辺 5 A に沿った第 1 のパッド領域 1 1 A と第 2 の短辺 4 B に沿った第 2 のパッド領域 1 1 B のそれぞれに配置されている。第 1 のパッド領域 1 1 A はチップ搭載部 9 の有効面積の拡大を図る上で、切り欠き部 6 から連続する部分（切り欠き前の第 1 の長辺 5 A に平行な切り欠き部 6 の幅相当の矩形領域から切り欠き部 6 を除いた残余の部分）に設定されている。言い換えると、第 1 のパッド領域 1 1 A においては第 1 の長辺 5 A の切り欠き部 6 を除く部分に沿って接続パッド 1 0 が配置されている。

## 【 0 0 2 0 】

配線基板 2 のチップ搭載部 9 には、複数のメモリデバイス 1 2 が順に積層されて搭載されている。メモリデバイス 1 2 としては NAND 型フラッシュメモリ等の半導体メモリデバイス（半導体チップ）が用いられる。複数のメモリデバイス 1 2 は矩形形状の同一形状を有し、それぞれ電極パッド 1 3 を備えている。電極パッド 1 3 は配線基板 2 の第 1 の長辺 5 A の近傍に位置する長辺 1 2 a 側に配置されている。ただし、第 1 の長辺 5 A に沿った第 1 のパッド領域 1 1 A は切り欠き部 6 を除く残余の部分に設けられているため、電極パッド 1 3 は第 1 のパッド領域 1 1 A と対応するように偏って配列されている。

## 【 0 0 2 1 】

すなわち、メモリデバイス 1 2 の電極パッド 1 3 は長辺 1 2 a に沿って、かつ第 1 のパッド領域 1 1 A 内の接続パッド 1 0 の配置位置と対応するように偏って配列されている。メモリデバイス 1 2 の長辺 1 2 a に沿った領域において、切り欠き部 6 の近傍に位置する部分には基本的に電極パッドを配置せず、第 1 のパッド領域 1 1 A と対応する部分（第 1 のパッド領域 1 1 A の近傍に位置する部分）に電極パッド 1 3 を偏在させている。メモリ

## 【 0 0 2 2 】

デバイス 1 2 は偏在型の長辺片側パッド構造を有している。

上述したように、メモリデバイス 1 2 の電極パッド 1 3 を偏在させることによって、チップ搭載部 9 の面積の拡大に有効な第 1 のパッド領域 1 1 A 内に配置された接続パッド 1 0 とメモリデバイス 1 2 の電極パッド 1 3 との接続を確保することができる。言い換えると、チップ搭載部 9 に大形のメモリデバイス 1 2 を搭載した上で、メモリデバイス 1 2 の長辺 1 2 a に沿って配列した電極パッド 1 3 と第 1 のパッド領域 1 1 A 内の接続パッド 1 0 とのワイヤボンディングによる接続が維持される。従って、配線基板 2 の半導体チップの搭載が可能な有効面積に対し、できるだけ大きなメモリデバイス 1 2 を搭載した上で、配線基板 2 とメモリデバイス 1 2 との接続を確保することが可能となる。

## 【 0 0 2 3 】

例えば、マイクロ SD<sup>TM</sup>カードの規格によれば、配線基板 2 の短辺（第 2 の短辺 4 B）の長さは 11 mm、長辺（第 2 の長辺 5 B）の長さは 15 mm、切り欠き部 6 の幅（短辺 4 A に平行な幅）は 1.3 mm、長さ（長辺 5 A に平行な長さ）は 6.4 mm、角度は 135°である。従って、メモリデバイス 1 2 の搭載可能領域の大きさは 9.7 × 15 mm となる。ただし、配線基板 2 の短辺 4 A、4 B 側には電子部品 3 を実装する領域が必要であり、また配線基板 2 の外形とメモリデバイス 1 2 との間の隙間が 0.2 mm 程度必要である。これらを考え合わせると、配線基板 2 のチップ搭載部 9 の大きさは 9.3 × 13 mm 程度が最大となる。配線基板 2 の短辺 4 B 側には取手部が設けられて封止樹脂厚が厚くなるため、電子部品の実装領域として有効である。

10

20

30

40

50

## 【 0 0 2 4 】

配線基板 2 の第 1 の長辺 5 A に平行な第 1 のパッド領域 1 1 A の大きさは、切り欠き部 6 の端部 6 a による傾斜領域を除くと  $1.3 \times 8.6 \text{ mm}$  となる。実際には切り欠き部 6 の端部 6 a による傾斜領域もパッド領域として使用可能であるため、第 1 のパッド領域 1 1 A の大きさは  $1.3 \times 8.6 \text{ mm}$  より若干大きくなる。なお、切り欠き部 6 の端部 6 a による傾斜領域をパッド領域として利用するためには、傾斜領域とその近傍領域に存在する接続パッド 1 0 を切り欠き部 6 の端部 6 a による傾斜（角度  $\theta$ ）に沿って配置することが有効である。図 1 に示すメモリカード 1 において、傾斜領域とその近傍領域に存在する接続パッド 1 0 は傾斜（角度  $\theta$ ）に沿ったパッド形状を有している。これによって、第 1 のパッド領域 1 1 A をより有効に利用することが可能となる。

10

## 【 0 0 2 5 】

配線基板 2 のチップ搭載部 9 には、同サイズ（ $9.3 \times 13 \text{ mm}$ ）のメモリデバイス 1 2 が搭載可能である。第 1 のパッド領域 1 1 A にはメモリデバイス 1 2 との接続に必要な接続パッド 1 0 を配置することができる。ただし、第 1 のパッド領域 1 1 A は短辺 4 B 側に偏っているため、メモリデバイス 1 2 の長辺 1 2 a に均等に電極パッド 1 3 を配置すると、全ての接続パッド 1 0 と電極パッド 1 3 とをワイヤボンディングすることができない。このような点に対し、メモリデバイス 1 2 は電極パッド 1 3 を第 1 のパッド領域 1 1 A に対応させて偏在させている。従って、全ての接続パッド 1 0 と電極パッド 1 3 とを金属ワイヤ 1 7 を介して接続することができる。

## 【 0 0 2 6 】

20

この実施形態のメモリカード 1 では、配線基板 2 のチップ搭載部 9 に対してできるだけ大きなメモリデバイス 1 2 を搭載した上で、配線基板 2 の接続パッド 1 0 とメモリデバイス 1 2 の電極パッド 1 3 とを金属ワイヤ 1 7 を介して良好に接続することができる。従って、チップサイズを増大させて高容量化したメモリデバイス 1 2 を外形寸法が規定されているメモリカード 1 に搭載することが可能となる。すなわち、高容量で実用性の高いメモリカード 1 を提供することができる。例えば、記録密度の向上とチップサイズの増大等により 2 GB の記憶容量を実現したメモリデバイス 1 2 を 4 個使用することによって、8 GB のマイクロ SD<sup>TM</sup>カード（半導体メモリカード 1）を実現することが可能となる。

## 【 0 0 2 7 】

メモリデバイス 1 2 に偏在型の長辺片側パッド構造を適用した場合、電源端子等も偏って形成されることから、メモリデバイス 1 2 の動作特性に悪影響を及ぼす場合がある。このような場合、図 1 に示すように電源やグランド用の電極パッド 1 4 をメモリデバイス 1 2 の角部に配置してもよい。図 1 では配線基板 2 の短辺 1 2 b の一方の角部に電極パッド 1 4 を配置している。配線基板 2 の第 1 の短辺 4 A 側には、電極パッド 1 4 のみに対応する接続パッド 1 0 が配置されている。図 1 では偏在型のパッド構造に対処する電極パッド 1 4 の一部を長辺 1 2 a 側に設け、これを内部配線で短辺 1 2 b 側に引き回して電極パッド 1 4 としている。これによって、長辺 1 2 a 側のパッド領域にも対処可能である。

30

## 【 0 0 2 8 】

この実施形態のメモリカード 1 において、NAND 型フラッシュメモリ等のメモリデバイス（不揮発性半導体メモリデバイス）1 2 は、メモリセルの高密度化や高機能化等に基づいて高容量化を図ると共に、デバイスサイズ（チップサイズ）が例えばマイクロ SD<sup>TM</sup>カードの規格を満たすことが可能な回路配置を適用している。すなわち、この実施形態のメモリデバイス 1 2 は図 4 に示すような回路配置を有している。このような回路配置に基づいて、矩形のメモリデバイス 1 2 の特に短辺 1 2 b の長さ Y がマイクロ SD<sup>TM</sup>カードのような小型のメモリカードの規格を満たすことを可能にしている。

40

## 【 0 0 2 9 】

メモリデバイス 1 2 は矩形の領域形状を有する複数のセルアレイ領域（セルアレイのプレーン）1 0 1 A、1 0 1 B を備えている。複数のセルアレイ領域 1 0 1 A、1 0 1 B はそれらの長辺（矩形の領域形状における長辺）1 0 1 a の方向を揃えて並列配置されている。セルアレイ領域 1 0 1 A、1 0 1 B はそれぞれ行列状に配置された複数個のメモリセ

50

ルを有している。ここでは2個のセルアレイ領域101A、101Bを備えるメモリデバイス12を示しているが、セルアレイ領域101の数は2個に限られるものではない。メモリデバイス12は複数個のセルアレイ領域101を有するものであればよい。

【0030】

複数(ここでは2個)のセルアレイ領域101A、101Bの間には、第1の周辺回路領域102が配置されている。第1の周辺回路領域102は長辺がメモリデバイス12の短辺12bに平行で、かつ短辺がメモリデバイス12の長辺12aに平行な矩形形状を有している。第1の周辺回路領域102には昇圧回路103とメモリセルのワード線制御回路等を含む周辺回路104とが設けられている。

【0031】

昇圧回路103はNAND型フラッシュメモリセル等の駆動用昇圧回路(ポンプ)である。昇圧回路103には、昇圧回路の中で最も電圧が高い主昇圧回路、あるいは読み出し書き込み動作時に非選択ワード線に供給する電圧を生成する昇圧回路が配置される。電源電圧(例えば3V)は昇圧回路103で昇圧(例えば20V)され、セルアレイ領域101A、101BのNAND型フラッシュメモリセル等に供給される。なお、メモリセルのビット線制御回路105はセルアレイ領域101A、101Bの両短辺101b、101cに沿って設けられている。

【0032】

さらに、複数のセルアレイ領域101A、101Bの一方の短辺101b側には、第2の周辺回路領域106が配置されている。第2の周辺回路領域106は長辺がメモリデバイス12の長辺12aに平行で、かつ短辺がメモリデバイス12の短辺12bに平行な細長い矩形形状を有している。第2の周辺回路領域106はパッド領域107と回路領域108とを有している。パッド領域107には電極パッド109(13)がセルアレイ領域101A、101Bの短辺101bに沿って配列されている。

【0033】

第2の周辺回路領域106において、パッド領域107はメモリデバイス12の一方の短辺12b側に偏って配置されている。従って、電極パッド109は第2の周辺回路領域106内でメモリデバイス12の一方の短辺12b側に偏在している。回路領域108には副昇圧回路等を含む周辺回路110が設けられている。メモリデバイス12の動作に必要な制御回路等の大部分は第1の周辺回路領域102内に周辺回路104として設けられている。第2の周辺回路領域106には必要最小限の周辺回路110が設けられている。

【0034】

電極パッド109は複数の電源パッド( $V_{ss}$ および $V_{cc}$ )1091A~1091Dを有している。さらに、パッド領域107に設けられた電極パッド109とは別に、第2の周辺回路領域106内の回路領域108にも電源パッド1091Eが設けられている。第1の周辺回路領域102内の昇圧回路103には、電源パッド1091Bから電源電圧が供給される。このため、昇圧回路103は第1の周辺回路領域102内で第2の周辺回路領域106側(パッド領域107側)に配置されている。

【0035】

従来のNAND型フラッシュメモリ等のメモリデバイスは、前述したように高容量化に伴って、デバイスサイズ(チップサイズ)、特に短辺方向の長さYが例えばマイクロSD™カードのようなメモ리카ードの規格を満たすことができない可能性が生じている。複数のメモリアレイ領域を適用する場合、露光装置の露光領域による制約に加えて、メモリアレイ領域の形状が正方形に近いほうがSiウエハ内により多くのメモリチップを収めることができるためである。その場合、大部分の周辺回路はパッド列と同一領域および同一方向に配置した構造が採用されている。このため、従来のメモリデバイスは長辺方向の長さXに比べて短辺方向の長さYの減少に限界がある回路配置となっている。

【0036】

このような点に対して、メモリデバイス12では複数のセルアレイ領域101A、101Bの間に第1の周辺回路領域102を配置し、第1の周辺回路領域102に昇圧回路1

10

20

30

40

50

03やワード線制御回路等を含む周辺回路104を設けている。さらに、複数のセルアレイ領域101A、101Bの一方の短辺101b側に配置される第2の周辺回路領域106には、電極パッド109を有するパッド領域107と最小限の周辺回路110を有する回路領域108を設けている。このような回路配置によれば、メモリデバイス(メモリチップ)12の短辺12bの長さYを短くすることができる。

【0037】

従って、メモリデバイス12の高容量化に必要なセルアレイ領域101を確保した上で、メモリデバイス12の寸法、特に短辺12bの長さYを、マイクロSD™カードのように短辺方向の幅が狭い小型のメモリカードの寸法規格を満たすことが可能になる。このような条件を満足させる上で、第1の周辺回路領域102はその短辺の長さXAが第2の周辺回路領域106の短辺の長さYAより長い( $XA > YA$ )形状を有している。これによって、メモリデバイス12の短辺12bの長さYを減少させることができる。

10

【0038】

さらに、第2の周辺回路領域106内において、パッド領域107はメモリデバイス12の一方の短辺12b側に偏らせているため、電極パッド109(13)は一方の短辺12b側に偏って配列されている。このような電極パッド109(13)の配列形状を適用することによって、配線基板2の切り欠き部6を除いた長辺5Aに沿って配置された接続パッド10(第1のパッド領域11A内の接続パッド10)と良好にワイヤボンディングすることができる。これは前述したように配線基板2に搭載可能なメモリデバイス12の大型化(サイズの拡大)に寄与するものである。

20

【0039】

この実施形態のメモリカード1は、上述したような構成(回路配置)を有するメモリデバイス12を複数備えている。複数のメモリデバイス12は配線基板2の第2の面2b上に積層されており、メモリデバイス群15を構成している。この実施形態において、メモリデバイス群15は4個のメモリデバイス12で構成されており、これら4個のメモリデバイス12は接着層16を介して順に積層されている。

【0040】

メモリデバイス群15を構成する4個のメモリデバイス12のうち、1段目の第1のメモリデバイス12Aは電極パッド13を有する電極形成面(回路形成面)を上方に向け、配線基板2のチップ搭載部9上に第1の接着層16Aを介して接着されている。第1の接着層16Aには一般的なポリイミド樹脂、エポキシ樹脂、アクリル樹脂等を主成分とするダイアタッチフィルム(接着剤フィルム)が用いられる。

30

【0041】

2段目に位置する第2のメモリデバイス12Bは電極パッド13を上方に向け、第1のメモリデバイス12A上に第2の接着層16Bを介して接着されている。同様に、3段目に位置する第3のメモリデバイス12Cは電極パッド13を上方に向け、第2のメモリデバイス12上に第3の接着層16Cを介して接着されている。4段目に位置する第4のメモリデバイス12Dは電極パッド13を上方に向け、第3のメモリデバイス12上に第4の接着層16Dを介して接着されている。

【0042】

第1ないし第4のメモリデバイス12A~12Dは矩形の同一形状を有し、それぞれ外形辺を揃えて積層されている。すなわち、配線基板2に対するメモリデバイス12A~12Dの占有面積(積層後のチップ占有面積)が最小面積(1個のメモリデバイス12に相当する面積)となるように、第1ないし第4のメモリデバイス12A~12Dはそれぞれ長辺および短辺を揃えて積層されている。これによって、大形のメモリデバイス12を寸法が規定されている配線基板2上に搭載することができる。

40

【0043】

第1ないし第4のメモリデバイス12A~12Dの電極パッド13は、それぞれ第1のパッド領域11Aに配置された接続パッド10と第1の金属ワイヤ17を介して電氣的に接続されている。電極パッド14も第1の金属ワイヤ17を介して接続パッド10と電氣

50

的に接続されている。金属ワイヤ17には一般的なAuワイヤやCuワイヤ等が用いられる。金属ワイヤ17はループ高さを低減することが可能なリバースボンディングを適用してワイヤボンディングすることが好ましい。すなわち、電極パッド13上には予め金属バンプが形成される。金属ワイヤ17の一端は接続パッド10にボール接続され、他端は電極パッド13上に形成された金属バンプに接続される。

**【0044】**

第1ないし第3のメモリデバイス12A~12Cに接続された第1の金属ワイヤ17は上段側に位置するメモリデバイス12に干渉され、ショート等の不具合が発生するおそれがある。そこで、下段側に位置する第1のメモリデバイス12Aの電極パッド13に接続された第1の金属ワイヤ17の端部(チップ側端部)は、上段側に位置する第2のメモリデバイス12Bの接着層16B内に埋め込まれている。同様に、第2および第3のメモリデバイス12B、12Cの電極パッド13に接続された第1の金属ワイヤ17の端部は、それぞれ上段側に位置する第3のメモリデバイス12Cの接着層16C、もしくは第4のメモリデバイス12Dの接着層16D内に埋め込まれている。

10

**【0045】**

このように、最上段の第4のメモリデバイス12Dを除いて、メモリデバイス群15内の下段側に位置するメモリデバイス12A、12B、12Cに接続された第1の金属ワイヤ17の端部は、上段側に位置するメモリデバイス12B、12C、12Dの接着層16B、16C、16D内に埋め込まれている。これらによって、第1の金属ワイヤ17とメモリデバイス12B、12C、12Dとの接触を防止している。第1の金属ワイヤ17は第2ないし第4の接着層16B~16Dの厚さに基づいてメモリデバイス12B、12C、12Dから離間している。このように、第2ないし第4の接着層16B~16Dはスペーサ層としての機能を併せ持つものである。

20

**【0046】**

第2ないし第4の接着層16B~16Dは、メモリデバイス12の接着機能と、接着温度で軟化して第1の金属ワイヤ17を内部に取り込む機能とを有する絶縁樹脂で構成される。このような絶縁樹脂としては、例えばアクリル樹脂のような熱可塑性樹脂、あるいはエポキシ樹脂のような熱硬化性樹脂が挙げられる。接着層16B~16Dの厚さは30~100 $\mu\text{m}$ の範囲とすることが好ましく、さらに好ましくは40~60 $\mu\text{m}$ の範囲である。接着層16B~16Dの厚さが30 $\mu\text{m}$ 未満の場合、金属ワイヤ17のメモリデバイス12との接触を抑制できないおそれがある。接着層16B~16Dの厚さが100 $\mu\text{m}$ を超えると、メモリデバイス12の積層厚が厚くなりすぎる。

30

**【0047】**

メモリデバイス12A~12Dの厚さは必ずしも限定されるものではない。最下段の第1のメモリデバイス12Aの厚さは、他のメモリデバイス12B、12C、12Dの厚さより厚くすることが好ましい。第1のメモリデバイス12Aの厚さは、例えば50~150 $\mu\text{m}$ の範囲とされる。メモリデバイス群15を構成するメモリデバイス12の数が4個もしくはそれ以上である場合、第1のメモリデバイス12A以外のメモリデバイス12B~12Dの厚さは、例えば10~50 $\mu\text{m}$ の範囲とされる。メモリデバイス群15を構成するメモリデバイス12の数が3個以下である場合にはこの限りではない。

40

**【0048】**

図2および図3では4個のメモリデバイス12でメモリデバイス群15を構成したメモリカード1を示したが、メモリデバイス12の数はこれに限定されるものではない。例えば、図5に示すようにメモリデバイス群15は2個のメモリデバイス12A、12Bで構成してもよい。さらに、メモリデバイス群15は5個以上のメモリデバイス12で構成することも可能である。メモリカード1は図6に示すように、配線基板2上に1個のメモリデバイス12を搭載した構造を有していてもよい。配線基板2上に搭載するメモリデバイス12の数は1個もしくは複数個のいずれであってもよい。

**【0049】**

メモリデバイス群15上にはコントローラデバイス18が配置されている。コントロー

50

ラデバイス 18 は第 4 のメモリデバイス 12 D 上に接着層 19 を介して接着されている。コントローラデバイス 18 は、複数のメモリデバイス 12 からデータの書き込みや読み出しを行うデバイスを選択し、選択したメモリデバイス 12 へのデータの書き込み、選択したメモリデバイス 12 に記憶されたデータの読み出しを行う。コントローラデバイス 18 は L 型パッド構造を有し、配線基板 2 の長辺 5 A の近傍に位置する第 1 の辺（短辺）18 a に沿って配列された電極パッド 20 A と、配線基板 2 の短辺 4 B の近傍に位置する第 2 の辺（長辺）18 b に沿って配列された電極パッド 20 B とを有している。

#### 【0050】

コントローラデバイス 18 の電極パッド 20 A、20 B は第 2 の金属ワイヤ 21 を介して接続パッド 10 と電氣的に接続されている。すなわち、コントローラデバイス 18 の短辺 18 a に沿って配列された電極パッド 20 A は、第 1 のパッド領域 11 A に配置された接続パッド 10 と金属ワイヤ 21 を介して電氣的に接続されている。コントローラデバイス 18 の長辺 18 b に沿って配列された電極パッド 20 B は、第 2 のパッド領域 11 B に配置された接続パッド 10 と金属ワイヤ 21 を介して電氣的に接続されている。

10

#### 【0051】

第 1 のパッド領域 11 A には図 7 に示すように、メモリデバイス 12 用の接続パッド 10 A とコントローラデバイス 18 用の接続パッド 10 B とが配置されている。メモリデバイス 12 用の接続パッド 10 A はチップ搭載部 9 に近い側に配置され、コントローラデバイス 18 用の接続パッド 10 B はそれより外側に配置されている。外側に位置するコントローラデバイス 18 用の接続パッド 10 B から配線を引き回すには、メモリデバイス 12 用の接続パッド 10 A の間を配線する必要がある。このような点に対しては、メモリデバイス 12 の電極パッド 12 とコントローラデバイス 18 の電極パッド 20 A との配置を揃えることで、接続パッド 10 B からの配線の引き回しが容易となる。

20

#### 【0052】

図 7 に示すパッド配置はメモリデバイス 12 の一部のデータ信号用端子（I/O 4 端子）がコントローラデバイス 18 の端子配列と異なっているものの、それ以外のコントローラデバイス 18 の電極パッド 20 A はメモリデバイス 12 の電極パッド 13 と配置が揃えられている。このようなパッド配置を適用することで、接続パッド 10 B からの配線の引き回しが容易になるだけでなく、配線を短縮して電気特性を向上させることができる。コントローラデバイス 18 のパッド配列順はその少なくとも一部をメモリデバイス 12 のパッド配列順と揃えることが好ましく、特に全てのパッド配列順を揃えることが望ましい。

30

#### 【0053】

メモリデバイス 12 やコントローラデバイス 18 等の半導体チップが搭載された配線基板 2 の第 2 の面 2 b には、例えばエポキシ樹脂からなる封止樹脂層 22 がモールド成形されている。メモリデバイス 12 やコントローラデバイス 18 は、金属ワイヤ 17、21 等と共に封止樹脂層 22 で一体的に封止されている。封止樹脂層 22 の先端には、メモリカードの前方を示す傾斜部 23 が設けられている。封止樹脂層 22 の後方には封止樹脂を一部盛り上げた取手部 24 が設けられている。これらの構成要素によって、メモリカード 1 が構成されている。なお、図 1 では封止樹脂層 22 の図示を省略している。

#### 【0054】

メモリカード 1 は、ベースカードのような収納ケースを用いることなく、それ単体で半導体メモリカード（例えばマイクロ SD<sup>TM</sup>カード）を構成するものである。従って、封止樹脂層 22 等は直接外部に露出した状態とされている。すなわち、メモリカード 1 は封止樹脂層 22 等を外部に露出させたケースレスの半導体メモリカードである。上述したメモリカード 1 の前後や表裏の向き等を示す切り欠き部 6 やくびれ部 7、また傾斜部 23 はメモリカード 1 自体（具体的には配線基板 2 や封止樹脂層 22）に設けられている。

40

#### 【0055】

前述したように、この実施形態のメモリカード 1 では形状および寸法が規定された配線基板 2 に対し、できるだけ大きなメモリデバイス 12 の搭載を可能にしている。従って、メモリデバイス 12 の形状（サイズ）に基づいてメモリカード 1 の高容量化を図ることが

50

できる。さらに、メモリデバイス12の搭載数に関しては、金属ワイヤ17の接続構造等を工夫することによって、大形のメモリデバイス12を複数段に積層して搭載することを可能にしている。この実施形態によればメモリデバイス12の大きさと積層構造に基づいて、高容量化を図ったメモリカード1を提供することができる。

【0056】

メモリカード1の厚さはメモリデバイス12とコントローラデバイス18の積層厚に配線基板2の厚さや封止樹脂層22のコントローラデバイス18上の厚さ(チップ上樹脂厚)を加えた厚さとなる。例えば、配線基板2の厚さを125 $\mu\text{m}$ 、1段目のメモリデバイス12Aの厚さを60 $\mu\text{m}$ 、その接着層16Aの厚さを20 $\mu\text{m}$ 、2~4段目のメモリデバイス12B~12Dの厚さを40 $\mu\text{m}$ 、それらの接着層16B~16Dの厚さを50 $\mu\text{m}$ 、コントローラデバイス18の厚さを55 $\mu\text{m}$ 、その接着層19の厚さを5 $\mu\text{m}$ 、封止樹脂層22のチップ上樹脂厚を160 $\mu\text{m}$ (封止樹脂層22の厚さを575 $\mu\text{m}$ )としたとき、これらの合計厚はマイクロSD<sup>TM</sup>カードの規定厚さ内の700 $\mu\text{m}$ となる。

10

【0057】

前述したように、記録密度の向上とチップサイズの増大等により2GBの記憶容量を実現したメモリデバイス12を4個使用することによって、8GBのマイクロSD<sup>TM</sup>カード(メモリカード1)を実現することができる。メモリデバイス12の搭載数は2個(図5)や1個(図6)であってもよい。メモリデバイス12の搭載数が2個であれば4GBのマイクロSD<sup>TM</sup>カード(メモリカード1)、メモリデバイス12の搭載数が1個であれば2GBのマイクロSD<sup>TM</sup>カード(メモリカード1)が実現される。

20

【0058】

上述した実施形態のメモリカード1はそれら単体で構成するケースレスの半導体メモリカードに対して有効であるが、必ずしもベースカードのようなケースを用いた半導体メモリカードを除外するものではない。さらに、実施形態の半導体メモリカードの構造は、場合によってはメモリカード以外の半導体記憶装置にも適用できる。実施形態の装置構造はBGAパッケージ構造やLGAパッケージ構造を有する半導体記憶装置にも適用可能である。半導体パッケージは配線基板に半田ボール等からなる外部接続端子(ボール端子)が設けられることを除いて、基本的な構造はメモリカードと同様とされる。

【0059】

なお、本発明の半導体メモリカードは上記した実施形態に限定されるものではなく、切り欠き部を有する配線基板上に1個もしくは複数個のメモリデバイスを搭載した各種の半導体メモリカードに適用可能である。本発明の半導体メモリカードの具体的な構造は、本発明の基本構成を満足するものであれば種々に変形が可能である。さらに、実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができ、拡張、変更した実施形態も本発明の技術的範囲に含まれるものである。

30

【図面の簡単な説明】

【0060】

【図1】本発明の実施形態による半導体メモリカードを示す平面図である。

【図2】図1のA-A線に沿った断面図である。

【図3】図1のB-B線に沿った断面図である。

40

【図4】本発明の実施形態による半導体メモリデバイスの構成を示す平面図である。

【図5】図1に示す半導体メモリカードの変形例を示す断面図である。

【図6】図1に示す半導体メモリカードの他の変形例を示す断面図である。

【図7】図1に示す半導体メモリカードにおけるメモリデバイスおよびコントローラデバイスと配線基板との接続状態を示す図である。

【符号の説明】

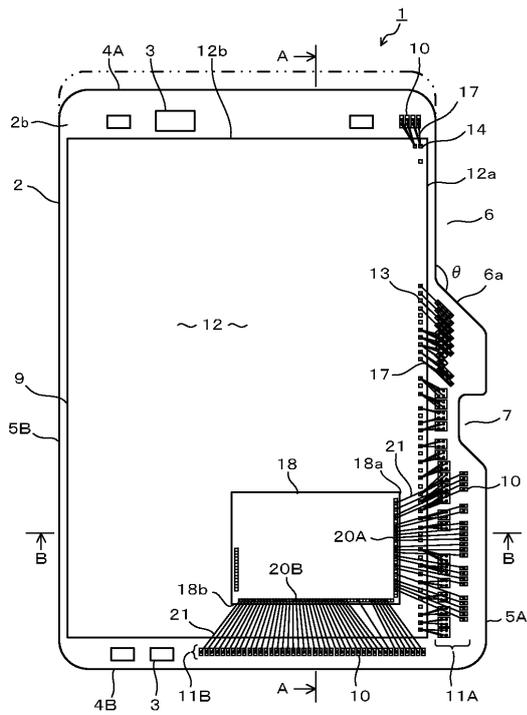
【0061】

1...メモリカード、2...配線基板、2a...第1の面、2b...第2の面、4A...第1の短辺、4B...第2の短辺、5A...第1の長辺、5B...第2の長辺、6...切り欠き部、7...くびれ部、8...外部接続端子、9...チップ搭載部、10...接続パッド、11...パッド領域、

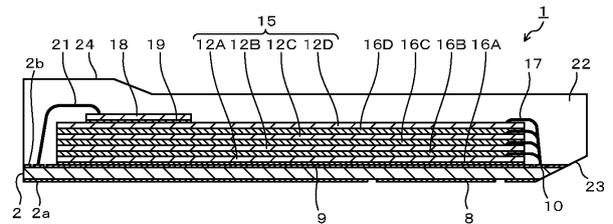
50

12, 12A, 12B, 12C, 12D...メモリデバイス、13, 14, 20...電極パッド、15...メモリデバイス群、16, 16A, 16B, 16C, 16D, 19...接着層、17, 21...金属ワイヤ、18...コントローラデバイス、22...封止樹脂層、101、101A、101B...セルアレイ領域、102...第1の周辺回路領域、103...昇圧回路、104, 110...周辺回路、106...第2の周辺回路領域、107...パッド領域、108...回路領域、109...電極パッド、1091A~1091E...電源パッド。

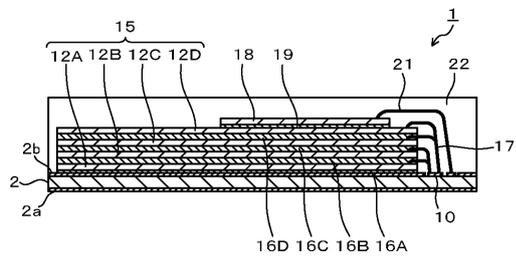
【図1】



【図2】



【図3】





---

フロントページの続き

- (72)発明者 西山 拓  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 山本 哲也  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 奥村 尚久  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 二山 拓也  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 村田 充裕

- (56)参考文献 特開2007-004775(JP,A)  
特開2007-128959(JP,A)  
特開2006-106822(JP,A)  
特開2007-293800(JP,A)  
特開2007-128953(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06K 19/00 - 19/08  
B42D 15/10