



(12) 发明专利

(10) 授权公告号 CN 102867543 B

(45) 授权公告日 2015. 09. 16

(21) 申请号 201210379435. 2

US 2006/0145999 A1, 2006. 07. 06, 说明书第 22-43 段、附图 3-6.

(22) 申请日 2012. 09. 29

CN 1480952 A, 2004. 03. 10, 全文.

(73) 专利权人 合肥京东方光电科技有限公司
地址 230011 安徽省合肥市新站区铜陵北路 2177 号

CN 101261881 A, 2008. 09. 10, 全文.

专利权人 京东方科技集团股份有限公司

审查员 李元

(72) 发明人 胡祖权 邵贤杰 王国磊 马睿 胡明

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G11C 19/28(2006. 01)

G09G 3/20(2006. 01)

(56) 对比文件

CN 1705042 A, 2005. 12. 07, 说明书第 1 页第 9-10, 25 行, 第 5 页第 17 行 - 第 9 页第 21 行、附图 4-5.

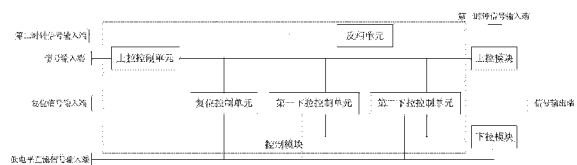
权利要求书2页 说明书8页 附图5页

(54) 发明名称

移位寄存器、栅极驱动器及显示装置

(57) 摘要

本发明公开了一种移位寄存器、栅极驱动器及显示装置, 涉及显示技术领域。该移位寄存器包括上拉模块、下拉模块、以及控制模块, 控制模块进一步包括: 上拉控制单元、第一下拉控制单元、第二下拉控制单元、反相单元以及复位控制单元; 第一下拉控制单元以及第二控制单元分别在第二时钟信号输入端输入的信号为高、低电平时, 向上拉模块以及下拉模块发送关断信号。本发明能够有效地降低上拉 TFT 的栅极与漏极间的电容耦合效应以及下拉 TFT 的栅极过偏压, 进而有效地提高了移位寄存器的稳定性。



1. 一种移位寄存器,其特征在于,包括:上拉模块、下拉模块、以及控制模块,

所述上拉模块分别与第一时钟信号输入端、信号输出端以及控制模块相连,在所述控制模块的控制下,向信号输出端输出所述第一时钟信号输入端输入的信号;

所述下拉模块分别与信号输出端、低电平直流信号输入端以及控制模块相连,在所述控制模块的控制下,向所述信号输出端输出所述低电平直流信号输入端输入的信号;

所述控制模块进一步包括:上拉控制单元、第一下拉控制单元、第二下拉控制单元、反相单元以及复位控制单元;

所述上拉控制单元分别与信号输入端以及上拉模块相连,用于根据所述信号输入端输入的信号,向所述上拉模块发送驱动信号;

所述第一下拉控制单元分别与第二时钟信号输入端、上拉模块、下拉模块以及低电平直流信号输入端相连,用于根据所述第二时钟信号输入端输入的信号,向下拉模块发送驱动信号;

所述第二下拉控制单元分别与上拉模块、下拉模块以及低电平直流信号输入端相连,并通过反相单元与所述第二时钟信号输入端相连,用于根据所述第二时钟信号输入端输入的信号,向下拉模块发送驱动信号;

所述反相单元用于对所述第二时钟信号输入端输入的信号相位进行反转;

所述复位控制单元分别与复位信号输入端、低电平直流信号输入端以及上拉模块相连,用于根据所述复位信号输入端输入的信号向所述上拉模块发送复位信号,

所述下拉模块包括:第二薄膜晶体管以及第三薄膜晶体管;所述第二薄膜晶体管的栅极分别连接至第一下拉控制单元和第二下拉控制单元,漏极与所述信号输出端相连,源极与所述低电平直流信号输入端相连;所述第三薄膜晶体管的栅极分别连接至第一下拉控制单元和第二下拉控制单元,漏极与所述输出端相连,源极与所述低电平直流信号输入端相连。

2. 如权利要求 1 所述的移位寄存器,其特征在于,所述上拉控制单元包括第四薄膜晶体管;所述第四薄膜晶体管的栅极和漏极分别连接至所述信号输入端,源极与所述上拉模块相连。

3. 如权利要求 1 所述的移位寄存器,其特征在于,所述复位控制单元包括第五薄膜晶体管,所述第五薄膜晶体管的栅极与所述复位信号输入端相连,漏极与所述上拉模块相连,源极与所述低电平直流信号输入端相连。

4. 如权利要求 1 所述的移位寄存器,其特征在于,所述第一下拉控制单元包括第六薄膜晶体管以及第十二薄膜晶体管;所述第六薄膜晶体管的栅极和漏极分别与所述第二时钟信号输入端相连,源极与所述下拉模块相连;所述第十二薄膜晶体管的栅极连接至所述上拉模块,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

5. 如权利要求 1 所述的移位寄存器,其特征在于,所述第二下拉控制单元包括第七薄膜晶体管以及第十三薄膜晶体管;所述第七薄膜晶体管的栅极和漏极与所述反相单元的输出端相连,源极连接至所述下拉模块;所述第十三薄膜晶体管的栅极连接至所述上拉模块,漏极连接至所述下拉模块,源极与所述低电平直流信号输入端相连。

6. 如权利要求 4 所述的移位寄存器,其特征在于,所述第一下拉控制单元还包括第十薄膜晶体管,所述第十薄膜晶体管的栅极与所述信号输入端相连,漏极连接至下拉模块,源

极与所述低电平直流信号输入端相连。

7. 如权利要求 4 所述的移位寄存器,其特征在于,所述第一下拉控制单元还包括第十四薄膜晶体管,所述第十四薄膜晶体管的栅极与所述第二时钟信号输入端或下拉模块相连,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

8. 如权利要求 5 所述的移位寄存器,其特征在于,所述第二下拉控制单元还包括第十五薄膜晶体管,所述第十五薄膜晶体管的栅极与所述反相单元的输出端或下拉模块相连,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

9. 如权利要求 1 所述的移位寄存器,其特征在于,所述控制模块还包括第十一薄膜晶体管,所述第十一薄膜晶体管的栅极与所述信号输入端相连,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

10. 如权利要求 1 所述的移位寄存器,其特征在于,所述移位寄存器还包括第二下拉模块,所述第二下拉模块分别与所述下拉模块、上拉模块以及低电平直流信号输入端相连,用于对所述上拉模块输入所述低电平直流信号输入端输入的信号。

11. 如权利要求 1 所述的移位寄存器,其特征在于,所述上拉模块包括:第一薄膜晶体管以及电容;所述第一薄膜晶体管的栅极连接至所述控制模块,漏极与所述第一时钟信号输入端相连,源极与所述信号输出端相连,所述电容连接在所述第一薄膜晶体管的栅极和源极之间。

12. 如权利要求 1-11 任一项所述的移位寄存器,其特征在于,所述反相单元为非门或反相器。

13. 一种栅极驱动器,其特征在于,包括多级权利要求 1-12 任一项所述的移位寄存器,除第一级移位寄存器和最后一级移位寄存器外,其余每一级的移位寄存器的信号输入端与上一级移位寄存器的信号输出端相连,每一级移位寄存器的复位信号输入端与下一级移位寄存器的信号输出端相连,第一级移位寄存器的信号输出端与第二级移位寄存器的信号输入端连接,最后一级移位寄存器的信号输出端与其上一级移位寄存器的复位信号输入端。

14. 一种显示装置,其特征在于,包括权利要求 13 所述的栅极驱动器。

移位寄存器、栅极驱动器及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器、栅极驱动器及显示装置。

背景技术

[0002] 液晶显示器(Liquid Crystal Display, LCD)现已广泛的应用于各个显示领域,如家庭、公共场所、办公场所以及个人电子相关产品等。液晶显示面板通常主要由阵列基板和彩膜基板对盒形成的液晶盒、偏光片以及背光模组等组成。阵列基板由水平和垂直两个方向的像素矩阵构成,其上有大量栅线 and 数据线交叠形成的薄膜晶体管(Thin Film Transistor, TFT),栅线控制着 TFT 的开关,在 TFT 开启时,像素电极通过数据线进行充电或者放电,控制着施加在液晶分子上的电压的大小,从而使得透过液晶分子的光能够显示不同的灰阶。对栅极进行驱动的电为栅极驱动电路,栅极驱动电路顺序的输出扫描信号给栅线,逐行扫描各像素。LCD 的驱动主要包括栅极驱动器和数据驱动器,数据驱动器将输入的显示数据及时钟信号定时顺序锁存,转换成模拟信号后输入到液晶面板的数据线,栅极驱动器将输入时钟信号经过移位寄存器转换,切换成开启/关断电压,顺次施加到液晶面板的栅极线上。栅极驱动器中的移位寄存用于产生扫描栅线中的扫描信号。

[0003] LCD 中的栅极驱动器由 n 级(n -stage)移位寄存器构成。在 LCD 中,每一条栅线与一级移位寄存器电连接。LCD 在工作时,与每一条栅线对应连接的移位寄存器依次向面板输出驱动信号。如图 1 所示,传统的栅极驱动器包括移位寄存器 SR1, SR2, ..., SRN,从 SR2 到 SRN-1,每一级移位寄存器的输出信号除了连接到栅线,还分别连接到其相邻的上下级移位寄存器,输入到上一级移位寄存器起到复位(Reset)作用,输入到下级移位寄存器起到启动信号的作用。该栅极驱动器还包括给每一级移位寄存器的脉冲信号输入端 CLK1 和 CLK2、每级移位寄存器需要连接的低电平直流信号输入端 VSS、以及栅极驱动器的启动脉冲信号输入端 VST, VST 直接连接到第一级移位寄存器,作为它的一个输入信号。另外,在第 N 级移位寄存器中,其输出端不需要连接到其下一级移位寄存器的输入端。

[0004] 如图 2 所示,为一级移位寄存器的一般结构。该结构中主要包括两个单元:控制单元(Controllor)20 以及输出缓冲单元 30。输出缓冲单元 30 主要包括电位上拉 TFT Tpu 以及电位下拉 TFT Tpd,两个 TFT 的栅极分别连接到控制单元 20 部分的上拉节点 PU 和下拉节点 PD, TFT Tpu 的漏极连接到外部脉冲信号输入端 CLK2, TFT Tpd 的源极连接到低电平直流信号输入端 VSS。在控制单元 20 的左侧,分别为连接上级移位寄存器输出端的本级移位寄存器的输入端 Out _{i -1} 以及脉冲信号输入端 CLK1。

[0005] 该结构的移位寄存器的一般工作过程是:当上级移位寄存器的高电平输出通过输入端 Out _{i -1} 输入本级移位寄存器时,控制单元 20 使上拉节点 PU 充电, TFT Tpu 开启,同时使得下拉节点 PD 放电, TFT Tpd 关断;脉冲信号输入端 CLK2 处于高电平时,经过 TFT Tpu 由输出端 Out _{i} 输出该高电平信号;脉冲信号输入端 CLK2 处于低电平时,控制单元 20 将使节点 PU 放电、节点 PD 放电,经过 TFT Tpd 由输出端 Out _{i} 输出 VSS 低电平。

[0006] 上述移位寄存器在具体设计中通常会出现以下的问题:

[0007] 1、如何降低上拉 TFT T_{pu} 的栅极与漏极间的电容耦合效应,如果在后续放电时刻,不能有效的将 TFT T_{pu} 的栅极上积累的电荷释放掉的话,那么随着时间的积累,TFT T_{pu} 的栅极与漏极间的耦合会使得 TFT T_{pu} 开启,那么输出端 Out_i 就会错误的输出 CLK2 的高电平信号,这使得移位寄存器的稳定性遭到破坏。

[0008] 2、下拉 TFT T_{pd} 的栅极可能会受到过偏压,造成 TFT T_{pd} 的阈值电压发生改变。如图 2 所示,为了使得在后续时刻,输出端 Out_i 输出 VSS 上的低电平信号,需要在 CLK1 为高电平时,由控制单元 20 将节点 PD 进行充电,将 TFT T_{pd} 开启,使得经由 TFT T_{pd} 从输出端 Out_i 输出低电平信号,常使得节点 PD 处于直流偏压状态,即:使得当 CLK2 处于高电平状态时,由控制单元 20 将节点 PD 进行充电, TFT T_{pd} 开启;在 CLK2 处于低电平状态时,控制单元 20 保持节点 PD 的电位,这就使得 TFT T_{pd} 的栅极一直处于高电平状态,因此 TFT T_{pd} 的栅极会受到过偏压,使得其阈值电压发生变化,这对移位寄存器的稳定性有很大影响。

发明内容

[0009] (一) 要解决的技术问题

[0010] 本发明要解决的技术问题是:提供一种至少能够有效地降低下拉 TFT 的栅极过偏压的移位寄存器、栅极驱动器及显示装置。

[0011] (二) 技术方案

[0012] 为解决上述问题,本发明提供了一种移位寄存器,包括:上拉模块、下拉模块、以及控制模块,所述上拉模块分别与第一时钟信号输入端、信号输出端以及控制模块相连,在所述控制模块的控制下,向信号输出端输出所述第一时钟信号输入端输入的信号;所述下拉模块分别与信号输出端、低电平直流信号输入端以及控制模块相连,在所述控制模块的控制下,向所述信号输出端输出所述低电平直流信号输入端输入的信号;所述控制模块进一步包括:上拉控制单元、第一下拉控制单元、第二下拉控制单元、反相单元以及复位控制单元;所述上拉控制单元分别与信号输入端以及上拉模块相连,用于根据所述信号输入端输入的信号,向所述上拉模块发送驱动信号;所述第一下拉控制单元分别与第二时钟信号输入端、上拉模块、下拉模块以及低电平直流信号输入端相连,用于根据所述第二时钟信号输入端输入的信号,向下拉模块发送驱动信号;所述第二下拉控制单元分别与上拉模块、下拉模块以及低电平直流信号输入端相连,并通过反相单元与所述第二时钟信号输入端相连,用于根据所述第二时钟信号输入端输入的信号,向下拉模块发送驱动信号;所述反相单元用于对所述第二时钟信号输入端输入的信号相位进行反转;所述复位控制单元分别与复位信号输入端、低电平直流信号输入端以及上拉模块相连,用于根据所述复位信号输入端输入的信号向所述上拉模块发送复位信号。所述第一下拉控制单元和所述第二下拉控制单元不同时向下拉模块发送驱动信号。

[0013] 优选地,所述下拉模块包括:第二薄膜晶体管以及第三薄膜晶体管;所述第二薄膜晶体管的栅极分别连接至第一下拉控制单元和第二下拉控制单元,漏极与所述信号输出端相连,源极与所述低电平直流信号输入端相连;所述第三薄膜晶体管的栅极分别连接至第一下拉控制单元和第二下拉控制单元,漏极与所述输出端相连,源极与所述低电平直流信号输入端相连;第二薄膜晶体管以及第三薄膜晶体管根据所述第一下拉控制单元和所述第二下拉控制单元不同时驱动。

[0014] 优选地,所述上拉控制单元包括第四薄膜晶体管;所述第四薄膜晶体管的栅极和漏极分别连接至所述信号输入端,源极与所述上拉模块相连。

[0015] 优选地,所述复位控制单元包括第五薄膜晶体管,所述第五薄膜晶体管的栅极与所述复位信号输入端相连,漏极与所述上拉模块相连,源极与所述低电平直流信号输入端相连。

[0016] 优选地,所述第一下拉控制单元包括第六薄膜晶体管以及第十二薄膜晶体管;所述第六薄膜晶体管的栅极和漏极分别与所述第二时钟信号输入端相连,源极与所述下拉模块相连;所述第十二薄膜晶体管的栅极连接至所述上拉模块,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

[0017] 优选地,所述第二下拉控制单元包括第七薄膜晶体管以及第十三薄膜晶体管;所述第七薄膜晶体管的栅极和漏极与所述反相单元的输出端相连,源极连接至所述下拉模块;所述第十三薄膜晶体管的栅极连接至所述上拉模块,漏极连接至所述下拉模块,源极与所述低电平直流信号输入端相连;所述反向单元的输入端与所述第二时钟信号输入端相连。

[0018] 优选地,所述第一下拉控制单元还包括第十薄膜晶体管,所述第十薄膜晶体管的栅极与所述信号输入端相连,漏极连接至所述第一下拉节点,源极与所述低电平直流信号输入端相连。

[0019] 优选地,所述第一下拉控制单元还包括第十四薄膜晶体管,所述第十四薄膜晶体管的栅极与所述第二时钟信号输入端或下拉模块相连,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

[0020] 优选地,所述第二下拉控制单元还包括第十五薄膜晶体管,所述第十五薄膜晶体管的栅极与所述反相单元的输出端或下拉模块相连,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

[0021] 优选地,所述控制模块还包括第十一薄膜晶体管,所述第十一薄膜晶体管的栅极与所述信号输入端相连,漏极与所述下拉模块相连,源极与所述低电平直流信号输入端相连。

[0022] 优选地,所述移位寄存器还包括第二下拉模块,所述第二下拉模块分别与所述控下拉模块、上拉模块以及低电平直流信号输入端相连,用于对所述上拉模块输入所述低电平直流信号输入端输入的信号。

[0023] 优选地,所述上拉模块包括:第一薄膜晶体管以及电容;所述第一薄膜晶体管的栅极连接至所述控制模块,漏极与所述第一时钟信号输入端相连,源极与所述信号输出端相连,所述电容连接在所述第一薄膜晶体管的栅极和源极之间。

[0024] 优选地,所述反相单元为非门或反相器。

[0025] 本发明还提供了一种栅极驱动器,包括多级上述的移位寄存器,除第一级移位寄存器和最后一级移位寄存器外,其余每一级的移位寄存器的信号输入端与上一级移位寄存器的信号输出端相连,每一级移位寄存器的复位信号输入端与下一级移位寄存器的信号输出端相连,第一级移位寄存器的信号输出端与第二级移位寄存器的信号输入端连接,最后一级移位寄存器的信号输出端与其上一级移位寄存器的复位信号输入端。

[0026] 本发明还提供了一种显示装置,包括上述栅极驱动器。

[0027] (三) 有益效果

[0028] 本发明移位寄存器、栅极驱动器及显示装置保证了在第二时钟输入信号的高低电平对上拉 TFT 栅极由于电容耦合产生电荷的有效释放,另一方面两组放电 TFT 轮流工作有效地降低了采用一个下拉 TFT 时该下拉 TFT 的栅极过偏压,进而能够有效地提高了移位寄存器的稳定性。

附图说明

- [0029] 图 1 为传统的栅极驱动器的结构示意图；
[0030] 图 2 为传统的移位寄存器的结构示意图；
[0031] 图 3 为依照本发明一种实施方式的移位寄存器的结构框图；
[0032] 图 4 为实施例 1 的移位寄存器的结构示意图；
[0033] 图 5 为图 4 所示的移位寄存器的工作时序图；
[0034] 图 6 为实施例 2 的移位寄存器的结构示意图；
[0035] 图 7 为实施例 3 的移位寄存器的结构示意图；
[0036] 图 8 为图 7 所示的移位寄存器的工作时序图；
[0037] 图 9 为实施例 4 的移位寄存器的结构示意图；
[0038] 图 10 为实施例 5 的移位寄存器的结构示意图。

具体实施方式

[0039] 本发明提出的移位寄存器、栅极驱动器及显示装置,结合附图及实施例详细说明如下。

[0040] 如图 3 所示,依照本发明一种实施方式的移位寄存器包括上拉模块、下拉模块、以及控制模块。其中：

[0041] 上拉模块分别与第一时钟信号输入端 CLK1、信号输出端 Out_i 以及控制模块相连,在控制模块的控制下,向信号输出端 Out_i 输出第一时钟信号输入端 CLK1 输入的信号。

[0042] 下拉模块分别与信号输出端 Out_i、低电平直流信号输入端 VSS 以及控制模块相连,在控制模块的控制下,向信号输出端 Out_i 输出低电平直流信号输入端 VSS 输入的信号。

[0043] 控制模块进一步包括上拉控制单元、第一下拉控制单元、第二下拉控制单元、反相单元以及复位控制单元。其中：

[0044] 上拉控制单元分别与信号输入端 Out_{i-1} 以及上拉模块相连,用于根据信号输入端 Out_{i-1} 输入的信号,向上拉模块发送驱动信号。

[0045] 第一下拉控制单元分别与第二时钟信号输入端 CLK2、上拉模块、下拉模块以及低电平直流信号输入端 VSS 相连,用于根据第二时钟信号输入端 CLK2 输入的信号,分别向上拉模块以及下拉模块发送关断信号,即低电平直流信号输入端 VSS 输入的信号。

[0046] 第二下拉控制单元分别与上拉模块、下拉模块以及低电平直流信号输入端 VSS 相连,并通过反相单元与第二时钟信号输入端 CLK2 相连,用于根据第二时钟信号输入端 CLK2 输入的信号,分别向上拉模块以及下拉模块发送关断信号,即低电平直流信号输入端输入的信号。反相单元用于对二时钟信号输入端 CLK2 输入的信号相位进行反转。

[0047] 复位控制单元分别与复位信号输入端 Out_{i+1} 、低电平直流信号输入端 VSS 以及上拉模块相连,用于根据复位信号输入端 Out_{i+1} 输入的信号向上拉模块发送复位信号,即低电平直流信号输入端 VSS 输入的信号。

[0048] 优选的,第一下拉控制单元和第二下拉控制单元不同时向下拉模块发送驱动信号。

[0049] 第二时钟信号可以为单独交流电平信号,由于可以通过反相单元保证有一下拉控制单元可以工作即可,因此其变化周期可以与第一时钟信号不同。

[0050] 优选的,第二时钟信号与第一时钟信号周期相同,相位相反。

[0051] 以下,通过具体实施例来进一步说明本发明的移位寄存器。

[0052] 实施例 1

[0053] 如图 4 所示,在本实施例的移位寄存器中:

[0054] 上拉模块包括:第一 TFT T2 以及电容 C_b ,TFT T2 的栅极连接至上拉节点 PU,漏极与第一时钟信号输入端 CLK1 相连,源极与输出端 Out_i 相连;电容 C_b 连接在 TFT T2 的栅极和源极之间。

[0055] 下拉模块包括:第二 TFT T6_P 以及第三 TFT T6_N。TFT T6_P 的栅极连接至第一下拉节点 PD_P,漏极与信号输出端 Out_i 相连,源极与低电平直流信号输入端 VSS 相连;第三 TFT T6_N 的栅极连接至第二下拉节点 PD_N,漏极与信号输出端 Out_i 相连,源极与低电平直流信号输入端 VSS 相连,当下拉节点 PD_P、PD_N 二者其一为高电平时,TFT T6_P 和 TFT T6_N 使得输出端 Out_i 输出 VSS 输入的信号。

[0056] 本实施例的移位寄存器还包括第二下拉模块,包括第八 TFT T5_P 一级第九 TFT T5_N。其中,TFT T5_P 的漏极连接至上拉节点 PU,栅极连接至第一下拉节点 PD_P,源极与低电平直流信号输入端 VSS 相连。TFT T5_N 的漏极连接至上拉节点 PU,栅极连接至第二下拉节点 PD_N,源极与低电平直流信号输入端 VSS 相连。TFT T5_P 和 TFT T5_N 用于对上拉节点 PU 进行放电,尤其是在下拉模块对信号输出端下拉的同时对 PU 进行下拉放电。

[0057] 上拉控制单元包括第四 TFT T1;复位控制单元包括第五 TFT T3;第一下拉控制单元包括第六 TFT T4_P、第十二 TFT T8_P、以及第十四 TFT T9_P;第二下拉控制单元包括第七 TFT T4_N、第十三 TFT T8_N、第十五 TFT T9_N。控制模块还包括第十 TFT T7_P 以及第十一 TFT T7_N。其中:

[0058] TFT T1 的栅极和漏极分别连接至信号输入端 Out_{i-1} ,源极连接至上拉节点 PU,其在输入端 Out_{i-1} 为高电平时给上拉节点 PU 充电。

[0059] TFT T3 的栅极与复位信号输入端 Out_{i+1} 相连,漏极与上拉节点 PU 相连,源极与低电平直流信号输入端 VSS 相连,其在复位信号输入端 Out_{i+1} 为高电平时对上拉节点 PU 进行放电。

[0060] TFT T4_P 的栅极和漏极分别与 CLK2 相连,源极连接至第一下拉节点 PD_P。TFT T4_N 的栅极和漏极分别与反相单元的输出端相连,源极连接至第二下拉节点 PD_N。

[0061] TFT T7_P 的漏极连接至第一下拉节点 PD_P,栅极与信号输入端 Out_{i-1} 相连,源极与低电平直流信号输入端 VSS 相连。TFT T7_N 的漏极连接至第二下拉节点 PD_N,栅极与信号输入端 Out_{i-1} 相连,源极与低电平直流信号输入端 VSS 相连。TFT T7_P 和 TFT T7_N 实现在 Out_{i-1} 为高电平时对下拉节点 PD_P、PD_N 的放电。

[0062] TFT T8_P 的漏极连接至第一下拉节点 PD_P, 栅极连接至上拉节点 PU, 源极与低电平直流信号输入端 VSS 相连。TFT T8_N 的漏极连接至第二下拉节点 PD_N, 栅极连接至上拉节点 PU, 源极与低电平直流信号输入端 VSS 相连。TFT T8_P 和 TFT T8_N 分别在上拉节点 PU 为高电平时对下拉节点 PD_P、PD_N 进行放电, 以维持上拉节点 PU 的高电位状态。

[0063] TFT T9_P 的漏极连接至第二下拉节点 PD_N, 栅极与 CLK2 相连, 源极与低电平直流信号输入端 VSS 相连。TFT T9_N 的漏极连接至第一下拉节点 PD_P, 栅极与反相单元的输出端相连, 源极与低电平直流信号输入端 VSS 相连。TFT T9_P 和 TFT T9_N 在 CLK2 为高、低电平时轮流对节点 PD_P、PD_N 进行充电与放电。

[0064] 在本实施例中, 反相单元为非门 NOG, 也可以为反相器等其他相同作用的器件或电路, 其输入端与 CLK2 相连, 非门 NOG 的作用是为了实现在 CLK2 高、低电平时都可以通过控制下拉模块的驱动, 实现对信号输出端放电。下拉模块可以包括第二 TFT T6_P 和 / 或第三 TFT T6_N, 其可以在第一下拉控制单元和 / 或第一下拉控制单元控制下分别实现对信号输出端放电。

[0065] 优选的, 下拉模块包括: 第二 TFT T6_P 以及第三 TFT T6_N, 通过非门 NOG 的作用是为了实现两组放电 TFT (TFT T4_P、T8_P 和 T6_P 与 T4_N、T8_N 和 T6_N) 在 CLK2 信号分别在 CLK2 高、低电平时轮流工作。电容 Cb 的作用是在 CLK1 为高电平并进行输出时, 提高 TFT T2 的自举作用, 使得 TFT T2 的栅极处于极高电平, 输出端 Out_i 输出 CLK1 的高电平信号。

[0066] 为了方便理解和描述, 上拉模块和上拉控制模块之间连接的节点为上拉节点 PU, 第三 TFT T6_P 的栅极与第一下拉控制单元和第二下拉控制单元连接的节点为第一下拉节点 PD_P, 第三 TFT T6_N 的栅极与第一下拉控制单元和第二下拉控制单元连接的节点为第二下拉节点 PD_N。

[0067] 如图 5 所示, 在 t0 时间段: Out_i-1 与 CLK2 处于高电平, CLK1 处于低电平, 再如图 4 所示, 此时 TFT T1 开启, 对上拉节点 PU 及电容 Cb 充电, 上拉节点 PU 处于高电平状态, TFT T8_P、TFT T8_N 的栅极与上拉节点 PU 相连, 因此 TFT T8_P、TFT T8_N 分别将第一下拉节点 PD_P、第二下拉节点 PD_N 放电至低电平 VSS。另外, Out_i-1 的高电平也使得 TFT T7_P、TFT T7_N 开启, 将第一下拉节点 PD_P、第二下拉节点 PD_N 放电至低电平 VSS, 因此 TFT T5_P、TFT T5_N、TFT T6_P 以及 TFT T6_N 均关断, 使得上拉节点 PU 的电位得到保持, 由于 TFT T2 的栅极与上拉节点 PU 相连, 因此 TFT T2 开启, 输出端 Out_i 输出 CLK1 的低电平。

[0068] 在第二时间段 t1: Out_i-1 与 CLK2 均处于低电平, CLK1 处于高电平, TFT T1 关断, 上拉节点 PU 仍处于高电平, TFT T2 继续开启, 输出端 Out_i 输出 CLK1 的高电平, 由于 TFT T2 的自举作用, 上拉节点 PU 处于更高电平状态, TFT T8_P 和 TFT T8_N 继续开启, 此时, CLK2 的低电平使得 TFT T4_P、TFT T9_P 关断, CLK2 的低电平经过非门 NOG 输出高电平到 TFT T4_N 和 TFT T9_N, TFT T4_N、TFT T9_N 开启, TFT T8_P 和 TFT T8_N 分别将第一下拉节点 PD_P 和第二下拉节点 PD_N 进行放电至低电平 VSS (尽管 TFT T9_N 对第一下拉节点 PD_N 进行放电, TFT T4_N 对第二下拉节点 PD_N 进行充电), TFT T5_P、TFT T5_N、TFT T6_P 以及 TFT T6_N 均关断。此外, Out_i-1 的低电平也使得 TFT T7_P、TFT T7_N 关断; 此时, Out_i 输出高电平。

[0069] 在第三时间段 t2: Out_i-1 处于低电平, CLK2 均处于高电平, CLK1 处于低电平,

TFT T1 继续关断。但此时下一级的移位寄存器输出高电平使得 Out_{i+1} 处于高电平,因此 TFT T3 开启,使得上拉节点 PU 放电至低电平 VSS,因此 TFT T2、TFT T8_P 和 TFT T8_N 关断。CLK2 处于高电平使得 TFT T4_P 和 TFT T9_P 开启,分别使得第一下拉节点 PD_P 充电至高电平以及使得第二下拉节点 PD_N 放电至低电平 VSS,第一下拉节点 PD_P 的高电位使得 TFT T5_P、TFT T6_P 开启,进一步使得与电容 C_b 的一端连接的上拉节点 PU 放电以及使得输出端 Out_i 输出低电平 VSS。这时,和非门 NOG 连接的 TFT T4_N、TFT T9_N 以及和第二下拉节点 PD_N 连接的 TFT T5_N、TFT T6_N 均处于关断状态。此外,Out_{i-1} 的低电平也使得 TFT T7_P、TFT T7_N 关断。

[0070] 在第四时间段 t₃:Out_{i-1} 处于低电平,CLK2 均处于低电平,CLK1 处于高电平,TFT T1 仍然关断。CLK2 的低电平经过非门 NOG 输出高电平,因此 TFT T4_N、TFT T9_N 开启,分别使得第二下拉节点 PD_N 充电至高电平以及第一下拉节点 PD_P 放电至低电平 VSS,栅极与第二下拉节点 PD_N 连接的 TFT T5_N、TFT T6_N 开启,进而使得上拉节点 PU 放电以及输出端 Out_i 输出低电平 VSS。这时,栅极与 CLK2 连接的 TFT T4_P、TFT T9_P 以及栅极与第一下拉节点 PD_P 连接的 T5_P、TFT T6_P 均处于关断状态。此外,Out_{i-1} 的低电平也使得 TFT T7_P、TFT T7_N 关断。

[0071] 同理,在第五时间段 t₄,移位寄存器的工作状态与第三时间段 t₂ 很相似,除了在 t₂ 时间段 Out_{i+1} 处于高电平,使得节点 PU 进行放电的过程。

[0072] 通过上述的移位寄存器的工作时序分析知道,在后续的放电时间段(如图 5 所示的时间段 t₂、t₃ 和 t₄),反相单元输入端与 CLK2 相连,其作用是为了实现两组放电 TFT(TFT T4_P、T8_P 和 T6_P 与 T4_N、T8_N 和 T6_N)在 CLK2 信号分别在 CLK2 高、低电平时轮流工作。即 TFT T4_P、T8_P 使得能在 CLK2 信号为高电平,使得 PD_P 为高电平时,进而控制 T6_P 开启,对信号输出端进行放电;而 T4_N、T8_N 使得能在 CLK2 信号为低电平,使得 PD_N 为高电平时,进而控制 T6_N 开启,对信号输出端进行放电。

[0073] 优选的,TFT T4_P、T8_P、TFT T9_P、TFT T5_P 和 TFT T6_P 与 TFT T4_N、T8_N、TFT T9_N、TFT T5_N 和 TFT T6_N 分别在 CLK2 的高低电平轮流工作,使得上拉节点 PU 放电以及使得输出端 Out_i 输出低电平 VSS。这种近似对称设计一方面保证了在 CLK2 的高低电平对 TFT T2 栅极由于电容耦合产生电荷的有效释放,另一方面两组放电 TFT 轮流工作有效地降低了采用一个下拉 TFT 时该下拉 TFT 的栅极过偏压,这两个方面都有效地提高了移位寄存器的稳定性。

[0074] 实施例 2

[0075] 如图 6 所示,本实施例的移位寄存器与实施例 1 的移位寄存器相比去掉了 TFT T7_P、T7_N 以及相应的连接线。其工作时序图与图 5 给出的完全相同,但是相对于图 4,TFT T7_P、T7_N 的减少会降低在图 5 中所示的 t₀ 时间段初期对节点 PD_P、PD_N 的放电程度,在 t₀ 时间段对节点 PD_P、PD_N 的放电由 TFT T8_P、T8_N 来完成。

[0076] 实施例 3

[0077] 如图 7 所示,本实施例的移位寄存器与实施例 1 的移位寄存器相比第一下拉控制单元增加了第十六 TFT T10_P,第二下拉控制单元增加了第十七 TFT T10_N 以及相应的连接线。图 8 给出了其工作时序图,与图 5 相比,变化发生在时间段 t₀ 时,PD_P 的电平由图 5 给出的高电平变为图 8 所示的低电平,其他时间段均相同。这是由于在图 7 中,TFT T10_

P、T10_N 的栅极均与 Out_{i+1} 端点相连,在图 8 所示的 t2 时间段,Out_{i+1} 处于高电平,因此栅极与其相连的 TFT T10_P、T10_N 均开启,将节点 PD_P、PD_N 均与低电平线 VSS 相连,使得节点 PD_P、PD_N 均为低电平,尽管这时有 CLK2 为高电平,TFT T4_P 开启,对节点 PD_P 处于充电状态。在后续时间段(如 t3、t4, …),两组 TFT T4_P、T9_P、T5_P 和 T6_P 与 T4_N、T9_N、T5_N 和 T6_N 与图 5 给出的时序完全相同。

[0078] 实施例 4

[0079] 如图 9 所示,本实施例的移位寄存器与实施例 1 的移位寄存器相比 TFT T9_P、T9_N 的连线发生变化。如图 9 所示,TFT T9_P、T9_N 的栅极由图 4 所示的分别与 CLK2 以及经过非门后的 CLK2 线相连,变化为分别与节点 PD_P、PD_N 相连。其工作时序图与图 5 所示的完全相同。

[0080] 实施例 5

[0081] 在本发明中提出的 TFT 在位置对称的 TFT 数字相同,用字母 P 和 N 来区分,合理的交换这些对称的 TFT 的位置,可能其工作的时序图与图 5 有所不同,但是不会改变本专利中提到的在后续时段 TFT 轮流工作的特点。如图 10 所示,本实施例中的移位寄存器与图 4 的相比对调了 TFT T8_P 与 TFT T8_N 的位置以及相应的连线。在交换后,TFT T8_P 和 TFT T8_N 的作用仍然是在 PU 为高电平时分别对节点 PD_P 和 PD_N 进行放电,交换后的时序图与图 5 完全相同。

[0082] 此外,另外,TFT T5_P 与 T5_N、T6_P 与 T6_N 两对 TFT 在地位上对等,但在空间上不对称,单独交换 T5_P 与 T5_N 或者 T6_P 与 T6_N 意义不大;交换 TFT T7_P 与 T7_N 及其连线其工作时序图也与图 5 相同;但是,交换 TFT T4_P 与 T4_N 或者同时交换 TFT T4_P 与 T4_N、T9_P 与 T9_N 及其连线,其工作时序图与图 5 不同,具体过程不在赘述,但交换的电路在后续时段 TFT 轮流工作的特点仍然保留。

[0083] 本发明还提供了一种包括由多级上述移位寄存器构成的栅极驱动器,其中,

[0084] 除第一级移位寄存器和最后一级移位寄存器外,其余每一级的移位寄存器的信号输入端与上一级移位寄存器的信号输出端相连,每一级移位寄存器的复位信号输入端与下一级移位寄存器的信号输出端相连,第一级移位寄存器的信号输出端与第二级移位寄存器的信号输入端连接,最后一级移位寄存器的信号输出端与其上一级移位寄存器的复位信号输入端。

[0085] 优选的,最后一级移位寄存器的信号输出端与其上一级移位寄存器的复位信号输入端以及自身的复位信号输入端连接。

[0086] 本发明还提供了包括该栅极驱动器的一种显示装置。所述显示装置可以为:液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0087] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。

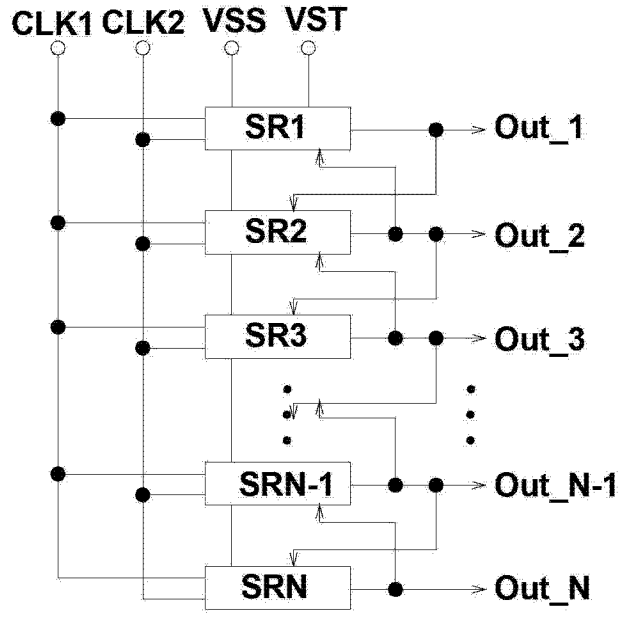


图 1

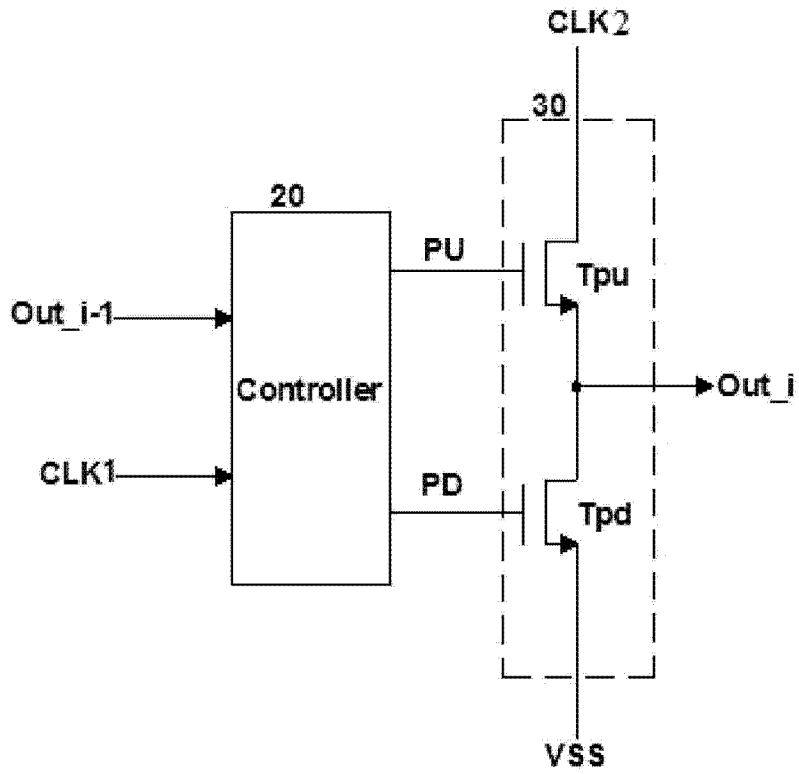


图 2

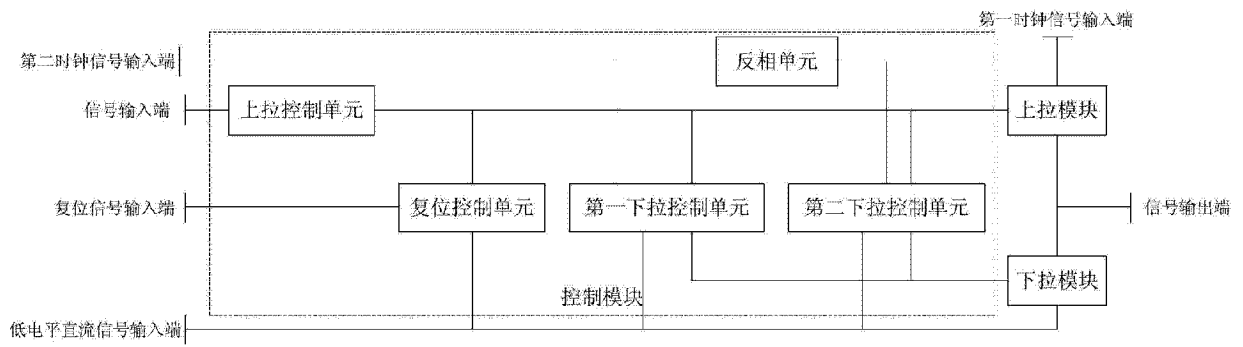


图 3

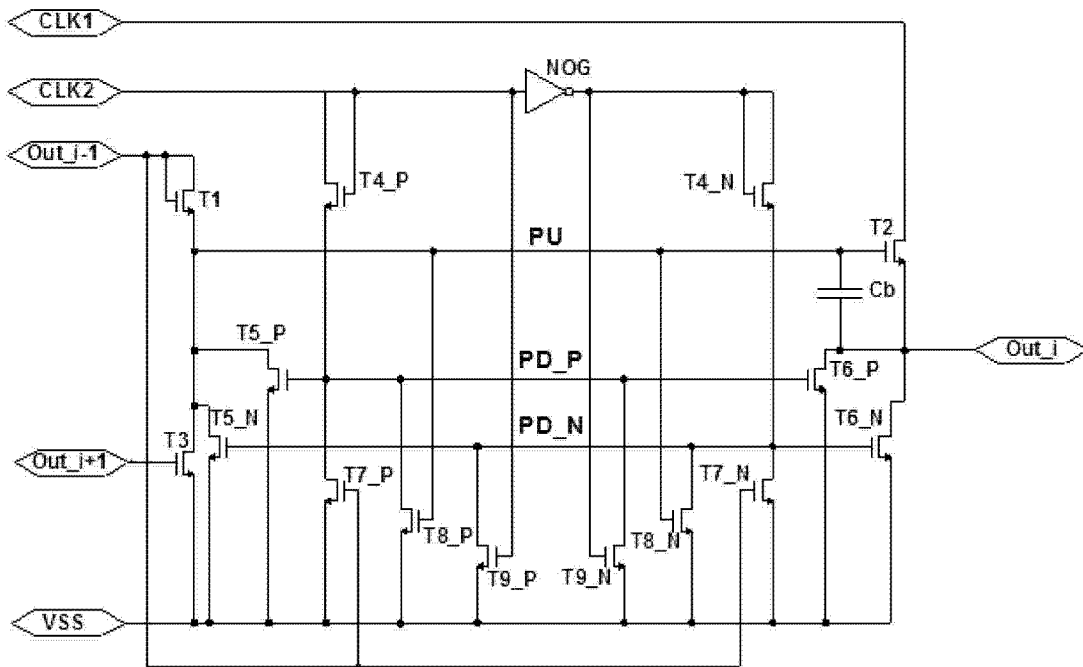


图 4

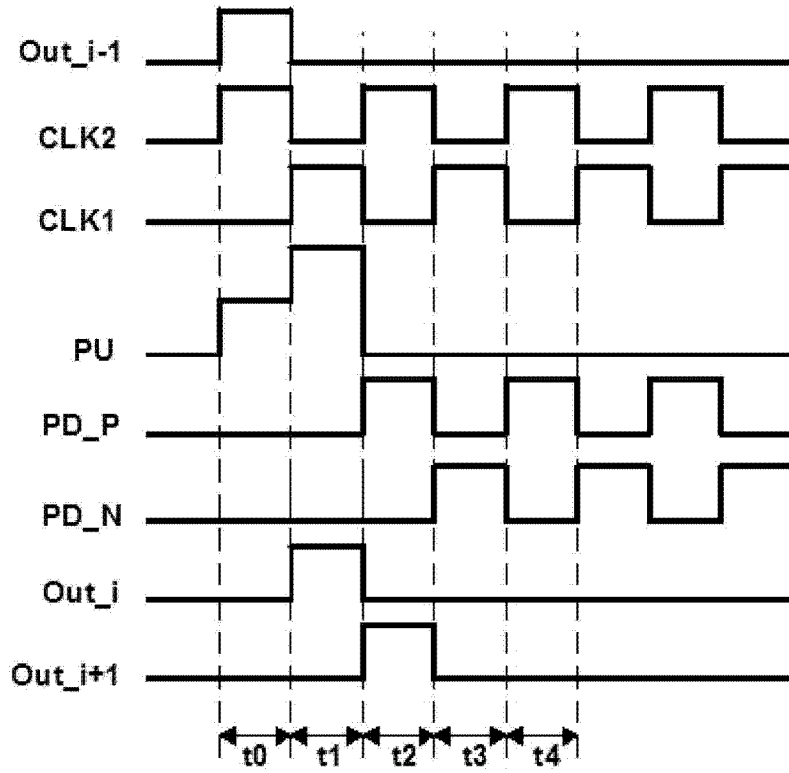


图 5

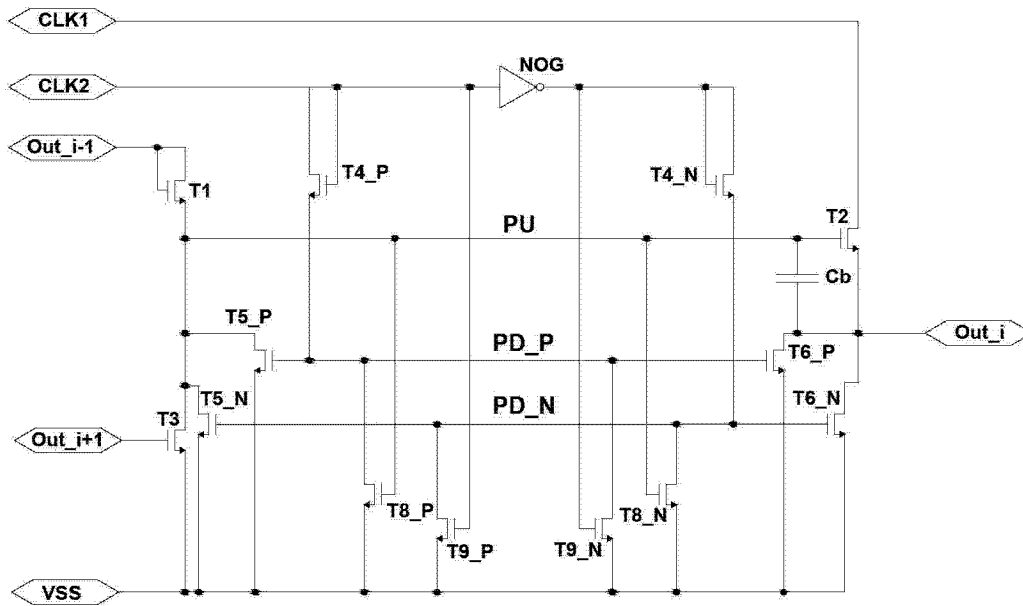


图 6

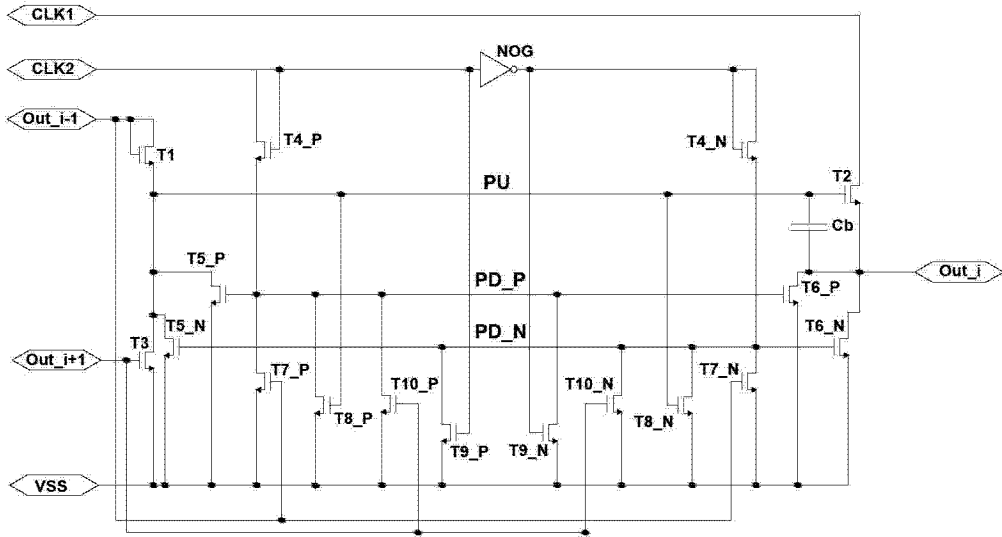


图 7

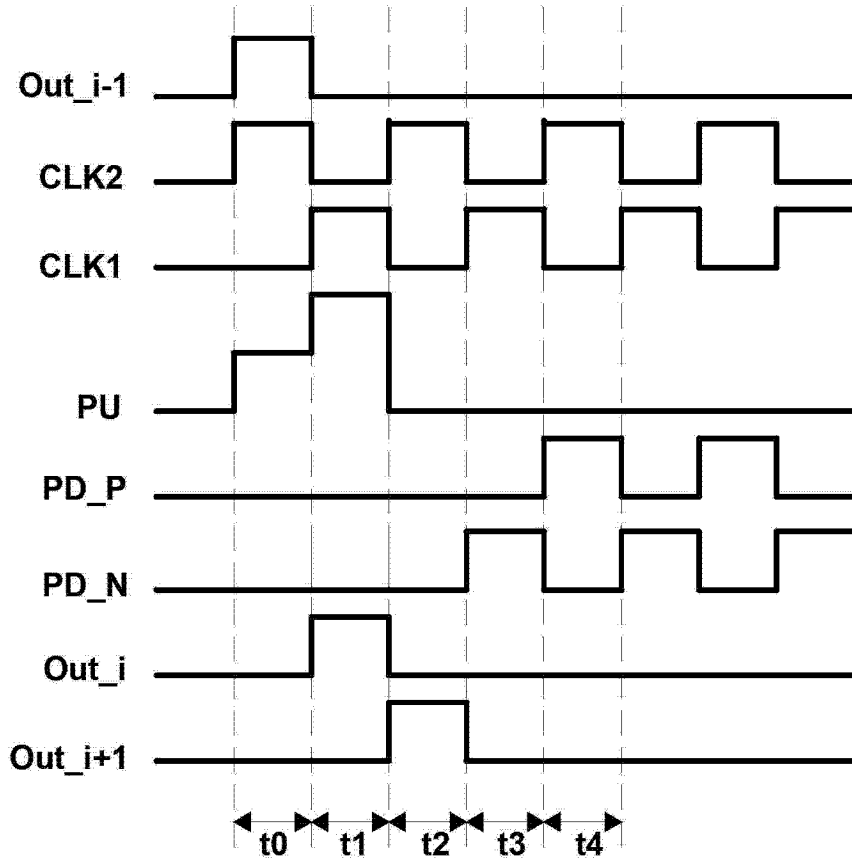


图 8

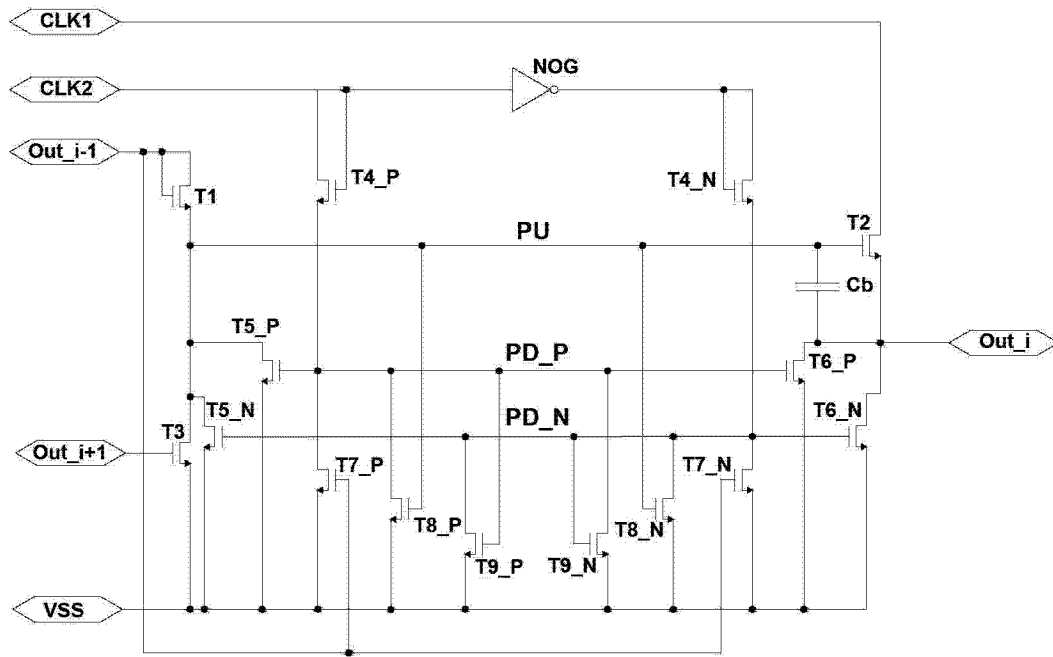


图 9

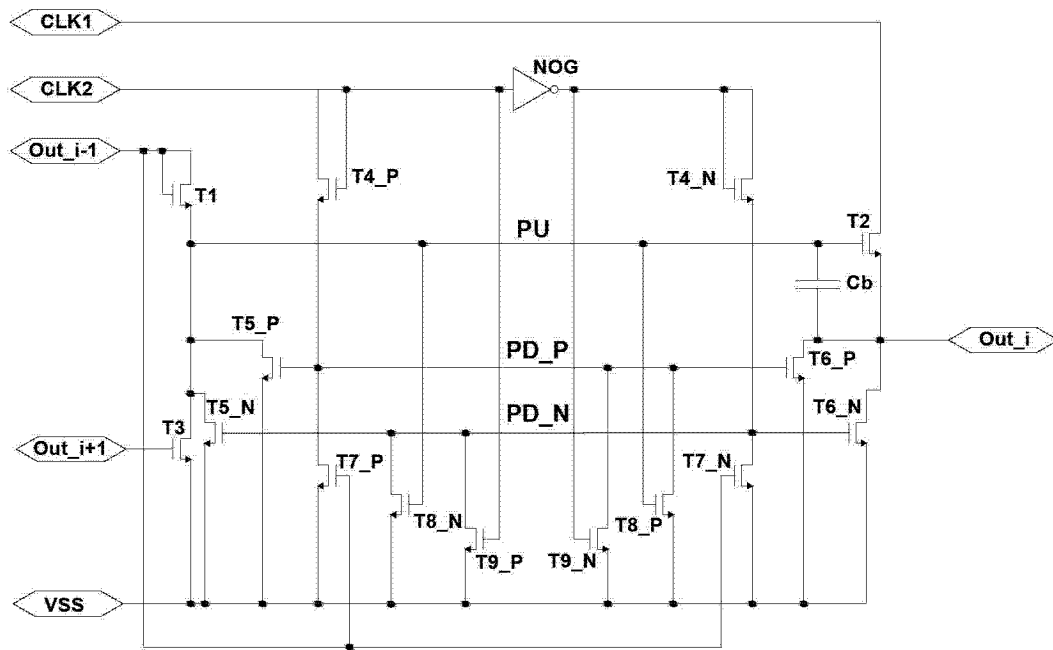


图 10