

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-249728

(P2011-249728A)

(43) 公開日 平成23年12月8日(2011.12.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 F	4 M 1 0 4
HO 1 L 29/812 (2006.01)	HO 1 L 21/28 3 O 1 B	5 F 1 0 2
HO 1 L 21/28 (2006.01)	HO 1 L 29/44 Y	
HO 1 L 29/41 (2006.01)	HO 1 L 29/50 J	
HO 1 L 29/417 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願2010-124295 (P2010-124295)  
 (22) 出願日 平成22年5月31日 (2010.5.31)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 110000235  
 特許業務法人 天城国際特許事務所  
 (72) 発明者 宮尾 明男  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 Fターム(参考) 4M104 AA05 BB09 CC01 DD34 FF10  
 GG12  
 5F102 FA01 GB01 GC01 GD01 GJ05  
 GL05 GS01 GS03 GS04 GS06  
 GS07 GT03 GV07 GV08 HC11

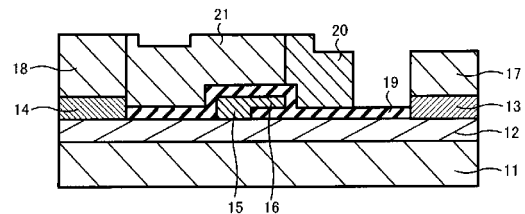
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 ゲート電極とソース電極との間のゲート寄生容量成分 C g s を低減することができる半導体装置を提供する。

【解決手段】 半導体基板 1 1 上に形成された動作層 1 2 と、この動作層 1 2 の表面上に、互いに離間して形成されたドレイン電極 1 3 およびソース電極 1 4 と、動作層 1 2 の表面上において、ドレイン電極 1 3 とソース電極 1 4 との間に形成されたゲート電極 1 5 と、動作層 1 2 の表面上において、ドレイン電極 1 3 とソース電極 1 4 との間に、ゲート電極 1 5 を覆うように形成された表面保護膜 1 9 と、表面保護膜 1 9 の表面上であって、少なくともゲート電極 1 5 のドレイン側端部上を含む位置に形成されたソースフィールドプレート電極 2 0 と、ソースフィールドプレート電極 2 0 に接続されるとともに、ソース電極 1 4 に電氣的に接続され、これらの電極 2 0 、 1 4 のよりも狭い幅で表面保護膜 1 9 上に形成された複数の配線 2 1 を具備する。

【選択図】 図 2



**【特許請求の範囲】****【請求項 1】**

半導体基板上に形成された動作層と、  
この動作層の表面上に、互いに離間して形成されたドレイン電極およびソース電極と、  
前記動作層の表面上において、前記ドレイン電極と前記ソース電極との間に形成された  
ゲート電極と、

前記動作層の表面上において、前記ドレイン電極と前記ソース電極との間に、前記ゲー  
ト電極を覆うように形成された表面保護膜と、

この表面保護膜の表面上であって、少なくとも前記ゲート電極のドレイン側端部上を含  
む位置に形成されたソースフィールドプレート電極と、

このソースフィールドプレート電極に接続されるとともに、前記ソース電極に電氣的に  
接続され、これらの電極よりも狭い幅で前記表面保護膜上に形成された配線と、

を具備することを特徴とする半導体装置。

**【請求項 2】**

前記配線は、互いに離間して平行に形成された複数の配線であることを特徴とする請求  
項 1 に記載の半導体装置。

**【請求項 3】**

前記複数の配線の間隔は、50 μm 以下であることを特徴とする請求項 2 に記載の半導  
体装置。

**【請求項 4】**

前記配線は、前記表面保護膜との間に空間を有するように形成されたことを特徴とする  
請求項 1 乃至 3 のいずれかに記載の半導体装置。

**【請求項 5】**

前記ゲート電極のドレイン側端部に形成されたゲートフィールドプレート電極をさらに  
有し、

前記表面保護膜は、前記ゲート電極および前記ゲートフィールドプレート電極を覆うよ  
うに形成されるとともに、

前記ソースフィールドプレート電極は、この表面保護膜上であって、少なくとも前記ゲー  
トフィールドプレート電極のドレイン側端部上を含む位置に形成されたことを特徴とす  
る請求項 1 乃至 4 のいずれかに記載の半導体装置。

**【請求項 6】**

半導体基板上に形成された動作層の表面上に、ドレイン電極、ソース電極、およびゲー  
ト電極をそれぞれ形成する工程と、

前記ドレイン電極および前記ソース電極間の前記動作層上に、前記ゲート電極を覆うよ  
うに表面保護膜を形成する工程と、

少なくとも前記ゲート電極のドレイン側端部上を含む位置、および前記ソース電極上に  
それぞれ開口を有するとともに、これらの開口の間に、これらの開口を連結する複数の開  
口を有する第 1 のフォトリソ層を、前記表面保護膜上に形成する工程と、

前記第 1 のフォトリソ層をマスクとして用いて金属を蒸着した後、前記第 1 のフォ  
トリソ層を除去することにより、前記表面保護膜上に、ソースフィールドプレート電  
極を形成するとともに、前記表面保護膜上に、このソースフィールドプレート電極および  
前記ソース電極に電氣的に接続された、これらの電極よりも幅が狭い複数の配線を形成す  
る工程と、

を具備することを特徴とする半導体装置の製造方法。

**【請求項 7】**

前記第 1 のフォトリソ層は、前記表面保護膜上のうち、前記ソース電極と前記ゲー  
ト電極との間の位置に第 2 のフォトリソ層を形成した後に形成されることを特徴とす  
る請求項 6 に記載の半導体装置の製造方法。

**【請求項 8】**

前記表面保護膜は SiN 膜であり、前記第 1、第 2 のフォトリソ層は感光性有機膜

10

20

30

40

50

であることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】

前記表面保護膜はSiO<sub>2</sub>膜であり、記第1、第2のフォトレジスト層はSiN膜であることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、フィールドプレート電極を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来のフィールドプレートを有する半導体装置において、半導体基板にはチャンネルとなる動作層が形成されている。この動作層上には、この層とオーム性接触するドレイン電極およびソース電極が形成されており、これらの電極の間には、動作層とショットキ接合するゲート電極が形成されている。また、ゲート電極を含む動作層上において、ドレイン電極とソース電極との間には、表面保護膜が形成されている。さらに、表面保護膜上のうち、ゲート電極のドレイン側端部上を含む一部には、ソース電極に電氣的に接続されたソースフィールドプレート電極が形成されている。このソースフィールドプレート電極は、ソース電極の表面上からソースフィールドプレート電極の端部にかけて、ソース電極およびソースフィールドプレート電極の幅（電流の流れる方向に対して垂直方向の幅）と同程度の幅で表面保護膜上に形成された配線により、ソース電極に電氣的に接続されている。このようなソースフィールドプレート電極は、ゲート電極のドレイン側端部が高電圧になる（電界が集中する）ことを抑制する。従って、ソースフィールドプレート電極を有する半導体装置は、耐圧が向上し、高出力が可能になる。

【0003】

この従来の半導体装置の製造方法は、以下の通りである。すなわち、まず、半導体基板上に形成された動作層の表面上に、ドレイン電極、ソース電極およびゲート電極をそれぞれ形成し、ドレイン電極およびソース電極間の動作層上に、ゲート電極を覆うように表面保護膜を形成する。続いて、少なくともゲート電極のドレイン側端部上を含む位置からソース電極上に至る位置に開口を有するフォトレジスト層を、表面保護膜上に形成する。そして、このフォトレジスト層をマスクとして用いて金属を蒸着した後、フォトレジスト層を除去することにより、表面保護膜上に、ソース電極に接続された配線およびこの配線に接続されたソースフィールドプレート電極を一括形成する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-067693号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ソースフィールドプレート電極を有する従来の半導体装置において、ソースフィールドプレート電極とソース電極とを接続させる幅が広い配線は、ソース電極とゲート電極との間の表面保護膜に接しており、この表面保護膜を介してゲート電極上に形成される。従って、ゲート電極と配線との間には容量成分が発生し、ゲート電極とソース電極との間のゲート寄生容量成分C<sub>gs</sub>は増加する問題がある。このようにゲート電極とソース電極との間のゲート寄生容量成分C<sub>gs</sub>が増加すると、半導体装置の特性、例えば半導体装置の増幅度が劣化する。

【0006】

本実施形態は、この問題に鑑みてなされたものであり、ゲート電極とソース電極との間のゲート寄生容量成分C<sub>gs</sub>を低減することができる半導体装置およびその製造方法を提

10

20

30

40

50

供することを目的とするものである。

【課題を解決するための手段】

【0007】

本実施形態にかかる半導体装置は、半導体基板上に形成された動作層と、この動作層の表面上に、互いに離間して形成されたドレイン電極およびソース電極と、前記動作層の表面上において、前記ドレイン電極と前記ソース電極との間に形成されたゲート電極と、前記動作層の表面上において、前記ドレイン電極と前記ソース電極との間に、前記ゲート電極を覆うように形成された表面保護膜と、この表面保護膜の表面上であって、少なくとも前記ゲート電極のドレイン側端部上を含む位置に形成されたソースフィールドプレート電極と、このソースフィールドプレート電極に接続されるとともに、前記ソース電極に電氣的に接続され、これらの電極よりも狭い幅で前記表面保護膜上に形成された配線と、を具備することを特徴とするものである。

10

【0008】

また、本発明にかかる半導体装置の製造方法は、半導体基板上に形成された動作層の表面上に、ドレイン電極、ソース電極、およびゲート電極をそれぞれ形成する工程と、前記ドレイン電極および前記ソース電極間の前記動作層上に、前記ゲート電極を覆うように表面保護膜を形成する工程と、少なくとも前記ゲート電極のドレイン側端部上を含む位置、および前記ソース電極上にそれぞれ開口を有するとともに、これらの開口の間に、これらの開口を連結する複数の開口を有する第1のフォトリソ層を、前記表面保護膜上に形成する工程と、前記第1のフォトリソ層をマスクとして用いて金属を蒸着した後、前記第1のフォトリソ層を除去することにより、前記表面保護膜上に、ソースフィールドプレート電極を形成するとともに、前記表面保護膜上に、このソースフィールドプレート電極および前記ソース電極に電氣的に接続された、これらの電極よりも幅が狭い複数の配線を形成する工程と、を具備することを特徴とする方法である。

20

【図面の簡単な説明】

【0009】

【図1】第1の実施形態に係る半導体装置を示す上面図である。

【図2】図1の一点鎖線A-A'に沿った半導体装置の断面図である。

【図3】図1、図2の半導体装置の製造方法において、表面保護膜を形成する工程を説明するための装置の上面図である。

30

【図4】図3の一点鎖線A-A'に沿った装置の断面図である。

【図5】図1、図2の半導体装置の製造方法において、第1のフォトリソ層を形成する工程を説明するための装置の上面図である。

【図6】図5の一点鎖線A-A'に沿った装置の断面図である。

【図7】図1、図2の半導体装置の製造方法において、金属を蒸着する工程を説明するための装置の上面図である。

【図8】図7の一点鎖線A-A'に沿った装置の断面図である。

【図9】第2の実施形態に係る半導体装置を示す上面図である。

【図10】図9の一点鎖線A-A'に沿った半導体装置の断面図である。

【図11】図9、図10の半導体装置の製造方法において、第1、第2のフォトリソ層を形成する工程を説明するための装置の上面図である。

40

【図12】図11の一点鎖線A-A'に沿った装置の断面図である。

【図13】図9、図10の半導体装置の製造方法において、金属を蒸着する工程を説明するための装置の上面図である。

【図14】図13の一点鎖線A-A'に沿った装置の断面図である。

【発明を実施するための形態】

【0010】

以下に、本実施形態に係る半導体装置およびその製造方法について説明する。

【0011】

(第1の実施形態)

50

図1は、第1の実施形態に係る半導体装置を示す上面図である。また、図2は、図1の一点鎖線A-A'に沿った半導体装置の断面図である。

【0012】

図2に示すように、半導体基板11上には、動作層12が形成されている。半導体基板11は、例えば高周波特性に優れた材料であるGaAsからなり、動作層12は、例えばn型のAlGaAsからなる。なお、動作層12は、半導体装置のチャンネルとして機能する層である。

【0013】

動作層12上には、ドレイン電極13およびソース電極14が、互いに離間して形成されている。そして、動作層12上において、ドレイン電極13とソース電極14との間には、ゲート電極15が形成されている。さらに、このゲート電極15のドレイン側端部には、動作層12と上下方向に一定の隙間を介してゲートフィールドプレート電極16が形成されている。なお、ドレイン電極13およびソース電極14は、例えば動作層12とオーム性接触する材料からなり、ゲート電極15は、例えば動作層12とショットキ接合する材料からなる。そして、ゲートフィールドプレート電極16は、ゲート電極15と同一材料からなる。

10

【0014】

なお、ゲートフィールドプレート電極16は、ゲート電極15のドレイン側端部が高電位になる（電界が集中する）ことを抑制し、半導体装置の耐圧を向上させるために設けられたものである。従って、ゲートフィールドプレート電極16は、形成されることが好ましいが、本実施形態においては、必ずしも必要なものではない。

20

【0015】

ドレイン電極13の表面上には、ドレイン引き出し電極17が形成されている。そして、ソース電極14の表面上には、ソース引き出し電極18が形成されている。これらの引き出し電極17、18は、例えば金等の材料からなる。

【0016】

また、動作層12上において、ドレイン電極13とソース電極14との間には、ゲート電極15およびゲートフィールドプレート電極16を覆うように、表面保護膜19が形成されている。表面保護膜19は、例えばSiNからなるが、SiO<sub>2</sub>等であってもよい。

【0017】

表面保護膜19上において、ゲート電極15とドレイン電極13との間には、ソースフィールドプレート電極20が形成されている。このソースフィールドプレート電極20は、ソース側端部が、少なくともゲートフィールドプレート電極16のドレイン側端部よりもソース電極側に位置するように形成される。これにより、ゲートフィールドプレート電極16のドレイン側端部が高電位になる（電界が集中する）ことが抑制される。従って、半導体装置の耐圧が向上される。ソースフィールドプレート電極は、例えば金等の材料により形成される。

30

【0018】

なお、ゲートフィールドプレート電極16が形成されない場合には、ソースフィールドプレート電極20は、ソース側端部が、少なくともゲート電極15のドレイン側端部よりもソース電極側に位置するように形成される。これにより、ゲート電極15のドレイン側端部が高電位になる（電界が集中する）ことが抑制され、半導体装置の耐圧が向上される。

40

【0019】

ソースフィールドプレート電極20とソース引き出し電極18とは、図1に示すように、互いに平行な複数の線状の細い配線21により互いに接続されている。これらの配線21は、ソース引き出し電極18とソースフィールドプレート電極20との間に、表面保護膜19に接するように互いに平行に形成されている。各配線21は、例えばソースフィールドプレート電極20およびソース引き出し電極18と一体的に形成され、同一材料、例えば金からなる。なお、これらの配線21は、これらの間隔が50μm以下となるように

50

形成されることが好ましいが、この理由については後述する。

【0020】

次に、上述の半導体装置の製造方法について、図3乃至図8を参照して説明する。図3、図5、図7は、それぞれ上述の半導体装置の製造方法を説明するための装置の上面図であり、図4、図6、図8は、それぞれ図3、図5、図7の一点鎖線A-A'に沿った装置の断面図である。

【0021】

まず、図3、図4に示すように、半導体基板11の表面上に動作層12を形成し、この動作層12上に、ドレイン電極13、ソース電極14、ゲート電極15、およびゲートフィールドプレート電極16を形成する。この後、ドレイン電極13とソース電極14との間の動作層12上に、ゲート電極15およびゲートフィールドプレート電極16を覆うように、例えばSiNからなる表面保護膜19を形成する。動作層12は、例えばエピタキシャル成長により形成され、各電極13乃至16は、例えばリフトオフ法により形成され、表面保護膜19は、例えばプラズマCVD法によって形成される。

10

【0022】

次に、全面に感光性有機膜として、例えば第1のフォトリソ材料を塗布する。この後、第1のフォトリソ材料を露光、現像することにより、図5、図6に示すように、図1および図2に示すドレイン引き出し電極17、ソース引き出し電極18、ソースフィールドプレート電極20、および複数の配線21を形成するためのオーバーハング状の開口を有する第1のフォトリソ層22を形成する。すなわち、少なくともゲートフィールドプレート電極16のドレイン側端部上を含む位置、ドレイン電極13上、ソース電極14上にそれぞれ開口を有するとともに、ソース電極14上の開口とゲートフィールドプレート電極16上の開口との間に、これらの開口を連結する複数の開口を有する第1のフォトリソ層22を、表面保護膜19上に形成する。なお、各開口は、第1のフォトリソ材料上に、各開口を形成する箇所が露出するレジストパターンを形成し、このレジストパターンをマスクとして用いて、第1のフォトリソ材料を、反応性ドライエッチングまたはケミカルドライエッチングによって除去することにより形成される。なお、第1のフォトリソ層22の代わりに、SiN膜を同様に形成してもよい。この場合の開口の形成は、ケミカルドライエッチングによってSiN膜の不要箇所を除去すればよい。

20

【0023】

次に、図7、図8に示すように、第1のフォトリソ層22をマスクとして用いて、ドレイン引き出し電極17、ソース引き出し電極18、ソースフィールドプレート電極20、および複数の配線21となる金属23、例えば金を蒸着する。これにより、ドレイン引き出し電極17、ソース引き出し電極18、ソースフィールドプレート電極20、および複数の配線21が形成される。なお、この工程により、第1のフォトリソ層22上にも金属23が蒸着される。

30

【0024】

最後に、第1のフォトリソ層22を、この層22上の金属23とともに除去する。これにより、図1、図2に示される半導体装置が製造される。

【0025】

以上に説明した本実施形態に係る半導体装置によれば、ソース引き出し電極18とソースフィールドプレート電極20とは、表面保護膜19の表面上に形成された複数の細い配線21により接続される。従って、ゲート電極15とその上の複数の配線21との間の容量成分は低減されるため、ゲート電極15とソース電極14との間のゲート寄生容量成分Cgsを低減することができる。これにより、増幅度等の半導体装置の特性を向上させることができる。

40

【0026】

また、これらの配線21は、ソース引き出し電極18とソースフィールドプレート電極20とを、最短距離で接続する。従って、この配線21による電圧降下が抑制され、ソースフィールドプレート電極20には、均一に電圧が印加される。従って、電界集中を抑制

50

する効果を均一にすることができる。特に、隣接する配線 2 1 の間隔が 50  $\mu\text{m}$  以下になるように各配線 2 1 を形成すると、よりソースフィールドプレート電極 2 0 には、均一に電圧が印加され、電界集中を抑制する効果をより均一にすることができる。

**【0027】**

なお、本実施形態にかかる半導体装置において、配線 2 1 の数は、ゲート寄生容量成分  $C_{gs}$  を低減する観点から見れば、少ない（例えば 1 本）方がよい。しかし、上述のようにソースフィールドプレート電極 2 0 に均一に電圧を印加することが困難となるため、複数本形成されることが好ましい。

**【0028】**

（第 2 の実施形態）

図 9 は、第 2 の実施形態に係る半導体装置を示す上面図である。また、図 10 は、図 9 の一点鎖線 A - A' に沿った半導体装置の断面図である。図 9、図 10 に示される半導体装置は、第 1 の実施形態にかかる半導体装置と比較して、複数の配線 2 4 が、表面保護膜 1 9 とは上下方向に離間した位置に形成される点が異なっている。すなわち、第 2 の実施形態にかかる半導体装置においては、各配線 2 4 と表面保護膜 1 9 との間に、空間 2 5 を有している。

10

**【0029】**

なお、第 2 の実施形態にかかる半導体装置においては、ソース引き出し電極 1 8 とソースフィールドプレート電極 2 0 とは、必ずしも複数の配線 2 4 により互いに接続される必要はなく、表面保護膜 1 9 とは上下方向に離間した位置に、ソース引き出し電極 1 8 およびソースフィールドプレート電極 2 0 と同程度の幅（電流の流れる方向に対して垂直方向の幅）で形成された、一本の太い配線により接続されてもよい。

20

**【0030】**

以下に、図 10、図 11 に示される半導体装置の製造方法を、図 11 乃至図 14 を参照して説明する。図 11、図 13 は、それぞれ第 2 の実施形態にかかる半導体装置の製造方法を説明するための装置の上面図であり、図 12、図 14 は、それぞれ図 11、図 13 の一点鎖線 A - A' に沿った装置の断面図である。

**【0031】**

まず、第 1 に実施形態にかかる半導体装置の製造方法と同様に、すなわち、図 3、図 4 と同様にして、表面保護膜 1 9 を形成する。この後、図 11、図 12 に示すように、表面保護膜 1 9 の表面上のうち、ソース電極 1 4 のドレイン側端部から、ゲートフィールドプレート電極 1 6 のドレイン側端部に至る位置に、図 9、図 10 に示される複数の配線 2 4 を形成するための第 2 のフォトレジスト層 2 6 を形成する。そして、この第 2 のフォトレジスト層 2 6 層および表面保護膜 1 9 上に、第 1 の実施形態にかかる半導体装置の製造方法と同様に、すなわち、図 5、図 6 と同様の第 1 のフォトレジスト層 2 2 を形成する。なお、第 2 のフォトレジスト層 2 6 も、第 1 のフォトレジスト層 2 2 と同様に、SiN 膜であってもよい。

30

**【0032】**

次に、図 13、図 14 に示すように、第 1 のフォトレジスト層 2 2 および第 2 のフォトレジスト層 2 6 をマスクとして用いて、図 9、図 10 に示されるドレイン引き出し電極 1 7、ソース引き出し電極 1 8、ソースフィールドプレート電極 2 0、および複数の配線 2 4 となる金属 2 3、例えば金を蒸着する。これにより、ドレイン引き出し電極 1 7、ソース引き出し電極 1 8、ソースフィールドプレート電極 2 0、および複数の配線 2 4 が形成される。

40

**【0033】**

最後に、第 1 のフォトレジスト層 2 2 を、この層 2 2 上の金属 2 3 とともに除去する。続いて、第 2 のフォトレジスト層 2 6 を除去する。これにより、図 9、図 10 に示される半導体装置が製造される。

**【0034】**

以上に説明した第 2 の実施形態に係る半導体装置であっても、ソース引き出し電極 1 8

50

とソースフィールドプレート電極 20 とは、複数の細い配線 24 により接続されるため、第 1 の実施形態にかかる半導体装置と同様に、ゲート寄生容量成分  $C_{gs}$  を低減することができ、さらには、電界集中を抑制する効果を均一にすることができる。

【0035】

なお、本実施形態にかかる半導体装置においても第 1 の実施形態にかかる半導体装置と同様に、細い配線 24 の数は、ゲート寄生容量成分  $C_{gs}$  を低減する観点から見れば、少ない（例えば 1 本）方がよい。しかし、ソースフィールドプレート電極 20 に均一に電圧を印加することが困難となるため、複数本形成されることが好ましい。

【0036】

また、第 2 の実施形態に係る半導体装置においては、複数の配線 24 が表面保護層とは上下方向に離間した位置に形成されるため、よりゲート寄生容量成分  $C_{gs}$  を低減することができる。

10

【0037】

また、第 2 の実施形態に係る半導体装置の製造方法によれば、第 2 のフォトリソ層 26 は、複数の配線 26 の間から露出するため、第 2 のフォトリソ層 26 を、容易に除去することができる。

【0038】

これに対して、上述したように、ソース引き出し電極 18 とソースフィールドプレート電極 20 とが、表面保護膜 19 とは上下方向に離間した位置に、ソース引き出し電極 18 およびソースフィールドプレート電極 20 と同程度の幅で形成された、一本の太い配線により接続された場合、この太い配線は表面保護膜 19 とは上下方向に離間した位置に形成されるため、ゲート寄生容量成分  $C_{gs}$  は低減される。しかし、第 2 のフォトリソ層 26 は、この太い配線に隠れてしまい、薬液、反応性イオンやエッチングガスが配線の下部全体に浸透せず、第 2 のフォトリソ層 26 の除去が困難になる。従って、表面保護膜 19 とは上下方向に離間した位置に配線を形成する第 2 の実施形態にかかる半導体装置であっても、互いに平行な複数の線状の細い配線 24 が形成されることが好ましい。

20

【0039】

以上に、本発明の実施形態にかかる半導体装置、およびその製造方法について説明した。しかし、本発明は、上述の実施形態に限定されるものではなく、発明の趣旨を逸脱しない範囲で様々な変形可能である。また、上述の各実施形態にかかる半導体装置は単一の半導体装置であったが、各実施形態は、半導体装置が並列に複数配列形成されたものに対しても同様に適用可能である。この場合、特に配線 21、24 は、ソース引き出し電極 18 とソースフィールドプレート電極 20 との間に、最短距離で形成されるため、複数の配線 21、24 のわずかな長さの違いに起因する各半導体装置の不均一動作も抑制される。

30

【符号の説明】

【0040】

- 11・・・半導体基板
- 12・・・動作層
- 13・・・ドレイン電極
- 14・・・ソース電極
- 15・・・ゲート電極
- 16・・・ゲートフィールドプレート電極
- 17・・・ドレイン引き出し電極
- 18・・・ソース引き出し電極
- 19・・・表面保護膜
- 20・・・ソースフィールドプレート電極
- 21、24・・・配線
- 22・・・第 1 のフォトリソ層
- 23・・・金属
- 25・・・空間

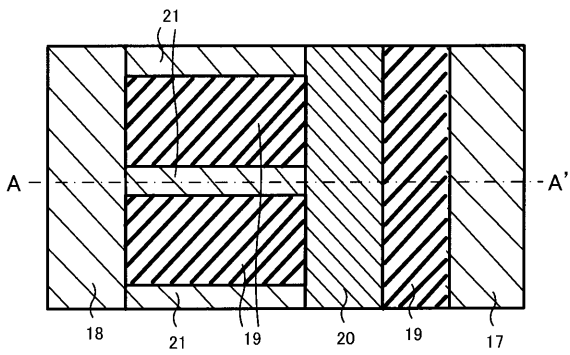
40

50

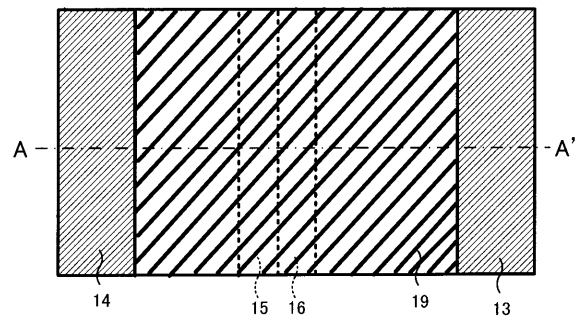


26・・・第2のフォトリソ層

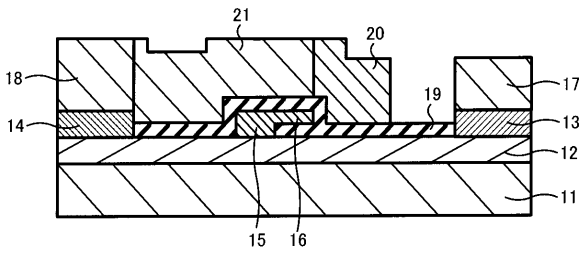
【図1】



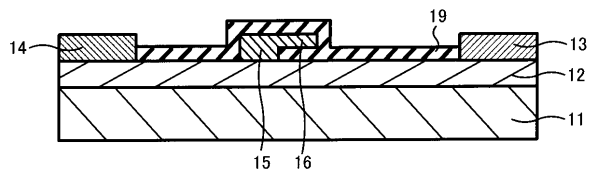
【図3】



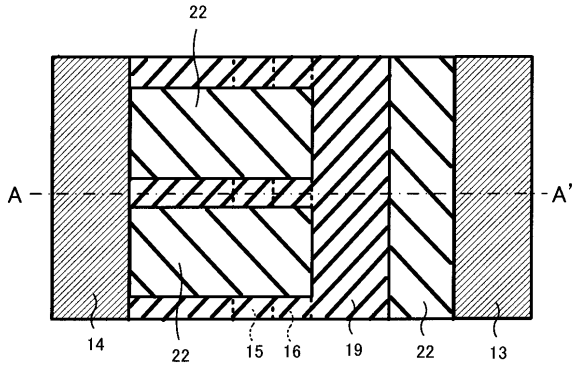
【図2】



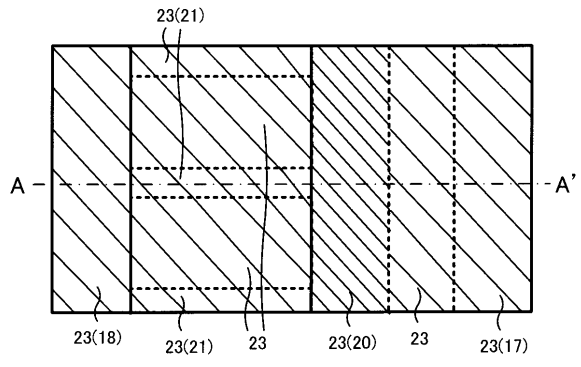
【図4】



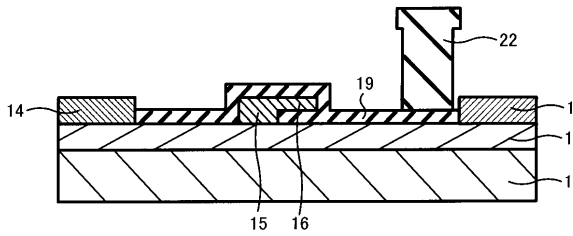
【 図 5 】



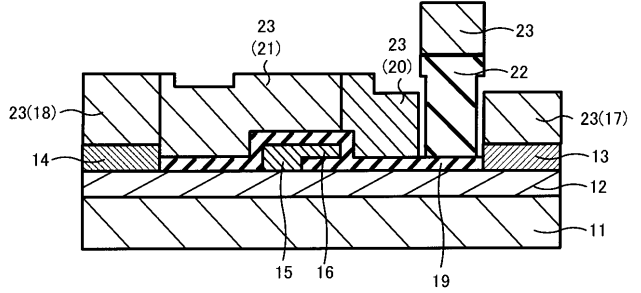
【 図 7 】



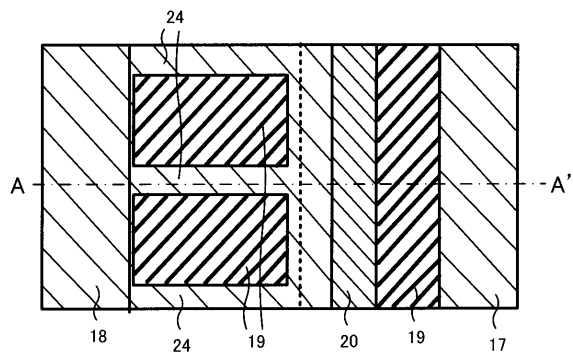
【 図 6 】



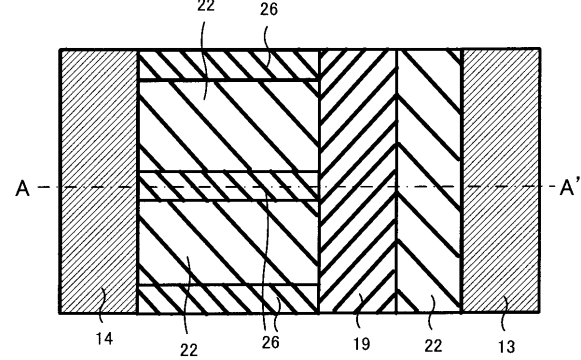
【 図 8 】



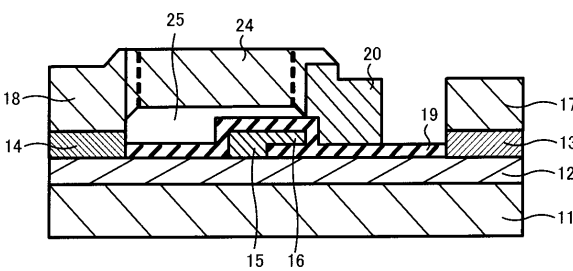
【 図 9 】



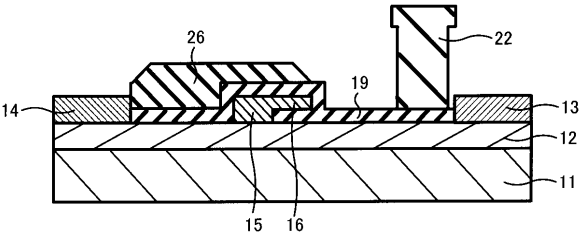
【 図 1 1 】



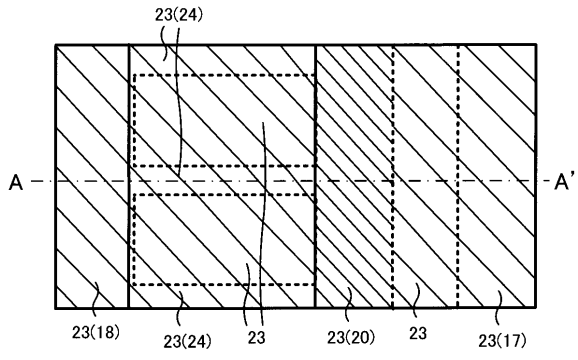
【 図 1 0 】



【 図 1 2 】



【 図 1 3 】



【 図 1 4 】

