

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



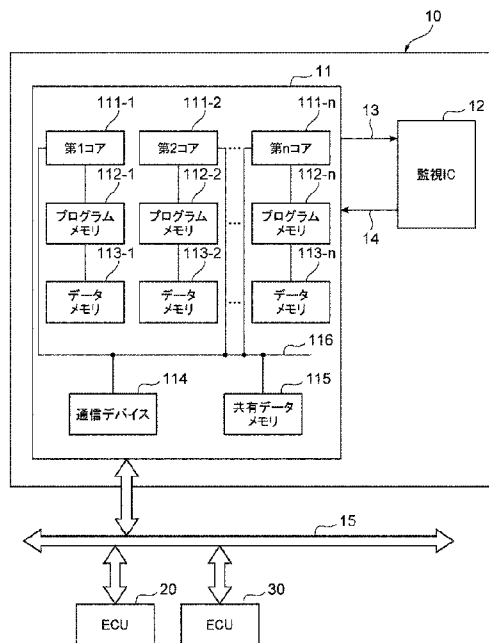
(10) 国際公開番号
WO 2022/201597 A1

- (51) 国際特許分類:
G06F 11/14 (2006.01) *B60W 50/023* (2012.01)
- (21) 国際出願番号: PCT/JP2021/035372
- (22) 国際出願日: 2021年9月27日(27.09.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-046953 2021年3月22日(22.03.2021) JP
- (71) 出願人: 日立 A s t e m o 株式会社(HITACHI ASTEMO, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).
- (72) 発明者: 蛭名 朋仁(EBINA Tomohito); 〒3128503 茨城県ひたちなか市高場2520番地 日立 A s t e m o 株式会社内 Ibaraki (JP).
- (74) 代理人: 特許業務法人平木国際特許事務所(HIRAKI & ASSOCIATES); 〒1056232 東京都港区愛宕二丁目5-1 愛宕グリーンヒルズ MORIタワー32階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: VEHICLE CONTROL DEVICE

(54) 発明の名称: 車両制御装置

図 1



- 12 Monitoring IC
- 111-1 First core
- 111-2 Second core
- 111-n nth core
- 112-1, 112-2, 112-n Program memory
- 113-1, 113-2, 113-n Data memory
- 114 Communication device
- 115 Shared data memory

(57) Abstract: A vehicle control device 10 comprising a multicore CPU 11 having at least a first core 111-1 and a second core 111-2, a shared data memory 115 configured to be accessible by each core and storing at least a communication parameter, and a monitoring IC 12 that monitors operation of the multicore CPU 11 and outputs a reset signal to the multicore CPU 11. The second core 111-2 accesses the shared data memory 115 to check the communication parameter and communicates with the outside on the basis of the communication parameter stored in the shared data memory 115



WO 2022/201597 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

within a period from cancellation of resetting until completion of OS initialization by the first core 111-1.

(57) 要約 : 車両制御装置 10 は、第 1 コア 111-1 と第 2 コア 111-2 とを少なくとも有するマルチコア CPU 11 と、各コアがアクセス可能に構成されて少なくとも通信パラメータを保存する共有データメモリ 115 と、マルチコア CPU 11 の動作を監視するとともにマルチコア CPU 11 にリセット信号を出力する監視 IC 12 とを備える。第 2 コア 111-2 は、リセット解除から第 1 コア 111-1 による OS 初期化完了までの間に、共有データメモリ 115 にアクセスして通信パラメータの確認を行い、共有データメモリ 115 に保存される通信パラメータに基づいて外部との通信を行う。

明 細 書

発明の名称：車両制御装置

技術分野

[0001] 本発明は、車両制御装置に関し、特にマルチコアCPUを備える車両制御装置に関する。

本願は、2021年3月22日に出願された日本国特願2021-046953号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 近年、自動車等の車両において、エンジン制御、ブレーキ制御、トランスミッション制御、ドア制御、エアコン制御等を行うために複数のECU（Electronic Control Unit、すなわち車両制御装置）が搭載されている。これらのECUは、車載ネットワークを介して互いに通信し協働することにより、車両の安全走行等を実現している。

[0003] ECUは、複数のコアを有するマルチコアCPUを備える場合がある。マルチコアCPUでは、一般的に、いずれかのコアに異常が生じた場合、異常状態から回復させるべくマルチコアCPU全体のリセットが行われる。しかし、マルチコアCPU全体がリセットされると、リセット解除からOS初期化完了までの間に通信が途絶する問題がある。また、通信途絶によって、他のECUからは異常であると判定されてしまう。

[0004] このような問題を解決するため、例えば下記特許文献1に記載のように、FPGA（Field Programmable Gate Array）を使用してリセット解除からOS初期化完了までの時間を短縮する技術が検討されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-246495号公報

発明の概要

発明が解決しようとする課題

[0006] しかし、上記特許文献1に記載の技術では、リセット解除からOS初期化完了までの時間を短縮できるが、改善余地があった。

[0007] 本発明は、このような技術課題を解決するためになされたものであって、リセット解除からOS初期化完了までの間の通信の途絶を防止できる車両制御装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係る車両制御装置は、第1コアと第2コアとを少なくとも有するマルチコアCPUと、各コアがアクセス可能に構成され、少なくとも通信パラメータを保存する共有データメモリと、前記マルチコアCPUの動作を監視するとともに前記マルチコアCPUにリセット信号を出力する監視回路と、を備え、前記第2コアは、リセット解除から前記第1コアによるOS初期化完了までの間に、前記共有データメモリにアクセスして通信パラメータの確認を行い、前記共有データメモリに保存される通信パラメータに基づいて外部との通信を行うことを特徴としている。

[0009] 本発明に係る車両制御装置では、第2コアは、リセット解除から第1コアによるOS初期化完了までの間に、共有データメモリにアクセスして通信パラメータの確認を行い、共有データメモリに保存される通信パラメータに基づいて外部との通信を行うので、OS初期化の完了を待たずに通信が可能となる。その結果、リセット解除からOS初期化完了までの間の通信の途絶を防止することができる。

発明の効果

[0010] 本発明によれば、リセット解除からOS初期化完了までの間の通信の途絶を防止することができる。

図面の簡単な説明

[0011] [図1]第1実施形態に係る車両制御装置を備えた車両制御システムを示す構成図である。

[図2]第1実施形態に係る車両制御装置のリセット解除後の制御を示すシーケンス図である。

[図3]第2実施形態に係る車両制御装置のリセット前後の制御を示すシーケンス図である。

[図4]第3実施形態に係る車両制御装置のリセット前後の制御を示すシーケンス図である。

発明を実施するための形態

[0012] 以下、図面を参照して本発明に係る車両制御装置の実施形態について説明する。

[0013] [第1実施形態]

図1は第1実施形態に係る車両制御装置を備えた車両制御システムを示す構成図である。本実施形態の車両制御装置10は、ECUにより構成され、他の複数のECU（ECU20、ECU30）とともに車両制御システムを形成する。ここでは、例えば車両制御装置10はエンジン制御を担当し、ECU20はブレーキ制御を担当し、ECU30はトランスミッション制御を担当する。そして、車両制御装置10、ECU20及びECU30は、CAN（Controller Area Network）等の車載ネットワーク15により接続され、該車載ネットワーク15で通信を行い協働することで、車両の安全走行等を実現している。

[0014] 図1に示すように、車両制御装置10は主に、マルチコアCPU11と、マルチコアCPU11の動作を監視する監視IC（Integrated Circuit）12とを備えている。

[0015] マルチコアCPU11は、複数のコア（第1コア111-1、第2コア111-2、…第nコア111-n）と、複数のコアに対して1対1に設けられたプログラムメモリ（プログラムメモリ112-1、プログラムメモリ112-2、…プログラムメモリ112-n）及びデータメモリ（データメモリ113-1、データメモリ113-2、…データメモリ113-n）とを有する。各プログラムメモリ及び各データメモリは、対応するコアの機能を

果たすためのプログラム及びデータを保存する。なお、 n は2以上の自然数である。

[0016] 本実施形態において、第1コア111-1に対応するプログラムメモリ112-1には、リセット解除後に実行するOS (Operating System) の初期化に関する初期化プログラムと、第1コア111-1に割り当てられた処理を行うためのアプリケーションソフトウェア (以下では、単に「アプリケーション」という) とが保存されている。第2コア111-2に対応するプログラムメモリ112-2には、リセット解除後に実行する通信処理に関する通信プログラムと、第2コア111-2に割り当てられた処理を行うためのアプリケーションとが保存されている。

[0017] 監視IC12は、特許請求の範囲に記載の「監視部」に相当するものであり、マルチコアCPU11から出力される信号13に基づいて、マルチコアCPU11が正常に動作しているか否かを監視する。また、監視IC12は、信号13が途絶した場合、マルチコアCPU11に異常が発生しているものとしてリセット信号14をマルチコアCPU11に出力し、マルチコアCPU11をリセットさせることができる。更に、電源投入 (言い換えれば、電源ON) 直後の場合、電源電圧が低電圧であるため、監視IC12はリセット信号14をマルチコアCPU11に出力し、マルチコアCPU11をリセットさせることができる。そして、電源電圧が安定した後、監視IC12はリセット信号14の出力を停止する。これによって、マルチコアCPU11のリセットが解除され、マルチコアCPU11が動作を開始する。

[0018] マルチコアCPU11は、各コアがアクセスできる共有データメモリ115と、各コアと接続される通信デバイス114とを更に備えている。各コアは、バス116を介して通信デバイス114及び共有データメモリ115とそれぞれ接続されている。共有データメモリ115には、コア間で共有する通信パラメータ等のデータが保存されている。通信パラメータとしては、通信速度、データサイズ及び送信周期等が挙げられる。

[0019] マルチコアCPU11は、一つのICで構成されても良く、複数のICで

構成されても良い。また、監視IC12は、必ずしもマルチコアCPU11から独立して設ける必要がなく、該監視IC12に相当する監視機能をマルチコアCPU11に組み込むようにしても良い。

[0020] このように構成された車両制御装置10では、OSを搭載しており、各制御処理に関するプログラムはOSの管理下で動作する。そして、異常等の原因でマルチコアCPU11がリセットされた場合、OSは、リセット解除後に初期化処理を行う。OSの初期化処理では、OSはデバイスの初期化及びアプリケーションの初期化を行い、更にアプリケーションの実行を行う。

[0021] そして、複数のコアを有するマルチコアCPU11では、初期化の一貫性を保つために、1つのコアにより初期化を実行するようになっている。上述したように、第1コア111-1に対応するプログラムメモリ112-1には、リセット解除後に実行するOSの初期化に関する初期化プログラムが保存されているので、従って、第1コア111-1はリセット解除後のOS初期化処理を行う。

[0022] 一方、第2コア111-2に対応するプログラムメモリ112-2には、リセット解除後に実行する通信処理に関する通信プログラムが保存されているので、第2コア111-2はリセット解除後の通信処理を行う。その際に、第2コア111-2は、リセット解除後に実行する通信プログラムによって、共有データメモリ115にアクセスして通信パラメータの確認を行い、更に共有データメモリ115に保存される通信パラメータに基づいて外部との通信を行う。なお、第2コア111-2の通信処理は、第1コア111-1によるOSの初期化処理と並行して実行される。

[0023] そして、第1コア111-1によるOS初期化処理が完了し、第1コア111-1におけるアプリケーションの起動した時点で、通信の切り替えが行われる。すなわち、第2コア111-2の通信プログラムが停止し、第1コア111-1が主導する通信処理を開始する。

[0024] 以下、図2を基に車両制御装置10におけるリセット解除後の制御を説明する。ここでは、電源ONによるリセットの解除から、OSの初期化、通信

、アプリケーション実行といった一連の処理の例を挙げて説明する。なお、図2において、ステップS211～S214は第1コア111-1により行われる処理であり、ステップS221～S225は第2コア111-2により行われる処理である。

[0025] 図2に示すように、電源ONによるリセット解除後、第1コア111-1は、まずOSを起動し（ステップS211）、次にOSの初期化処理を行う（ステップS212）。このとき、第2コア111-2は、第1コア111-1の処理と並行して各処理を行う。

[0026] 具体的には、第2コア111-2は、まず共有データメモリ115にアクセスし、通信パラメータの確認を行う（ステップS221）。本ステップにおける通信パラメータの確認は、共有データメモリ115に正常な通信パラメータが設定されているか否かの確認である。電源ON直後（言い換えれば、リセット解除直後）は、共有データメモリ115の値は不定値であるので、正常な通信パラメータは設定されていない。このため、第2コア111-2は通信パラメータ初期化の処理を行う（ステップS222）。続いて、第2コア111-2は、初期化した通信パラメータに基づき、通信デバイス114を介して外部装置（例えばECU20やECU30）との通信を開始する（ステップS223）。

[0027] そして、第1コア111-1によるOSの初期化処理が完了すると、第1コア111-1は、通信等に関するアプリケーションを起動する（ステップS213）。このとき、第2コア111-2は、通信切り替えの処理を行う（ステップS224）。具体的には、第2コア111-2の通信プログラムが停止し、第1コア111-1が主導する通信処理が行われる。続いて、第1コア111-1と第2コア111-2は、それぞれのアプリケーションを実行する（ステップS214とステップS225）。

[0028] 本実施形態の車両制御装置10によれば、電源ONによるリセット解除から第1コア111-1によるOS初期化完了までの間に、第2コア111-2は共有データメモリ115にアクセスして通信パラメータの確認を行い、

通信パラメータの初期化処理を行った後に、初期化した通信パラメータに基づいて外部装置との通信を行うので、OS初期化の完了を待たずに通信が可能となる。その結果、リセット解除からOS初期化完了までの間の通信の途絶を防止することができる。更に、これによって、通信途絶に起因する他のECUからの異常判定を回避することができる。

[0029] [第2実施形態]

第2実施形態に係る車両制御装置10は、上記第1実施形態と同様な構造を有するが、車両制御装置10の制御内容において上記第1実施形態と相違している。以下では、その相違点のみを説明する。

[0030] 従来では、例えばエンジン制御とモータ制御のような異なる機能について、別々のECUを設けてそれぞれの制御を行っていた。近年、装置のコンパクト化やコスト削減等を図るために、異なる機能を持つECUを統合することが進められている。そして、統合ECUにおいては、ある機能に異常が発生しても、他の機能の動作を継続することが求められている。

[0031] 異常が発生した場合は、該異常が発生した機能をソフトウェア的に初期化することにより解消する手法があるが、マルチコアCPU全体をハードウェア的にリセットすることで異常を解消する手法も考えられる。本実施形態では、マルチコアCPU全体をハードウェア的にリセットすることで異常を解消する手法が採用されている。そして、マルチコアCPU11全体のリセットに先立ち、現在使用中の通信パラメータを共有データメモリ115に保存しておき、リセット解除後に上記保存された現在使用中の通信パラメータに基づいて通信を行うことにより、リセット前後における通信の連続性を維持することができる。なお、本実施形態でいう異常は、車両に取り付けられたセンサ等を介して検出できる異常である。従って、このような異常に起因するリセットは、意図したリセットである。

[0032] 以下、図3を基に本実施形態に係る車両制御装置のリセット前後の制御を説明する。図3において、ステップS311～S315は第1コア111-1により行われる処理であり、ステップS321～S325は第2コア11

1-2により行われる処理である。

[0033] 図3に示すように、第1コア111-1は、異常を検出すると（ステップS311）、現在使用中の通信パラメータを保存するように第2コア111-2に指示する。第2コア111-2は、第1コア111-1からの指示に基づき、現在使用中の通信パラメータを保存する（ステップS321）。このとき、第2コア111-2は、現在使用中の通信パラメータを該第2コア111-2に対応するデータメモリ113-2ではなく、共有データメモリ115に保存させる。ここで、共有データメモリ115に保存される通信パラメータを通信パラメータ331とする。

[0034] 続いて、第1コア111-1は、監視IC12に対し、リセット発生する指示を送信する（ステップS312）。続いて、マルチコアCPU11はリセットされる。

[0035] リセット解除後、第1コア111-1は、まずOSを起動し（ステップS313）、次にOS初期化の処理を行う（ステップS314）。このとき、第2コア111-2は、第1コア111-1の処理と並行して各処理を行う。

[0036] 具体的には、第2コア111-2は、共有データメモリ115にアクセスし、共有データメモリ115に保存されている通信パラメータ331の確認を行う（ステップS322）。本ステップにおける通信パラメータの確認は、電源ON直後のメモリの不定値ではないことの確認である。続いて、第2コア111-2は、通信パラメータ331を参照し、通信パラメータの復帰処理を行う（ステップS323）。続いて、第2コア111-2は、復帰した通信パラメータ（すなわち、通信パラメータ331）に基づき、通信デバイス114を介して外部装置（例えばECU20やECU30）との通信を開始する（ステップS324）。

[0037] そして、第1コア111-1によるOSの初期化処理が完了すると、第1実施形態で述べたように、第1コア111-1は通信等に関するアプリケーションを起動し（ステップS315）、第2コア111-2は通信切り替え

の処理を行う（ステップS 3 2 5）。その後、第1実施形態で述べた各処理はそれぞれ行われる。

[0038] 本実施形態の車両制御装置10によれば、上述第1実施形態と同様な作用効果を得られるほか、更に以下の作用効果を奏する。すなわち、リセット前に現在使用中の通信パラメータを共有データメモリ115に保存し、リセット解除から第1コア111-1によるOS初期化完了までの間に、第2コア111-2は共有データメモリ115に保存される現在使用中の通信パラメータに基づいて通信を行うので、リセット前後における通信の連続性を維持することができる。なお、上記特許文献1に記載の技術では、リセット解除後に初期通信のみを行うので、リセット前後における通信の連続性を維持できない問題が生じると考えられる。本実施形態の車両制御装置10によれば、上記特許文献1に記載の技術の問題を解決することができる。

[0039] なお、本実施形態において、通信パラメータが正常な値か、電源ON直後のメモリの不定値かを区別するためには、通信パラメータに関する各データを二重化したり、チェックサムやハッシュを付加したりする等、既知の手法を用いることができる。

[0040] また、本実施形態において、通信パラメータに加えて通信プログラムを更に共有データメモリ115に保存するようにしても良い。このようにすれば、複雑な通信処理にも対応できるので、例えば可変値を含む通信も可能となる。更に、共有データメモリ115には、スクリプトを解釈して実行するプログラムが保存されても良く、例えばスクリプト言語で記述された通信プログラムが保存される。このようにすれば、複雑な通信処理にも対応できる。

[0041] [第3実施形態]

第3実施形態に係る車両制御装置10は、上記第1実施形態と同様な構造を有するが、車両制御装置10の処理内容において上記第1実施形態と相違している。以下では、その相違点のみを説明する。

[0042] 図4は第3実施形態に係る車両制御装置のリセット前後の制御を示すシーケンス図である。図4において、ステップS 4 1 1～S 4 1 4は第1コア1

1 1 - 1 により行われる処理であり、ステップ S 4 2 1 ~ S 4 2 4 は第 2 コア 1 1 1 - 2 により行われる処理である。

[0043] 図 4 に示すように、第 1 コア 1 1 1 - 1 は、まず通信パラメータのデフォルト値の保存処理を行う（ステップ S 4 1 1）。通信パラメータのデフォルト値は、予期せぬ異常によってリセットが起きた場合に使用される通信パラメータの値であって、予め設定されたものである。このデフォルト値には、予期せぬ異常によるリセットであることを示す通信パターンが予め組み込まれている。デフォルト値は、上述したメモリの不定値と区別するための手法を用いて共有データメモリ 1 1 5 に保存されている。ここで、共有データメモリ 1 1 5 に保存されるデフォルト値を通信パラメータ 4 3 1 とする。

[0044] そして、マルチコア CPU 1 1 に予期せぬ異常が発生した場合、監視 IC 1 2 は、リセット信号 1 4 をマルチコア CPU 1 1 に出力する。これによって、マルチコア CPU 1 1 はリセットされる。

[0045] リセット解除後、第 1 コア 1 1 1 - 1 は、まず OS を起動し（ステップ S 4 1 2）、次に OS 初期化の処理を行う（ステップ S 4 1 3）。このとき、第 2 コア 1 1 1 - 2 は、第 1 コア 1 1 1 - 1 の処理と並行して各処理を行う。

[0046] 具体的には、第 2 コア 1 1 1 - 2 は、共有データメモリ 1 1 5 にアクセスし、共有データメモリ 1 1 5 に保存されている通信パラメータ 4 3 1 を確認し、メモリの不定値ではないことをチェックし（ステップ S 4 2 1）、通信パラメータ 4 3 1 を取得する（ステップ S 4 2 2）。これによって、ステップ S 4 1 1 で設定されたデフォルト値が取得される。

[0047] 続いて、第 2 コア 1 1 1 - 2 は、取得した通信パラメータ 4 3 1 に基づき、通信デバイス 1 1 4 を介して外部装置（例えば ECU 2 0 や ECU 3 0）との通信を開始する（ステップ S 4 2 3）。そして、通信パラメータ 4 3 1 には予期せぬ異常によるリセットのことを示す通信パターンが組み込まれているため、他の ECU（ECU 2 0 及び ECU 3 0）は車両制御装置 1 0 でそれを把握できる。

[0048] そして、第1コア111-1によるOSの初期化処理が完了すると、第1実施形態で述べたように、第1コア111-1は、通信等に関するアプリケーションを起動し（ステップS414）、第2コア111-2は、通信切り替え処理を行う（ステップS424）。その後、第1実施形態で述べた各処理がそれぞれ行われる。

[0049] 本実施形態の車両制御装置10では、第1コア111-1は通信パラメータのデフォルト値を予め設定し、共有データメモリ115に保存しておく。そして、予期せぬ異常によってリセットが生じた場合、第2コア111-2は該デフォルト値に基づいて通信を行うことで、OS初期化の完了を待たずに通信が可能となる。その結果、リセット解除からOS初期化完了までの間の通信の途絶を防止することができる。また、これによって、通信途絶に起因する他のECUからの異常判定を回避することができる。

[0050] なお、本実施形態において、通信パラメータのデフォルト値はステップS411で第1コア111-1により設定されるが、例えばフラグのみを設定し、ステップS421では、フラグが検知されると、固定の通信パラメータを第2コア111-2に送信するようにしても良い。

[0051] また、上記3つの実施形態において、電源ONによるリセットのパターン（第1実施形態）、意図したリセットのパターン（第2実施形態）、及び、予期せぬ異常によるリセットのパターン（第3実施形態）をそれぞれ説明した。例えば他のECUへの通信データに上記3つのパターンをそれぞれ識別できる識別番号等を付した状態で送信すれば、他のECUに車両制御装置10が正常か異常かを明確に伝えることができる。

[0052] 以上、本発明の実施形態について詳述したが、本発明は、上述の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の精神を逸脱しない範囲で、種々の設計変更を行うことができるものである。

符号の説明

[0053] 10 車両制御装置
11 マルチコアCPU

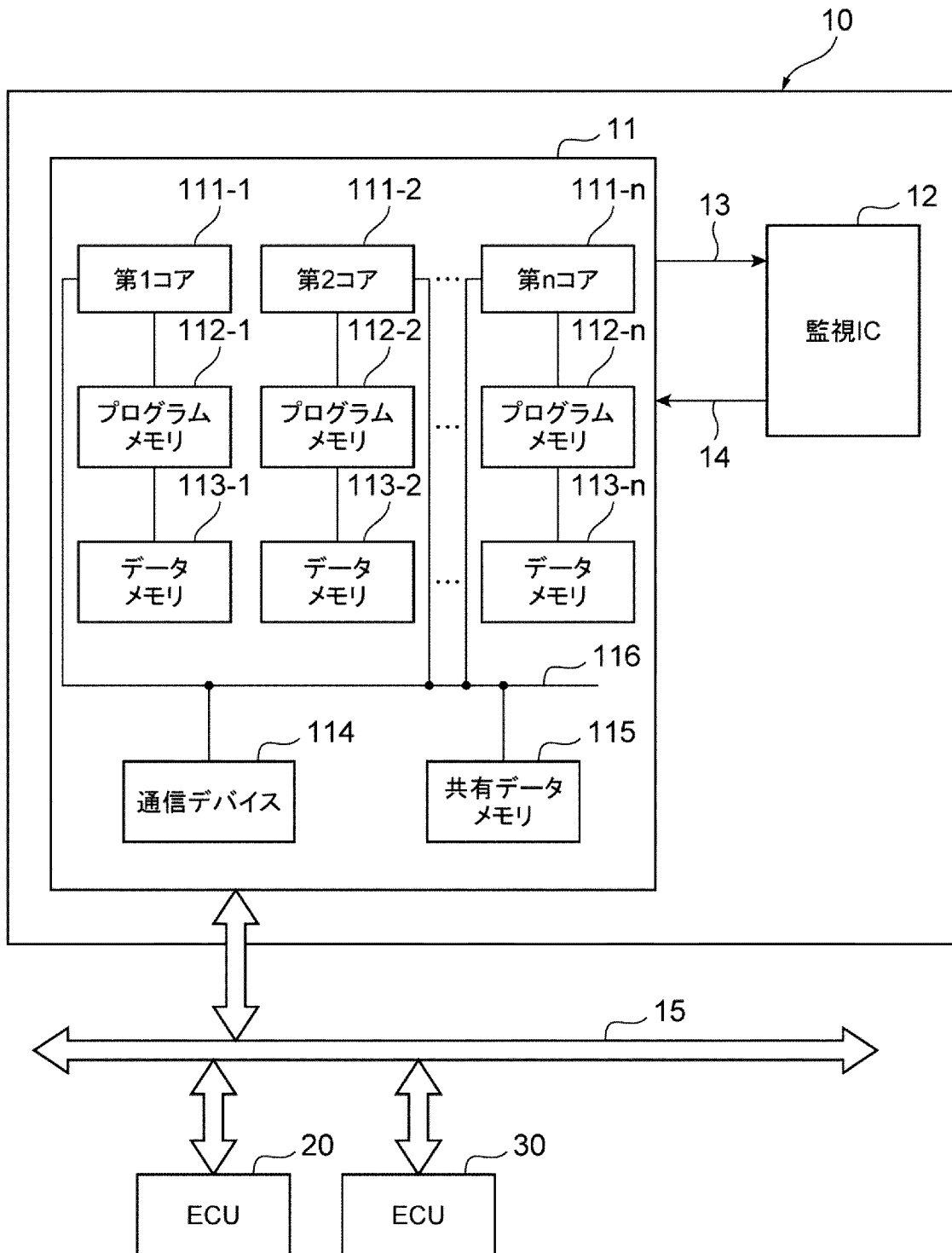
- 1 2 監視 I C (監視部)
- 1 3 信号
- 1 4 リセット信号
- 1 5 車載ネットワーク
- 2 0, 3 0 E C U
- 1 1 1 - 1 第 1 コア
- 1 1 1 - 2 第 2 コア
- 1 1 1 - n 第 n コア
- 1 1 2 - 1, 1 1 2 - 2, … 1 1 2 - n プログラムメモリ
- 1 1 3 - 1, 1 1 3 - 2, … 1 1 3 - n データメモリ
- 1 1 4 通信デバイス
- 1 1 5 共有データメモリ
- 1 1 6 バス

請求の範囲

- [請求項1] 第1コアと第2コアとを少なくとも有するマルチコアCPUと、
各コアがアクセス可能に構成され、少なくとも通信パラメータを保存する共有データメモリと、
前記マルチコアCPUの動作を監視するとともに前記マルチコアCPUにリセット信号を出力する監視部と、
を備え、
前記第2コアは、リセット解除から前記第1コアによるOS初期化完了までの間に、前記共有データメモリにアクセスして通信パラメータの確認を行い、前記共有データメモリに保存される通信パラメータに基づいて外部との通信を行うことを特徴とする車両制御装置。
- [請求項2] 前記共有データメモリには、リセット前の現在使用中の通信パラメータが保存され、
前記第2コアは、前記共有データメモリに保存される現在使用中の通信パラメータに基づいて外部との通信を行う請求項1に記載の車両制御装置。
- [請求項3] 前記共有データメモリには、通信を行うプログラムが更に保存されている請求項1又は2に記載の車両制御装置。
- [請求項4] 前記共有データメモリには、スクリプトを解釈して実行するプログラムが更に保存されている請求項1又は2に記載の車両制御装置。
- [請求項5] 前記共有データメモリには、通信パラメータのデフォルト値が更に保存され、
予期せぬ異常によってリセットされた場合に、前記第2コアは前記デフォルト値に基づいて外部との通信を行う請求項1～4のいずれか一項に記載の車両制御装置。

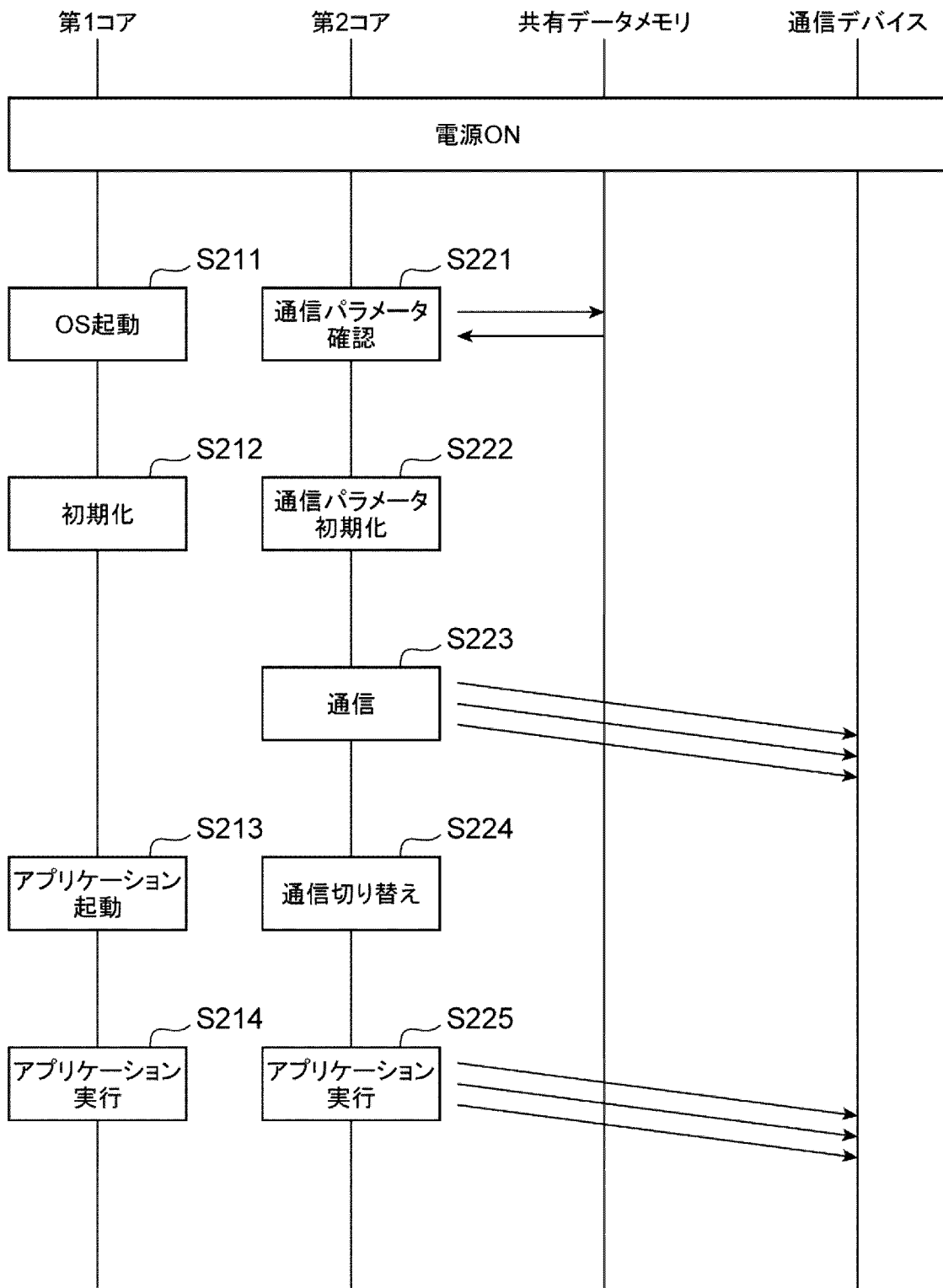
[図1]

図 1



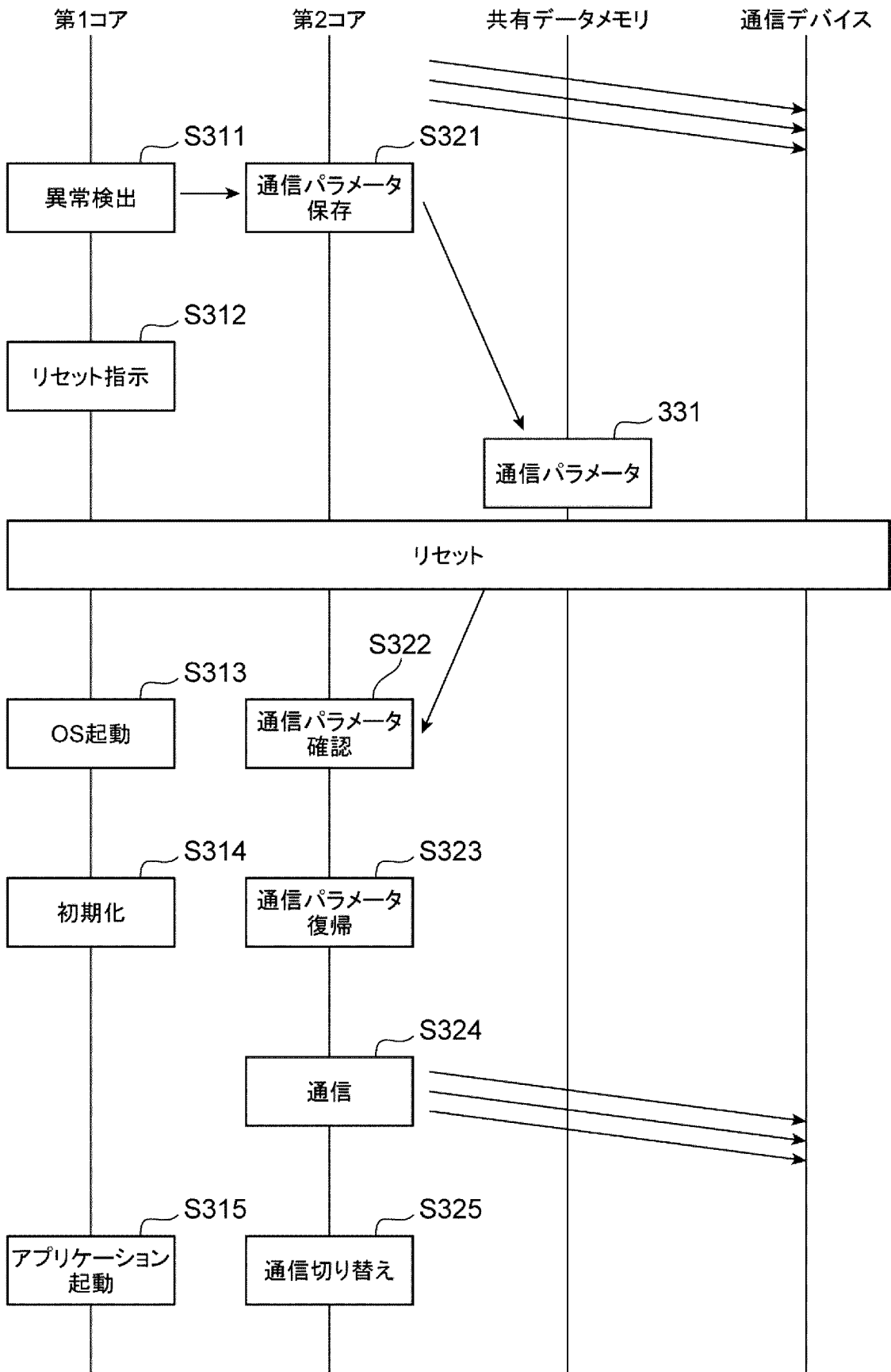
[図2]

図 2



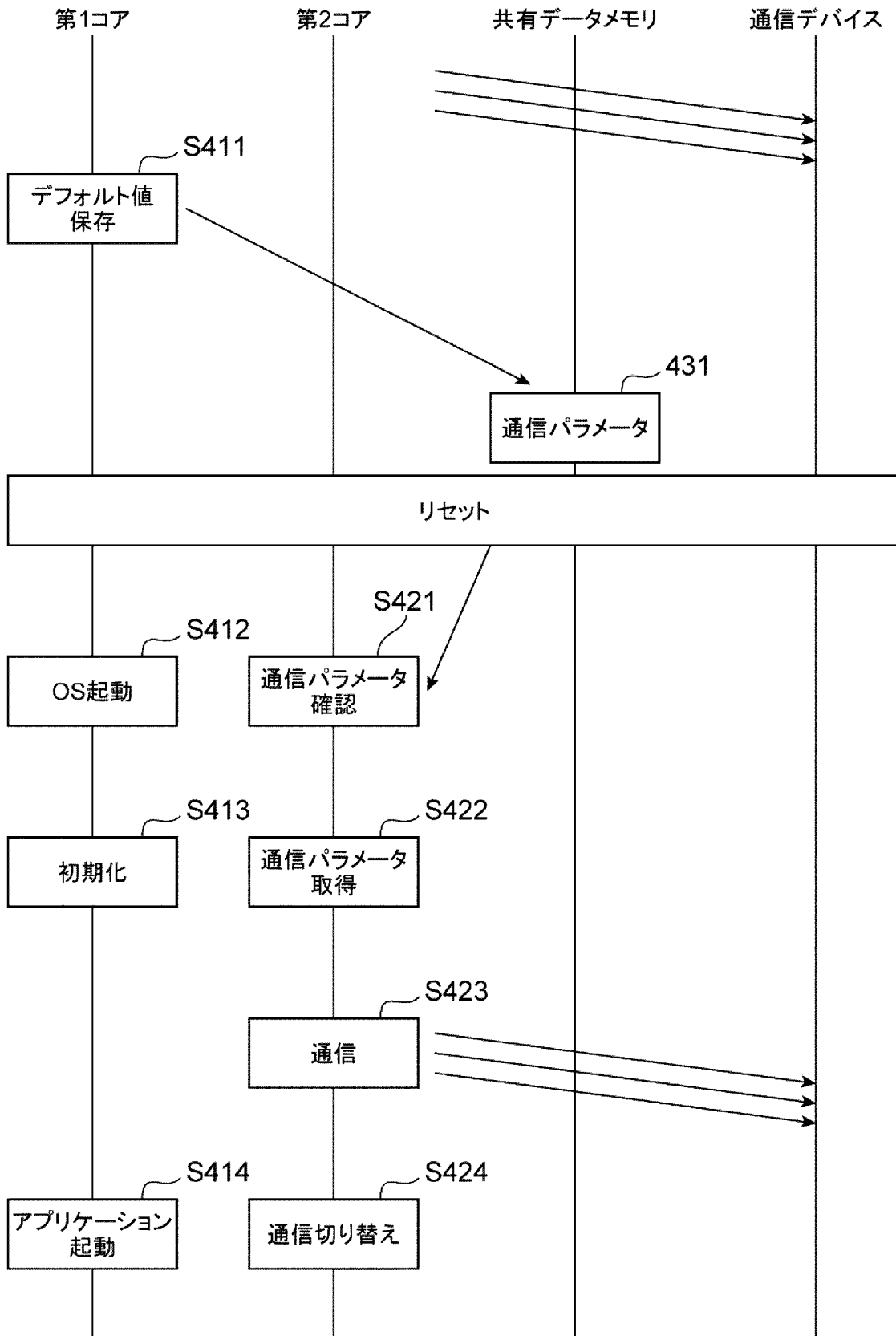
[図3]

図 3



[図4]

図 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/035372

A. CLASSIFICATION OF SUBJECT MATTER <i>G06F 11/14</i> (2006.01)i; <i>B60W 50/023</i> (2012.01)i FI: B60W50/023; G06F11/14 641 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F11/14; B60W50/023		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-305317 A (TOYOTA MOTOR CORP.) 18 December 2008 (2008-12-18) entire text, all drawings	1-5
A	JP 2013-054434 A (FUJITSU LTD.) 21 March 2013 (2013-03-21) entire text, all drawings	1-5
A	JP 2018-092571 A (RICOH CO., LTD.) 14 June 2018 (2018-06-14) entire text, all drawings	1-5
A	WO 2017/022364 A1 (OLYMPUS CORP.) 09 February 2017 (2017-02-09) entire text, all drawings	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 October 2021		Date of mailing of the international search report 02 November 2021
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/035372

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2008-305317	A	18 December 2008	US 2010/0162042 A1 entire text, all drawings	
				WO 2008/153057 A1	
				CN 101681286 A	
JP	2013-054434	A	21 March 2013	(Family: none)	
JP	2018-092571	A	14 June 2018	US 2018/0150359 A1 entire text, all drawings	
				CN 108121630 A	
WO	2017/022364	A1	09 February 2017	US 2017/0265716 A1 entire text, all drawings	
				EP 3332690 A1	
				CN 107105992 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 11/14(2006.01)i; B60W 50/023(2012.01)i FI: B60W50/023; G06F11/14 641		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06F11/14; B60W50/023 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-305317 A (トヨタ自動車株式会社) 18.12.2008 (2008-12-18) 全文、全図	1-5
A	JP 2013-054434 A (富士通株式会社) 21.03.2013 (2013-03-21) 全文、全図	1-5
A	JP 2018-092571 A (株式会社リコー) 14.06.2018 (2018-06-14) 全文、全図	1-5
A	WO 2017/022364 A1 (オリンパス株式会社) 09.02.2017 (2017-02-09) 全文、全図	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	21.10.2021	国際調査報告の発送日 02.11.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 吉村 俊厚 3Z 4648 電話番号 03-3581-1101 内線 3395	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2021/035372

引用文献			公表日	パテントファミリー文献		公表日
JP	2008-305317	A	18.12.2008	US 2010/0162042	A1	
				全文、全図		
				WO 2008/153057	A1	
				CN 101681286	A	

JP	2013-054434	A	21.03.2013	(ファミリーなし)		

JP	2018-092571	A	14.06.2018	US 2018/0150359	A1	
				全文、全図		
				CN 108121630	A	

WO	2017/022364	A1	09.02.2017	US 2017/0265716	A1	
				全文、全図		
				EP 3332690	A1	
				CN 107105992	A	
