



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I754151 B

(45)公告日：中華民國 111 (2022) 年 02 月 01 日

(21)申請案號：108120158

(22)申請日：中華民國 108 (2019) 年 06 月 11 日

(51)Int. Cl. : H01L21/66 (2006.01)

H01J37/28 (2006.01)

(30)優先權：2018/07/31 美國

62/712,499

2019/01/16 美國

16/249,315

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路8號

(72)發明人：李沛軒 LEE, PEI-HSUAN(TW)；黃郁璇 HUANG, YU-HSUAN(TW)；甘家嘉 KAN,  
CHIA-CHIA (TW)

(74)代理人：陳長文；馮博生

(56)參考文獻：

TW 201037778A

CN 105304614A

US 6426531B1

US 6452412B1

US 2002/0287582A1

審查人員：郭德豐

申請專利範圍項數：10 項 圖式數：5 共 48 頁

(54)名稱

晶圓級測試方法及其測試結構

(57)摘要

本發明實施例係關於一種方法，其包含：將一第一導電跡線之一第一端耦合至一自由電子源；用一電子束掃描該第一導電跡線及一第二導電跡線之暴露表面；該第一導電跡線及一第二導電跡線係交替配置且間隔開的；在執行該掃描之同時獲得該第一導電跡線及該第二導電跡線之一影像；及基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性。

A method includes: coupling a first end of a first conductive trace to a free electron source; scanning exposed surfaces of the first and a second conductive traces with an electron beam, the first conductive trace and a second conductive trace being alternately arranged and spaced apart; obtaining an image of the first conductive trace and the second conductive trace while performing the scanning; and determining a routing characteristic of the first conductive trace and the second conductive trace based on the image.

指定代表圖：

符號簡單說明：

500 . . . 測試方法/  
方法

502 . . . 步驟

504 . . . 步驟

506 . . . 步驟

508 . . . 步驟

510 . . . 步驟

512 . . . 步驟

514 . . . 步驟

516 . . . 步驟

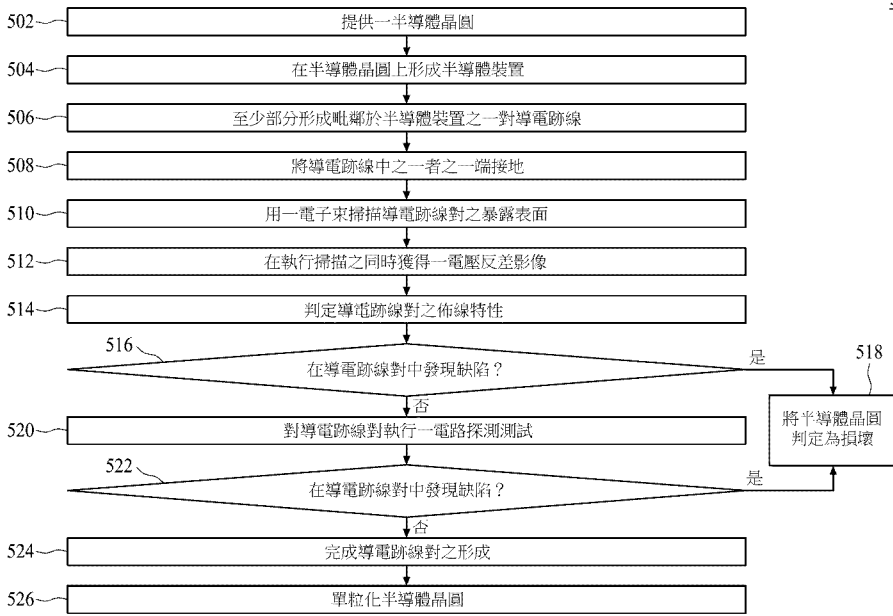
518 . . . 步驟

520 . . . 步驟

522 . . . 步驟

524 . . . 步驟

526 . . . 步驟



【圖5】



I754151

## 【發明摘要】

### 【中文發明名稱】

晶圓級測試方法及其測試結構

### 【英文發明名稱】

WAFER-LEVEL TESTING METHOD AND TEST STRUCTURE  
THEREOF

### 【中文】

本發明實施例係關於一種方法，其包含：將一第一導電跡線之一第一端耦合至一自由電子源；用一電子束掃描該第一導電跡線及一第二導電跡線之暴露表面；該第一導電跡線及一第二導電跡線係交替配置且間隔開的；在執行該掃描之同時獲得該第一導電跡線及該第二導電跡線之一影像；及基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性。

### 【英文】

A method includes: coupling a first end of a first conductive trace to a free electron source; scanning exposed surfaces of the first and a second conductive traces with an electron beam, the first conductive trace and a second conductive trace being alternately arranged and spaced apart; obtaining an image of the first conductive trace and the second conductive trace while performing the scanning; and determining a routing characteristic of the first conductive trace and the second conductive trace based on the image.

### 【指定代表圖】

圖5

【代表圖之符號簡單說明】

500	測試方法/方法
502	步驟
504	步驟
506	步驟
508	步驟
510	步驟
512	步驟
514	步驟
516	步驟
518	步驟
520	步驟
522	步驟
524	步驟
526	步驟

## 【發明說明書】

### 【中文發明名稱】

晶圓級測試方法及其測試結構

### 【英文發明名稱】

WAFER-LEVEL TESTING METHOD AND TEST STRUCTURE  
THEREOF

### 【技術領域】

【0001】 本發明實施例係有關晶圓級測試方法及其測試結構。

### 【先前技術】

【0002】 隨著技術發展，半導體裝置之設計及製造由於更小之尺寸，增加之功能及更複雜之電路而變得更加複雜。眾多製造操作在此等小及高效能半導體裝置內實施。因此，存在修改測試及製造半導體裝置之結構及方法以便改良裝置穩健性以及減少製造成本及處理時間的一持續需要。

### 【發明內容】

【0003】 本發明的一實施例係關於一種方法，其包括：將一第一導電跡線之一第一端耦合至一自由電子源；用一電子束掃描該第一導電跡線及一第二導電跡線之暴露表面，該第一導電跡線及一第二導電跡線係交替配置且間隔開的；在執行掃描之同時獲得該第一導電跡線及該第二導電跡線之一影像；及基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性。

【0004】 本發明的一實施例係關於一種方法，其包括：形成一第一導電跡線及一第二導電跡線；在該第一導電跡線之兩端上沈積一第一墊及

一第二墊；將該第一墊接地；用一電子束掃描該第一導電跡線及該第二導電跡線；在執行掃描之同時獲得該第一導電跡線及該第二導電跡線之一影像；及基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性。

**【0005】** 本發明的一實施例係關於一種方法，其包括：形成一第一導電跡線；形成一第二導電跡線之一部分，該第一導電跡線及該第二導電跡線之該部分係交替配置且間隔開的；在該第一導電跡線之兩端上沈積一第一墊及一第二墊；將該第一墊耦合至一電子源；用一電子束掃描該第一導電跡線及該第二導電跡線之部分；在執行掃描之同時獲得該第一導電跡線及該第二導電跡線之一影像；基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性；及形成該第二導電跡線之另一部分以完成該第二導電跡線。

#### **【圖式簡單說明】**

**【0006】** 當藉助附圖閱讀時，自以下詳細說明最佳地理解本揭露之態樣。應注意，根據業界中之標準實踐，各種構件未按比例繪製。實際上，為論述清晰起見，可任意地增加或減少各種構件之尺寸。

**【0007】** 圖1係展示根據某些實施例之一測試系統之一示意圖。

**【0008】** 圖2A係展示根據某些實施例之圖1中之一測試圖案之一放大視圖之一示意圖。

**【0009】** 圖2B係根據某些實施例之圖2A中展示之測試圖案之一透視圖。

**【0010】** 圖3A至圖3J係展示根據某些實施例製作及測試圖1中展示之半導體晶圓之中間階段之示意性剖面圖。

**【0011】** 圖3K係根據某些實施例基於圖3A至圖3J中之製造操作之

一測試圖案之一透視圖。

【0012】 圖4A至圖4D係展示根據某些實施例之一測試圖案之影像之示意圖。

【0013】 圖5係展示根據某些實施例之一測試方法之一流程圖。

#### 【實施方式】

【0014】 以下揭露提供用於實施所提供標的物之不同構件之諸多不同實施例或實例。下文闡述組件及配置之具體實例以簡化本揭露。當然，此等僅係實例且不意欲是限制性的。舉例而言，在後續之說明中於一第二構件上方或其上形成一第一構件可包含其中第一構件及第二構件以直接接觸之方式形成之實施例，且亦可包含其中可在第一構件與第二構件之間形成額外構件使得第一構件及第二構件可不直接接觸之實施例。此外，本揭露還可在各種實例中重複參考編號及/或字母。此重複係出於簡化及清晰之目的，且其自身並不指示所論述之各種實施例及/或組態之間之一關係。

【0015】 此外，為了說明便易性，本文中可使用空間相對術語(諸如，「下面」、「下方」、「下部」、「上面」、「上部」及諸如此類)來闡述一個元件或構件與另一元件或構件之關係，如圖中所圖解說明。除圖中所繪示之定向之外，空間相對術語意欲囊括使用或操作中裝置之不同定向。設備可以其他方式定向(旋轉90度或以其他定向)且本文中所使用之空間相對描述語同樣可相應地解釋。

【0016】 本揭露通篇所使用之術語「耦合(couple)」、「經耦合(coupled)」及「耦合之(coupling)」闡述兩個或更多個裝置或元件之間之直接或間接連接。在某些情形中，至少兩個裝置或元件之間之一耦合係指

該等裝置或元件與之間之僅電連接或導電連接且經耦合裝置及元件之間可存在介入構件。在某些其他情形中，至少兩個裝置或元件之間之一耦合可涉及實體接觸及/或電連接。

**【0017】** 本揭露大體上係關於半導體裝置之領域，且更特定而言係關於出於製造半導體裝置此後再將其分離成個別晶粒或晶片之目的在半導體晶圓上設計測試結構及相關聯晶圓級測試方法。

**【0018】** 當製作一半導體晶圓時，該晶圓含有一晶片陣列。當此等晶片完成或處於製作製程之中間階段時，需要測試晶圓或晶片以確保製作製程符合設計規格。舉例而言，一典型測試方法稱為一晶圓驗收測試(WAT)方法，其用於透過測試某些虛設構件監視製作製程偏差。WAT方法可在一切割道中提供數個測試圖案。各個測試圖案可經選擇且用於不同測試受試者，諸如一電晶體中之一電阻或一電流。當在製作製程之早期階段期間使用WAT方法於測試圖案中偵測到電路缺陷時，其指示晶片之構件可能具有類似於缺陷性測試圖案之缺陷。晶圓可經受進一步檢驗或測驗，或可自生產線廢棄以節省製作成本及時間。

**【0019】** 為了改良晶圓製作中之故障分析之有效性，不僅需要偵測缺陷之出現且亦需要偵測缺陷性測試圖案之位置。現有晶圓級測試涉及使用一電子束(E-射束)或光學檢驗裝備檢驗測試圖案。然而，掃描製程係相當耗時的，此乃因檢驗電路構件之佈局及幾何結構需要一高影像解析度。此外，現有WAT量測裝備僅指示損壞測試圖案之身份。需要更多評估度量(例如，基於佈局之熱感測影像之評估)以定位測試圖案中之損壞部分。另外，可藉由影像自身直接反映關於電性質之有限資訊，諸如，一電路是否錯誤地短路或開路。因此，WAT方法之有效性係不令人滿意的。



【0020】 本揭露論述用於促進定位測試圖案之損壞部分之一經改良測試圖案結構及其相關聯測試方法。進行測試之前，將測試圖案之一端接地。將一E射束用作一掃描源用於以一電壓反差(VC)模式掃描測試圖案。在掃描製程期間獲得一測試影像。因此獲得之用於所提議測試圖案之影像提供斷開電連接之構件與電連接之構件之間之一高反差比，藉此達成損壞測試圖案之有效偵測及損壞測試圖案之損壞部分之定位。掃描時間可顯著地減少，且偵測效能相應地增強。

【0021】 圖1係展示根據某些實施例之一測試系統100之一示意圖。一半導體晶圓101經提供且其包含以一矩陣配置之數個半導體裝置102。半導體晶圓101可由一晶圓固持器或一卡盤固持。半導體晶圓101包含諸如矽之一半導體材料。在一實施例中，半導體晶圓101可包含其他半導體材料，諸如矽鍺、碳化矽、砷化鎵或諸如此類。半導體晶圓101可係一p型半導體基板(受體型)或一n型半導體基板(供體型)。

【0022】 半導體裝置102中之每一者可包含形成於半導體晶圓101之一表面上之各種功能組件，舉例而言，電晶體、二極體、電容器或導電互連件。圖1中展示之半導體裝置102可包含完成或未完成之半導體電路。在毗鄰半導體裝置102之間定義一切割道區域104。切割道區域104包含在半導體晶圓101上配置為相交之行及列之切割道。在完成半導體裝置102之製作及測試製程之後，透過切割道區域104將半導體裝置102單粒化為個別晶粒。

【0023】 在一實施例中，一例示性測試圖案106形成於切割道區域104中之半導體晶圓101上。在一實施例中，測試圖案106形成為一獨立式電路且與半導體裝置102實體及電分離。測試圖案106之設計參數可判定

為反映在半導體晶圓101上製作之半導體裝置102之幾何保真度及電效能。在一實施例中，測試圖案106之形狀及幾何結構經判定以符合用於在半導體晶圓101上製作半導體裝置102之設計規則。

【0024】 在一實施例中，在半導體製作製程期間，跨越半導體晶圓101執行每個處理步驟使得亦在切割道104中形成測試圖案106，測試圖案106係由與用於製作半導體裝置102之彼等製程相同之製程製成的。由於用於半導體裝置102及測試圖案106之製作說明及環境幾乎相同，因此在測試圖案106中發現之一缺陷有可能在半導體裝置102中發現。因此，在進行一全面測試之前，測試圖案106適合於充當製作製程條件之一指示符。

【0025】 在本實施例中，測試系統100包含毗鄰晶圓101放置之一能量源120及一成像裝置130。能量源120可經組態以將電子或光學射束發射於半導體晶圓101上，且成像裝置130經組態以擷取及產生由經發射射束照射之半導體晶圓101之一影像。影像可展現具有不同灰色陰影之測試圖案106之構件輪廓。可進行一缺陷檢驗以執行對灰色陰影影像之一粗略檢查且判定是否在測試圖案106中發現任何電路缺陷。在一實施例中，半導體晶圓101之不同位置中之數個測試點位經選擇且經受測試。可以一機器輔助方式、手動或其組合執行檢驗製程。

【0026】 在一實施例中，能量源120經組態以藉由將一電子束(E-射束)投射至半導體晶圓101之一上部表面上而執行掃描，且成像裝置130經組態以基於自測試圖案106之構件發射之第二電子量擷取及產生一影像。根據E射束之各種著陸能量，成像原理可係不同的。舉例而言，利用兩個成像模式來識別電路缺陷，亦即，電壓反差(VC)模式及實體模式。E射束

可具有在電壓反差(VC)模式下用於掃描之介於大約300 eV與大約600 eV之間之一功率位準及在實體模式下高於1000 eV(例如，介於1500 eV與2000 eV之間)之一功率位準。在一實施例中，執行掃描以每次涵蓋一個掃描方塊。因此，掃描方塊之大小係根據解析度要求而判定。實體模式下之習用掃描操作涉及對測試圖案106之詳細電路輪廓之一目視檢驗(或實體模式)。實體模式可允許工程師一次僅檢驗一小掃描方塊，且因此係極其耗時的。而且，VC模式下之現有掃描操作不可應用於大多數測試圖案中，此乃因無充足自由電子可用。在本實施例中，掃描操作產生電路之一VC影像。VC影像之產生係藉由將測試圖案106中之至少一個導電跡線在該導電跡線之一端處接地藉此自接地提供一自由電子源而達成。因此，VC影像基於自測試圖案106之構件接收之電子量，以一亮陰影或一暗陰影顯示測試圖案106之構件(亦即，VC模式)。使用VC模式獲得之影像可提供較實體模式影像中之彼反差比具有一高反差比之構件輪廓，且亮陰影或暗陰影對應於傳導或斷開之電路條件。因此，透過測試圖案106之接地配置，VC模式適合於以一更快且更容易方式偵測電路缺陷。

**【0027】** 圖2A係展示根據某些實施例之測試圖案106之一放大視圖之一示意圖。圖2B係圖2A中之測試圖案106之一透視圖。測試圖案106包含一第一導電跡線202及一第二導電跡線212。在一實施例中，導電跡線202及212之佈局(諸如，其線寬度及線間距)係基於半導體裝置102之設計規則而判定。第一導電跡線202包含形成於不同疊層中之區段204、206及208。區段204在一第一軸(亦即，x-軸)上延伸且形成於一下部(第一)疊層中。區段208係在一上部(第三)疊層中彼此間隔開且沿著一第二軸(亦即，y-軸)延伸之平行條帶或指狀物。參考圖2A及圖2B，區段206形成為在第

一疊層與第三疊層之間之一中間(第二)疊層中沿著一第三軸(亦即，z-軸)延伸之導電通路。水平延伸(亦即，在x-y平面中)之區段204及208係透過垂直延伸之區段206而連接。類似地，第二導電跡線212包含形成於不同疊層中之區段214、216及218。區段218係在第一導電跡線202中指狀物208之第三疊層中彼此間隔開且沿著第二軸(亦即，y-軸)延伸之平行條帶或指狀物。區段214在第一軸(亦即，x-軸)上延伸且形成於一頂部(第五)疊層中。區段216形成為在第三疊層與第五疊層之間之一中間(第四)疊層中沿著z-軸延伸之導電通路。區段214及218水平延伸(亦即，在x-y平面中)且透過垂直延伸之區段216而連接。

**【0028】** 兩個導電墊222及224放置於第一導電跡線202之兩個端上。一導電墊226放置於第二導電跡線212之一端上。在一實施例中，導電墊222、224及226形成為測試墊且經組態以接納一測試探頭。在一測試製程期間，以預定訊號電壓或波形傳輸測試訊號之探頭探針與測試墊222、224及226接合。在某些實施例中，透過導電墊222、224及226進行電壓或電流值之測試量測。在某些實施例中，導電墊222、224及226具有大於各別導電跡線202及212之區段之線寬度之一墊寬度以改良測試量測之精確度及便利性。

**【0029】** 參考圖2A，第一導電跡線202之一個導電墊(例如，導電墊224)係接地的。另一導電墊(例如，導電墊222)係浮動的。將導電跡線202之一個導電墊(墊224)接地同時使另一導電墊(墊222)浮動之配置可幫助使用能量源120之VC模式產生一電路影像(亦即，VC掃描影像)。在一實施例中，一導電墊226放置於第二導電跡線212之一端處。經接地導電墊222、224及226之配置可在所提議VC掃描方法以及使用測試探測裝置之

方法(例如，一電路探測(CP)測試)中使用。

【0030】 圖2A及圖2B展示以圖解說明根據某些實施例之第一導電跡線202及第二導電跡線212之結構。然而，其他實施例亦可係可能的。在一項實例中，更多導電墊可形成於不同疊層中且電連接至導電墊222、224或226，如在後續段落中闡述之圖3K中可見。

【0031】 圖3A至圖3J係展示根據某些實施例製作及測試圖1中之半導體晶圓101之中間階段之示意性剖面圖。圖3K係根據某些實施例基於圖3A至圖3J中之製造操作之最終測試圖案106之一透視圖。為清晰起見，圖3A至圖3J圖解說明半導體晶圓101之切割道區域104之放大視圖且省略毗鄰測試圖案106之半導體裝置102。該等剖面圖係沿著圖2A中之測試圖案106之剖面線而截取。參考圖3A，提供或接收半導體晶圓101。在某些實施例中，半導體裝置102中之至少一部分或某些層係在形成測試圖案106之前而形成。

【0032】 在半導體裝置102之形成期間或之後，在某些實施例中，在半導體晶圓101中之切割道區域104中形成一導電層304。導電層304可延伸跨越半導體裝置102之若干區域及切割道區域104。在一實施例中，導電層304僅在切割道區域104中延伸且未出現在半導體裝置102中。在一實施例中，導電層304與半導體晶圓101之半導體裝置102電隔離。在一實施例中，導電層304係一接地層。導電層304可由多晶矽或金屬材料(諸如，鎢、銅、銀、金、鈦或諸如此類)形成。導電層304可藉由一沈積操作(諸如，化學氣相沈積(CVD)、物理氣相沈積(PVD)、原子層沈積(ALD)或諸如此類)形成。在導電層304上方可形成一絕緣層306。絕緣層306可包含諸如氧化物、氮化物、氮氧化物或諸如此類之一介電材料。絕緣層306

可藉由一沈積方法或其他適合操作形成。在一實施例中，自半導體晶圓101省略導電層304或絕緣層306(見圖3J)。在此條件下，半導體晶圓101自身充當組態以將上覆導電墊接地之接地層，而無需導電層304。

**【0033】** 在導電層304及絕緣層306上方形成由堆疊層構成之一互連結構。形成互連結構之一例示性操作藉由圖案化絕緣層306以暴露導電層304之一部分而開始。在絕緣層306上方形成互連結構之一基底疊層311。基底疊層311包含一導電通路308及圍繞導電通路308之一介電層322。導電通路308經組態以電耦合導電層304與上覆之構件。形成基底疊層311之一例示性方法可包含在絕緣層306上方沈積介電層322之一介電材料且圖案化該介電材料。相應地，在介電層322中形成一通路孔。在介電層322上方或通路孔內電鍍或沈積一或多個導電材料(例如，鎢、銅、鈦或其組合)以形成導電通路308。在某些實施例中，執行一平坦化操作以使導電通路308之頂部表面與介電層322在同一位準上且移除介電層322上方之過量導電材料。在其中不存在導電層304或絕緣層306之實施例中，導電通路308係直接形成於半導體晶圓101之基板上(見圖3J)。

**【0034】** 參考圖3B，在基底疊層311上方形成一第一疊層321。第一疊層321包含導電跡線202之區段204及毗鄰於區段204之一導電墊310。導電墊310電耦合至導電通路308。區段204及導電墊310之材料、組態及形成方法類似於導電通路308之彼等材料、組態及形成方法。隨後，在第一疊層321上方形成一第二疊層323，如圖3C中所展示。第二疊層323包含導電跡線202之區段206及毗鄰於區段206之一導電通路312。導電通路312電耦合至導電墊310。區段206之材料、組態及形成方法類似於導電通路308之彼等材料、組態及形成方法。在一實施例中，複數個導電通路312經形

成以電耦合至導電墊310。在一實施例中，當自上面觀看時導電通路312配置為一陣列。

**【0035】** 參考圖3D，在第二疊層323上方形成一第三疊層325。第三疊層325包含指狀物208、導電跡線202之導電墊224及第二導電跡線212之指狀物218。此外，亦分別形成第一導電跡線202及第二導電跡線212之導電墊222及226，但未在圖3D中展示。導電墊224及310可具有大致上相等形狀及面積。在一實施例中，指狀物208及218以及導電墊222、224及226同時形成。導電墊224電耦合至導電通路312及導電層304。因此，導電墊224係透過導電通路308及312以及導電墊310而接地。指狀物208及218以及導電墊222、224及226之材料、組態及形成方法類似於導電通路308之彼等材料、組態及形成方法。在完成第三疊層325之後，旋即完成第一導電跡線202，亦即，區段204、206及208經連接以形成一導電路徑。此時，第二導電跡線212仍未完成，此乃因指狀物218中之每一者仍保持彼此電隔離。

**【0036】** 對測試圖案106執行一第一回合之測試，如圖3E中所圖解說明。對第一導電跡線202之暴露表面及第二導電跡線212之指狀物218執行一掃描操作。能量源120經組態以將E射束投射於第一跡線202(例如，平行指狀物208及平行指狀物218)上。當執行掃描時獲得一VC掃描影像。如先前所論述，可在兩個模式(亦即，實體模式或VC模式)中之任一模式下執行掃描操作，此取決於應用。然而，VC模式可用於獲得測試圖案106之電性質(諸如，一開路或一短路)，前提是測試圖案106被供應有充足自由電子。由於導電墊224係接地至導電層304，因此電耦合至導電墊224之第一導電跡線202之區段亦接地。成功形成(亦即，電耦合至導電層304)之

第一導電跡線202之任何部分將在由自第一導電跡線202發射之第二自由電子產生之VC掃描影像中展現一亮(明亮)陰影。相比而言，沒有自由電子或含有一有限量之自由電子之測試圖案106之部分將在該影像中展現一暗(陰暗)陰影，此乃因此等部分不能將諸多第二自由電子發射至成像裝置130上。

**【0037】** 電壓反差影像之一機器輔助或手動檢驗可用於透過測驗測試圖案106之亮及暗陰影之分佈來表徵測試圖案106之電性質。因此，VC掃描影像可幫助藉由直接專注於測試圖案106之電性質而非透過使用電路幾何性質(亦即，電路輪廓)判定測試圖案106之電性質之實體模式之間接測驗來偵測電路之佈線特性。

**【0038】** 圖3F圖解說明使用一測試探測裝置140在測試圖案106上進行一第二回合之測試。測試探測裝置140包含複數個探頭探針142以將測試訊號運送至測試圖案106。在一實施例中，測試探測裝置140經組態以藉由使探頭探針142之針尖與測試圖案106之測試墊(諸如，導電墊222及/或224)接合而執行一CP測試。將具有不同電壓位準之各種測試訊號施加至導電墊222及/或224。測試探測裝置140之一感測模組(未展示)經組態以對測試圖案106進行量測，諸如，其片電阻或接觸電阻。在本實施例中，導電墊222及224可由VC掃描模式及CP測試共用，藉此減少所需測試墊之數目。在一實施例中，將一對探頭探針142與導電墊222及224接合以執行一CP測試。在一CP測試情形期間，將一高電壓及一低電壓分別施加至導電墊222及224。經接地以供在電壓反差模式測試期間使用之導電墊224對應於CP測試中之一低電壓訊號輸入以便減輕量測偏差。

**【0039】** 參考圖3G，在第三疊層325上方依序形成一第四疊層327



及一第五疊層329。第四疊層包含一導電通路216及圍繞導電通路216之一介電層330。第五疊層329包含區段214及圍繞區段214之一介電層332。第四疊層中之導電通路216將第三疊層中之指狀物218電耦合至第五疊層中之區段214。

**【0040】** 此外，第四疊層327包含導電墊224上方之導電通路314。在一實施例中，當自上面觀看時導電通路314形成一陣列。導電通路314經形成以電耦合至導電墊224。同樣，第五疊層329包含電耦合至導電通路314之一導電墊316。如此，導電墊316充當導電墊224之延伸部使得當第一導電跡線202由第五疊層329涵蓋時，測試訊號可透過導電墊316運送至第一導電跡線202。區段214、導電墊316以及導電通路216及314之材料、組態及形成方法類似於導電通路308之彼等材料、組態及形成方法。在完成第四疊層327及第五疊層329之後，旋即完成第二導電跡線212，亦即，區段214及218經連接以形成一導電路徑。如圖3E至圖3F中所展示之第一及第二回合之測試係在完成第二導電跡線212之前的一早期階段中執行，從而允許此等第一及第二回合之測試儘可能早地偵測製造製程之潛在缺陷。問題晶圓可經偵測且廢棄或經受進一步測驗，藉此促進故障分析。

**【0041】** 在一實施例中，參考圖3B，第一疊層321進一步包含對應於導電墊222及226之兩個導電墊(未單獨展示)。類似地，參考圖3C，第二疊層323進一步包含將兩個下伏導電墊電耦合至對應導電墊222及226之導電通路(未單獨展示)。此外，參考圖3G，第五疊層329進一步包含對應於導電墊222及226之兩個導電墊(未單獨展示)。類似地，第四疊層327進一步包含將兩個導電墊分別電耦合至導電墊222及226之導電通路(未單獨展示)。上述導電墊及關於導電墊222或226之導電通路之串接組態及形成

方法類似於導電墊224之彼等串接組態及形成方法，亦即，構件由導電墊310、224及316以及導電通路312及314構成。

【0042】 參考圖3H，當完成第一導電跡線202及第二導電跡線212時，可執行另一回合之VC掃描測試。VC掃描測試可類似於圖3E中圖解說明之彼VC掃描測試。在一實施例中，參考圖3I，可繼VC掃描測試之後執行另一回合之CP測試。舉例而言，將分別運送一高電壓及一低電壓之一對探頭探針分別應用於導電墊222及226。為了減輕量測偏差，經接地以供在VC掃描測試中使用之導電墊224在CP測試期間不用作一高電壓輸入。在一實施例中，可改變圖3H及3I之次序。在一實施例中，在第四疊層327形成之前，已完成針對圖3E中之短路及開路之VC掃描測試。在彼情形中，可省略圖3H中之VC掃描測試。在另一實施例中，可省略圖3F中之第一CP測試，亦即，在第二導電跡線218完全形成之前執行之CP測試。當測試圖案106之整個電路準備就緒時，可在圖3I之階段期間進行整個CP測試。

【0043】 圖3J圖解說明根據某些實施例之測試圖案106。圖3J中之測試圖案106類似於圖3I中之彼測試圖案，惟導電通路308延伸至半導體晶圓101之基板。半導體晶圓101之基板充當測試圖案106之接地層。在某些實施例中，可省略導電層304及/或絕緣層306，如先前所論述。

【0044】 圖3K係根據本揭露之某些實施例基於圖3A至圖3J中之製造操作之最終測試圖案106之一透視圖。參考圖3H及圖3K，分別形成於第一疊層321及第五疊層329中之導電墊310及316分別透過導電通路312及314電耦合至第三疊層325中之導電墊224。類似地，儘管在圖3A至圖3J之剖面圖中未展示，但分別形成於第一疊層321及第五疊層329中之導電墊

340及346分別透過導電通路342及344電耦合至第三疊層325中之導電墊222。而且，一導電墊356形成於第五疊層329中且透過導電通路354電耦合至第三疊層325中之導電墊226。每一組導電通路312、314、322、324及354形成為多邊形柱之陣列，如圖3K之實施例中所展示。然而，此等通路之其他組態及數目可取決於設計要求而不同且仍在本揭露之所涵蓋之範疇內。

**【0045】** 圖4A及圖4B係展示根據某些實施例之測試圖案106之影像401之示意圖。可使用圖1中之能量源120之VC掃描模式形成影像401。如圖3E中所展示，影像401係使用一掃描操作而形成。參考圖4A，一E射束410可用於掃描測試圖案106，同時形成VC掃描影像401。E射束410之射束圖案可具有一條帶形狀或一方塊形狀。在本實施例中，為E射束410選用一水平條帶形狀，其中E射束410投射至測試圖案106上且E射束410在一單通中分別橫越第一導電跡線202及第二導電跡線212之大致上之所有平行指狀物208及218。然後，沿著y-軸以重複射束條帶410掃描整個測試圖案106。

**【0046】** 指狀物208可充當設計規則之一基準，諸如半導體裝置102之導電線之間之最小間距。假定第一導電跡線202在一區域AOC(由一虛線框圖解說明)中包含一開路或高阻抗缺陷。當E射束410掃描穿過指狀物208及218時，連接至導電墊224之第一導電跡線202之一第一部分P1可在影像401中展現一亮陰影(表達為空白區段)。第一導電跡線202之剩餘部分(稱為一第二部分P2)可在影像401中展現一暗陰影(表達為斜線條帶區段)。如先前所論述，因為導電墊224接地，因此電耦合至導電墊224之第一導電跡線202或第二導電跡線212之任何部分(亦即，第一部分P1)將接收

且吸收自由電子。同時，不接收由接地層304供應之充足自由電子之第一導電跡線202之一部分(例如，第二部分P2)將歸因於缺乏自由電子而展現一暗陰影。因此，第一部分P1中之區段將被照射且在影像401中展現一亮陰影，但第二部分P2中之區段將在影像401中展現一暗陰影。在一實施例中，第一導電跡線202之整個第一部分P1被照射，此乃因自由電子運行穿過整個第一部分P1。

**【0047】** 當一測試工程師檢驗與E射束410相交之測試圖案106之部分時，該工程師將看見具有亮陰影或暗陰影之一序列相交分段。基於第一導電跡線202之第一部分P1與第二部分P2之間之高反差比，測試工程師可目視判定開路問題位於第一導電跡線202之區域AOC內。在一實施例中，將區域AOC判定為第一導電跡線202之一視覺連續部分，其中該部分具有一第一端E1及一第二端E2。連接至導電墊224之第一端E1展現一亮陰影，而第二端E2展現一暗陰影。此等視覺連續部分可歸因於電路缺陷而不是電連續的。測驗區域可限制為自第一導電跡線202之整個長度至區域AOC內之分段。

**【0048】** 隨後，測試工程師可進行額外量測以定位第一端E1與第二端E2之間之分段中之電路缺陷。舉例而言，如圖4B中所展示，進一步掃描區域AOC，其中E射束140係投射至區域AOC之一部分或整個區域AOC。舉例而言，E射束415形成為一垂直條帶形狀以涵蓋第一端E1所駐存之問題指狀物208P之一區段。容易判定電路缺陷是否存在於由E射束415涵蓋之區域內。藉由遵循此一定位方法，搜索區域逐漸減少直至發現電路缺陷。

**【0049】** 關於第二導電跡線212，第二導電跡線212之區段214及216

在E射束410之VC掃描操作時仍未形成。因此，僅指狀物218經歷測驗。在一實施例中，指狀物218係平行配置且彼此電隔離。指狀物218可經形成以充當設計規則之一基準，諸如半導體裝置102之導電線之間之最小線寬度或線間距。因為無指狀物218被設計成耦合至接地層304或導電墊224，因此在一理想情形中指狀物218將展現一暗陰影。

**【0050】** 圖4C及4D係展示根據某些實施例之測試圖案106之影像402之示意圖。可使用圖1中之能量源120之VC掃描模式產生影像402。影像402係使用圖3E中之VC掃描操作而產生。一E射束420可用於在產生影像402中掃描測試圖案106。E-射束420之射束圖案可包含類似於E射束410之彼水平條帶形狀之一水平條帶形狀。可使用運行跨越所有指狀物208及218之掃描條帶420掃描整個測試圖案106。在本實施例中，影像402顯示所有指狀物208遍及第一導電跡線202展現亮陰影。此等亮陰影指示第一導電跡線202中未出現開路或高阻抗缺陷。而且，影像402展示一指狀物218S展現一亮陰影，而其他指狀物218展現暗陰影。測試工程師可因此判定僅指狀物218S由於有缺陷製作製程而電短接至第一導電跡線202之與其鄰近之指狀物208。測驗區域可限制為自所有區段218至指狀物218S周圍之區域。

**【0051】** 隨後，如圖4D中所圖解說明，測試工程師可進行額外量測以定位指狀物218S周圍之電路缺陷。由於僅需要指狀物218S與一附近導電區段之間之一短路之一小接觸區域來允許自由電子流動跨越整個指狀物218S，因此VC掃描影像可不足以識別短路之精確位置。因此，產生影像402之每一方塊之一放大視圖之一方塊模式可係必要的，以允許測試工程師藉由獲得電路之一放大變焦視圖來識別精確位置且測驗指狀物218S周

圍之幾何結構或佈局。形成為具有一方塊形狀之一E射束425經投射以涵蓋指狀物218S及其周圍事物。與用於第一導電跡線202之掃描方法僅使用VC掃描影像401相比，圖4D中之第二導電跡線212之故障偵測可進一步涉及以實體模式進行之目視檢驗步驟。

**【0052】** 圖5係展示根據某些實施例之一測試方法500之一流程圖。在步驟502處，提供一半導體晶圓。在步驟504處，在半導體晶圓上形成複數個半導體裝置。在一實施例中，半導體晶圓包含形成為一格柵之一切割道區域且半導體裝置由該切割道區域分離。在步驟506處，毗鄰於半導體裝置，至少部分形成一對交替配置、間隔開的導電跡線。在一實施例中，僅完成該導電跡線對中之一者而另一者仍未完成。在一實施例中，在切割道區域中形成交替配置、間隔開的導電跡線對。

**【0053】** 在步驟508處，將導電跡線中之一者之一端接地。在一實施例中，藉由將導電跡線中之一者之端電耦合至半導體晶圓中之一接地層而執行接地。在一實施例中，將經接地端選擇為可與一後續電路探測(CP)測試相容。

**【0054】** 在步驟510處，用一E射束掃描導電跡線對之暴露表面。在步驟512處，在執行掃描之同時獲得一電壓反差(VC)掃描影像。在步驟514處，判定導電跡線對之佈線特性，諸如一開路缺陷或短路。

**【0055】** 在步驟516處，判定是否在導電跡線對中發現任何缺陷。若確定，則在步驟518處將半導體晶圓判定為損壞。可廢棄該半導體晶圓且方法500可返回至步驟502以起始另一回合之晶圓製作。若判定未偵測到電路缺陷，則在步驟520處對導電跡線執行一CP測試。

**【0056】** 在步驟522處，判定是否在導電跡線對中發現任何缺陷。

若確定，則在步驟518處將半導體晶圓判定為損壞。可廢棄該半導體晶圓且方法500可返回至步驟502以起始另一回合之晶圓製作。若判定未偵測到電路缺陷，則在步驟524處繼續且完成導電跡線對之形成。

**【0057】** 在步驟526處，當已完成製造及測試操作時，將半導體晶圓單粒化為個別晶粒。在一實施例中，藉由切穿切割道區域使得導電跡線對中之至少一部分被移除而執行單粒化。在一實施例中，藉由單粒化操作移除切割道區域或導電跡線對。

**【0058】** 根據一實施例，一種方法包含以下步驟：將一第一導電跡線之一第一端耦合至一自由電子源；用一電子束掃描第一導電跡線及一第二導電跡線之暴露表面，第一導電跡線及一第二導電跡線係交替配置且間隔開的；執行掃描之同時獲得第一導電跡線及第二導電跡線之一影像；及基於影像判定第一導電跡線及第二導電跡線之一佈線特性。

**【0059】** 根據一實施例，一種方法包含以下步驟：形成第一導電跡線及第二導電跡線；在第一導電跡線之兩端上沈積一第一墊及一第二墊；將第一墊接地；用一電子束掃描第一導電跡線及第二導電跡線；在執行掃描之同時獲得第一導電跡線及第二導電跡線之一影像；及基於影像判定第一導電跡線及第二導電跡線之佈線特性。

**【0060】** 根據一實施例，一種方法包含以下步驟：形成一第一導電跡線；形成一第二導電跡線之一部分，第一導電跡線及第二導電跡線之部分係交替配置且間隔開的；在第一導電跡線之兩端上沈積一第一墊及一第二墊；將第一墊耦合至一電子源；用一電子束掃描第一導電跡線及第二導電跡線之部分；在執行掃描之同時獲得第一導電跡線及第二導電跡線之一影像；基於影像判定第一導電跡線及第二導電跡線之一佈線特性；及形成

第二導電跡線之其他部分以完成第二導電跡線。

【0061】 前述內容概述數個實施例之構件使得熟習此項技術者可更好地理解本揭露之態樣。熟習此項技術者應瞭解，其可容易地將本揭露用作設計或修改其他製程及結構之一基礎以達到本文中引入之實施例之相同目的及/或達成相同優點。熟習此項技術者亦應認識到，此等等效構造並不違背本揭露之精神及範疇，且在不違背本揭露之精神及範疇之情形下，其可在本文中進行各種改變、替代及變更。

### 【符號說明】

100	測試系統
101	半導體晶圓/晶圓
102	半導體裝置
104	切割道區域/切割道
106	測試圖案
120	能量源
130	成像裝置
140	測試探測裝置/電子束
142	探頭探針
202	第一導電跡線/導電跡線/各別導電跡線/第一跡線
204	區段
206	區段
208	區段/指狀物/平行指狀物/鄰近指狀物
212	第二導電跡線/導電跡線/各別導電跡線
214	區段



216	區段/導電通路
218	區段/指狀物/平行指狀物
218s	指狀物
222	導電墊/測試墊/墊
224	導電墊/測試墊/墊
226	導電墊/測試墊
304	導電層/接地層
306	絕緣層
308	導電通路
310	導電墊
311	基底疊層
312	導電通路
314	導電通路
316	導電墊
321	第一疊層
322	介電層/導電通路
323	第二疊層
324	導電通路
325	第三疊層
327	第四疊層
329	第五疊層
330	介電層
332	介電層

340	導電墊
342	導電通路
344	導電通路
346	導電墊
354	導電通路
356	導電墊
401	影像/電壓反差掃描影像
402	影像
410	電子束/重複射束條帶/影像
415	電子束
425	電子束
500	測試方法/方法
502	步驟
504	步驟
506	步驟
508	步驟
510	步驟
512	步驟
514	步驟
516	步驟
518	步驟
520	步驟
522	步驟

524	步驟
526	步驟
E1	第一端
E2	第二端
P1	第一部分
P2	第二部分

**【發明申請專利範圍】****【第1項】**

一種晶圓級測試方法，其包括：

在一半導體晶圓上之一互連結構中沉積一導電層，其中該導電層經配置為接地；

在該導電層上方形成一第一導電跡線及一第二導電跡線，並將該第一導電跡線之一第一端耦合至該導電層；

用一第一電子束在該第一導電跡線及該第二導電跡線之暴露表面上執行一第一掃描，該第一導電跡線及該第二導電跡線係交替配置且間隔開的；

在執行該第一掃描之同時獲得該第一導電跡線及該第二導電跡線之一影像；

基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性；

回應於判定在該第一導電跡線及該第二導電跡線中未發現缺陷，在該互連結構之一第二疊層中形成一第三導電跡線，該第三導電跡線電連接該第二導電跡線之斷開區段；

用一第二電子束在該第三導電跡線之一暴露表面上執行一第二掃描；及

基於該第二掃描判定該第二導電跡線及該第三導電跡線之一佈線特性。

**【第2項】**

如請求項1之方法，其中用該第一電子束在該第一導電跡線及該第二導電跡線之該等暴露表面上執行該第一掃描包括橫越該第一導電跡線及該

第二導電跡線之所有平行指狀物。

**【第3項】**

如請求項1之方法，其中判定該第一導電跡線及該第二導電跡線之一佈線特性包括偵測在該第一導電跡線中是否存在一開路或一高阻抗缺陷。

**【第4項】**

如請求項3之方法，其中基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性包括識別包含該開路或該高阻抗缺陷之一分段，該分段具有一第一端及一第二端，該第一端具有一亮陰影且該第二端具有一暗陰影。

**【第5項】**

如請求項4之方法，其中該分段之該第一端連接至該第一導電跡線之該第一端。

**【第6項】**

如請求項1之方法，其中判定該第一導電跡線及該第二導電跡線之一佈線特性包括偵測該第一導電跡線與該第二導電跡線之間是否存在一短路。

**【第7項】**

如請求項6之方法，其中該第二導電跡線包括在用該第一電子束在該第一導電跡線及該第二導電跡線之該等暴露表面上執行該第一掃描之前與該等第一導電跡線交錯之複數個斷開電連接之指狀物。

**【第8項】**

如請求項1之方法，其包括在掃描該第一導電跡線及該第二導電跡線之暴露表面之前，在一半導體晶圓之一切割道區域中形成該第一導電跡線

及該第二導電跡線。

**【第9項】**

一種晶圓級測試方法，其包括：

在一半導體晶圓上之一互連結構中之一第一疊層中沉積一導電層，該導電層經配置為接地；

在該第一疊層上之一第二疊層中形成一第一導電通路；

在該第二疊層上之一第三疊層中形成一第一導電跡線及一第二導電跡線；該第一導電跡線包括複數個經連接之第一指狀物且該第二導電跡線包括複數個斷開之第二指狀物；

在該第三疊層中之該第一導電跡線之兩端上沈積一第一墊及一第二墊；通過該第一導電通路將該第一墊電連接至該導電層使該第一墊接地；

用一第一電子束在該第一導電跡線及該第二導電跡線上執行一第一掃描；

在執行該第一掃描時之同時獲得該第一導電跡線及該第二導電跡線之一影像；

基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性；

回應於判定在該第一導電跡線及該第二導電跡線中未發現缺陷，在該第二疊層上之一第三疊層中形成一第三導電跡線以電連接該第二導電跡線之斷開的第二指狀物；

用一第二電子束在該第三導電跡線之暴露表面上執行一第二掃描；

及

基於該第二掃描判定該第二導電跡線及該第三導電跡線之一佈線特性。

**【第10項】**

一種晶圓級測試方法，其包括：

形成一第一導電跡線；

形成一第二導電跡線之一第一部分，該第一導電跡線及該第二導電跡線之該第一部分係交替配置且間隔開的；

在該第一導電跡線之兩端上沈積一第一墊及一第二墊；

將該第一墊耦合至一自由電子源；

用一電子束掃描該第一導電跡線及該第二導電跡線之該第一部分；

在執行該掃描之同時獲得該第一導電跡線及該第二導電跡線之一影像；

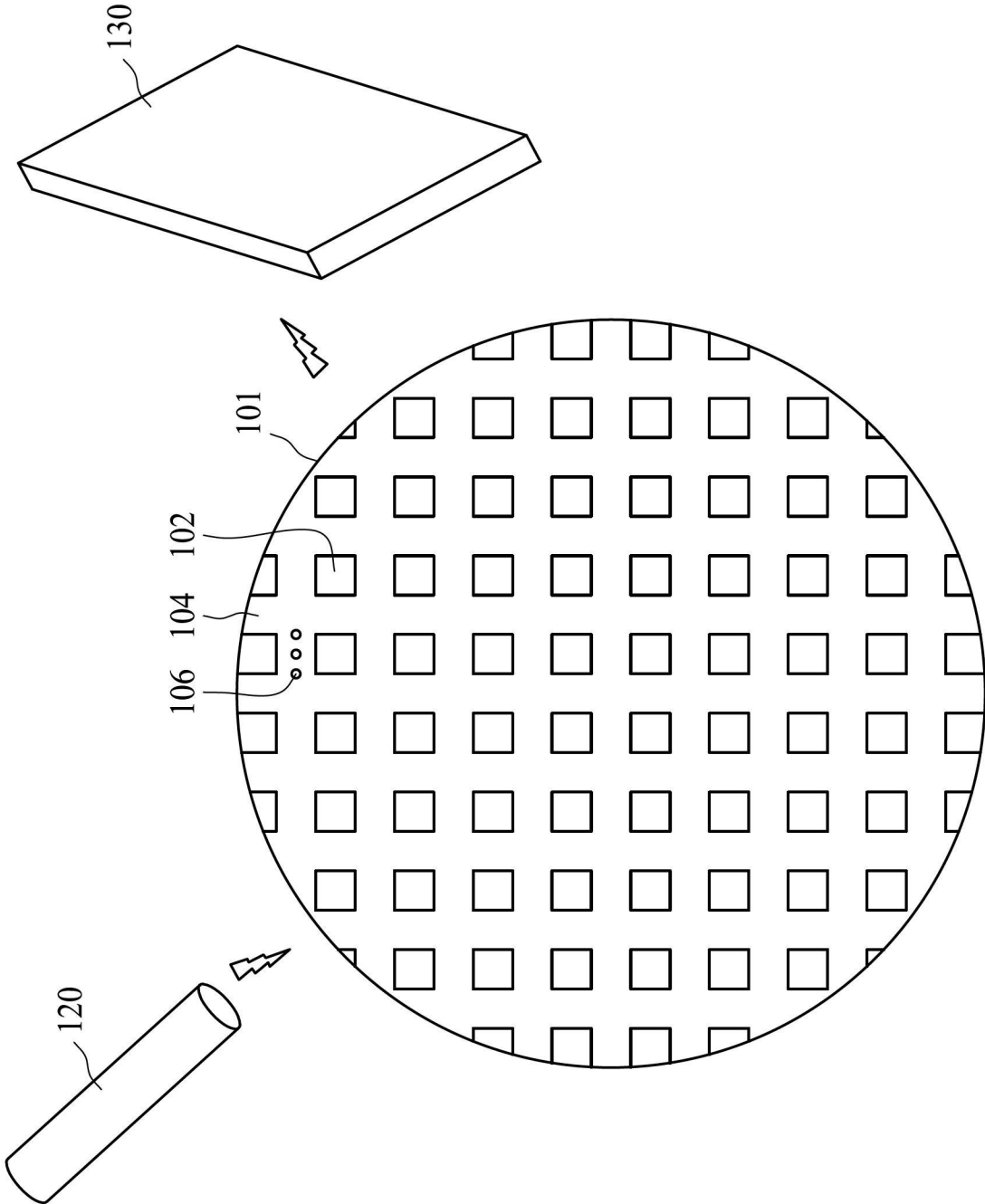
基於該影像判定該第一導電跡線及該第二導電跡線之一佈線特性；

及

在確定該第一導電跡線及該第二導電跡線的佈線特性之後，形成該第二導電跡線之一第二部分以完成該第二導電跡線。

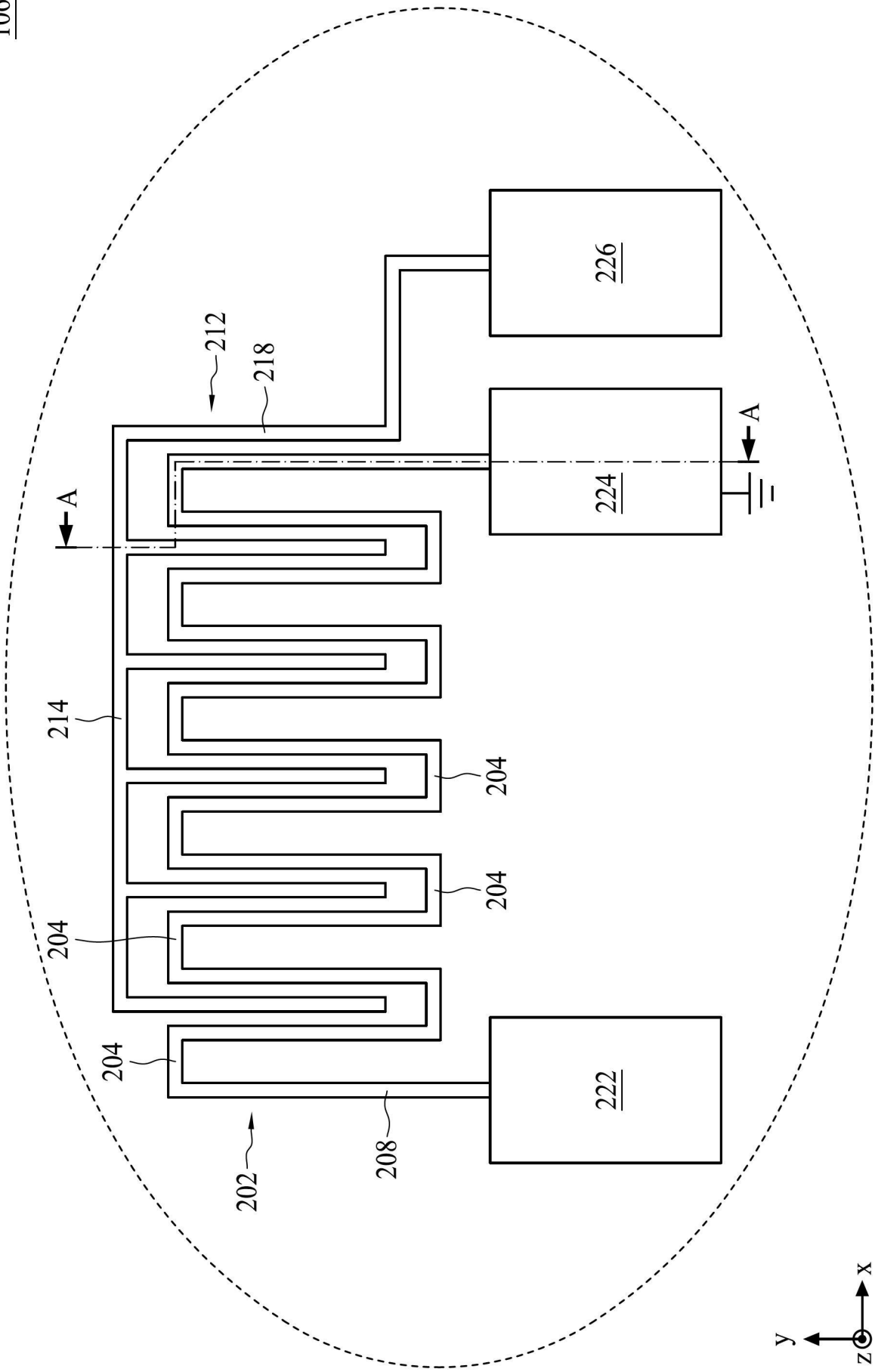
【發明圖式】

100

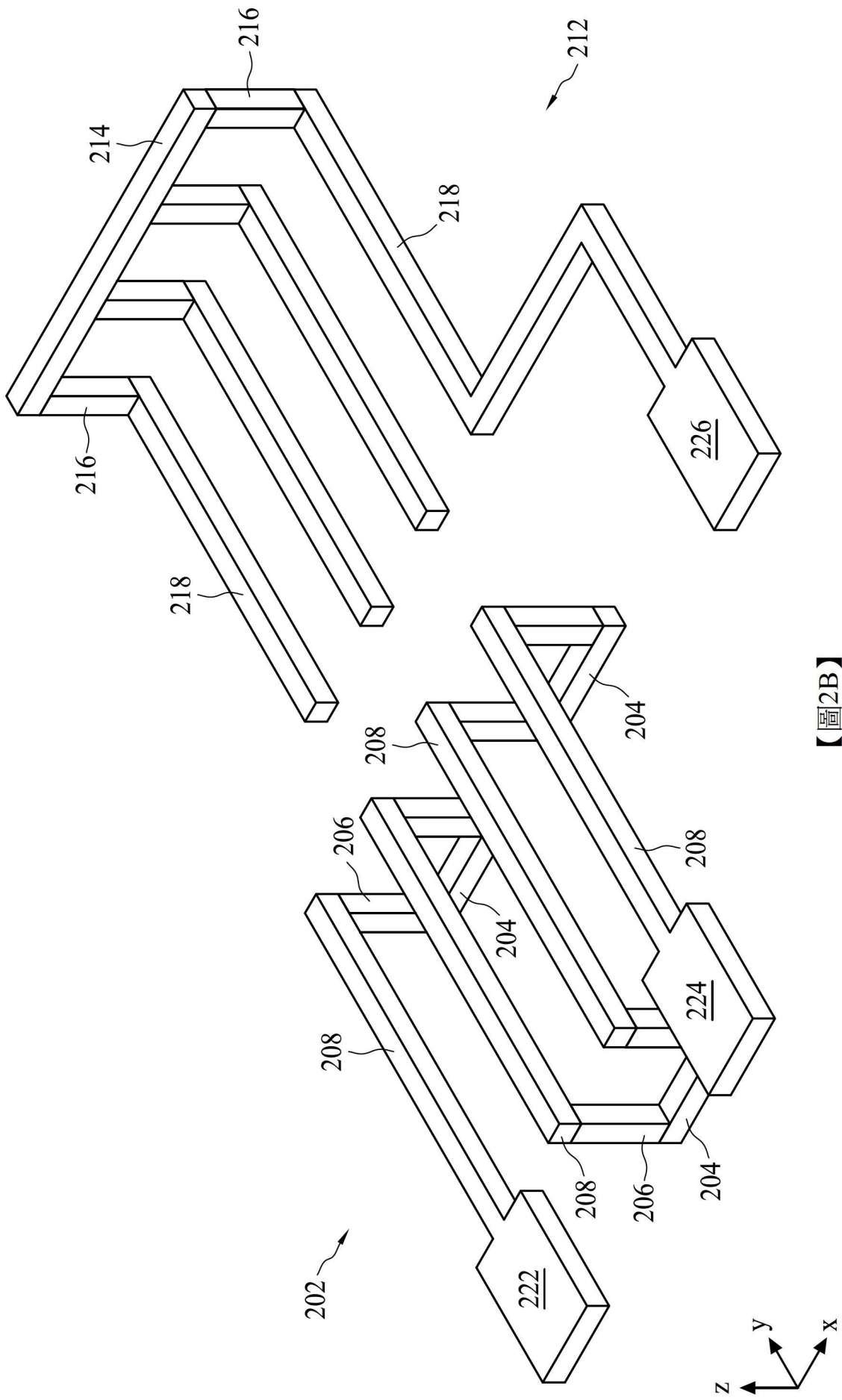


【圖1】



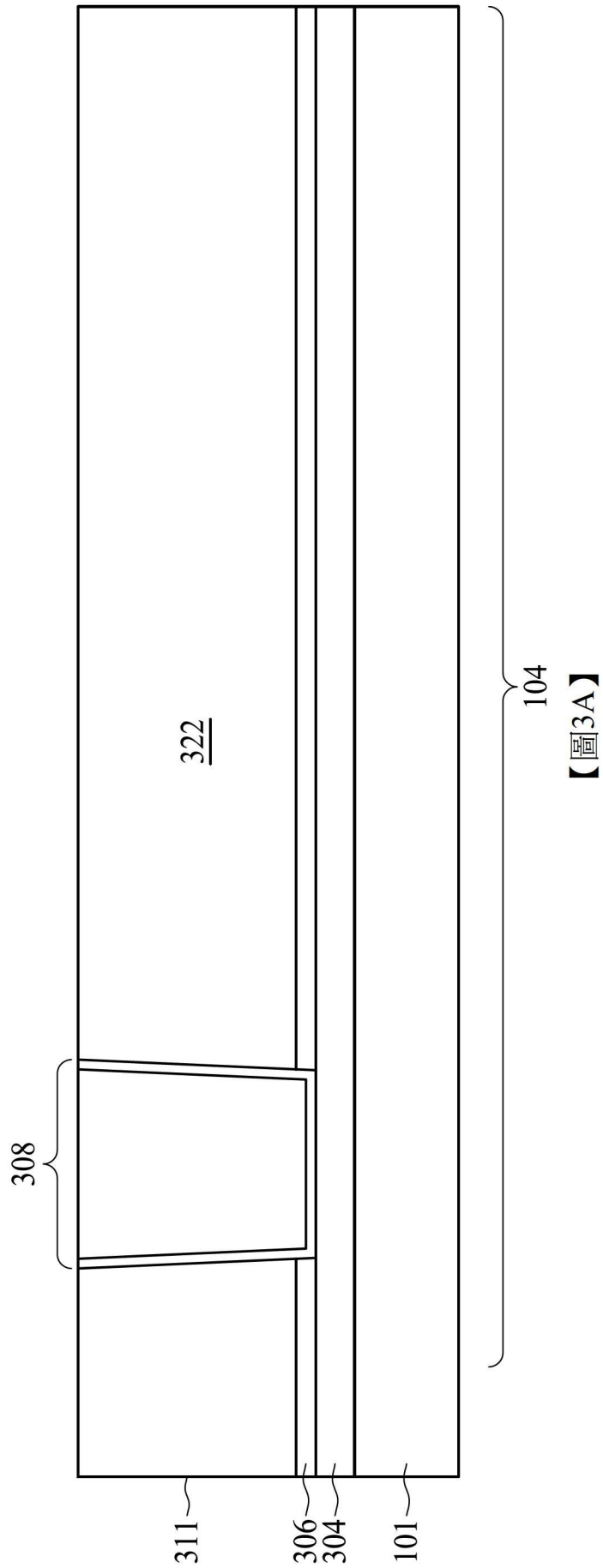


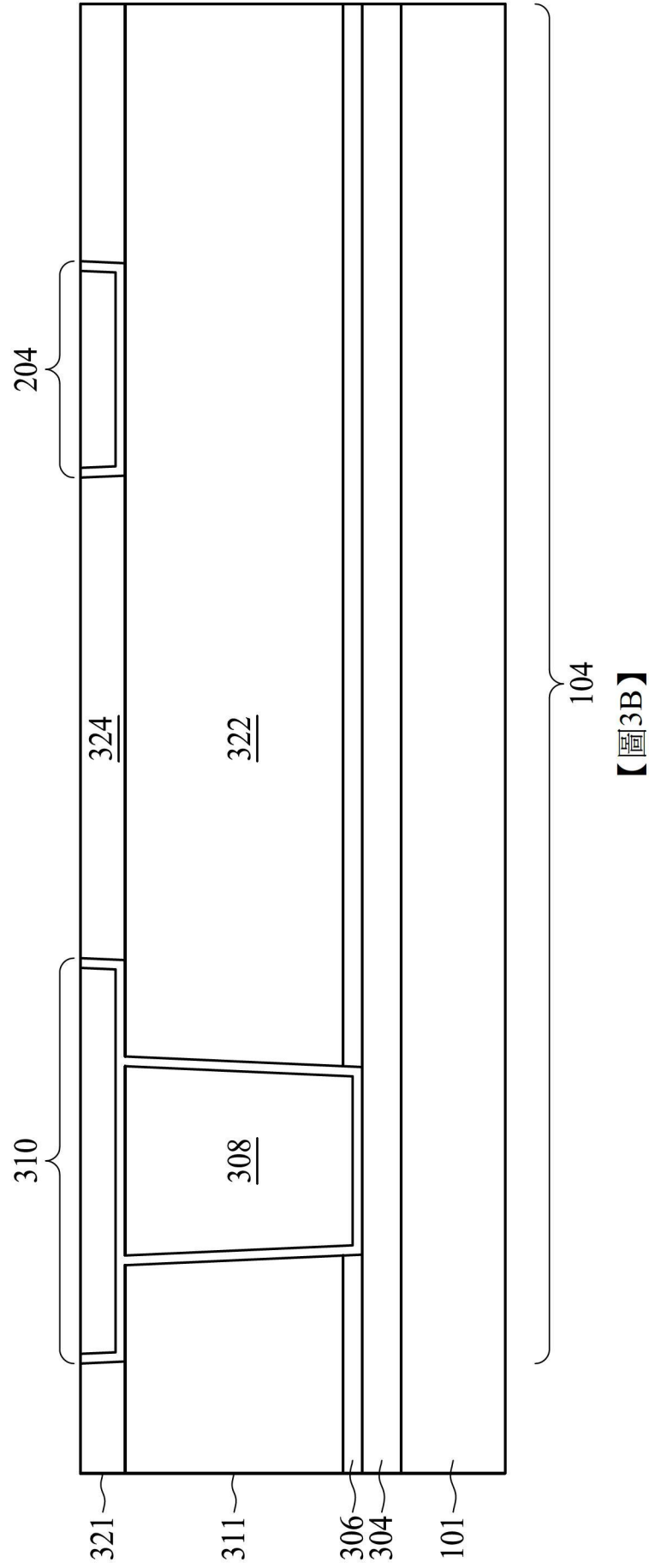
【圖2A】

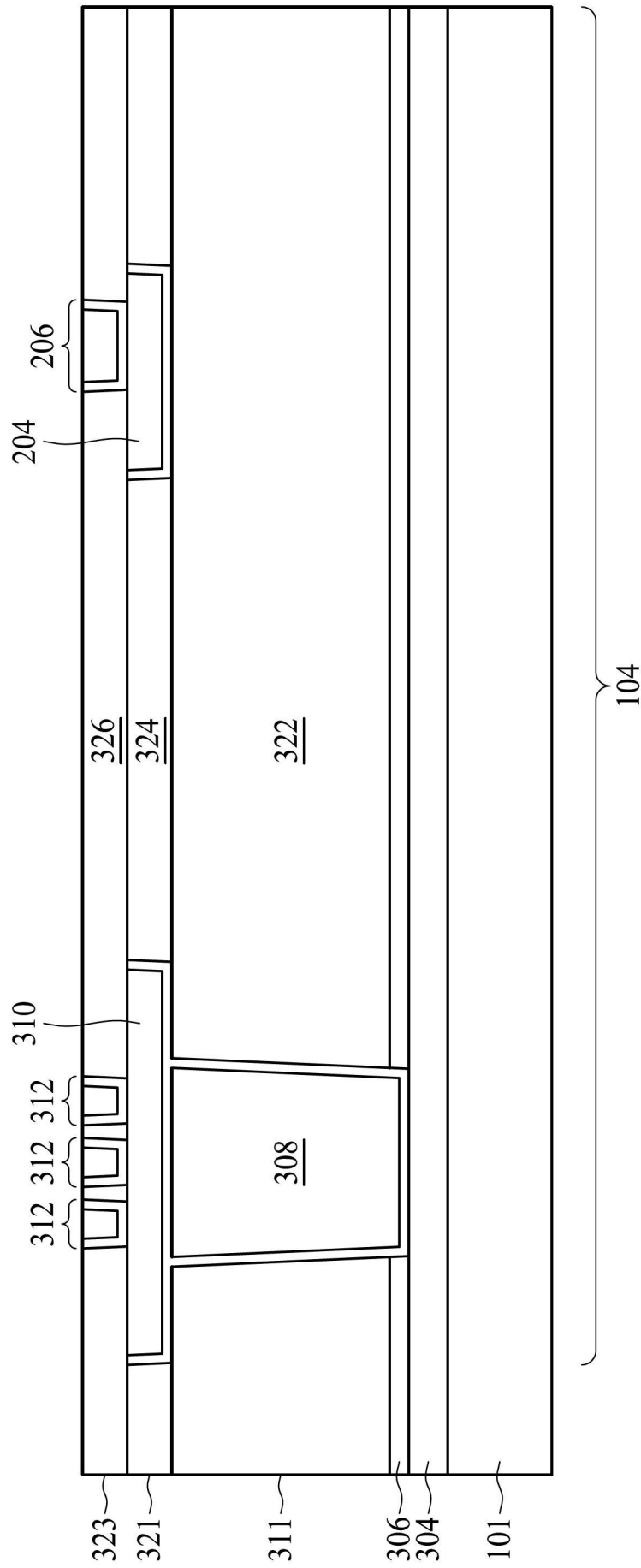


【圖2B】

300

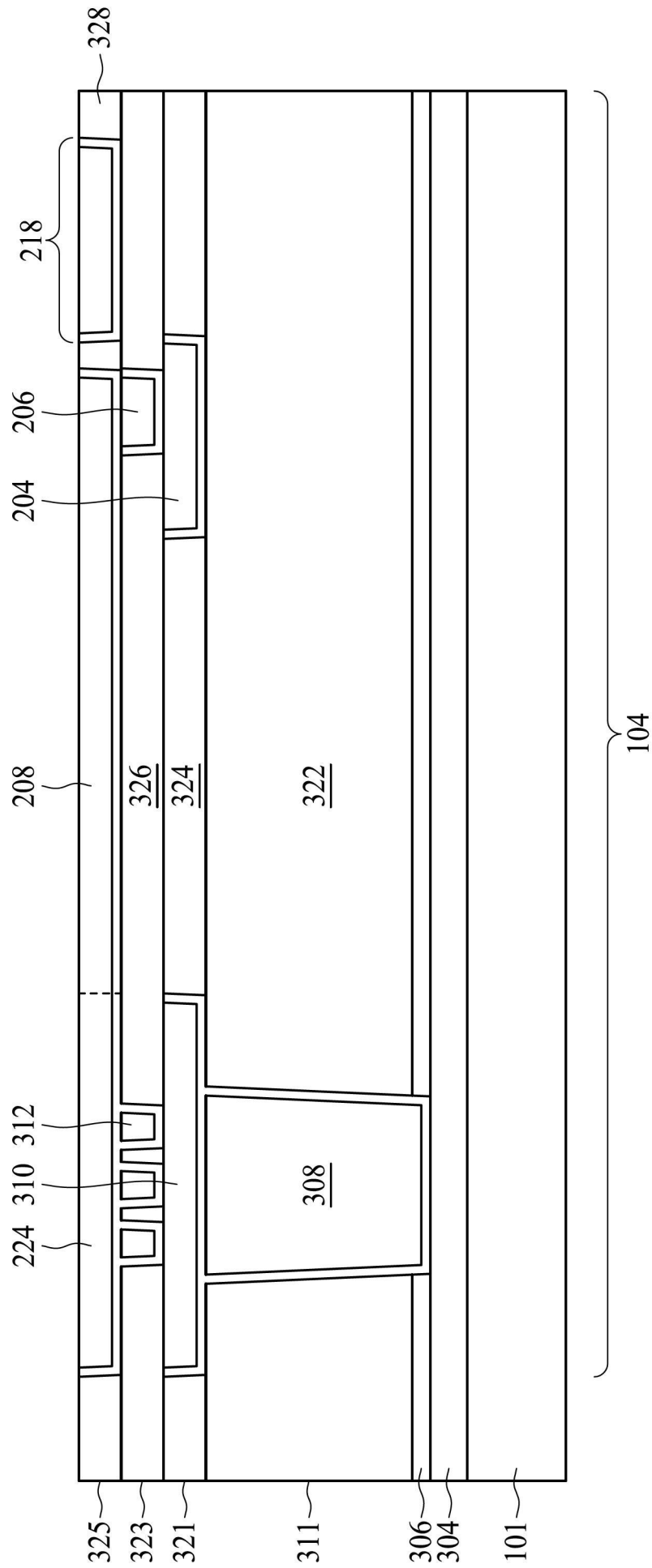






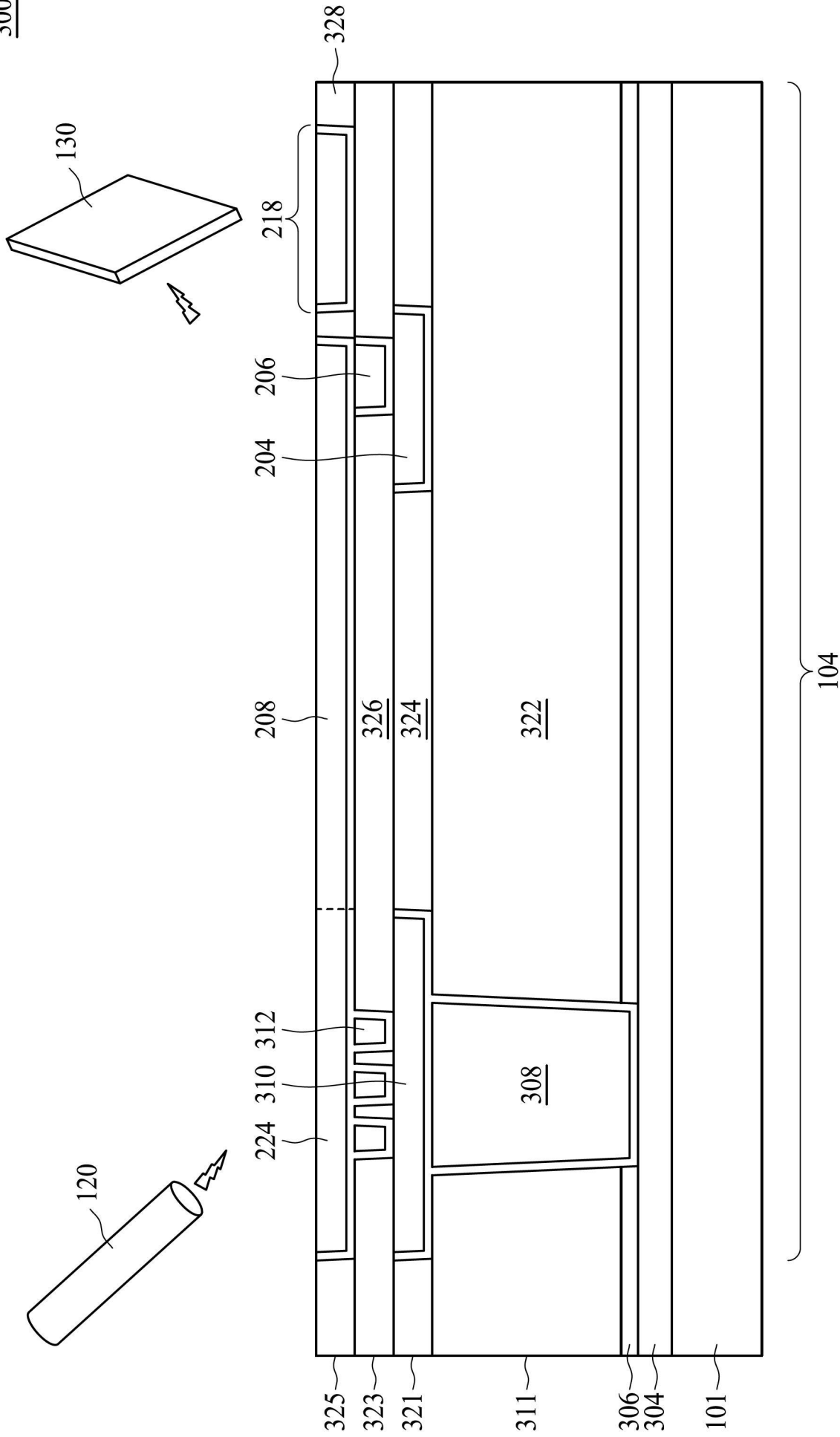
【圖3C】

300

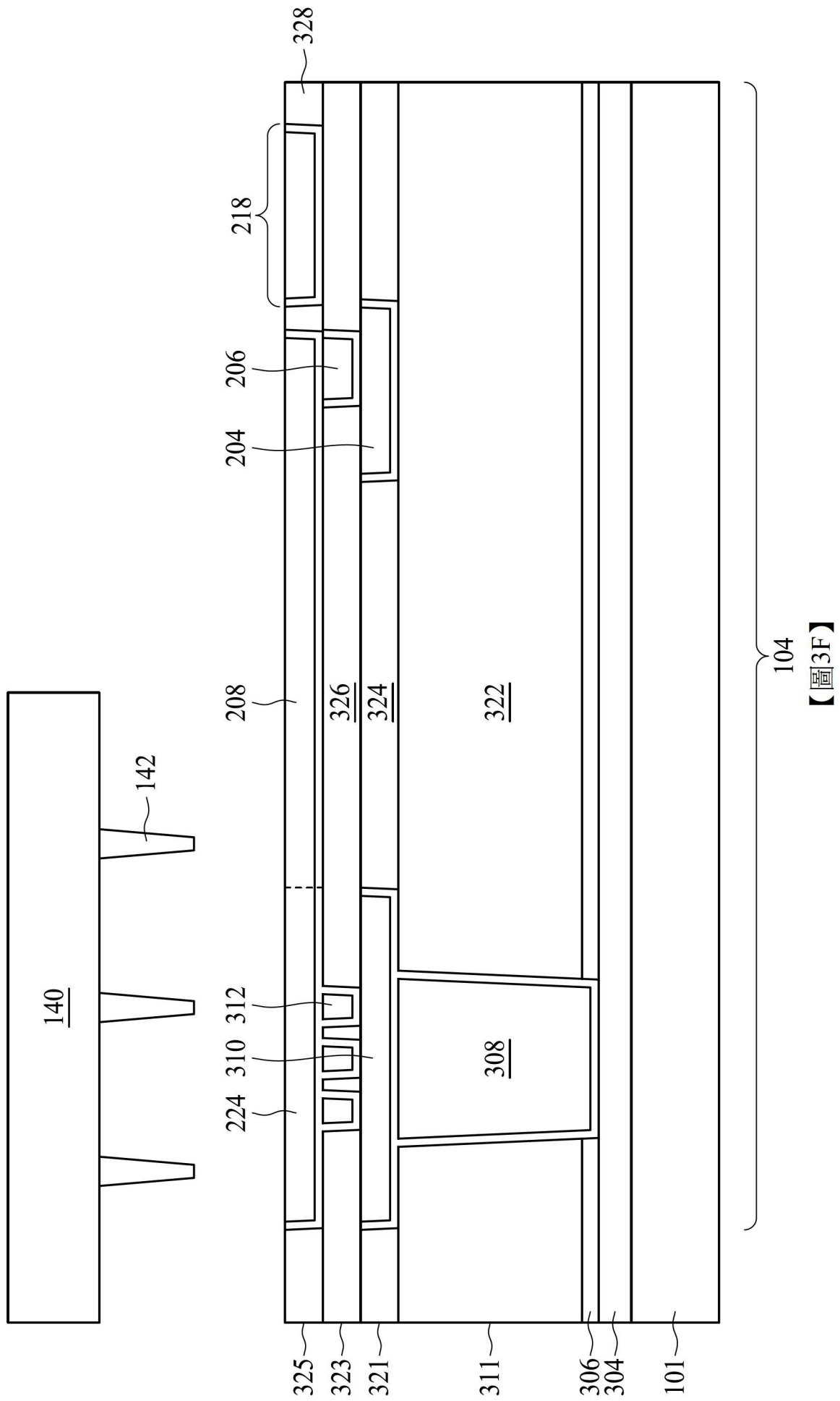


【圖3D】

300

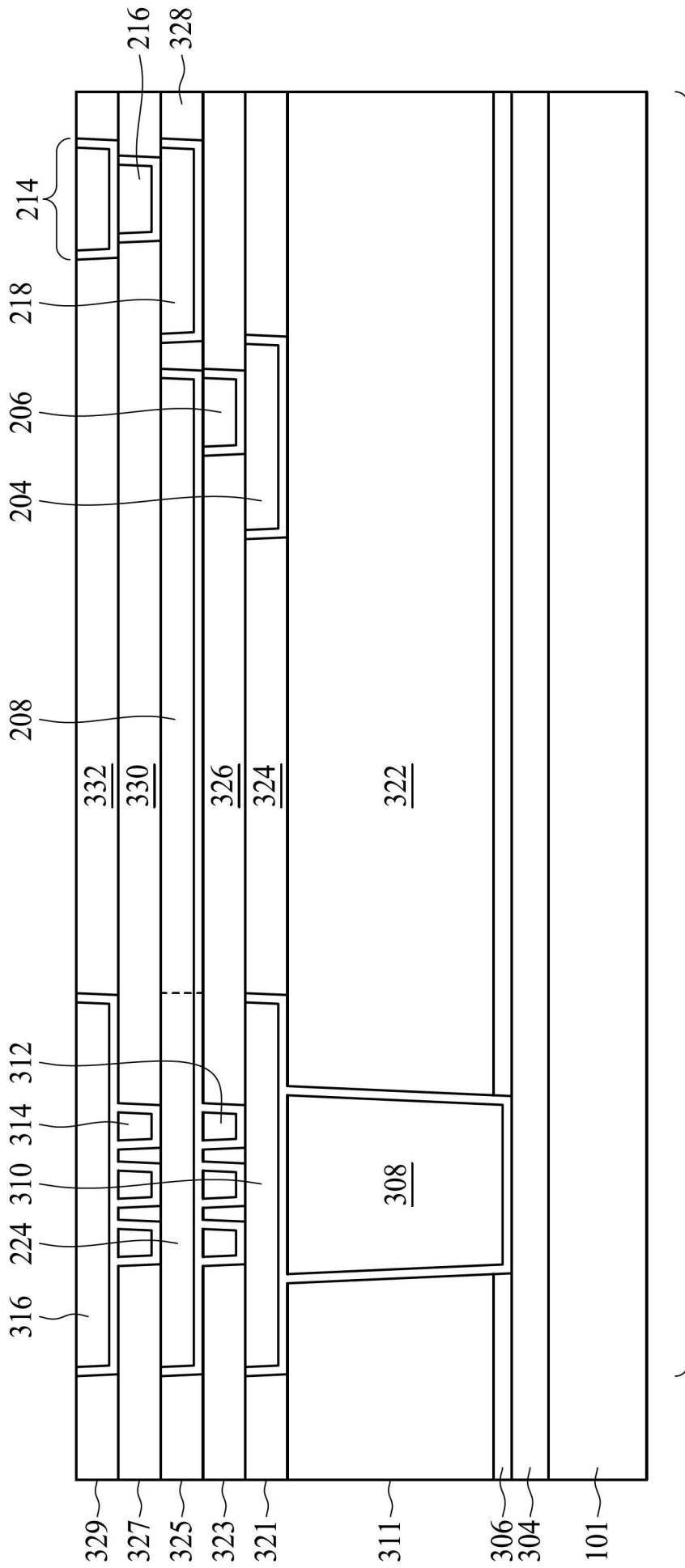


104  
【圖3E】



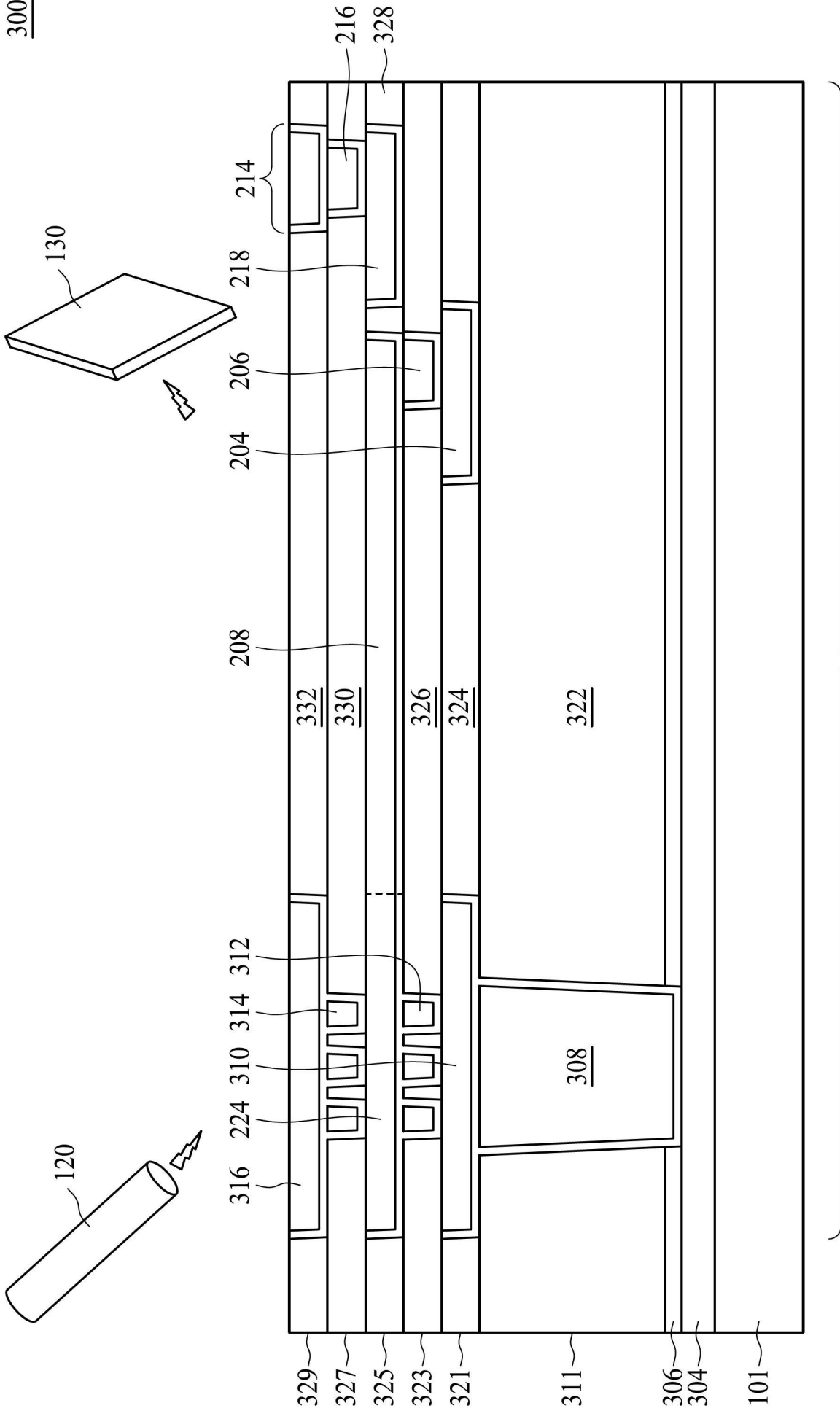


300

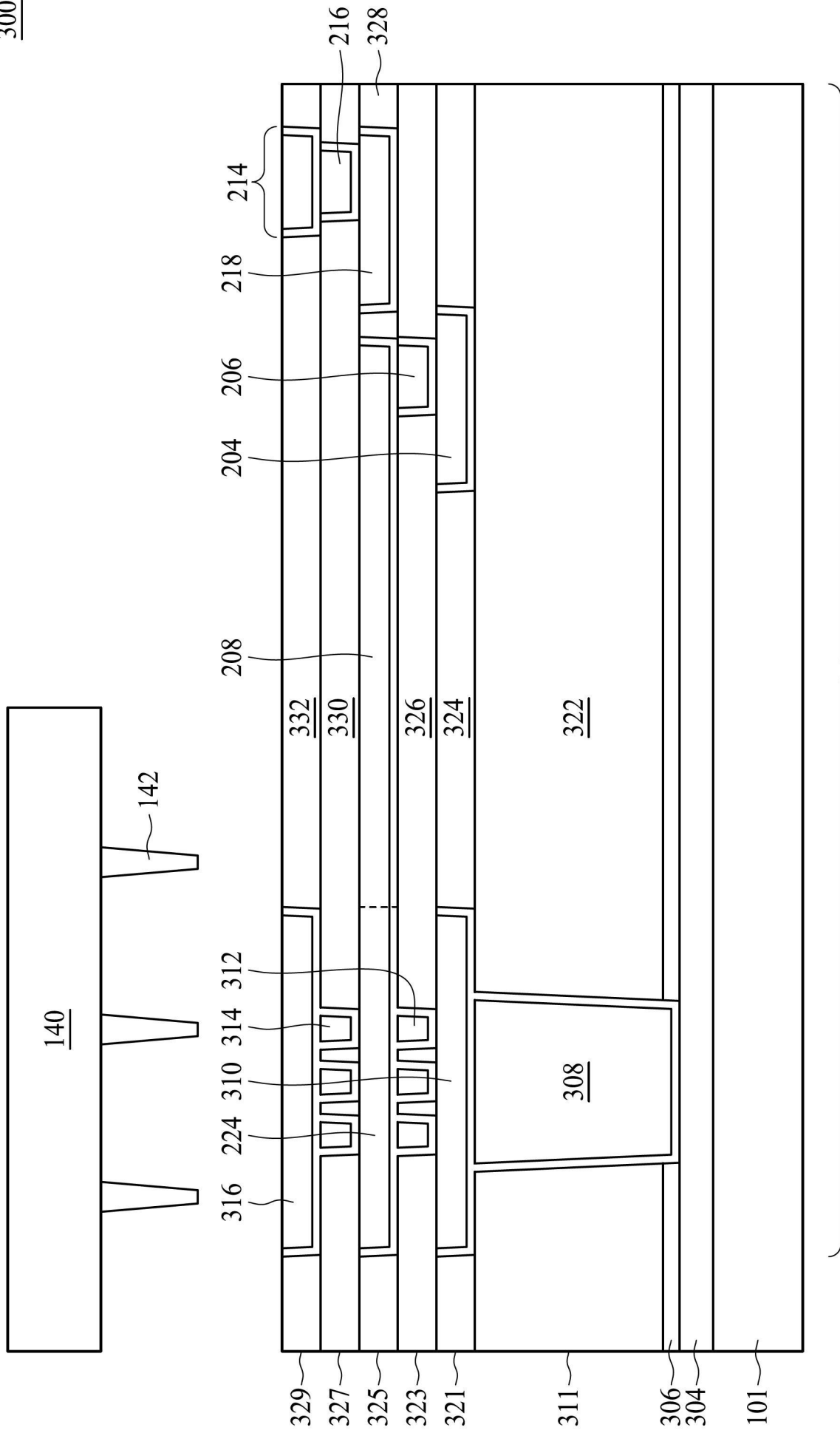


104  
【圖3G】

300

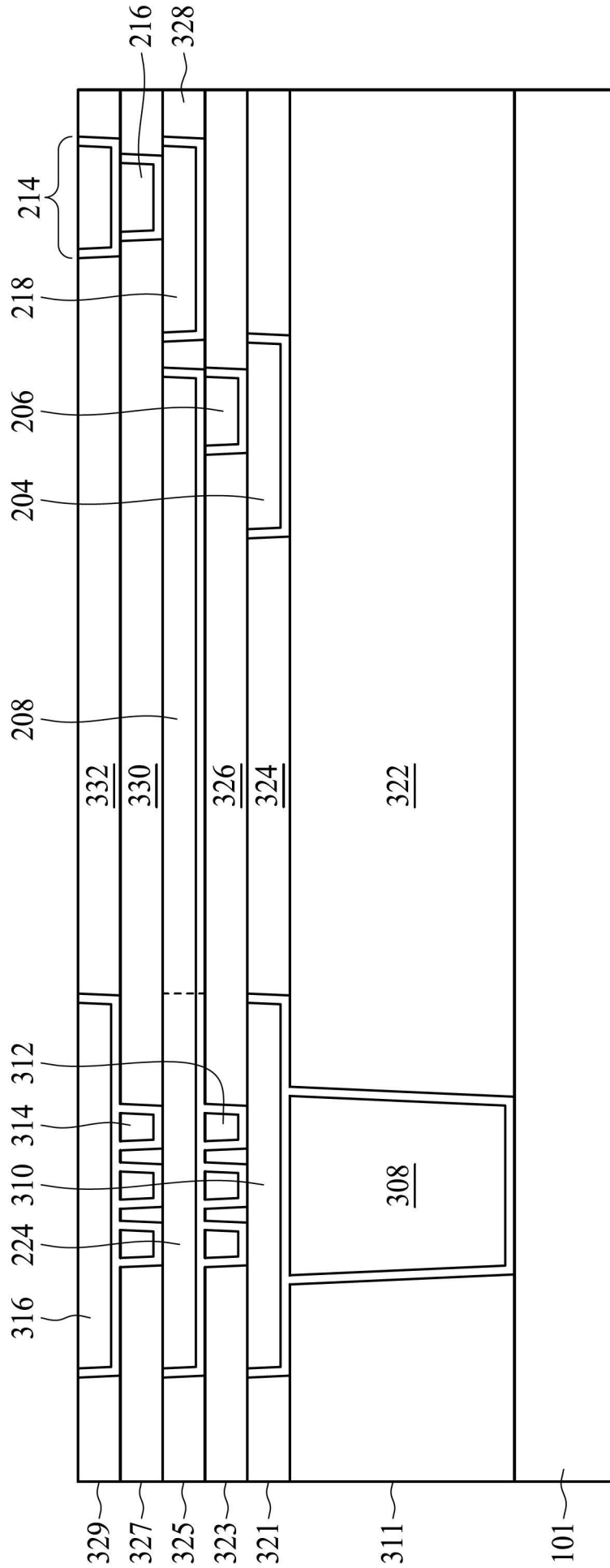


104  
【圖3H】

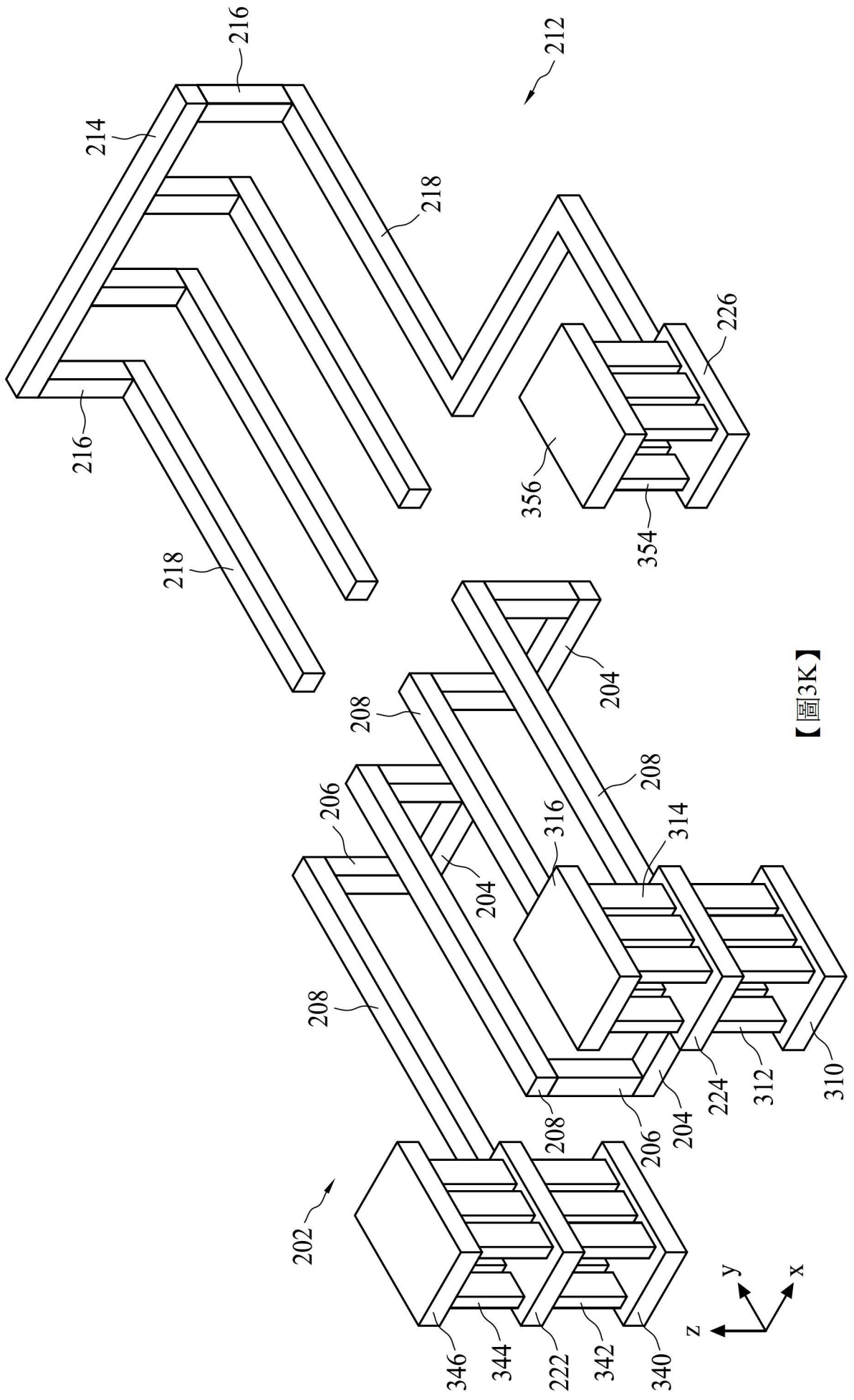


104  
【圖31】

300

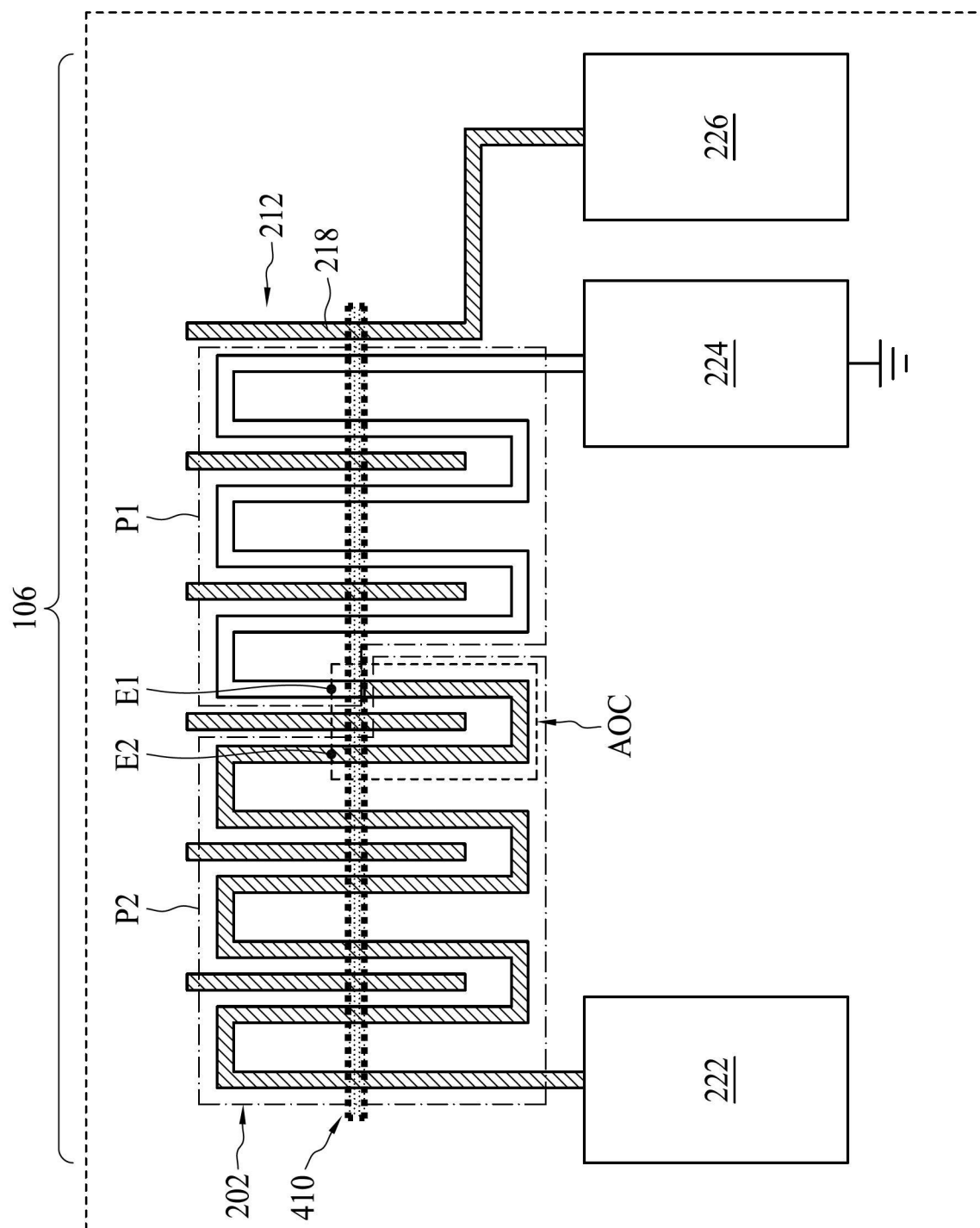


【圖3J】

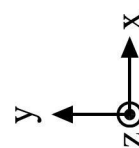


【圖3K】

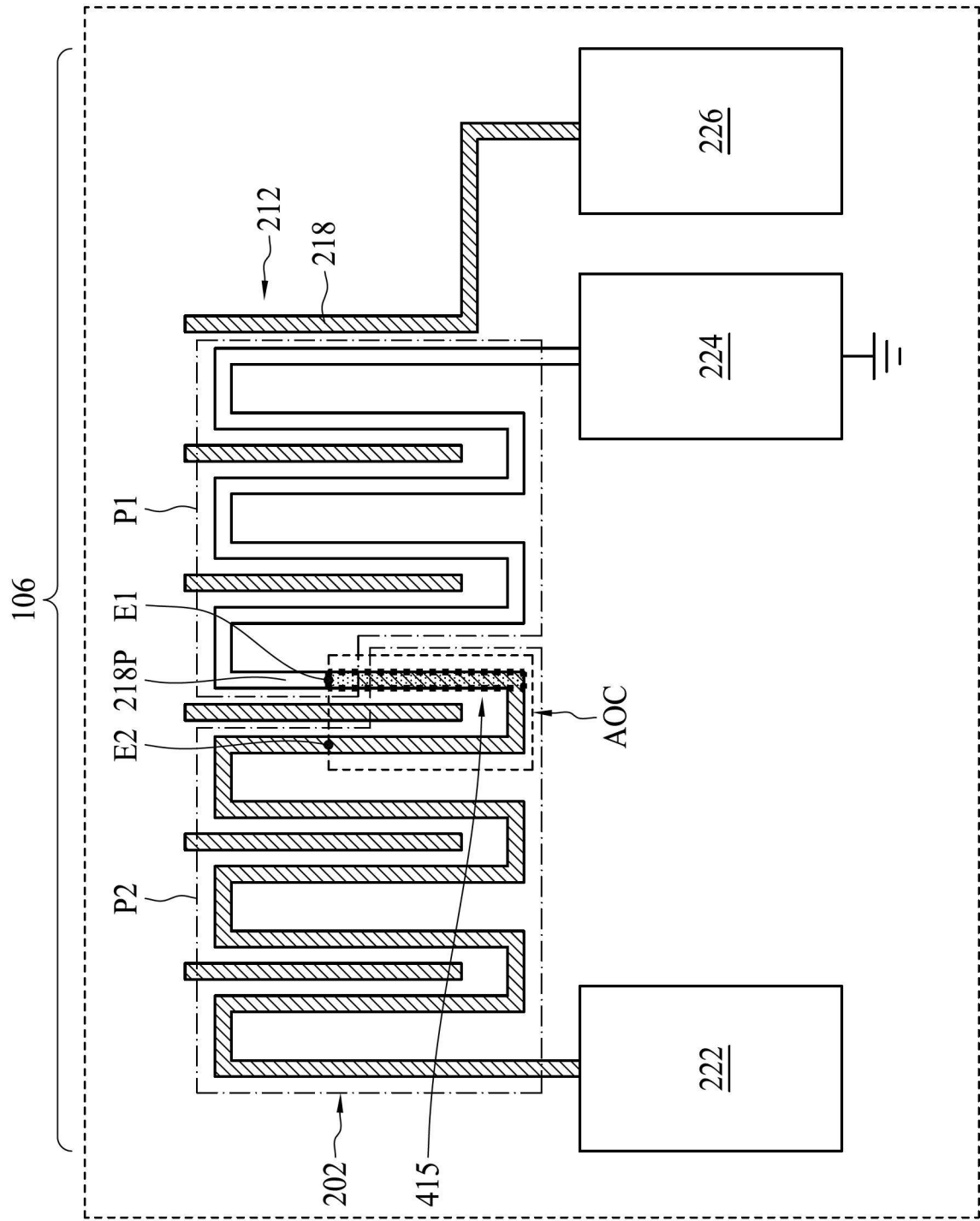
401



【圖4A】



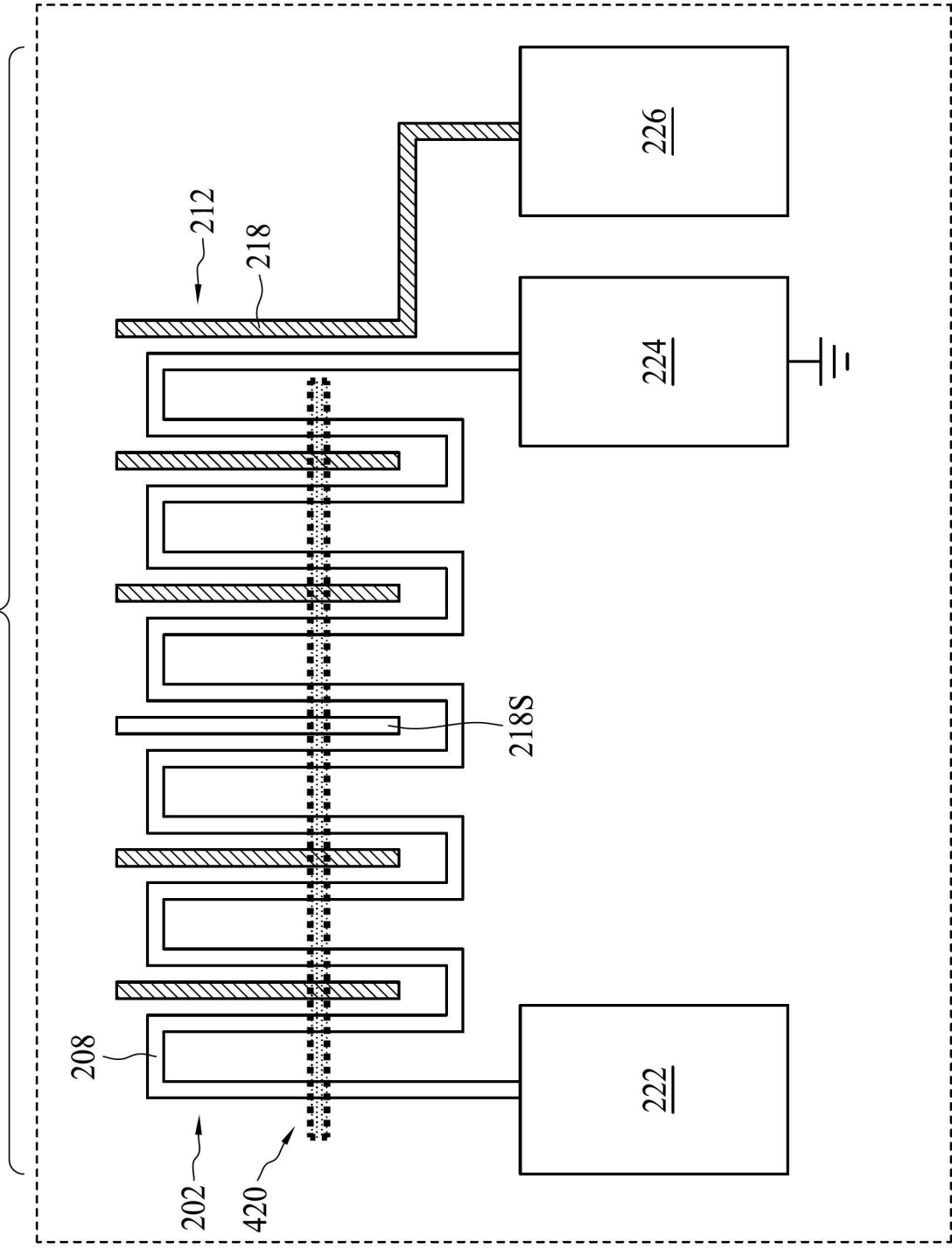
401



【圖4B】

402

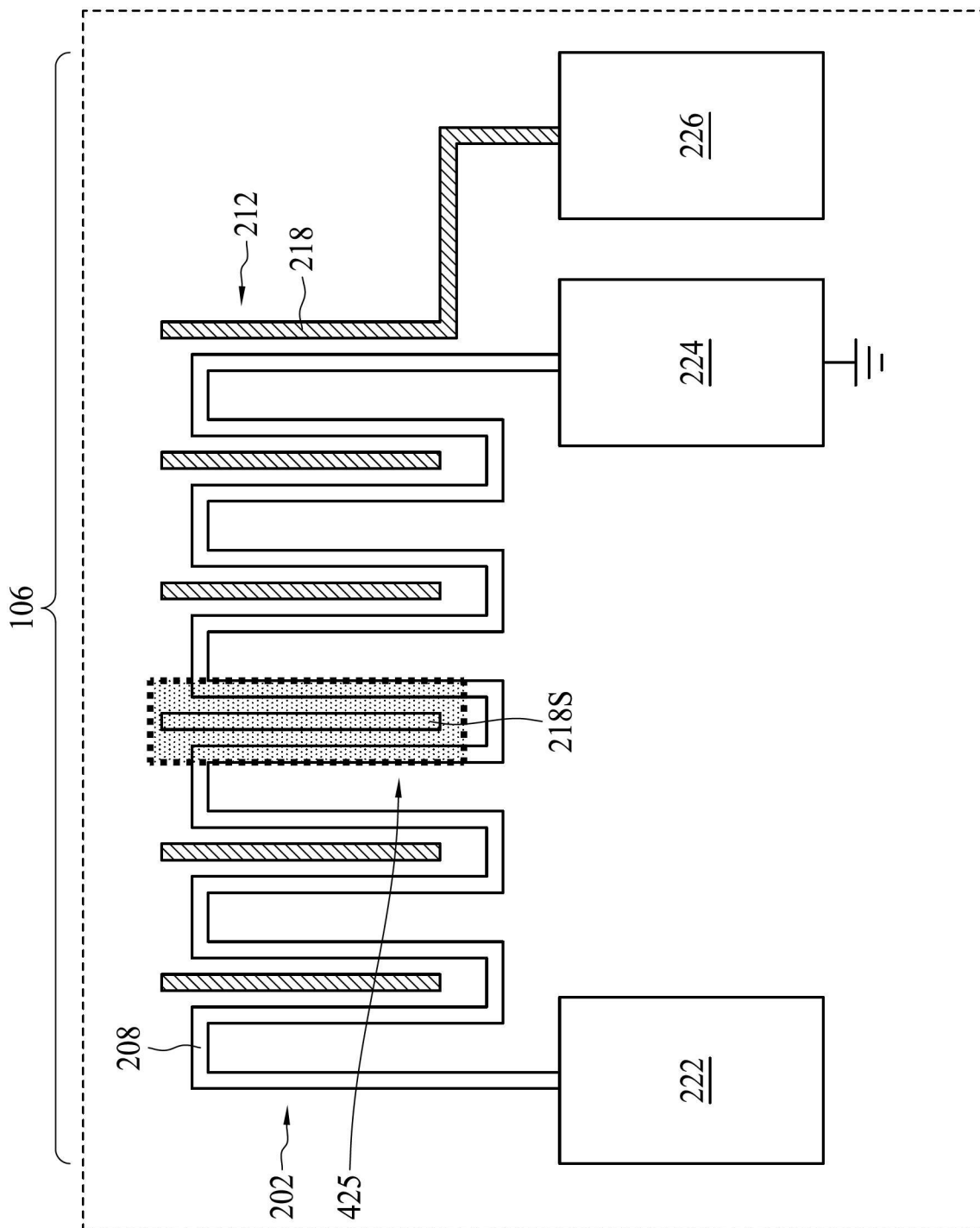
106



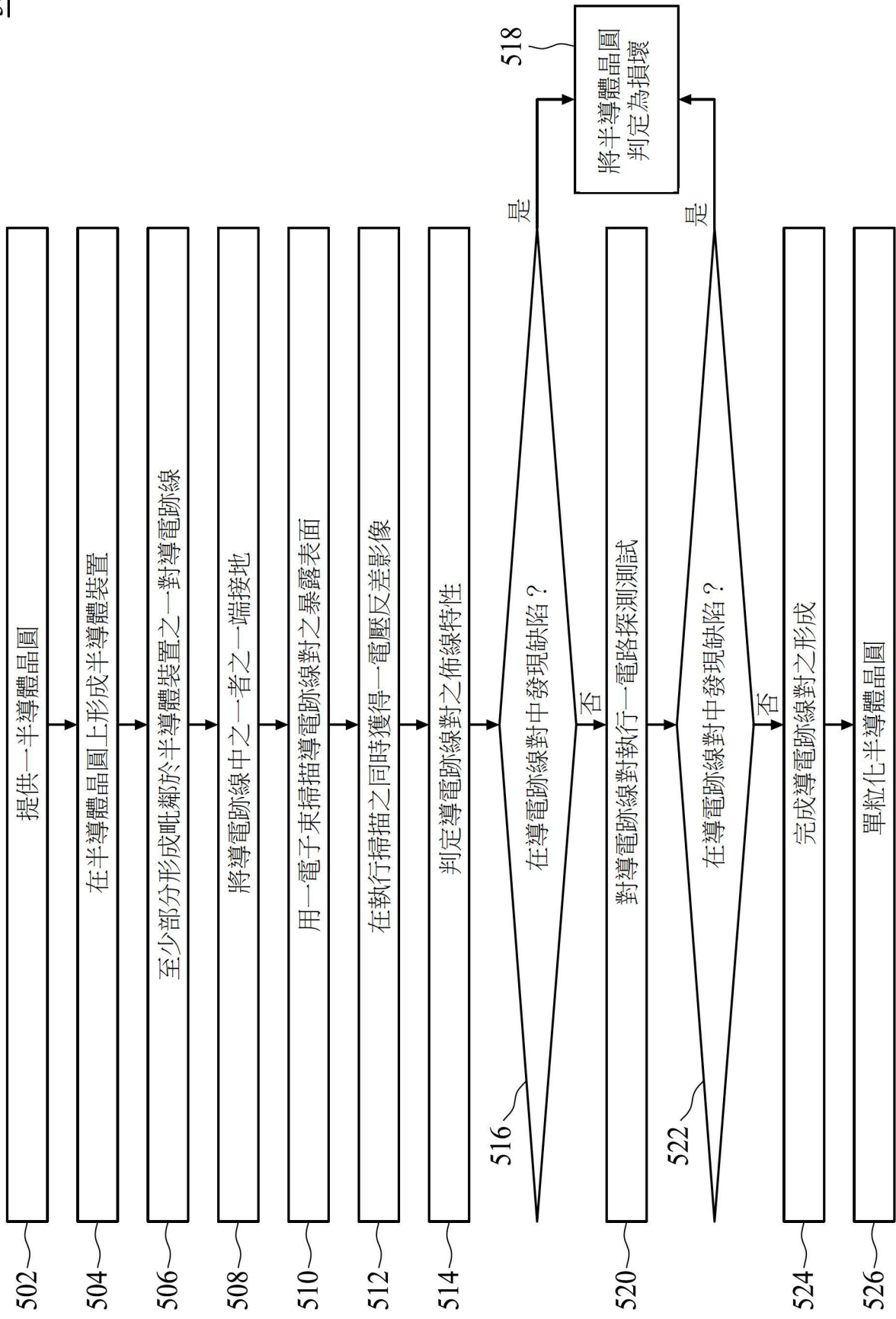
【圖4C】



402



【圖4D】



【圖5】