



(52) CPC특허분류

*H01L 29/4232* (2013.01)

(72) 발명자

**송민우**

경기도 성남시 분당구 판교로 430 아름마을건영아파트 108동 601호

**이병훈**

경기도 수원시 권선구 동수원로145번길 23, 405동 901호 (권선동, 수원아이파크시티4단지)

**이찬형**

서울특별시 노원구 마들로 31, 123동 1906호 (월계동, 그랑빌아파트)

**이후용**

서울특별시 성동구 매봉길 15, 104동 302호 (옥수동, 래미안 옥수 리버젠)

**현상진**

경기도 수원시 영통구 영통로200번길 20, 101동 902호 (매포동, 매포마을 현대1차 아이파크)

(56) 선행기술조사문헌

KR1020130062935 A\*

KR1020110060742 A\*

KR1020080073336 A

KR1020160126485 A

KR1020120012289 A

KR1020140145434 A

KR1020170005282 A

KR1020170034747 A

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상에, 상기 기관과 이격되어 배치되는 제1 활성 패턴;

상기 제1 활성 패턴을 둘러싸는 게이트 절연막;

상기 게이트 절연막을 둘러싸고, 탄소를 포함하는 제1 일함수 조절막; 및

상기 제1 일함수 조절막을 둘러싸는 제1 배리어막을 포함하고,

상기 제1 배리어막으로부터 멀어짐에 따라, 상기 제1 일함수 조절막의 탄소 농도는 증가하는 반도체 장치.

#### 청구항 2

제 1항에 있어서,

상기 기관의 상면으로부터 멀어짐에 따라, 상기 제1 일함수 조절막의 탄소 농도는 감소하는 반도체 장치.

#### 청구항 3

제 1항에 있어서,

상기 기관의 상면과 평행한 면을 따라 상기 제1 일함수 조절막의 제1 측벽으로부터 상기 제1 측벽의 반대편에 위치한 상기 제1 일함수 조절막의 제2 측벽으로 이동할 때, 상기 제1 일함수 조절막의 탄소 농도는 증가하다가 감소하는 반도체 장치.

#### 청구항 4

제 1항에 있어서,

상기 제1 활성 패턴 상에, 상기 제1 활성 패턴과 이격되어 배치되는 제2 활성 패턴을 더 포함하는 반도체 장치.

#### 청구항 5

제 4항에 있어서,

상기 제1 일함수 조절막은,

상기 제1 활성 패턴 아래에서 상기 제1 활성 패턴과 오버랩되는 제1 중앙부와,

상기 제1 활성 패턴과 상기 제2 활성 패턴 사이에서 상기 제1 활성 패턴 및 상기 제2 활성 패턴과 오버랩되는 제2 중앙부와,

상기 제2 활성 패턴 상에서 상기 제2 활성 패턴과 오버랩되는 제3 중앙부와,

상기 제1 활성 패턴의 측벽 및 상기 제2 활성 패턴의 측벽 상에서 연장되어, 상기 제1 중앙부, 상기 제2 중앙부 및 상기 제3 중앙부를 연결하는 측부를 포함하는 반도체 장치.

#### 청구항 6

제 1항에 있어서,

상기 제1 일함수 조절막은 n형 일함수 조절막인 반도체 장치.

#### 청구항 7

제 6항에 있어서,

상기 제1 일함수 조절막은 Ti, Ta, W, Ru, Nb, Mo, Hf, La 및 이들의 조합 중 적어도 하나를 더 포함하는 반도체 장치.

**청구항 8**

제 6항에 있어서,

상기 게이트 절연막과 상기 제1 일함수 조절막 사이에 개재되는 제2 일함수 조절막을 더 포함하고,

상기 제2 일함수 조절막은 p형 일함수 조절막인 반도체 장치.

**청구항 9**

제 1항에 있어서,

상기 제1 배리어막은 TiN을 포함하는 반도체 장치.

**청구항 10**

제 1항에 있어서,

상기 제1 배리어막 상에, 상기 제1 배리어막과 접촉하고, 상기 제1 배리어막과 동일한 물질을 포함하는 제2 배리어막을 더 포함하는 반도체 장치.

**청구항 11**

제 1항에 있어서,

상기 제1 배리어막 상의 필링 도전막을 더 포함하는 반도체 장치.

**청구항 12**

제 1항에 있어서,

상기 게이트 절연막과 상기 제1 일함수 조절막 사이에 개재되는 하부 도전막을 더 포함하는 반도체 장치.

**청구항 13**

기관;

상기 기관 상에, 상기 기관과 이격되어 배치되는 제1 활성 패턴;

상기 제1 활성 패턴을 둘러싸는 게이트 절연막; 및

상기 게이트 절연막을 둘러싸고, 탄소를 포함하는 일함수 조절막을 포함하고,

상기 일함수 조절막은,

상기 제1 활성 패턴 아래에서 상기 제1 활성 패턴과 오버랩되는 제1 중앙부와,

상기 제1 활성 패턴 상에서 상기 제1 활성 패턴과 오버랩되는 제2 중앙부를 포함하고,

상기 제1 중앙부의 탄소 농도는 상기 제2 중앙부의 탄소 농도와 다른 반도체 장치.

**청구항 14**

제 13항에 있어서,

상기 제2 중앙부의 탄소 농도는 상기 제1 중앙부의 탄소 농도보다 낮은 반도체 장치.

**청구항 15**

제 13항에 있어서,

상기 제1 활성 패턴 상에, 상기 제1 활성 패턴과 이격되어 배치되는 제2 활성 패턴을 더 포함하고,

상기 일함수 조절막은, 상기 제2 활성 패턴 상에서 상기 제2 활성 패턴과 오버랩되는 제3 중앙부를 더 포함하는

반도체 장치.

**청구항 16**

제 15항에 있어서,

상기 제3 중앙부의 탄소 농도는, 상기 제1 중앙부의 탄소 농도 및 상기 제2 중앙부의 탄소 농도보다 낮은 반도체 장치.

**청구항 17**

제 15항에 있어서,

상기 일함수 조절막은, 상기 제1 활성 패턴의 측벽 및 상기 제2 활성 패턴의 측벽 상에서 연장되어 상기 제1 중앙부, 상기 제2 중앙부 및 상기 제3 중앙부를 연결하는 측부를 더 포함하는 반도체 장치.

**청구항 18**

제 17항에 있어서,

상기 기판의 상면으로부터 멀어짐에 따라, 상기 일함수 조절막의 상기 측부의 탄소 농도는 점진적으로 감소하는 반도체 장치.

**청구항 19**

기판 상의 게이트 절연막;

상기 게이트 절연막 상에, 탄소를 포함하는 n형 일함수 조절막; 및

상기 n형 일함수 조절막 상에, TiN을 포함하는 제1 배리어막을 포함하고,

상기 제1 배리어막으로부터 멀어짐에 따라, 상기 n형 일함수 조절막의 탄소 농도는 점진적으로 증가하는 반도체 장치.

**청구항 20**

기판, 및 상기 기판 상에 상기 기판과 이격되어 배치되는 제1 활성 패턴을 제공하고,

상기 제1 활성 패턴을 둘러싸도록 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 탄소를 포함하는 일함수 조절막을 형성하고,

상기 일함수 조절막 상에 제1 배리어막을 형성하고,

상기 제1 배리어막 상에 막 처리(film treatment) 공정을 수행하여, 상기 일함수 조절막 내의 탄소 농도 구배를 조절하는 것을 포함하는 반도체 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 더 구체적으로 일함수 조절막을 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 최근 정보 매체의 급속한 보급에 따라 반도체 장치의 기능도 비약적으로 발전하고 있다. 최근의 반도체 제품들의 경우, 경쟁력 확보를 위해 낮은 생산 비용이 요구되고, 고품질을 위해 고집적화가 요구된다. 반도체 제품들의 고집적화를 위해, 반도체 장치에 스케일링 다운이 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 해결하고자 하는 기술적 과제는, 게이트 저항을 개선하여 동작 성능 및 제품 신뢰성이 향상된 반도체 장치를 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 다른 기술적 과제는, 게이트 저항을 개선하여 동작 성능 및 제품 신뢰성이 향상된 반도체 장치의 제조 방법을 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는, 기판, 기판 상에, 기판과 이격되어 배치되는 제1 활성 패턴, 제1 활성 패턴을 둘러싸는 게이트 절연막, 게이트 절연막을 둘러싸고, 탄소를 포함하는 제1 일함수 조절막, 및 제1 일함수 조절막을 둘러싸는 제1 배리어막을 포함하고, 제1 배리어막으로부터 멀어짐에 따라, 제1 일함수 조절막의 탄소 농도는 증가한다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는, 기판, 기판 상에, 기판과 이격되어 배치되는 제1 활성 패턴, 제1 활성 패턴을 둘러싸는 게이트 절연막, 및 게이트 절연막을 둘러싸고, 탄소를 포함하는 일함수 조절막을 포함하고, 일함수 조절막은, 제1 활성 패턴 아래에서 제1 활성 패턴과 오버랩되는 제1 중앙부와, 제1 활성 패턴 상에서 제1 활성 패턴과 오버랩되는 제2 중앙부를 포함하고, 제1 중앙부의 탄소 농도는 제2 중앙부의 탄소 농도와 다르다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는, 기판 상의 게이트 절연막, 게이트 절연막 상에, 탄소를 포함하는 n형 일함수 조절막, 및 n형 일함수 조절막 상에, TiN을 포함하는 제1 배리어막을 포함하고, 제1 배리어막으로부터 멀어짐에 따라, n형 일함수 조절막의 탄소 농도는 증가한다.

[0009] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치의 제조 방법은, 기판, 및 기판 상에 기판과 이격되어 배치되는 제1 활성 패턴을 제공하고, 제1 활성 패턴을 둘러싸도록 게이트 절연막을 형성하고, 게이트 절연막 상에 탄소를 포함하는 일함수 조절막을 형성하고, 일함수 조절막 상에 제1 배리어막을 형성하고, 제1 배리어막 상에 막 처리(film treatment) 공정을 수행하여, 일함수 조절막 내의 탄소 농도 구배를 조절하는 것을 포함한다.

[0010] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**도면의 간단한 설명**

[0011] 도 1은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 개략적인 평면도이다.

도 2는 도 1의 A-A'을 따라서 절단한 단면도이다.

도 3은 도 1의 영역(O)을 확대한 확대도이다.

도 4는 도 1의 B-B'을 따라서 절단한 단면도이다.

도 5 및 도 6은 도 4의 SC1 및 SC2를 따라 탄소 농도 변화를 나타내는 그래프들이다.

도 7 및 도 8은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.

도 9 및 도 10은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.

도 11 및 도 12는 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.

도 13 및 도 14는 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.

도 15는 도 13 및 도 14에 따른 반도체 장치를 설명하기 위한 그래프이다.

도 16은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 개략적인 평면도이다.

도 17은 도 16의 A-A' 및 C-C'을 따라서 절단한 단면도이다.

도 18은 도 16의 B-B' 및 D-D'을 따라서 절단한 단면도이다.

도 19 내지 도 33은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치에 관한 도면에서는, 예시적으로, 나노 와이어 형상 또는 나노 시트 형상의 채널 영역을 포함하는 멀티 브리지 채널 트랜지스터(MBCFET; multi-bridge-channel FET)를 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는 터널링 트랜지스터(tunneling FET), 핀형 트랜지스터(FinFET), 게이트 올 어라운드 트랜지스터(GAAFET; gate-all-around FET), 또는 3차원(3D) 트랜지스터를 포함할 수 있음은 물론이다. 또한, 예를 들어, 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는 양극성 접합(bipolar junction) 트랜지스터, 횡형 이중 확산 트랜지스터(LDMOS) 등을 포함할 수도 있다.
- [0013] 이하에서, 도 1 내지 도 6을 참조하여, 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의를 위해, 기판 내에 형성되는 STI(shallow trench isolation)와 같은 소자 분리막 등의 도시는 생략한다.
- [0014] 도 1은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 개략적인 평면도이다. 도 2는 도 1의 A-A'을 따라서 절단한 단면도이다. 도 3은 도 1의 영역(O)을 확대한 확대도이다. 도 4는 도 1의 B-B'을 따라서 절단한 단면도이다.
- [0015] 도 1 내지 도 4를 참조하면, 몇몇 실시예에 따른 반도체 장치는 기판(100), 필드 절연막(105), 제1 활성 패턴(110), 제2 활성 패턴(210), 제1 계면막(120), 제1 게이트 절연막(130), 제1 게이트 전극(140), 제1 게이트 스페이서(150), 제1 소오스/드레인 영역(160) 및 층간 절연막(190)을 포함한다.
- [0016] 기판(100)은 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, SGOI(silicon germanium on insulator), 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수도 있다. 또는, 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다. 설명의 편의를 위해, 이하에서 기판(100)은 실리콘을 포함하는 기판인 것으로 설명한다.
- [0017] 기판(100)은 제1 핀형 돌출부(100P)를 포함할 수 있다. 제1 핀형 돌출부(100P)는 기판(100)의 상면으로부터 돌출되어 제1 방향(X1)을 따라 길게 연장될 수 있다. 제1 핀형 돌출부(100P)는 기판(100)의 일부를 식각하여 형성된 것일 수도 있고, 기판(100)으로부터 성장된 에피층(epitaxial layer)일 수도 있다.
- [0018] 제1 핀형 돌출부(100P)는 원소 반도체 물질인 실리콘 또는 게르마늄을 포함할 수 있다. 또한, 제1 핀형 돌출부(100P)는 화합물 반도체를 포함할 수도 있다. 예를 들어, 제1 핀형 돌출부(100P)는 IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체를 포함할 수도 있다.
- [0019] IV-IV족 화합물 반도체는 예를 들어, 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn) 중 적어도 2개 이상을 포함하는 이원계 화합물(binary compound), 삼원계 화합물(ternary compound) 또는 이들에 IV족 원소가 도핑된 화합물일 수 있다.
- [0020] III-V족 화합물 반도체는 예를 들어, III족 원소인 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나와 V족 원소인 인(P), 비소(As) 및 안티모늄(Sb) 중 적어도 하나가 결합되어 형성되는 이원계 화합물, 삼원계 화합물 또는 사원계 화합물 중 하나일 수 있다.
- [0021] 필드 절연막(105)은 기판(100) 상에 형성될 수 있다. 또한, 필드 절연막(105)은 제1 핀형 돌출부(100P)의 측벽의 적어도 일부를 감쌀 수 있다. 이에 따라, 제1 핀형 돌출부(100P)는 필드 절연막(105)에 의해 정의될 수 있다.
- [0022] 도 4에서, 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 측벽은 전체적으로 필드 절연막(105)에 의해 둘러싸인 것으로 도시되었으나, 이는 설명의 편의를 위한 것일 뿐이고, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0023] 필드 절연막(105)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0024] 제1 활성 패턴(110)은 기판(100) 상에 배치될 수 있다. 또한, 제1 활성 패턴(110)은 기판(100)과 이격될 수 있

다. 제1 핀형 돌출부(100P)와 마찬가지로, 제1 활성 패턴(110)은 제1 방향(X1)을 따라 길게 연장될 수 있다.

- [0025] 제1 활성 패턴(110)은 제1 핀형 돌출부(100P) 상에서 제1 핀형 돌출부(100P)와 이격되어 형성될 수 있다. 또한, 제1 활성 패턴(110)은 제1 핀형 돌출부(100P)와 수직으로 중첩될 수 있다. 즉, 제1 활성 패턴(110)은 필드 절연막(105) 상에 형성되는 것이 아니라, 제1 핀형 돌출부(100P) 상에 형성될 수 있다.
- [0026] 제2 활성 패턴(210)은 제1 활성 패턴(110) 상에 배치될 수 있다. 또한, 제2 활성 패턴(210)은 제2 활성 패턴(210)과 이격될 수 있다. 제1 핀형 돌출부(100P) 및 제1 활성 패턴(110)과 마찬가지로, 제2 활성 패턴(210)은 제1 방향(X1)을 따라 길게 연장될 수 있다. 제2 활성 패턴(210)은 제1 활성 패턴(110) 상에서 제1 활성 패턴(110)과 수직으로 중첩될 수 있다.
- [0027] 제1 활성 패턴(110) 및 제2 활성 패턴(210)은 각각 원소 반도체 물질인 실리콘 또는 게르마늄을 포함할 수 있다. 또한, 제1 활성 패턴(110) 및 제2 활성 패턴(210)은 각각 화합물 반도체를 포함할 수 있고, 예를 들어, IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체를 포함할 수 있다.
- [0028] 또한, 제1 활성 패턴(110) 및 제2 활성 패턴(210)은 제1 핀형 돌출부(100P)와 동일한 물질을 포함할 수도 있고, 제1 핀형 돌출부(100P)와 다른 물질을 포함할 수도 있다.
- [0029] 제1 활성 패턴(110) 및 제2 활성 패턴(210)은 각각 트랜지스터의 채널 영역으로 사용될 수 있다. 예를 들어, 제1 활성 패턴(110) 및 제2 활성 패턴(210)은 NMOS 트랜지스터의 채널 영역으로 사용될 수 있다.
- [0030] 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치에 관한 도면에서는, 예시적으로, 2개의 활성 패턴만을 포함하는 반도체 장치가 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 몇몇 실시예에 따른 반도체 장치는, 1개의 활성 패턴 또는 3개 이상의 활성 패턴을 포함할 수도 있다.
- [0031] 제1 계면막(120)은 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 형성될 수 있다. 이에 따라, 제1 계면막(120)은 제1 활성 패턴(110) 및 제2 활성 패턴(210)을 둘러쌀 수 있다. 예를 들어, 도 4에 도시된 것처럼, 제1 계면막(120)은 제1 활성 패턴(110)을 둘러싸는 제1 서브 계면막(120a)과, 제2 활성 패턴(210)을 둘러싸는 제2 서브 계면막(120b)을 포함할 수 있다.
- [0032] 또한, 제1 계면막(120)은 제1 핀형 돌출부(100P) 상에 형성될 수 있다. 또한, 도 2에 도시된 것처럼, 제1 계면막(120)은 제1 트렌치(TR1)의 바닥면 상에 형성될 수 있다. 제1 계면막(120)은 제1 트렌치(TR1)의 측벽 상에 형성되지 않는 것으로 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 제1 계면막(120)을 형성하는 방법에 따라, 제1 계면막(120)은 제1 트렌치(TR1)의 측벽 상에 형성될 수도 있다. 또한, 몇몇 실시예에서, 제1 계면막(120)은 생략될 수도 있다.
- [0033] 제1 계면막(120)은 예를 들어, 실리콘 산화물을 포함할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 기판(100)의 종류, 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 종류 또는 제1 게이트 절연막(130)의 종류 등에 따라, 제1 계면막(120)은 다른 물질을 포함할 수도 있다.
- [0034] 제1 게이트 절연막(130)은 제1 계면막(120) 상에 형성될 수 있다. 제1 게이트 절연막(130)은 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 형성될 수 있다. 이에 따라, 제1 게이트 절연막(130)은 제1 계면막(120)을 둘러쌀 수 있다. 예를 들어, 도 4에 도시된 것처럼, 제1 게이트 절연막(130)은 제1 서브 계면막(120a)을 둘러싸는 제1 서브 게이트 절연막(130a)과, 제2 서브 계면막(120b)을 둘러싸는 제2 서브 게이트 절연막(130b)을 포함할 수 있다.
- [0035] 또한, 제1 게이트 절연막(130)은 필드 절연막(105)의 상면 및 제1 핀형 돌출부(100P) 상에도 형성될 수 있다. 또한, 제1 게이트 절연막(130)은 제1 게이트 스페이서(150)의 내측벽을 따라 연장될 수 있다. 즉, 제1 게이트 절연막(130)은 제1 트렌치(TR1)의 측벽 및 바닥면과, 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 연장될 수 있다.
- [0036] 제1 게이트 절연막(130)은 예를 들어, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물보다 유전 상수가 큰 고유전율 물질을 포함할 수 있다.
- [0037] 제1 게이트 전극(140)은 기판(100) 상에서 제1 방향(X1)과 교차하는 제2 방향(Y1)을 따라 연장될 수 있다. 도 1에 도시된 것처럼, 제1 게이트 전극(140)은 제1 핀형 돌출부(100P), 제1 활성 패턴(110) 및 제2 활성 패턴(210)과 교차할 수 있다.
- [0038] 제1 게이트 전극(140)은 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 둘레를 감싸도록 형성될 수 있다. 제1 게



이트 전극(140)은, 제1 핀형 돌출부(100P) 및 제1 활성 패턴(110) 사이의 이격된 공간과, 제1 활성 패턴(110) 및 제2 활성 패턴(210) 사이의 이격된 공간에도 형성될 수 있다.

- [0039] 구체적으로, 제1 게이트 전극(140)은 제1 게이트 절연막(130) 상에 형성될 수 있다. 또한, 제1 게이트 전극(140)은 제1 트렌치(TR1)를 채울 수 있다.
- [0040] 제1 게이트 전극(140)은 제1 하부 도전막(142), 제1 일함수 조절막(144), 제1 배리어막(146) 및 제1 필링 도전막(148)을 포함할 수 있다.
- [0041] 제1 하부 도전막(142)은 제1 게이트 절연막(130) 상에 형성될 수 있다. 제1 하부 도전막(142)은 제1 게이트 절연막(130)의 프로파일을 따라 형성될 수 있다. 제1 하부 도전막(142)은 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 둘레를 따라 형성될 수 있다. 이에 따라, 제1 하부 도전막(142)은 제1 게이트 절연막(130)을 둘러쌀 수 있다.
- [0042] 또한, 제1 하부 도전막(142)은 필드 절연막(105)의 상면 및 제1 핀형 돌출부(100P) 상에도 형성될 수 있다. 또한, 제1 하부 도전막(142)은 제1 게이트 스페이서(150)의 내측벽을 따라 연장될 수 있다. 즉, 제1 하부 도전막(142)은 제1 트렌치(TR1)의 측벽 및 바닥면과, 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 연장될 수 있다.
- [0043] 제1 하부 도전막(142)은 예를 들어, 금속 질화물을 포함할 수 있다. 예를 들어, 제1 하부 도전막(142)은 TiN, TaN, WN 또는 이들의 조합 중 적어도 하나를 포함할 수 있다. 또한, 제1 하부 도전막(142)은 형성하고자 하는 반도체 장치의 종류에 따라 적절한 두께로 형성될 수 있다.
- [0044] 이하의 설명에서, 제1 하부 도전막(142)은 TiN를 포함하는 것으로 설명한다.
- [0045] 몇몇 실시예에 따른 반도체 장치의 제조 공정에서, 제1 하부 도전막(142)은 제1 게이트 절연막(130) 내의 산소 원자 결함을 치유(curing)하는데 이용될 수 있다. 예를 들어, 제1 하부 도전막(142)은 열처리를 통해 제1 게이트 절연막(130) 내의 산소 원자 결함을 치유할 수 있다.
- [0046] 제1 일함수 조절막(144)은 제1 하부 도전막(142) 상에 형성될 수 있다. 제1 일함수 조절막(144)은 제1 하부 도전막(142)의 프로파일을 따라 형성될 수 있다. 제1 일함수 조절막(144)은 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 둘레를 따라 형성될 수 있다. 이에 따라, 제1 일함수 조절막(144)은 제1 하부 도전막(142)을 둘러쌀 수 있다.
- [0047] 또한, 제1 일함수 조절막(144)은 필드 절연막(105)의 상면 및 제1 핀형 돌출부(100P) 상에도 형성될 수 있다. 또한, 제1 일함수 조절막(144)은 제1 게이트 스페이서(150)의 내측벽을 따라 연장될 수 있다. 즉, 제1 일함수 조절막(144)은 제1 트렌치(TR1)의 측벽 및 바닥면과, 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 연장될 수 있다.
- [0048] 반도체 장치에 스케일링 다운이 진행됨에 따라, 활성 패턴들 간의 간격이 좁아질 수 있다. 이에 따라, 제1 일함수 조절막(144)은 일정 두께 이하로 형성될 수 있다. 예를 들어, 제1 일함수 조절막(144)의 제1 두께(TH1)는 30 Å 이하일 수 있다.
- [0049] 몇몇 실시예에서, 제1 일함수 조절막(144)은, 제1 핀형 돌출부(100P) 및 제1 활성 패턴(110) 사이의 이격된 공간과, 제1 활성 패턴(110) 및 제2 활성 패턴(210) 사이의 이격된 공간에도 형성될 수 있다. 예를 들어, 도 4에 도시된 것처럼, 제1 일함수 조절막(144)은 제1 중앙부(144a), 제2 중앙부(144b), 제3 중앙부(144c) 및 측부(144d)를 포함할 수 있다.
- [0050] 제1 일함수 조절막(144)의 제1 중앙부(144a)는 제1 활성 패턴(110) 아래에 배치되는 제1 일함수 조절막(144)의 일부일 수 있다. 예를 들어, 제1 중앙부(144a)는 제1 핀형 돌출부(100P)와 제1 활성 패턴(110) 사이에 배치될 수 있다.
- [0051] 또한, 제1 중앙부(144a)는 제1 활성 패턴(110)과 오버랩될 수 있다. 즉, 제1 중앙부(144a)는 제1 활성 패턴(110) 아래에서 제1 활성 패턴(110)과 수직으로 중첩될 수 있다. 예를 들어, 제1 중앙부(144a)는 제1 활성 패턴(110)을 둘러싸는 제1 하부 도전막(142)의 바닥면과 접촉할 수 있다.
- [0052] 제1 일함수 조절막(144)의 제2 중앙부(144b)는 제1 활성 패턴(110)과 제2 활성 패턴(210) 사이에 배치되는 제1 일함수 조절막(144)의 일부일 수 있다.

- [0053] 또한, 제2 중앙부(144b)는 제1 활성 패턴(110) 및 제2 활성 패턴(210)과 오버랩될 수 있다. 즉, 제2 중앙부(144b)는 제1 활성 패턴(110)과 제2 활성 패턴(210) 사이에서 제1 활성 패턴(110) 및 제2 활성 패턴(210)과 수직으로 중첩될 수 있다. 예를 들어, 제2 중앙부(144b)는, 제1 활성 패턴(110)을 둘러싸는 제1 하부 도전막(142)의 상면과, 제2 활성 패턴(210)을 둘러싸는 제1 하부 도전막(142)의 바닥면과 접촉할 수 있다.
- [0054] 제1 일함수 조절막(144)의 제3 중앙부(144c)는 제2 활성 패턴(210) 상에 배치되는 제1 일함수 조절막(144)의 일부일 수 있다.
- [0055] 또한, 제3 중앙부(144c)는 제2 활성 패턴(210)과 오버랩될 수 있다. 즉, 제3 중앙부(144c)는 제2 활성 패턴(210) 상에서 제2 활성 패턴(210)과 수직으로 중첩될 수 있다. 예를 들어, 제3 중앙부(144c)는 제2 활성 패턴(210)을 둘러싸는 제1 하부 도전막(142)의 상면과 접촉할 수 있다.
- [0056] 제1 일함수 조절막(144)의 측부(144d)는 제1 활성 패턴(110)의 양 측벽 및 제2 활성 패턴(210)의 양 측벽 상에서 연장되는 제1 일함수 조절막(144)의 일부일 수 있다. 또한, 측부(144d)는 제1 중앙부(144a), 제2 중앙부(144b) 및 제3 중앙부(144c)와 연결될 수 있다. 예를 들어, 측부(144d)는 제1 중앙부(144a)의 측벽, 제1 활성 패턴(110)의 측벽, 제2 중앙부(144b)의 측벽, 제2 활성 패턴(210)의 측벽 및 제3 중앙부(144c)의 측벽을 따라 연장될 수 있다.
- [0057] 제1 일함수 조절막(144)은 탄소(C)를 포함할 수 있다. 또한, 탄소를 포함하는 제1 일함수 조절막(144)은 예를 들어, Ti, Ta, W, Ru, Nb, Mo, Hf, La, Al 또는 이들의 조합 중 적어도 하나를 더 포함할 수 있다.
- [0058] 제1 일함수 조절막(144)은 탄소 농도 구배를 가질 수 있다. 예를 들어, 제1 중앙부(144a), 제2 중앙부(144b), 제3 중앙부(144c)의 탄소 농도는 서로 다를 수 있다. 또한, 예를 들어, 측부(144d)의 탄소 농도는 기판(100)의 상면으로부터 멀어짐에 따라 점진적으로 감소할 수 있다. 이에 관하여는, 도 5 및 도 6에 관한 설명에서 자세히 후술한다.
- [0059] 몇몇 실시예에서, 제1 일함수 조절막(144)은 n형 일함수 조절막일 수 있다. 예를 들어, 제1 일함수 조절막(144)은 TiAlC 또는 TiAlCN을 포함할 수 있다. 또한 예를 들어, 제1 일함수 조절막(144)은 상술한 물질에서 Ti를 Ta, W, Ru, Nb, Mo, Hf 및 La 중 하나로 치환한 물질을 포함할 수 있다.
- [0060] 이하의 설명에서, 제1 일함수 조절막(144)은 TiAlC를 포함하는 것으로 설명한다.
- [0061] 제1 배리어막(146)은 제1 일함수 조절막(144) 상에 형성될 수 있다. 제1 배리어막(146)은 제1 일함수 조절막(144)의 프로파일을 따라 형성될 수 있다.
- [0062] 또한, 제1 배리어막(146)은 필드 절연막(105)의 상면 및 제1 권형 돌출부(100P) 상에도 형성될 수 있다. 또한, 제1 배리어막(146)은 제1 게이트 스페이서(150)의 내측벽을 따라 연장될 수 있다. 즉, 제1 배리어막(146)은 제1 트랜치(TR1)의 측벽 및 바닥면을 따라 연장될 수 있다.
- [0063] 제1 배리어막(146)은, 제1 일함수 조절막(144)의 탄소 농도 구배를 조절하는 막 처리 공정(도 32 및 도 33의 FT)에 이용될 수 있다. 제1 배리어막(146)은 예를 들어, TiN를 포함할 수 있다. 이에 관하여는, 도 32 및 도 33에 관한 설명에서 자세히 후술한다.
- [0064] 제1 일함수 조절막(144)에 대한 막 처리 공정(FT)을 수행하기 위해, 제1 배리어막(146)은 일정 두께 이하로 형성될 수 있다. 예를 들어, 제1 배리어막(146)의 제2 두께(TH2)는 20 Å 이하일 수 있다.
- [0065] 도시되지 않았으나, 제1 배리어막(146)과 제1 일함수 조절막(144) 사이에 산화막이 개재될 수 있다. 상기 산화막은 제1 일함수 조절막(144)의 표면이 자연 산화되어 형성되는 막일 수 있다. 예를 들어, 몇몇 실시예에 따른 반도체 장치의 제조 공정에서, 제1 일함수 조절막(144)의 표면이 산화되어 산화막이 형성될 수 있다.
- [0066] 그러나, 몇몇 실시예에 따른 반도체 장치에서, 막 처리 공정(FT)에 의해, 상기 산화막의 두께는 최소화될 수 있다. 예를 들어, 상기 산화막의 두께는 5 Å 이하일 수 있다.
- [0067] 또한, 몇몇 실시예에서, 제1 배리어막(146)은 제1 일함수 조절막(144)과 직접(directly) 접촉할 수도 있다. 즉, 제1 배리어막(146)과 제1 일함수 조절막(144) 사이에 다른 막이 개재되지 않을 수도 있다.
- [0068] 제1 배리어막(146)은 막 처리 공정(도 32 및 도 33의 FT) 후에, 제1 일함수 조절막(144)이 재산화(re-oxidation)되는 것을 방지할 수 있는 두께를 가질 수 있다. 예를 들어, 제1 배리어막(146)의 제2 두께(TH2)는 10 Å 이상일 수 있다.

- [0069] 제1 필링 도전막(148)은 제1 배리어막(146) 상에 형성될 수 있다. 또한, 제1 필링 도전막(148)은 제1 계면막(120), 제1 게이트 절연막(130), 제1 하부 도전막(142), 제1 일함수 조절막(144) 및 제1 배리어막(146)이 형성되고 남은 제1 트렌치(TR1)를 채울 수 있다.
- [0070] 제1 필링 도전막(148)은 예를 들어, W, Al, Co, Cu, Ru, Ni, Pt, Ni-Pt 또는 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0071] 제1 게이트 스페이서(150)는 제2 방향(Y1)으로 연장되는 제1 게이트 전극(140)의 양 측벽 상에 형성될 수 있다. 예를 들어, 도 2에 도시된 것처럼, 제1 게이트 스페이서(150)는 제1 게이트 전극(140)의 양측에서, 서로 마주보도록 형성될 수 있다. 또한, 제1 게이트 스페이서(150)는 제1 활성 패턴(110) 및 제2 활성 패턴(210)과 교차하는 제1 트렌치(TR1)를 정의할 수 있다.
- [0072] 제1 게이트 스페이서(150)는 제1 외측 스페이서(152)와 제1 내측 스페이서(154)를 포함할 수 있다. 제1 내측 스페이서(154)는, 제1 핀형 돌출부(100P)와 제1 활성 패턴(110) 사이, 및 제1 활성 패턴(110)과 제2 활성 패턴(210) 사이에 배치될 수 있다. 도시되지 않았으나, 제1 내측 스페이서(154)의 제2 방향(Y1)으로의 폭은 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 제2 방향(Y1)으로의 폭과 실질적으로 동일할 수 있다.
- [0073] 제1 외측 스페이서(152)는 제1 내측 스페이서(154) 상에 배치될 수 있다. 도 2에서, 제2 활성 패턴(210) 상에 제1 내측 스페이서(154)와 제1 외측 스페이서(152)가 차례로 위치하는 것으로 도시되었으나, 이는 설명의 편의를 위한 것일 뿐이고, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 제1 활성 패턴(110) 및 제2 활성 패턴(210)을 형성하기 위한 적층체의 구조에 따라, 제2 활성 패턴(210) 상에는 제1 외측 스페이서(152)만이 배치될 수도 있다.
- [0074] 제1 소오스/드레인 영역(160)은 제1 게이트 전극(140)에 인접하여 형성될 수 있다. 예를 들어, 도 2에 도시된 것처럼, 제1 소오스/드레인 영역(160)은 제1 게이트 전극(140)의 양 측벽 상에 형성될 수 있다.
- [0075] 제1 소오스/드레인 영역(160)은 제1 핀형 돌출부(100P) 상에 형성된 에피택셜층을 포함할 수 있다. 또한, 제1 소오스/드레인 영역(160)은 기판(100)의 상면보다 위로 돌출된 상면을 포함하는 상승된 소오스/드레인 영역일 수도 있다. 그러나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니고, 제1 소오스/드레인 영역(160)은 기판(100) 내에 형성된 불순물 영역일 수도 있다.
- [0076] 층간 절연막(190)은 기판(100) 상에 형성될 수 있다. 또한, 층간 절연막(190)은 제1 트렌치(TR1)를 정의하는 제1 게이트 스페이서(150)의 외측벽을 둘러쌀 수 있다.
- [0077] 층간 절연막(190)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및 저유전율 물질 중 적어도 하나를 포함할 수 있다.
- [0078] 도 5 및 도 6은 도 4의 SC1 및 SC2를 따라 탄소 농도 변화를 나타내는 그래프들이다.
- [0079] 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는, 탄소 농도 구배를 갖는 제1 일함수 조절막(144)을 포함할 수 있다. 예를 들어, 몇몇 실시예에 따른 반도체 장치에서, 제1 일함수 조절막(144)은 서로 다른 탄소 농도를 갖는 제1 중앙부(144a), 제2 중앙부(144b), 제3 중앙부(144c) 및 측부(144d)를 포함할 수 있다.
- [0080] 도 5 및 도 6을 참조하면, 몇몇 실시예에 따른 반도체 장치에서, 제1 배리어막(146)으로부터 멀어짐에 따라, 제1 일함수 조절막(144)의 탄소 농도는 증가할 수 있다.
- [0081] 도 5는, 도 4의 제1 스캔라인(SC1)을 따라 이동할 때, 제1 일함수 조절막(144)의 탄소 농도 변화를 나타내는 예시적인 그래프일 수 있다. 제1 스캔라인(SC1)은 제1 일함수 조절막(144)의 제1 지점(도 4의 P1)과 제1 일함수 조절막(144)의 제2 지점(도 4의 P2)을 연결하는 직선이다. 제1 스캔라인(SC1)은 기판(100)의 상면과 수직할 수 있다.
- [0082] 제1 일함수 조절막(144)의 제1 지점(P1)은 제1 일함수 조절막(144)의 바닥면 상의 일 지점이다. 예를 들어, 제1 지점(P1)은 제1 일함수 조절막(144)의 측부(144d)의 바닥면 상의 일 지점일 수 있다. 제1 일함수 조절막(144)의 제2 지점(P2)은, 제1 지점(P1)을 지나며 기판(100)의 상면과 수직하는 직선이 제1 일함수 조절막(144)의 상면과 만나는 지점이다. 제1 스캔라인(SC1)은 제1 지점(P1)과 제2 지점(P2)을 연결하는 직선이므로, 제1 스캔라인(SC1)은 기판(100)의 상면과 수직할 수 있다.
- [0083] 도 5를 참조하면, 제1 스캔라인(SC1)을 따라 제1 지점(P1)으로부터 제2 지점(P2)까지 이동할 때, 제1 일함수 조절막(144)의 탄소 농도는 점진적으로 감소할 수 있다. 예를 들어, 제1 일함수 조절막(144)의 탄소 농도는, 제1

지점(P1)의 제1 농도(C1)로부터 점진적으로 감소하여 제2 지점(P2)의 제2 농도(C2)에 이를 수 있다.

- [0084] 즉, 제1 일함수 조절막(144)의 제3 중앙부(144c) 상에 형성된 제1 배리어막(146)으로부터 멀어짐에 따라, 제1 일함수 조절막(144)의 탄소 농도는 증가할 수 있다.
- [0085] 도 4에 도시된 것처럼, 제1 일함수 조절막(144)의 상면은 제1 배리어막(146)과 접촉하고, 제1 일함수 조절막(144)의 바닥면은 제1 배리어막(146)과 접촉하지 않을 수 있다. 예를 들어, 측부(144d)의 바닥면 및 제1 중앙부(144a)의 바닥면은 제1 배리어막(146)과 접촉하지 않을 수 있다. 그러나, 제1 일함수 조절막(144)의 제3 중앙부(144c)의 상면은 제1 배리어막(146)과 접촉할 수 있다.
- [0086] 이에 따라, 기관(100)의 상면으로부터 멀어짐에 따라, 제1 일함수 조절막(144)의 탄소 농도는 점진적으로 감소할 수 있다.
- [0087] 예를 들어, 몇몇 실시예에서, 제1 일함수 조절막(144)의 측부(144d)의 탄소 농도는 기관(100)의 상면으로부터 멀어짐에 따라 점진적으로 감소할 수 있다. 또한, 예를 들어, 제1 중앙부(144a)의 탄소 농도는 제2 중앙부(144b)의 탄소 농도보다 클 수 있고, 제2 중앙부(144b)의 탄소 농도는 제3 중앙부(144c)의 탄소 농도보다 클 수 있다.
- [0088] 도 6은, 도 4의 제2 스캔라인(SC2)을 따라 이동할 때, 제1 일함수 조절막(144)의 탄소 농도 변화를 나타내는 그래프이다. 제2 스캔라인(SC2)은 제1 일함수 조절막(144)의 제3 지점(도 4의 P3)과 제1 일함수 조절막(144)의 제4 지점(도 4의 P4)을 연결하는 직선이다. 제2 스캔라인(SC2)은 기관(100)의 상면과 평행할 수 있다.
- [0089] 제1 일함수 조절막(144)의 제3 지점(P3)은 제1 일함수 조절막(144)의 일 측벽 상의 일 지점이다. 제1 일함수 조절막(144)의 제4 지점(P4)은, 제3 지점(P3)을 지나며 기관(100)의 상면과 평행하는 직선이 제1 일함수 조절막(144)의 다른 측벽과 만나는 지점이다. 제2 스캔라인(SC2)은 제3 지점(P3)과 제4 지점(P4)을 연결하는 직선이므로, 제2 스캔라인(SC2)은 기관(100)의 상면과 평행할 수 있다.
- [0090] 도 6을 참조하면, 제2 스캔라인(SC2)을 따라 제3 지점(P3)으로부터 제4 지점(P4)까지 이동할 때, 제1 일함수 조절막(144)의 탄소 농도는 증가하다가 감소할 수 있다. 예를 들어, 제1 일함수 조절막(144)의 탄소 농도는, 제3 지점(P3)의 제3 농도(C3)로부터 증가하다가 감소하여 제4 지점(P4)의 제4 농도(C4)에 이를 수 있다. 몇몇 실시예에서, 제3 농도(C3)와 제4 농도(C4)는 동일할 수 있다.
- [0091] 즉, 제1 일함수 조절막(144)의 양 측벽 상에 형성된 제1 배리어막(146)으로부터 멀어짐에 따라, 제1 일함수 조절막(144)의 탄소 농도는 증가할 수 있다.
- [0092] 도 4에 도시된 것처럼, 제1 일함수 조절막(144)의 양 측벽은 제1 배리어막(146)과 접촉할 수 있다. 예를 들어, 제1 일함수 조절막(144)의 양 측부(144d)는 제1 배리어막(146)과 접촉할 수 있다.
- [0093] 이에 따라, 기관(100)의 상면과 평행한 면을 따라 이동할 때, 제1 일함수 조절막(144)의 탄소 농도는 증가하다가 감소할 수 있다.
- [0094] 예를 들어, 몇몇 실시예에서, 제2 중앙부(144b)의 탄소 농도는, 그와 동일 레벨에 배치되는 측부(144d)의 탄소 농도보다 높을 수 있다. 또한, 예를 들어, 기관(100)의 상면과 평행한 면을 따라 이동할 때, 제2 중앙부(144b)의 탄소 농도는 증가하다가 감소할 수 있다.
- [0095] 상술한 제1 일함수 조절막(144)의 탄소 농도 구배는, 예를 들어, 막 처리 공정(도 32 및 도 33의 FT)에 기인할 수 있다. 막 처리 공정(FT)에 관하여는, 도 32 및 도 33에 관한 설명에서 자세히 후술한다.
- [0096] 몇몇 실시예에서, 제3 농도(C3) 및 제4 농도(C4)는 도 1의 제2 농도(C2)보다 클 수 있다. 이는, 예를 들어, 막 처리 공정(FT)의 방향성에 기인할 수 있다. 예를 들어, 막 처리 공정(FT)의 방향성에 의해, 제1 일함수 조절막(144)의 상면과 제1 일함수 조절막(144)의 측면은 서로 다른 영향을 받을 수 있다. 예를 들어, 위로부터 아래를 향하는 방향으로 막 처리 공정(FT)이 수행되는 경우에, 제1 일함수 조절막(144)의 상면은 제1 일함수 조절막(144)의 측면보다 보다 큰 영향을 받을 수 있다.
- [0097] 반도체 장치에 스케일링 다운이 진행됨에 따라, 활성 패턴들 간의 간격이 좁아질 수 있다. 그러나, 활성 패턴들 간의 간격이 좁아짐에 따라, 게이트 전극의 두께가 감소하여 게이트 저항이 커지는 문제가 있다. 게이트 저항을 감소시키기 위해 일함수 조절막의 두께를 감소시킬 수 있으나, 이러한 경우, 문턱 전압 조절이 어려워지는 문제가 있다. 예를 들어, n형 일함수 조절막의 두께를 감소시키면, 유효 일함수(eWF; effective work function)가 증가하여 문턱 전압 조절이 어려울 수 있다.



- [0098] 그러나, 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는, 막 처리 공정(도 32 및 도 33의 FT)를 이용하여 표면 산화막이 최소화하고, 탄소 농도가 감소된 제1 일함수 조절막(144)을 제공할 수 있다. 이에 따라, 게이트 저항이 개선될 수 있고, 결과적으로 반도체 장치의 동작 성능 및 제품 신뢰성이 향상될 수 있다.
- [0099] 또한, 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는, 다중 문턱 전압(multi threshold voltage)을 갖는 반도체 장치를 구현할 수 있다.
- [0100] 예를 들어, 도 4에 관한 설명에서 상술한 것처럼, 제1 중앙부(144a)의 탄소 농도는 제2 중앙부(144b)의 탄소 농도보다 클 수 있고, 제2 중앙부(144b)의 탄소 농도는 제3 중앙부(144c)의 탄소 농도보다 클 수 있다. 제1 일함수 조절막(144)의 유효 일함수(effective workfunction)는 탄소 농도에 따라 달라질 수 있으므로, 제1 활성 패턴(110)을 둘러싸는 제1 일함수 조절막(144)의 유효 일함수와 제2 활성 패턴(210)을 둘러싸는 제1 일함수 조절막(144)의 유효 일함수는 서로 다를 수 있다. 즉, 제1 활성 패턴(110)에 대한 문턱 전압과 제2 활성 패턴(210)에 대한 문턱 전압이 서로 다를 수 있다. 이에 따라, 몇몇 실시예에 따른 반도체 장치는 다중 문턱 전압을 갖는 반도체 장치를 구현할 수 있다.
- [0101] 도 7 및 도 8은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의를 위해, 도 1 내지 도 6을 이용하여 설명한 것과 중복되는 것은 간략히 설명하거나 생략한다.
- [0102] 참고적으로, 도 7은 도 1의 A-A'을 따라서 절단한 단면도이고, 도 8은 도 1의 B-B'을 따라서 절단한 단면도이다.
- [0103] 도 7 및 도 8을 참조하면, 몇몇 실시예에 따른 반도체 장치에서, 제1 게이트 전극(140)은 제1 식각 방지막(141)을 더 포함한다.
- [0104] 제1 식각 방지막(141)은 제1 하부 도전막(142)과 제1 일함수 조절막(144) 사이에 개재될 수 있다. 제1 식각 방지막(141)은 제1 하부 도전막(142)의 프로파일을 따라 형성될 수 있다. 제1 식각 방지막(141)은 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 둘레를 따라 형성될 수 있다. 이에 따라, 제1 식각 방지막(141)은 제1 하부 도전막(142)을 둘러쌀 수 있다.
- [0105] 또한, 제1 식각 방지막(141)은 필드 절연막(105)의 상면 및 제1 핀형 돌출부(100P) 상에도 형성될 수 있다. 또한, 제1 식각 방지막(141)은 제1 게이트 스페이서(150)의 내측벽을 따라 연장될 수 있다. 즉, 제1 식각 방지막(141)은 제1 트렌치(TR1)의 측벽 및 바닥면과, 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 연장될 수 있다.
- [0106] 제1 식각 방지막(141)은 예를 들어, TiN, TaN, WN 또는 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0107] 이하의 설명에서, 제1 식각 방지막(141)은 TaN을 포함하는 것으로 설명한다.
- [0108] 몇몇 실시예에 따른 반도체 장치의 제조 공정에서, 제1 식각 방지막(141)은 추후에 형성되는 불필요한 일함수 조절막을 제거하기 위해 형성될 수 있다. 예를 들어, 제1 식각 방지막(141)은 불필요한 일함수 조절막을 제거하는 과정에서, 제1 게이트 절연막(130) 등이 식각되는 것을 방지하는 역할을 할 수 있다.
- [0109] 도 9 및 도 10은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의를 위해, 도 1 내지 도 8을 이용하여 설명한 것과 중복되는 것은 간략히 설명하거나 생략한다.
- [0110] 참고적으로, 도 9는 도 1의 A-A'을 따라서 절단한 단면도이고, 도 10은 도 1의 B-B'을 따라서 절단한 단면도이다.
- [0111] 도 9 및 도 10을 참조하면, 몇몇 실시예에 따른 반도체 장치에서, 제1 게이트 전극(140)은 제2 일함수 조절막(143)을 더 포함한다.
- [0112] 제2 일함수 조절막(143)은 제1 게이트 절연막(130)과 제1 일함수 조절막(144) 사이에 개재될 수 있다. 예를 들어, 제2 일함수 조절막(143)은 제1 식각 방지막(141)과 제1 일함수 조절막(144) 사이에 개재될 수 있다. 제2 일함수 조절막(143)은 제1 식각 방지막(141)의 프로파일을 따라 형성될 수 있다. 제2 일함수 조절막(143)은 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 둘레를 따라 형성될 수 있다. 이에 따라, 제2 일함수 조절막(143)은 제1 게이트 절연막(130)을 둘러쌀 수 있다.
- [0113] 또한, 제2 일함수 조절막(143)은 필드 절연막(105)의 상면 및 제1 핀형 돌출부(100P) 상에도 형성될 수 있다. 또한, 제2 일함수 조절막(143)은 제1 게이트 스페이서(150)의 내측벽을 따라 연장될 수 있다. 즉, 제2 일함수

조절막(143)은 제1 트렌치(TR1)의 측벽 및 바닥면과, 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 연장될 수 있다.

- [0114] 몇몇 실시예에서, 제2 일함수 조절막(143)은 p형 일함수 조절막일 수 있다. 예를 들어, 제2 일함수 조절막(143)은 TiN를 포함할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0115] 도 11 및 도 12는 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의를 위해, 도 1 내지 도 6을 이용하여 설명한 것과 중복되는 것은 간략히 설명하거나 생략한다.
- [0116] 참고적으로, 도 11은 도 1의 A-A'을 따라서 절단한 단면도이고, 도 12는 도 1의 B-B'을 따라서 절단한 단면도이다.
- [0117] 도 11 및 도 12를 참조하면, 몇몇 실시예에 따른 반도체 장치에서, 제1 게이트 전극(140)은 제2 배리어막(147)을 더 포함한다.
- [0118] 제2 배리어막(147)은 제1 배리어막(146) 상에 배치될 수 있다. 제2 배리어막(147)은 제1 배리어막(146)의 프로파일을 따라 형성될 수 있다. 제2 배리어막(147)은 제1 배리어막(146)과 접촉할 수 있다.
- [0119] 또한, 제2 배리어막(147)은 필드 절연막(105)의 상면 및 제1 핀형 돌출부(100P) 상에도 형성될 수 있다. 또한, 제2 배리어막(147)은 제1 게이트 스페이서(150)의 내측벽을 따라 연장될 수 있다. 즉, 제2 배리어막(147)은 제1 트렌치(TR1)의 측벽 및 바닥면을 따라 연장될 수 있다.
- [0120] 제2 배리어막(147)은 예를 들어, 제1 배리어막(146)과 동일한 물질을 포함할 수 있다. 제1 배리어막(146) 및 제2 배리어막(147)은 각각 예를 들어, TiN를 포함할 수 있다. 그러나, 제1 배리어막(146) 및 제2 배리어막(147) 사이에는 경계면이 형성될 수 있다.
- [0121] 제1 배리어막(146) 및 제2 배리어막(147) 사이의 경계면은 제1 배리어막(146)을 형성한 후 수행되는 막 처리 공정(도 32 및 도 33의 FT)에 기인할 수 있다. 예를 들어, 막 처리 공정(FT)에 의해, 제1 배리어막(146)의 상면의 결정 구조는 제2 배리어막(147)의 결정 구조와 다를 수 있다.
- [0122] 각각의 제1 배리어막(146) 및 제2 배리어막(147)은 10Å 이상의 두께를 가질 수 있다. 또는, 각각의 제1 배리어막(146) 및 제2 배리어막(147)은 예를 들어, 적어도 두 층 이상의 TiN 단위 격자가 적층된 두께를 가질 수 있다.
- [0123] 몇몇 실시예에서, 제2 배리어막(147)의 두께는 제1 배리어막(146)의 두께보다 크거나 같을 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0124] 도 13 및 도 14는 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의를 위해, 도 1 내지 도 6을 이용하여 설명한 것과 중복되는 것은 간략히 설명하거나 생략한다.
- [0125] 참고적으로, 도 13은 도 1의 A-A'을 따라서 절단한 단면도이고, 도 14는 도 1의 B-B'을 따라서 절단한 단면도이다.
- [0126] 도 13 및 도 14를 참조하면, 몇몇 실시예에 따른 반도체 장치에서, 제1 일함수 조절막(144)의 바닥면은 제1 배리어막(146)과 접촉할 수 있다. 예를 들어, 제1 일함수 조절막(144)의 제1 중앙부(144a)의 바닥면은 제1 배리어막(146)과 접촉할 수 있다.
- [0127] 또한, 예를 들어, 도 14에 도시된 것처럼, 제1 일함수 조절막(144)은 하부(144e)를 더 포함할 수 있다.
- [0128] 제1 일함수 조절막(144)의 하부(144e)는 필드 절연막(105)의 상면 및 제1 핀형 돌출부(100P) 상에 배치되는 제1 일함수 조절막(144)의 일부일 수 있다. 또한, 하부(144e)는 제1 중앙부(144a) 아래에서 제1 중앙부(144a)와 이격될 수 있다. 예를 들어, 하부(144e)와 제1 중앙부(144a) 사이에는 제1 배리어막(146) 및 제1 필링 도전막(148)이 개재될 수 있다.
- [0129] 몇몇 실시예에서, 제1 핀형 돌출부(100P)와 제1 활성 패턴(110)이 이격되는 제1 거리(D1)는, 제1 활성 패턴(110)과 제2 활성 패턴(210)이 이격되는 제2 거리(D2)보다 클 수 있다. 이에 따라, 몇몇 실시예에서, 제1 필링 도전막(148)은 제1 핀형 돌출부(100P) 및 제1 활성 패턴(110) 사이의 이격된 공간에도 형성될 수 있다.
- [0130] 도 15는 도 13 및 도 14에 따른 반도체 장치를 설명하기 위한 그래프이다.
- [0131] 도 15를 참조하면, 몇몇 실시예에 따른 반도체 장치에서, 제1 배리어막(146)으로부터 멀어짐에 따라, 제1 일함

수 조절막(144)의 탄소 농도는 증가할 수 있다.

- [0132] 도 15는, 도 14의 제3 스캔라인(SC3)을 따라 이동할 때, 제1 일함수 조절막(144)의 탄소 농도 변화를 나타내는 그래프이다. 제3 스캔라인(SC3)은 제1 일함수 조절막(144)의 제5 지점(도 14의 P5)과 제1 일함수 조절막(144)의 제6 지점(도 14의 P6)을 연결하는 직선이다. 제3 스캔라인(SC3)은 기관(100)의 상면과 수직할 수 있다.
- [0133] 제1 일함수 조절막(144)의 제5 지점(P5)은 제1 일함수 조절막(144)의 바닥면 상의 일 지점이다. 예를 들어, 제5 지점(P5)은 제1 일함수 조절막(144)의 측부(144d)의 바닥면 상의 일 지점일 수 있다. 제1 일함수 조절막(144)의 제6 지점(P6)은, 제5 지점(P5)을 지나며 기관(100)의 상면과 수직하는 직선이 제1 일함수 조절막(144)의 상면과 만나는 지점이다. 제3 스캔라인(SC3)은 제5 지점(P5)과 제6 지점(P6)을 연결하는 직선이므로, 제3 스캔라인(SC3)은 기관(100)의 상면과 수직할 수 있다.
- [0134] 도 15를 참조하면, 제3 스캔라인(SC3)을 따라 제5 지점(P5)으로부터 제6 지점(P6)까지 이동할 때, 제1 일함수 조절막(144)의 탄소 농도는 증가하다가 감소할 수 있다. 예를 들어, 제1 일함수 조절막(144)의 탄소 농도는, 제5 지점(P5)의 제5 농도(C5)로부터 증가하다가 감소하여 제6 지점(P6)의 제6 농도(C6)에 이를 수 있다.
- [0135] 즉, 제1 일함수 조절막(144)과 접촉하는 제1 배리어막(146)으로부터 멀어짐에 따라, 제1 일함수 조절막(144)의 탄소 농도는 증가할 수 있다.
- [0136] 몇몇 실시예에서, 제5 농도(C5)는 제6 농도(C6)보다 클 수 있다. 이는, 예를 들어, 막 처리 공정(도 32 및 도 33의 FT)의 방향성에 기인할 수 있다. 예를 들어, 막 처리 공정(FT)의 방향성에 의해, 제1 일함수 조절막(144)의 상면과 제1 일함수 조절막(144)의 바닥면은 서로 다른 영향을 받을 수 있다. 예를 들어, 위로부터 아래를 향하는 방향으로 막 처리 공정(FT)이 수행되는 경우에, 제1 일함수 조절막(144)의 상면은 제1 일함수 조절막(144)의 바닥면보다 보다 큰 영향을 받을 수 있다.
- [0137] 도 14에 도시된 것처럼, 제1 일함수 조절막(144)의 상면 및 바닥면은 제1 배리어막(146)과 접촉할 수 있다. 예를 들어, 측부(144d)의 바닥면, 제1 중앙부(144a)의 바닥면, 측부(144d)의 상면 및 제3 중앙부(144c)의 상면은 제1 배리어막(146)과 접촉할 수 있다.
- [0138] 이에 따라, 기관(100)의 상면으로부터 멀어짐에 따라, 제1 일함수 조절막(144)의 탄소 농도는 증가하다가 감소할 수 있다.
- [0139] 예를 들어, 몇몇 실시예에서, 제1 일함수 조절막(144)의 측부(144d)의 탄소 농도는 기관(100)의 상면으로부터 멀어짐에 따라 증가하다가 감소할 수 있다.
- [0140] 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는, 제1 일함수 조절막(144)의 상부뿐만 아니라 하부에서도 탄소 농도를 감소시킬 수 있다. 예를 들어, 몇몇 실시예에 따른 반도체 장치에서, 제3 중앙부(144c)뿐만 아니라 제1 중앙부(144a)의 탄소 농도 또한 감소될 수 있다. 이에 따라, 게이트 저항이 더욱 개선될 수 있고, 결과적으로 반도체 장치의 동작 성능 및 제품 신뢰성이 향상될 수 있다.
- [0141] 도 16은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 개략적인 평면도이다. 도 17은 도 16의 A-A' 및 C-C'을 따라서 절단한 단면도이다. 도 18은 도 16의 B-B' 및 D-D'을 따라서 절단한 단면도이다. 참고적으로, 도 16 내지 도 18의 제1 영역(I)에 대한 설명은 도 9 및 도 10을 이용하여 설명한 것과 실질적으로 동일하므로, 도 16 내지 도 18은 제2 영역(II)에 도시된 내용을 중심으로 설명한다.
- [0142] 도 16 내지 도 18을 참조하면, 몇몇 실시예에 따른 반도체 장치는, 제1 영역(I) 및 제2 영역(II)을 포함하는 기관(100)과, 제1 영역(I)에 형성된 제1 게이트 전극(140)과, 제2 영역(II)에 형성된 제2 게이트 전극(240)을 포함한다.
- [0143] 기관(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 제1 영역(I)과 제2 영역(II)은 서로 이격된 영역일 수도 있고, 서로 연결된 영역일 수도 있다.
- [0144] 몇몇 실시예에 따른 반도체 장치에서, 제1 영역(I) 및 제2 영역(II)에는, 서로 다른 도전형의 트랜지스터가 형성될 수 있다. 예를 들어, 제1 영역(I)은 NMOS 트랜지스터가 형성되는 영역일 수 있고, 제2 영역(II)은 PMOS 트랜지스터가 형성되는 영역일 수 있다.
- [0145] 기관(100)의 제2 영역(II)에는, 제3 활성 패턴(310), 제4 활성 패턴(410), 제2 계면막(220), 제2 게이트 절연막(230), 제2 게이트 전극(240), 제2 게이트 스페이서(250), 제2 소오스/드레인 영역(260) 및 층간 절연막(190)이 형성될 수 있다.

- [0146] 제3 활성 패턴(310), 제4 활성 패턴(410), 제2 계면막(220), 제2 게이트 절연막(230), 제2 게이트 스페이서(250) 및 제2 소오스/드레인 영역(260)은 각각 도 1 내지 도 4의 제1 활성 패턴(110), 제2 활성 패턴(210), 제1 계면막(120), 제1 게이트 절연막(130), 제1 게이트 스페이서(150) 및 제1 소오스/드레인 영역(160)과 실질적으로 동일할 수 있으므로, 이하에서 자세한 설명은 생략한다.
- [0147] 기관(100)은 제2 핀형 돌출부(200P)를 포함할 수 있다. 제2 핀형 돌출부(200P)는 기관(100)의 상면으로부터 돌출되어 제3 방향(X2)을 따라 길게 연장될 수 있다.
- [0148] 제2 게이트 전극(240)은 기관(100) 상에서 제3 방향(X2)과 교차하는 제4 방향(Y2)을 따라 연장될 수 있다.
- [0149] 제2 게이트 전극(240)은 제3 활성 패턴(310) 및 제4 활성 패턴(410)의 둘레를 감싸도록 형성될 수 있다. 구체적으로, 제2 게이트 전극(240)은 제2 게이트 절연막(230) 상에 형성될 수 있다. 또한, 제2 게이트 전극(240)은 제2 트렌치(TR2)를 채울 수 있다.
- [0150] 제2 게이트 전극(240)은 제2 하부 도전막(242), 제2 식각 방지막(241), 제3 일함수 조절막(243), 제4 일함수 조절막(244), 제3 배리어막(246) 및 제2 필링 도전막(248)을 포함할 수 있다.
- [0151] 제2 하부 도전막(242)은 제2 게이트 절연막(230) 상에 형성될 수 있다. 제2 하부 도전막(242)은 제2 게이트 절연막(230)의 프로파일을 따라 형성될 수 있다. 제2 하부 도전막(242)은 제2 트렌치(TR2)의 측벽 및 바닥면과, 제3 활성 패턴(310)의 둘레 및 제4 활성 패턴(410)의 둘레를 따라 연장될 수 있다.
- [0152] 제2 하부 도전막(242)은 예를 들어, 금속 질화물을 포함할 수 있다. 예를 들어, 제2 하부 도전막(242)은 TiN, TaN, WN 또는 이들의 조합 중 적어도 하나를 포함할 수 있다. 이하의 설명에서, 제2 하부 도전막(242)은 TiN를 포함하는 것으로 설명한다.
- [0153] 제2 식각 방지막(241)은 제2 하부 도전막(242) 상에 형성될 수 있다. 제2 식각 방지막(241)은 제2 하부 도전막(242)의 프로파일을 따라 형성될 수 있다. 제2 식각 방지막(241)은 제2 트렌치(TR2)의 측벽 및 바닥면과, 제3 활성 패턴(310)의 둘레 및 제4 활성 패턴(410)의 둘레를 따라 연장될 수 있다.
- [0154] 제2 식각 방지막(241)은 예를 들어, TiN, TaN, WN 또는 이들의 조합 중 적어도 하나를 포함할 수 있다. 이하의 설명에서, 제2 식각 방지막(241)은 TaN을 포함하는 것으로 설명한다.
- [0155] 제3 일함수 조절막(243)은 제2 식각 방지막(241) 상에 형성될 수 있다. 제3 일함수 조절막(243)은 제2 식각 방지막(241)의 프로파일을 따라 형성될 수 있다. 제3 일함수 조절막(243)은 제2 트렌치(TR2)의 측벽 및 바닥면과, 제3 활성 패턴(310)의 둘레 및 제4 활성 패턴(410)의 둘레를 따라 연장될 수 있다.
- [0156] 몇몇 실시예에서, 제3 일함수 조절막(243)은 p형 일함수 조절막일 수 있다. 예를 들어, 제3 일함수 조절막(243)은 TiN를 포함할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0157] 몇몇 실시예에서, 제3 일함수 조절막(243)은 제2 일함수 조절막(143)과 동일한 물질을 포함할 수 있다. 예를 들어, 제2 일함수 조절막(143) 및 제3 일함수 조절막(243)은 모두 TiN를 포함할 수 있다.
- [0158] 제4 일함수 조절막(244)은 제3 일함수 조절막(243) 상에 형성될 수 있다. 제4 일함수 조절막(244)은 제3 일함수 조절막(243)의 프로파일을 따라 형성될 수 있다. 제4 일함수 조절막(244)은 제2 트렌치(TR2)의 측벽 및 바닥면과, 제3 활성 패턴(310)의 둘레 및 제4 활성 패턴(410)의 둘레를 따라 연장될 수 있다.
- [0159] 제4 일함수 조절막(244)은 탄소(C)를 포함할 수 있다. 또한, 탄소를 포함하는 제4 일함수 조절막(244)은 예를 들어, Ti, Ta, W, Ru, Nb, Mo, Hf, La 또는 이들의 조합 중 적어도 하나를 더 포함할 수 있다.
- [0160] 그러나, 몇몇 실시예에서, 제4 일함수 조절막(244)은 탄소 농도 구배를 가지지 않을 수 있다.
- [0161] 몇몇 실시예에서, 제4 일함수 조절막(244)은 n형 일함수 조절막일 수 있다. 예를 들어, 제4 일함수 조절막(244)은 TiAlC 또는 TiAlCN을 포함할 수 있다. 또한 예를 들어, 제4 일함수 조절막(244)은 상술한 물질에서 Ti를 Ta, W, Ru, Nb, Mo, Hf 및 La 중 하나로 치환한 물질을 포함할 수 있다.
- [0162] 몇몇 실시예에서, 제4 일함수 조절막(244)은 제1 일함수 조절막(144)과 동일한 물질을 포함할 수 있다. 예를 들어, 제1 일함수 조절막(144) 및 제4 일함수 조절막(244)은 모두 TiAlC를 포함할 수 있다.
- [0163] 제3 배리어막(246)은 제4 일함수 조절막(244) 상에 형성될 수 있다. 제3 배리어막(246)은 제4 일함수 조절막(244)의 프로파일을 따라 형성될 수 있다. 제3 배리어막(246)은 제2 트렌치(TR2)의 측벽 및 바닥면을 따라 연장



될 수 있다.

- [0164] 제3 배리어막(246)은 예를 들어, TiN를 포함할 수 있다.
- [0165] 제2 필링 도전막(248)은 제3 배리어막(246) 상에 형성될 수 있다. 또한, 제2 필링 도전막(248)은 제2 계면막(220), 제2 게이트 절연막(230), 제2 하부 도전막(242), 제3 일함수 조절막(243), 제4 일함수 조절막(244) 및 제3 배리어막(246)이 형성되고 남은 제2 트렌치(TR2)를 채울 수 있다.
- [0166] 제2 필링 도전막(248)은 예를 들어, 제1 필링 도전막(148)과 동일한 물질을 포함할 수 있다.
- [0167] 도 19 내지 도 33은 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다.
- [0168] 참고적으로, 도 20, 도 22, 도 24, 도 26, 도 28, 도 30 및 도 32는 도 19의 E-E'를 따라 절단한 단면도이다. 도 21, 도 23, 도 25, 도 27, 도 29, 도 31 및 도 33은 도 19의 F-F'를 따라 절단한 단면도이다.
- [0169] 도 19 내지 도 21을 참조하면, 희생막(2001)과 활성막(2002)이 번갈아 적층된 기판(100)이 제공될 수 있다.
- [0170] 활성막(2002)은 희생막(2001)에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.
- [0171] 희생막(2001) 및 활성막(2002)은 예를 들어, 에피택셜 성장 방법에 의해 형성될 수 있다.
- [0172] 도 19에서, 희생막(2001)은 3개이고, 활성막(2002)은 2개인 것으로 도시되었으나, 이는 설명의 편의를 위한 것일 뿐이고, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 또한, 희생막(2001)과 활성막(2002)이 번갈아 적층된 구조체에서, 희생막(2001)이 최상부에 위치하는 것으로 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0173] 이어서, 희생막(2001) 상에, 제1 마스크 패턴(2101)이 형성될 수 있다.
- [0174] 제1 마스크 패턴(2101)은 제1 방향(X1)을 따라 길게 연장될 수 있다.
- [0175] 도 22 및 도 23을 참조하면, 제1 마스크 패턴(2101)을 마스크로 이용하여, 식각 공정이 진행되어 핀형 구조체(F1)가 형성될 수 있다.
- [0176] 핀형 구조체(F1)는, 제1 핀형 돌출부(100P)와, 제1 핀형 돌출부(100P) 상에 번갈아 적층된 희생 패턴(111) 및 활성 패턴(112)을 포함할 수 있다.
- [0177] 이어서, 기판(100) 상에, 핀형 구조체(F1)의 측벽의 적어도 일부를 덮는 필드 절연막(105)이 형성될 수 있다.
- [0178] 필드 절연막(105)을 형성하는 공정 중에, 제1 마스크 패턴(2101)은 제거될 수 있다.
- [0179] 도 24 및 도 25를 참조하면, 핀형 구조체(F1)와 교차하고, 제2 방향(Y1)으로 연장되는 더미 게이트 전극(140P)이 형성될 수 있다.
- [0180] 더미 게이트 전극(140P)은 제2 마스크 패턴(2102)을 마스크로 이용하여 형성될 수 있다.
- [0181] 도시되지 않았으나, 더미 게이트 전극(140P) 및 핀형 구조체(F1) 사이에, 더미 게이트 절연막 또는 핀형 구조체 보호막이 더 형성될 수도 있다.
- [0182] 또한, 더미 게이트 전극(140P)의 측벽 상에, 프리 게이트 스페이서(150P)가 형성될 수 있다.
- [0183] 도 26 및 도 27을 참조하면, 더미 게이트 전극(140P)의 양측에 제1 소오스/드레인 영역(160)이 형성될 수 있다.
- [0184] 몇몇 실시예에서, 제1 소오스/드레인 영역(160)을 형성하기 위해, 희생 패턴(111) 및 활성 패턴(112)의 일부가 제거될 수 있다.
- [0185] 희생 패턴(111) 및 활성 패턴(112)의 일부가 제거된 뒤에, 프리 게이트 스페이서(150P)와 중첩되는 희생 패턴(111)의 적어도 일부를 추가적으로 제거할 수 있다.
- [0186] 추가적으로 제거된 희생 패턴(111)의 자리에, 제1 내측 스페이서(154)가 형성될 수 있다.
- [0187] 이어서, 더미 게이트 전극(140P)의 양측에 제1 소오스/드레인 영역(160)이 형성될 수 있다.
- [0188] 이어서, 제1 소오스/드레인 영역(160)을 덮는 층간 절연막(190)이 기판(100) 상에 형성될 수 있다.
- [0189] 층간 절연막(190)에 의해, 더미 게이트 전극(140P)이 노출될 수 있다.

- [0190] 층간 절연막(190)이 형성되는 동안, 제2 마스크 패턴(2102)은 제거될 수 있다. 또한, 층간 절연막(190)이 형성되는 동안, 제1 내측 스페이서(154) 상에 제1 외측 스페이서(152)가 형성될 수 있다.
- [0191] 이를 통해, 제1 내측 스페이서(154) 및 제1 외측 스페이서(152)를 포함하는 제1 게이트 스페이서(150)가 형성될 수 있다.
- [0192] 도 28 및 도 29를 참조하면, 더미 게이트 전극(140P) 및 희생 패턴(111)을 제거함으로써, 기판(100) 상에 제1 활성 패턴(110) 및 제2 활성 패턴(210)이 형성될 수 있다.
- [0193] 이에 따라, 제1 활성 패턴(110)은 제1 편형 돌출부(100P)와 이격되어 형성될 수 있고, 제2 활성 패턴(210)은 제1 활성 패턴(110)과 이격되어 형성될 수 있다.
- [0194] 도 30 및 도 31을 참조하면, 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레를 따라 제1 계면막(120)이 형성될 수 있다.
- [0195] 제1 계면막(120)은 제1 활성 패턴(110) 및 제2 활성 패턴(210)의 표면이 산화되어 형성될 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0196] 이어서, 제1 활성 패턴(110)의 둘레 및 제2 활성 패턴(210)의 둘레와, 제1 트렌치(TR1)의 측벽 및 바닥면을 따라, 제1 게이트 절연막(130), 제1 하부 도전막(142), 제1 일함수 조절막(144) 및 제1 배리어막(146)이 차례로 형성될 수 있다.
- [0197] 도시되지 않았으나, 제1 게이트 절연막(130), 제1 하부 도전막(142), 제1 일함수 조절막(144) 및 제1 배리어막(146)은 층간 절연막(190)의 상면을 따라 형성되어 있을 수도 있다.
- [0198] 몇몇 실시예에서, 제1 일함수 조절막(144)을 형성하는 것과 제1 배리어막(146)을 형성하는 것은 인시츄(in-situ)로 수행될 수 있다.
- [0199] 도 32 및 도 33을 참조하면, 제1 일함수 조절막(144)에 대한 막 처리(film treatment) 공정(FT)이 수행될 수 있다. 이에 따라, 제1 일함수 조절막(144) 내의 탄소 농도 구배가 조절될 수 있다.
- [0200] 막 처리 공정(FT)은 예를 들어, 플라즈마 처리 공정, 열처리(annealing) 공정, UV(ultraviolet ray) 처리 공정 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 예를 들어, 막 처리 공정(FT)은 수소 플라즈마 처리 공정을 포함할 수 있다.
- [0201] 막 처리 공정(FT)을 통해, 제1 일함수 조절막(144)의 탄소 농도 구배가 조절될 수 있다. 예를 들어, 막 처리 공정(FT)은 제1 일함수 조절막(144) 내의 탄소를 탈리할 수 있다. 예를 들어, 수소 플라즈마 처리 공정에 의해, 제1 일함수 조절막(144) 내의 탄소는 탄화수소(hydrocarbon)를 형성하고, 제1 일함수 조절막(144)으로부터 탈리될 수 있다.
- [0202] 막 처리 공정(FT)은 도 32 및 도 33에 따른 반도체 장치의 표면으로부터 진행될 수 있다. 즉, 막 처리 공정(FT)은 제1 일함수 조절막(144)의 내부보다 제1 일함수 조절막(144)의 표면에 더 큰 영향을 미칠 수 있다. 예를 들어, 제1 배리어막(146)은 제1 일함수 조절막(144) 상에 형성되는 것이므로, 제1 일함수 조절막(144)의 탄소 농도는 제1 배리어막(146)으로부터 멀어짐에 따라 증가할 수 있다.
- [0203] 몇몇 실시예에서, 막 처리 공정(FT)이 진행되는 동안, 제1 일함수 조절막(144)의 표면에 형성된 산화막의 두께는 최소화되거나 제거될 수 있다. 상기 산화막은 제1 일함수 조절막(144)의 표면이 자연 산화되어 형성되는 막일 수 있다. 그러나, 막 처리 공정(FT)에 의해, 제1 일함수 조절막(144)의 표면에 포함된 산소는 제1 배리어막(146)을 거쳐 탈리될 수 있다.
- [0204] 또한, 몇몇 실시예에서, 막 처리 공정(FT)이 진행되는 동안, 제1 배리어막(146)의 표면의 결정 구조 또는 결정 배열이 변할 수 있다. 이로 인해, 제1 배리어막(146)과 제2 배리어막(도 11 및 도 12의 147) 사이에, 경계면이 형성될 수 있다.
- [0205] 몇몇 실시예에서, 막 처리 공정(FT)을 수행한 후에, 제1 배리어막(146) 상에, 제1 배리어막(146)과 동일한 물질을 포함하는 제2 배리어막(147)이 더 형성될 수 있다.
- [0206] 이어서, 도 1 내지 도 4를 참조하면, 제1 배리어막(146) 상에 제1 필링 도전막(148)을 형성할 수 있다. 이에 따라, 제1 하부 도전막(142), 제1 일함수 조절막(144), 제1 배리어막(146) 및 제1 필링 도전막(148)을 포함하는 제1 게이트 전극(140)을 형성할 수 있다.

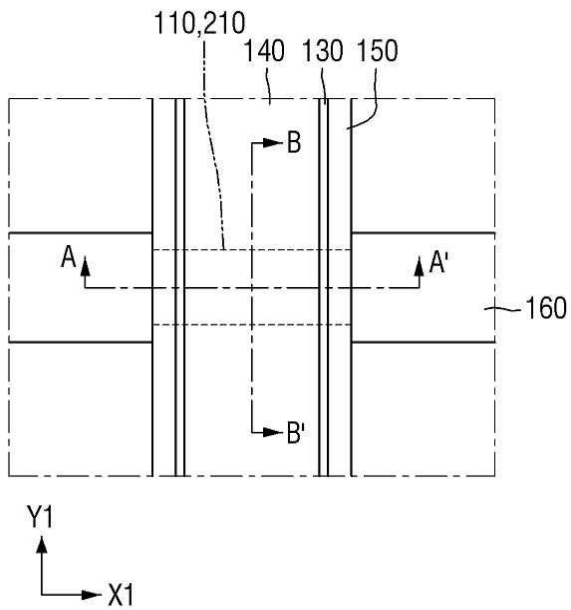
[0207] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

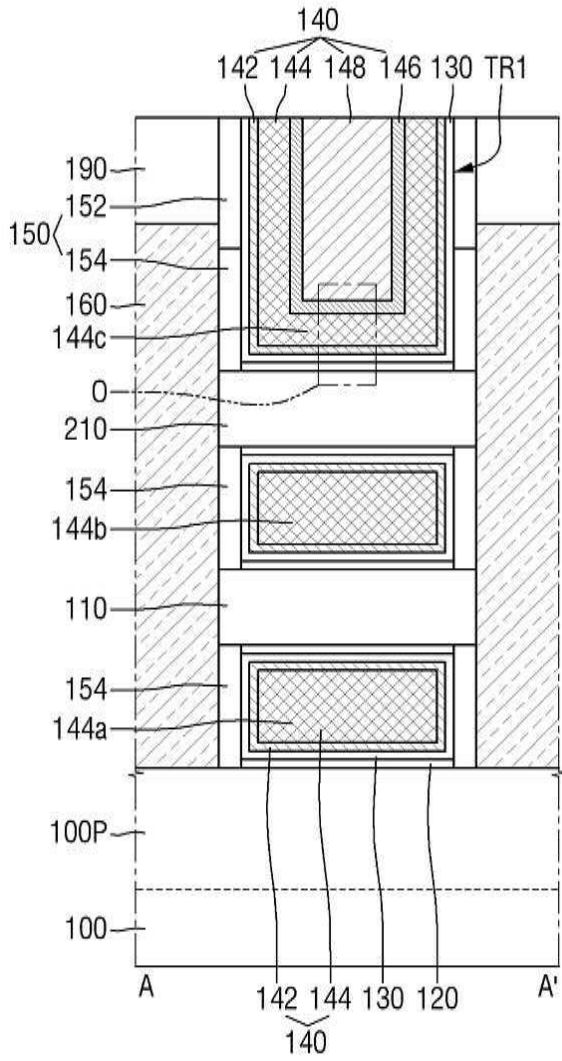
- [0208]
- |                 |                 |
|-----------------|-----------------|
| 100: 기판         | 110, 210: 활성 패턴 |
| 120: 계면막        | 130: 게이트 절연막    |
| 140: 게이트 전극     | 142: 하부 도전막     |
| 144: 일함수 조절막    | 146: 배리어막       |
| 148: 필링 도전막     | 150: 게이트 스페이서   |
| 160: 소오스/드레인 영역 | 190: 층간 절연막     |

**도면**

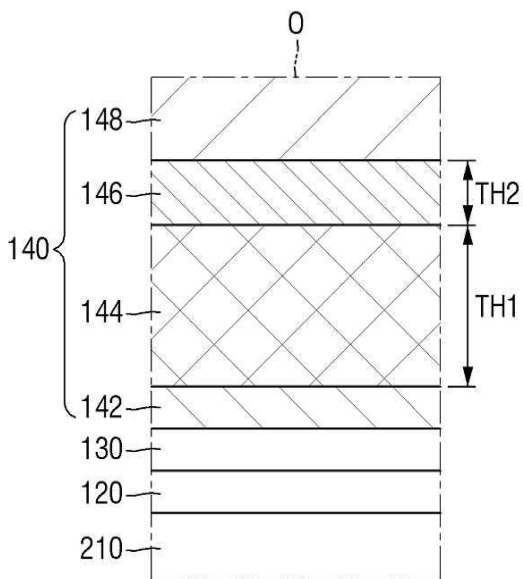
**도면1**



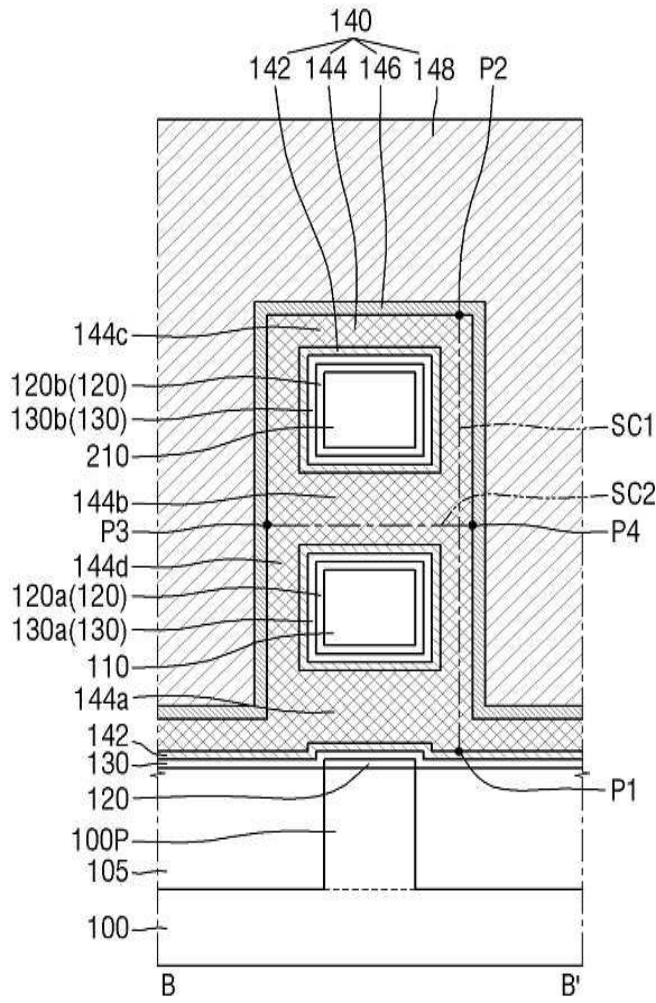
도면2



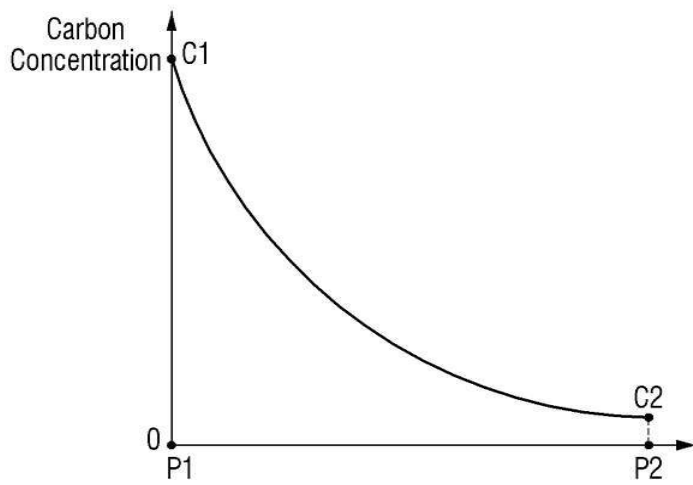
도면3



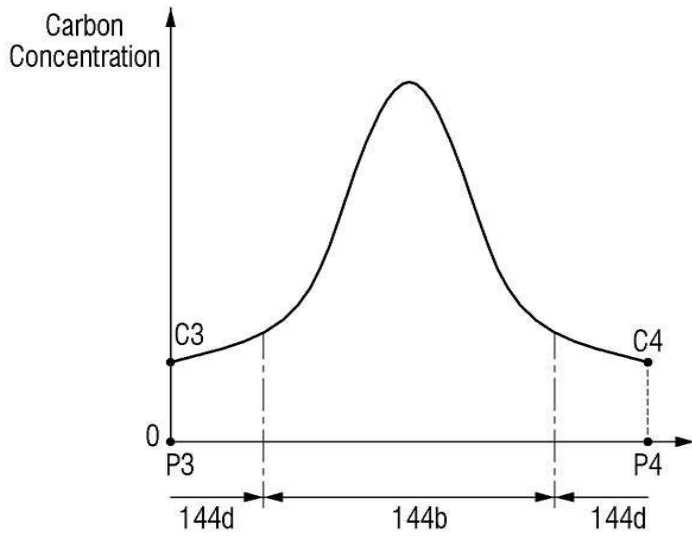
도면4



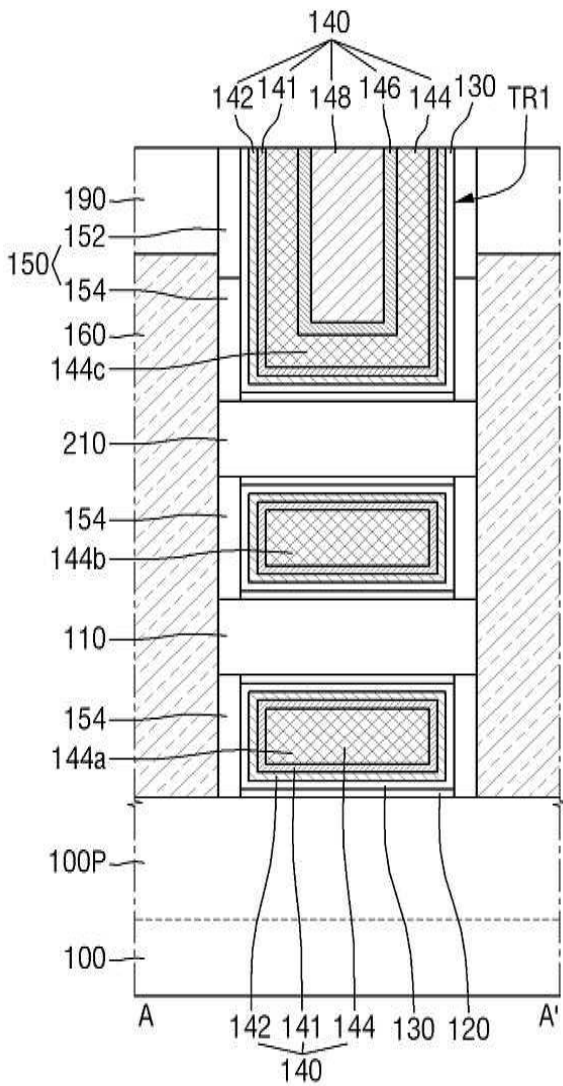
도면5



도면6

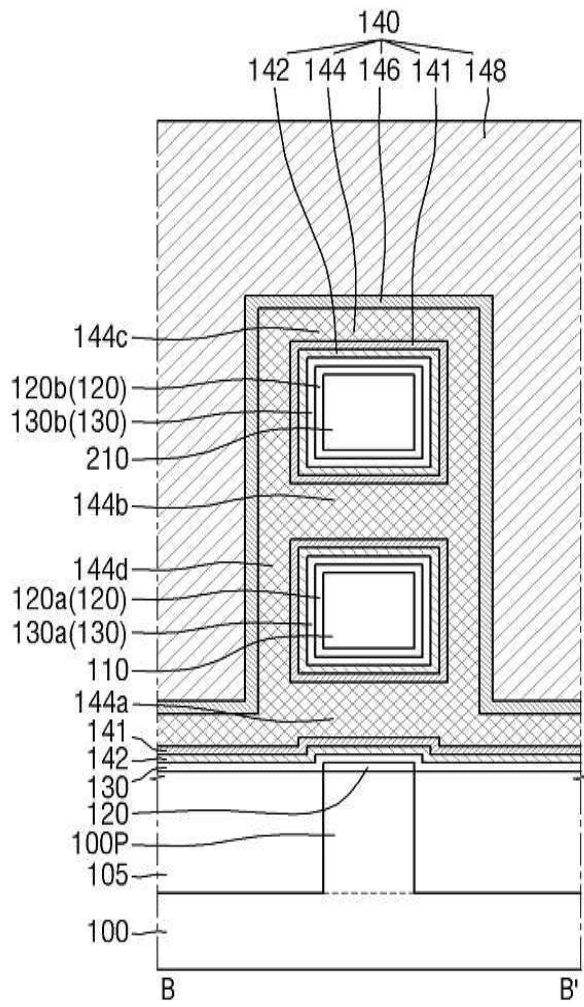


도면7

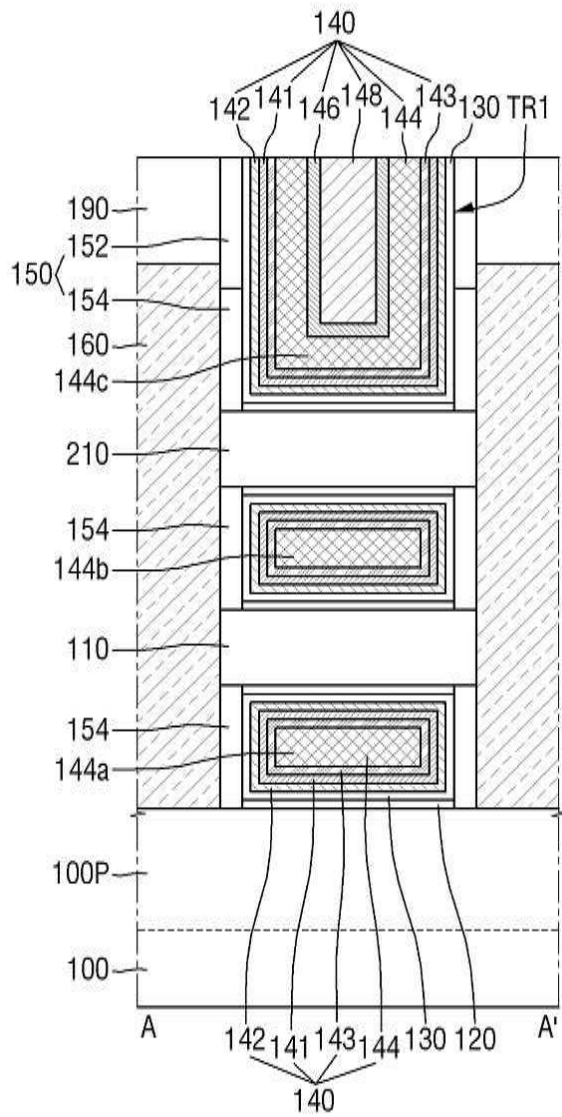




도면8

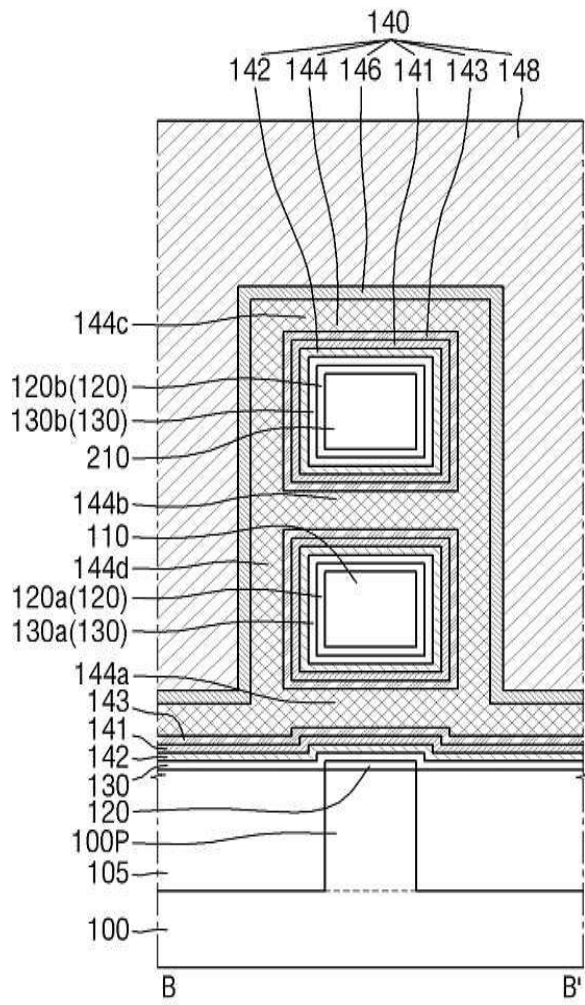


도면9

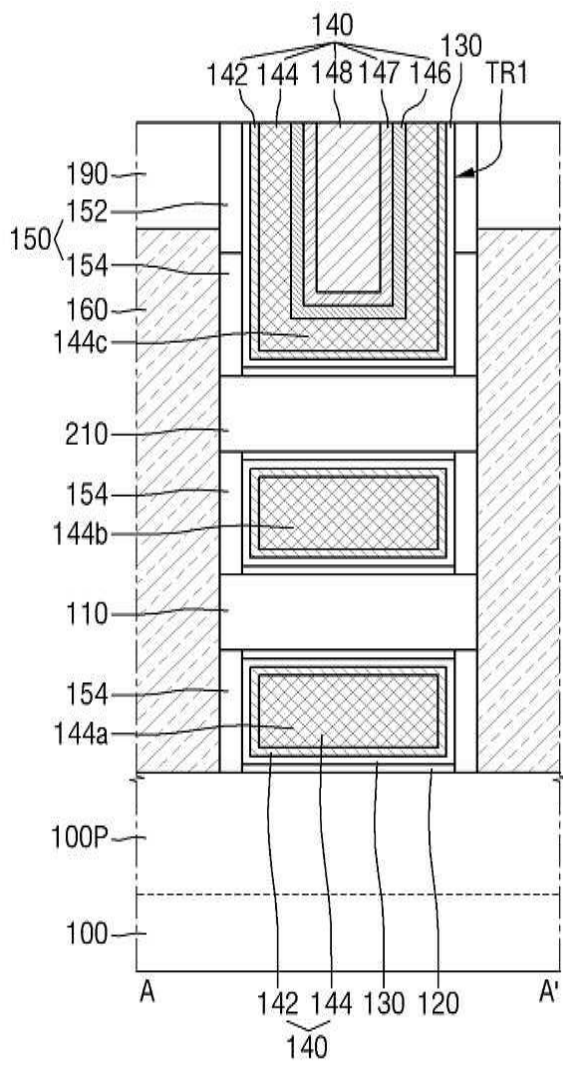




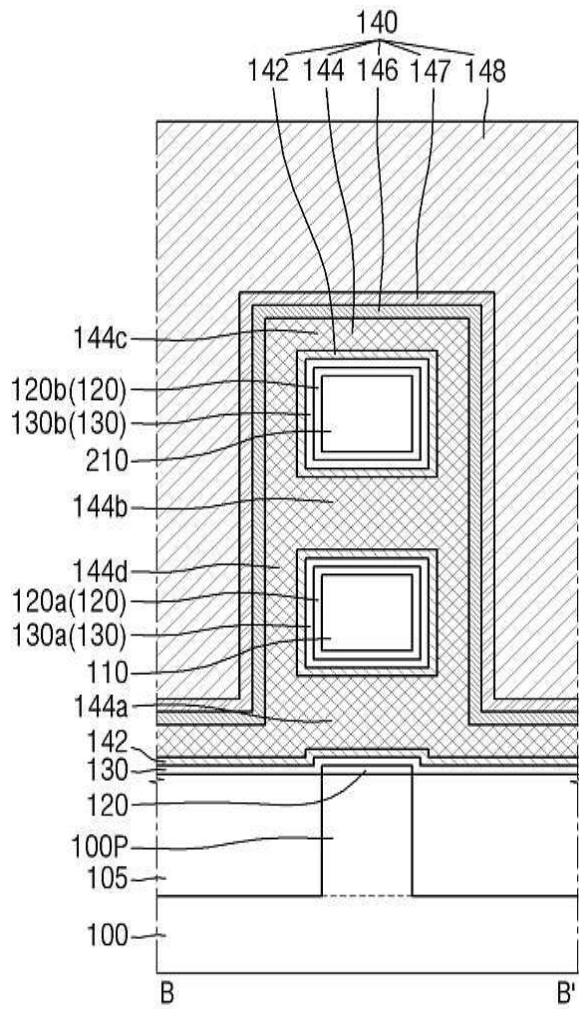
도면10



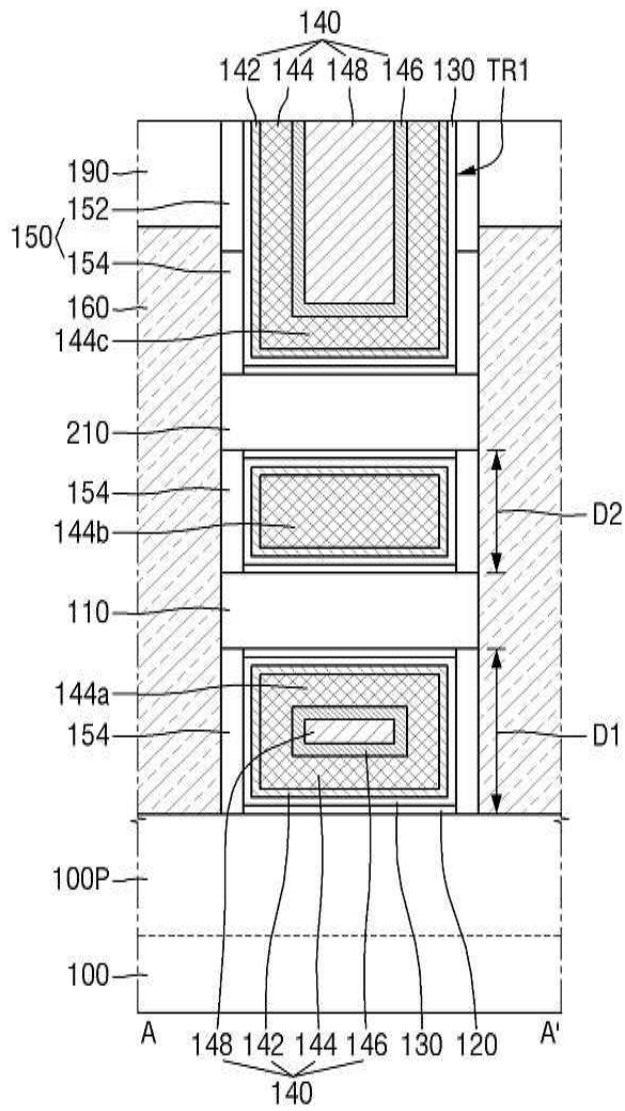
도면11



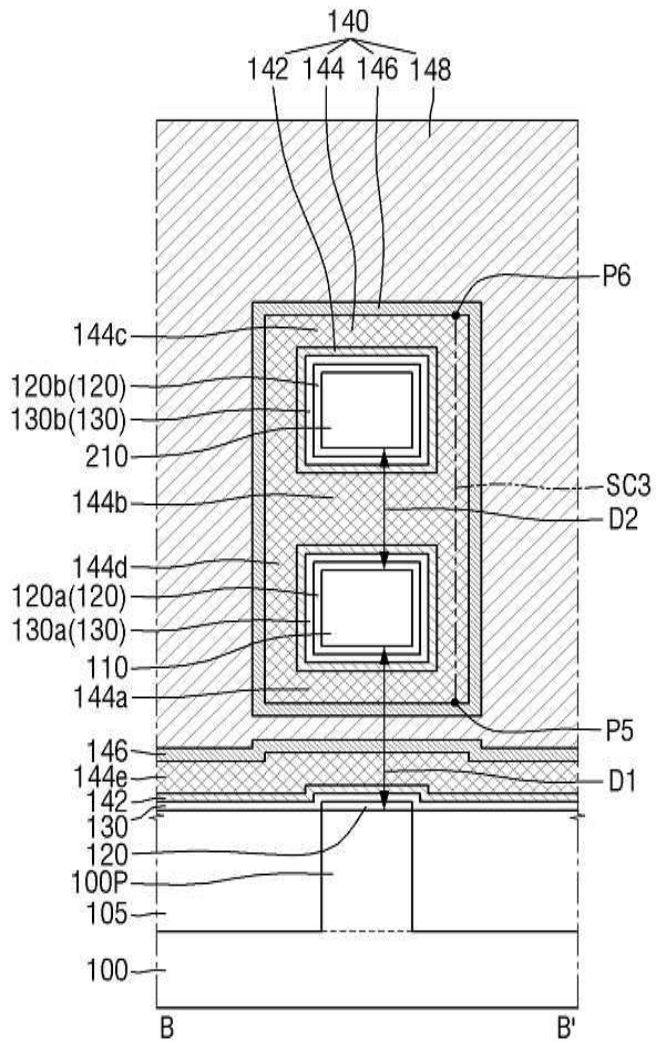
도면12



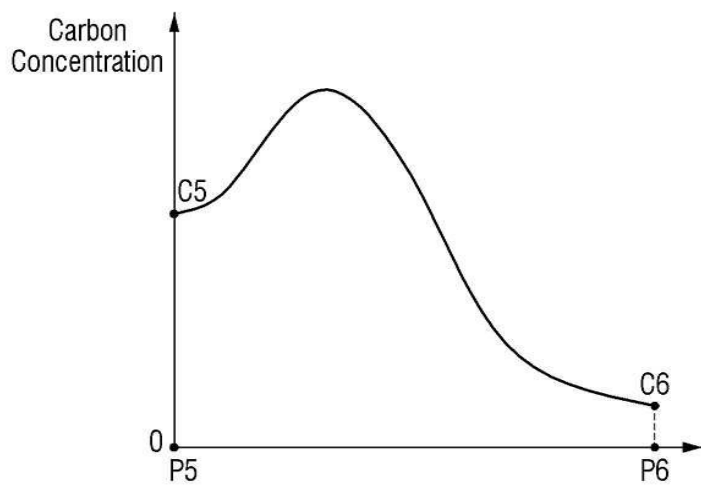
도면13



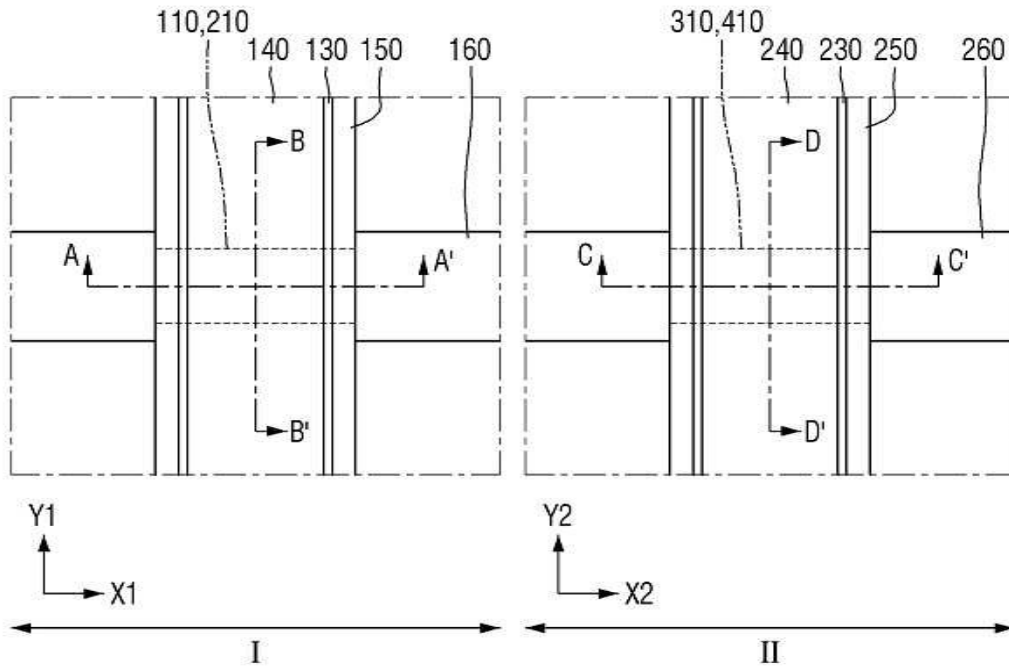
도면14



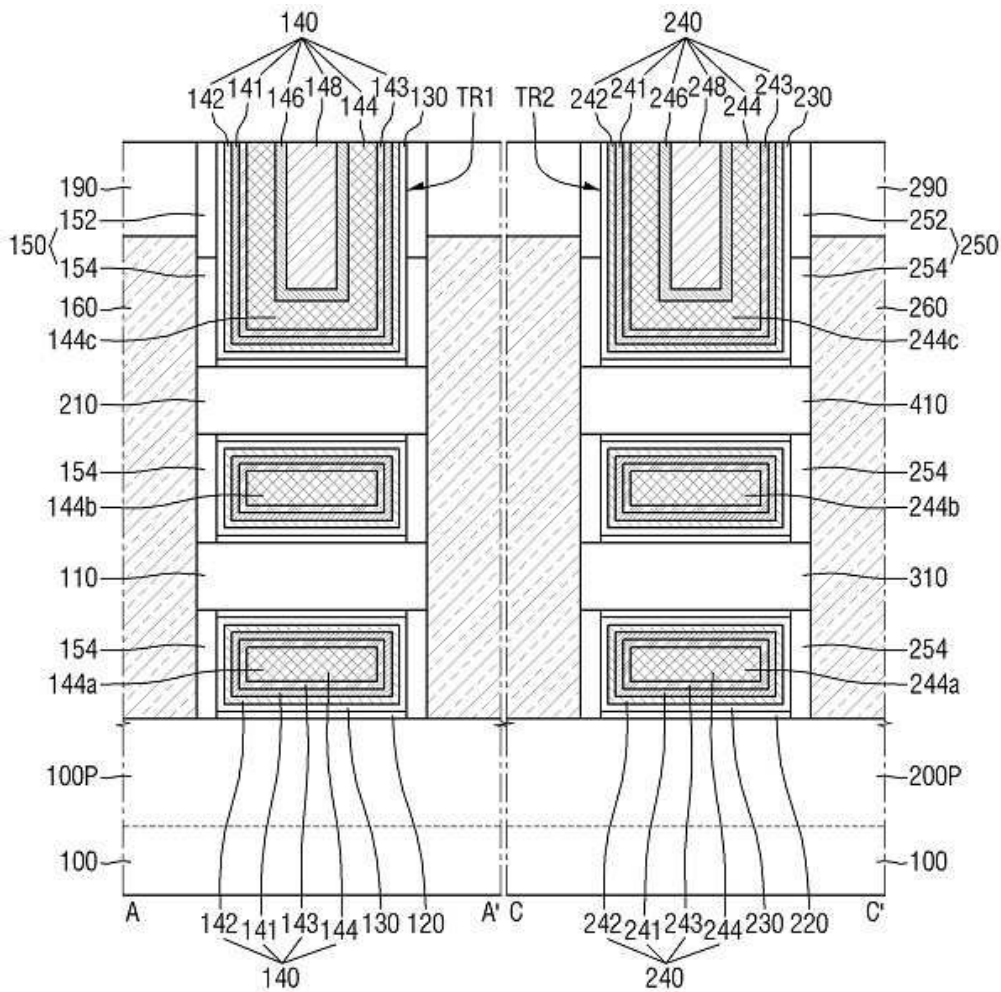
도면15



도면16

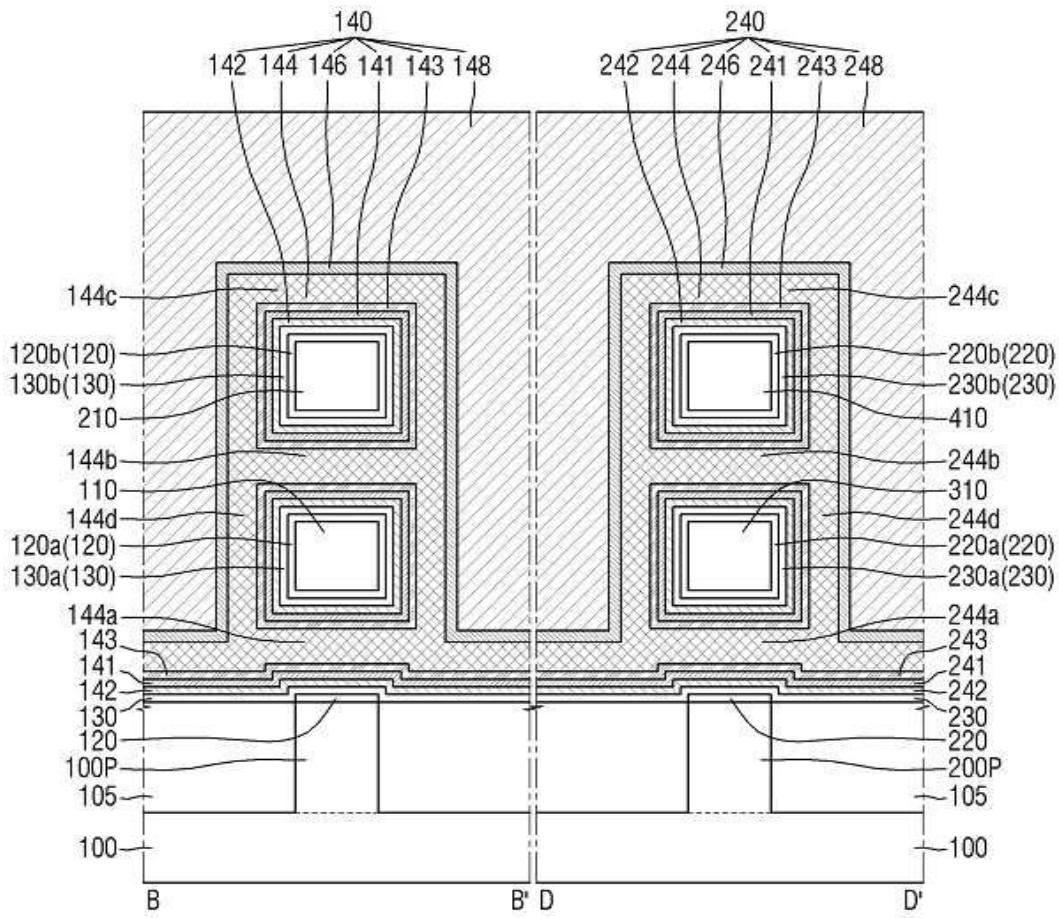


도면17

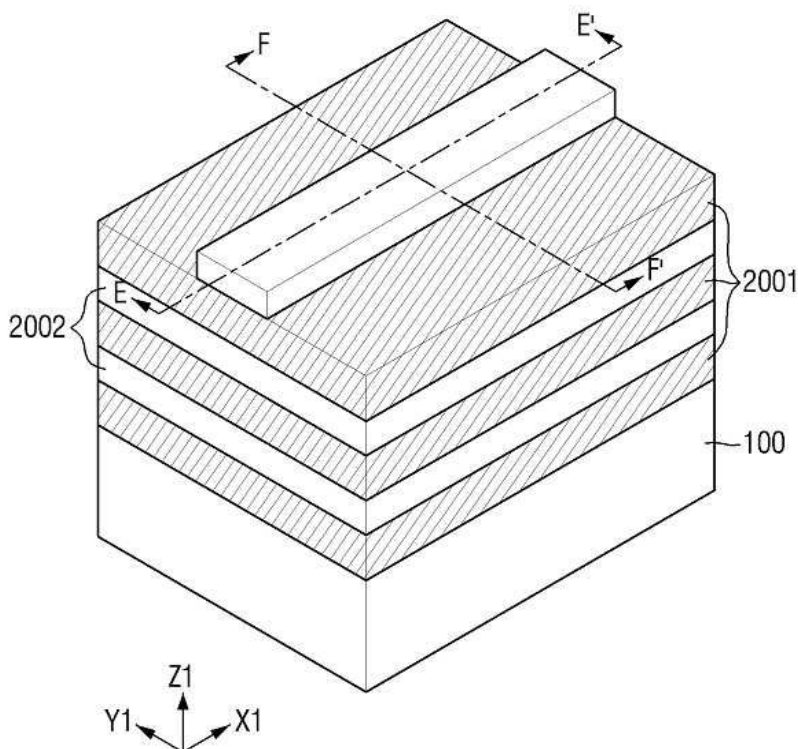




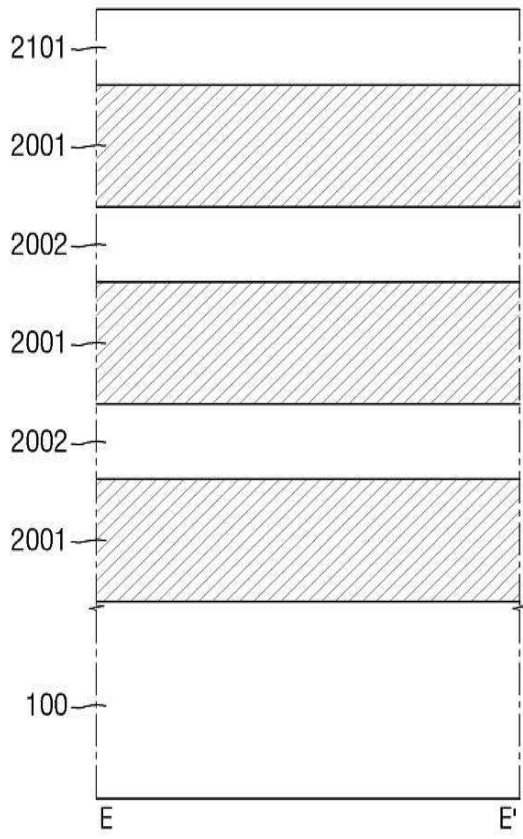
도면18



도면19

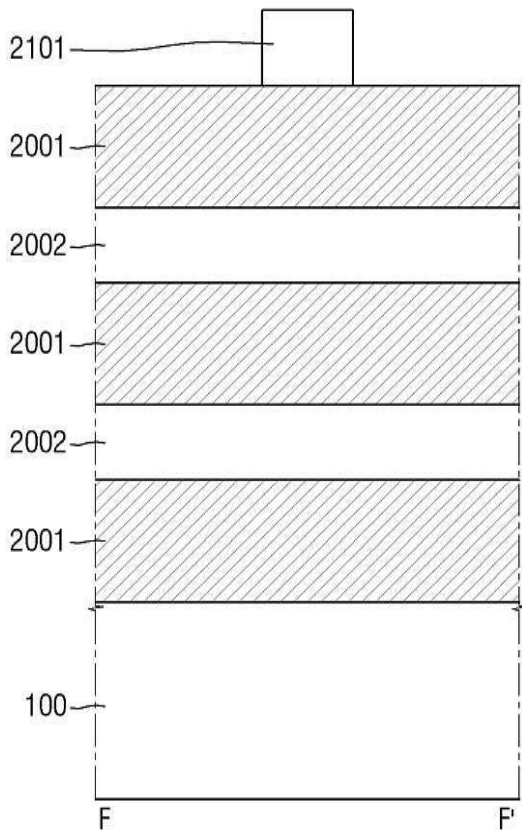


도면20

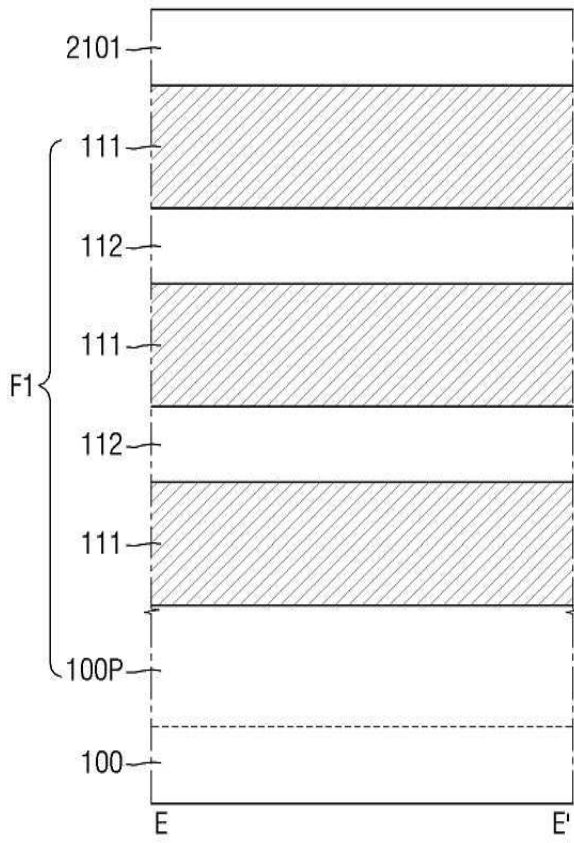




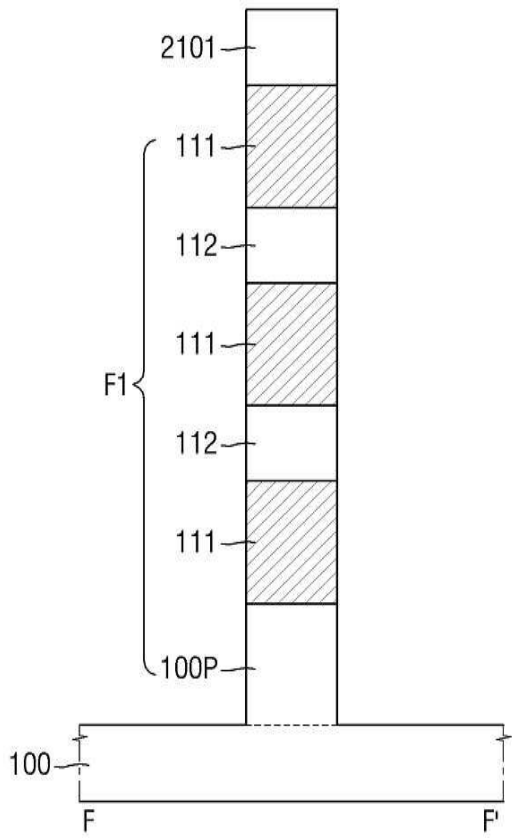
도면21



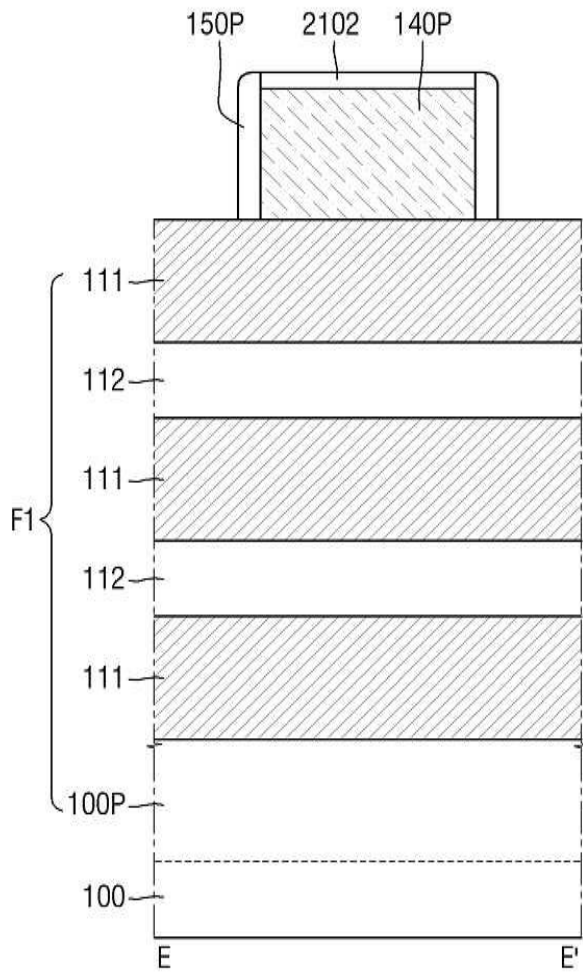
도면22



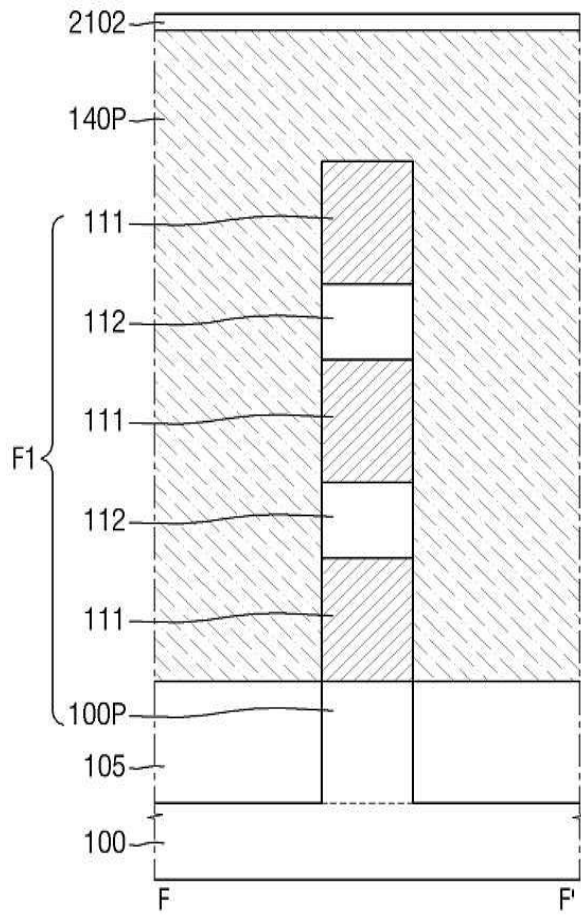
도면23



도면24

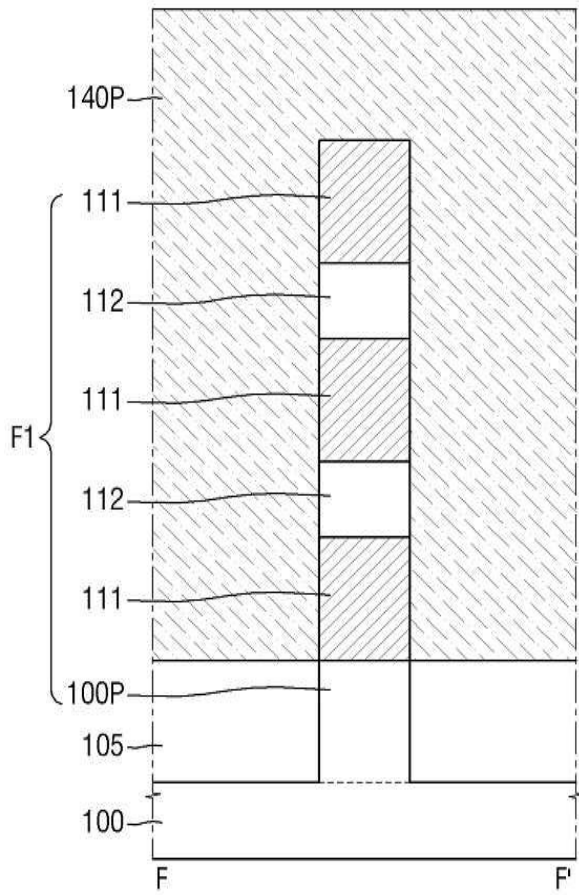


도면25

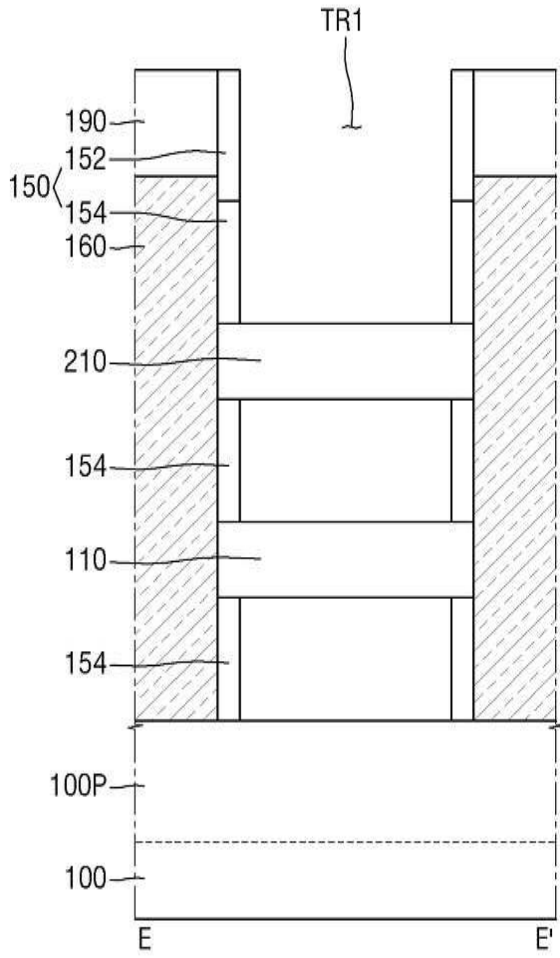




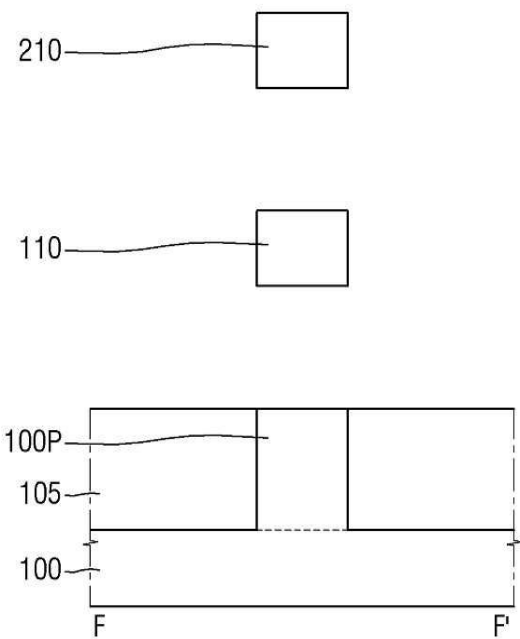
도면27



도면28

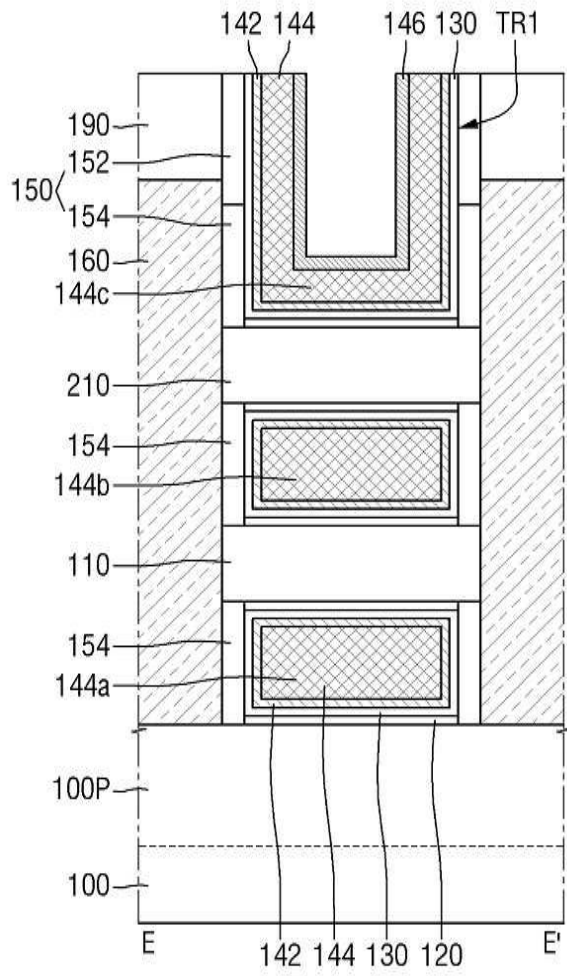


도면29

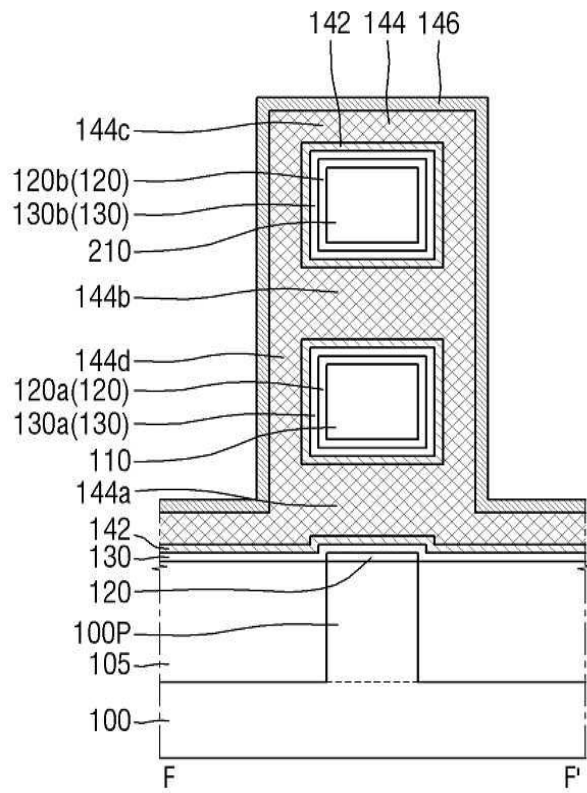




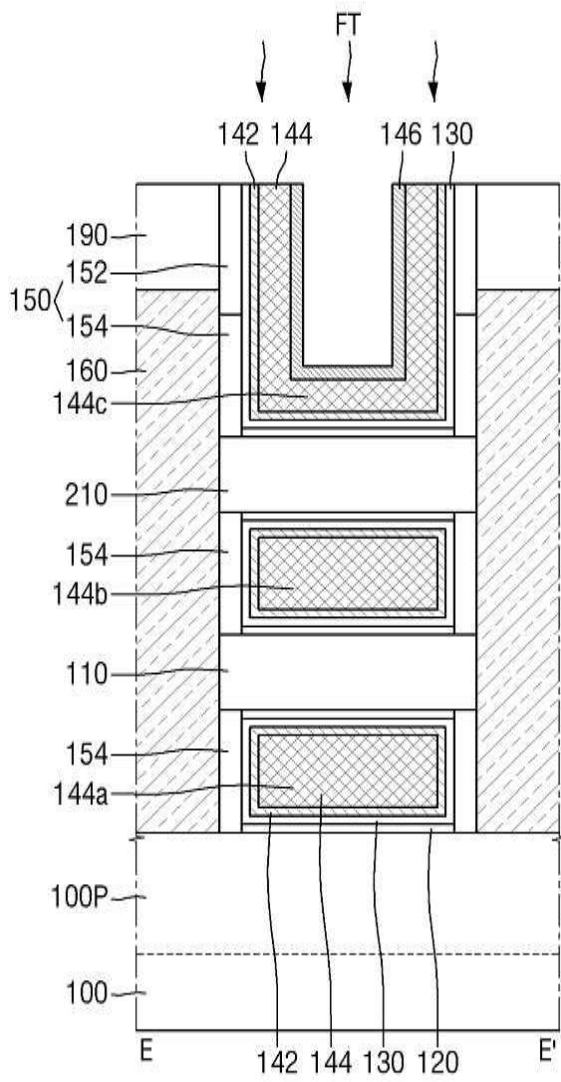
도면30



도면31



도면32



도면33

