

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6963463号
(P6963463)

(45) 発行日 令和3年11月10日(2021.11.10)

(24) 登録日 令和3年10月19日(2021.10.19)

(51) Int.Cl.	F I
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/4091
G 1 1 C 11/405 (2006.01)	G 1 1 C 11/405
G 1 1 C 11/56 (2006.01)	G 1 1 C 11/56 2 5 0
H O 1 L 21/8242 (2006.01)	H O 1 L 27/108 3 2 1
H O 1 L 27/108 (2006.01)	H O 1 L 29/78 6 1 3 B
請求項の数 8 (全 37 頁) 最終頁に続く	

(21) 出願番号 特願2017-208835 (P2017-208835)
 (22) 出願日 平成29年10月30日(2017.10.30)
 (65) 公開番号 特開2018-206461 (P2018-206461A)
 (43) 公開日 平成30年12月27日(2018.12.27)
 審査請求日 令和2年10月27日(2020.10.27)
 (31) 優先権主張番号 特願2016-219834 (P2016-219834)
 (32) 優先日 平成28年11月10日(2016.11.10)
 (33) 優先権主張国・地域又は機関
 日本国(JP)
 (31) 優先権主張番号 特願2017-32226 (P2017-32226)
 (32) 優先日 平成29年2月23日(2017.2.23)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 池田 隆之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 米田 誠一
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体装置、電子部品、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

データ書き込み回路と、データ読み出し回路と、メモリセルと、を有する半導体装置であって、

前記メモリセルは、第1のトランジスタと、第2のトランジスタと、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、

前記第1のトランジスタは、オフ状態とすることで、前記メモリセルで記憶する第1のデータに応じた電荷を保持する機能を有し、

前記データ書き込み回路は、前記第1のデータおよび補正用データを前記メモリセルに書き込む機能を有し、

前記データ読み出し回路は、前記第1のデータに対応する第1の電圧値を読み出した後、前記メモリセルに書き込まれた前記補正用データに対応する第2の電圧値を読み出し、前記第1の電圧値と前記第2の電圧値との差分に相当する電圧値を補正後の第1のデータに変換し、前記データ書き込み回路に出力する機能を有することを特徴とする半導体装置。

【請求項2】

請求項1において、

読み出しビット線と、第3のトランジスタと、固定電位線と、を有し、

前記メモリセルおよび前記データ読み出し回路は、前記読み出しビット線に電氣的に接

続され、

前記第3のトランジスタは、前記読み出しビット線と前記固定電位線との間の導通状態を制御する機能を有し、

前記第3のトランジスタは、前記第1の電圧値および前記第2の電圧値を読み出す期間以外の期間で導通状態とする期間を有することを特徴とする半導体装置。

【請求項3】

請求項1または2において、

前記第1のトランジスタは、チャンネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記メモリセルは、さらに第4のトランジスタを有し、

前記第4のトランジスタは、前記第1のデータおよび前記補正用データを読み出す第1の期間において、オン状態とすることを特徴とする半導体装置。

【請求項5】

請求項4において、

前記データ書き込み回路は、前記第1の期間において、前記メモリセルに前記補正用データを書き込む機能を有することを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記データ読み出し回路は、容量素子と、電位制御回路と、アナログデジタル変換回路と、を有し、

前記容量素子の一方の電極は、前記メモリセルに電氣的に接続され、

前記容量素子の他方の電極は、前記電位制御回路および前記アナログデジタル変換回路に電氣的に接続され、

前記電位制御回路は、

前記第1のデータに対応する第1の電圧値を読み出す期間において前記容量素子の他方の電極の電位を固定電位とする機能と、

前記補正用データに対応する第2の電圧値を読み出す期間において前記容量素子の他方の電極の電位を電氣的に浮遊状態とする機能と、を有することを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか一に記載の前記半導体装置と、

前記半導体装置に電氣的に接続されたリードと、

を有することを特徴とする電子部品。

【請求項8】

請求項7に記載の前記電子部品と、

前記電子部品が設けられたプリント基板と、

前記プリント基板が格納された筐体と、

を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、電子部品、及び電子機器に関する。

【背景技術】

【0002】

近年、扱われるデータ量の増大に伴って、大きな記憶容量を有する半導体装置が求められている。

【0003】

大きな記憶容量を有する半導体装置は、単位記憶容量当りの製造コストの低減が重要となる。製造コストの低減には、微細化によりメモリセルの面積を縮小すること、あるいは

10

20

30

40

50

メモリセルに2ビット以上のデータ、所謂多値データを記憶する構成により1ビットあたりの面積を縮小することが有効である。

【0004】

そうした中で、特許文献1に記載の半導体装置は、メモリセルにおけるトランジスタのフローティングノードに蓄積された電荷量に応じて当該トランジスタの閾値電圧が異なることを利用して、多値データの記憶を行う構成について開示している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許出願公開第2012/0033488号明細書

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

各メモリセルにおけるトランジスタで特性ばらつきがあると、同一の書き込み条件（電圧、時間など）でデータを書き込んでも、当該トランジスタのフローティングノードに蓄積される電荷量は異なることになる。すなわち、各メモリセルには異なるデータとして書き込まれることになる。特に、メモリセルに多値データを記憶する構成とする場合には、書き込む電圧を狭い範囲に収める必要があるため、読み出されるデータの信頼性が低下する虞がある。

【0007】

20

本発明の一態様は、トランジスタの電気特性のばらつきの影響を抑えることのできる、新規な構成の半導体装置、電子部品、および電子機器を提供することを課題とする。または、本発明の一態様は、読み出されるデータの信頼性に優れた、新規な構成の半導体装置等を提供することを課題の一とする。

【課題を解決するための手段】

【0008】

本発明の一態様は、データ書き込み回路と、データ読み出し回路と、メモリセルと、を有する半導体装置であって、メモリセルは、第1のトランジスタと、第2のトランジスタと、を有し、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのゲートに電氣的に接続され、第1のトランジスタは、オフ状態とすることで、メモリセルで記憶する第1のデータに応じた電荷を保持する機能を有し、データ書き込み回路は、第1のデータおよび補正用データをメモリセルに書き込む機能を有し、データ読み出し回路は、第1のデータに対応する第1の電圧値を読み出した後、メモリセルに書き込まれた補正用データに対応する第2の電圧値を読み出し、第1の電圧値と第2の電圧値との差分に相当する電圧値を補正後の第1のデータに変換し、データ書き込み回路に出力する機能を有する半導体装置である。

30

【0009】

本発明の一態様において、読み出しビット線と、第3のトランジスタと、固定電位線と、を有し、メモリセルおよびデータ読み出し回路は、読み出しビット線に電氣的に接続され、第3のトランジスタは、読み出しビット線と固定電位線との間の導通状態を制御する機能を有し、第3のトランジスタは、第1の電圧値および第2の電圧値を読み出す期間以外の期間で導通状態とする期間を有する半導体装置が好ましい。

40

【0010】

本発明の一態様において、第1のトランジスタは、チャネル形成領域に酸化物半導体を有する半導体装置が好ましい。

【0011】

本発明の一態様において、メモリセルは、さらに第4のトランジスタを有し、第4のトランジスタは、第1のデータおよび補正用データを読み出す第1の期間において、オン状態とする半導体装置が好ましい。

【0012】

50

本発明の一態様において、データ書き込み回路は、第1の期間において、メモリセルに補正用データを書き込む機能を有する半導体装置が好ましい。

【0013】

本発明の一態様において、データ読み出し回路は、容量素子と、電位制御回路と、アナログデジタル変換回路と、を有し、容量素子の一方の電極は、メモリセルに電氣的に接続され、容量素子の他方の電極は、電位制御回路およびアナログデジタル変換回路に電氣的に接続され、電位制御回路は、第1のデータに対応する第1の電圧値を読み出す期間において容量素子の他方の電極の電位を固定電位とする機能と、補正用データに対応する第2の電圧値を読み出す期間において容量素子の他方の電極の電位を電氣的に浮遊状態とする機能と、有する半導体装置が好ましい。

10

【0014】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【0015】

本発明の一態様は、トランジスタの電気特性のばらつきの影響を抑えることのできる、新規な構成の半導体装置、電子部品、および電子機器を提供することができる。または、本発明の一態様は、読み出されるデータの信頼性に優れた、新規な構成の半導体装置等を提供することができる。

【図面の簡単な説明】

20

【0016】

【図1】本発明の一態様を説明するための回路図。

【図2】本発明の一態様を説明するためのタイミングチャートおよび回路図。

【図3】本発明の一態様を説明するためのタイミングチャート。

【図4】本発明の一態様を説明するための回路図。

【図5】本発明の一態様を説明するための回路図。

【図6】本発明の一態様を説明するための回路図。

【図7】本発明の一態様を説明するための回路図。

【図8】本発明の一態様を説明するための回路図。

【図9】本発明の一態様を説明するための回路図およびタイミングチャート。

30

【図10】本発明の一態様を説明するための回路図。

【図11】本発明の一態様を説明するための回路図。

【図12】本発明の一態様を説明するための断面図。

【図13】本発明の一態様を説明するための断面図。

【図14】本発明の一態様を説明するための断面図。

【図15】本発明の一態様を説明するための断面図。

【図16】本発明の一態様に係る半導体ウエハの上面図。

【図17】電子部品の作製工程例を説明するフローチャートおよび斜視模式図。

【図18】本発明の一態様に係る電子部品を示す図。

【図19】本発明の一態様に係る電子機器を示す図。

40

【図20】6bit/cell-メモリセルにおける分布図。

【発明を実施するための形態】

【0017】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0018】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。

50

また、構成要素の順序を限定するものではない。

【 0 0 1 9 】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【 0 0 2 0 】

(実施の形態 1)

本実施の形態では、データを記憶(保持)することのできる半導体装置の構成および動作の一例について説明する。

【 0 0 2 1 】

本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタ等の半導体素子で構成されるメモリセル、メモリセルを制御する周辺回路、あるいはメモリセル及び周辺回路等を含むシステム全体を半導体装置という。

【 0 0 2 2 】

<半導体装置の構成例>

図 1 は、半導体装置 1 0 の構成例を説明するための回路図である。

【 0 0 2 3 】

半導体装置 1 0 は、メモリセル 2 0、データ書き込み回路 3 0、およびデータ読み出し回路 4 0 を有する。メモリセル 2 0 は、トランジスタ 2 1、トランジスタ 2 2、およびトランジスタ 2 3 を有する。データ読み出し回路 4 0 は、容量素子 4 1、電位制御回路 4 2、およびアナログデジタル変換回路 4 3 を有する。

【 0 0 2 4 】

メモリセル 2 0 は、書き込みワード線 WWL 、読み出しワード線 RWL 、書き込みビット線 WBL 、読み出しビット線 RBL およびソース線 SL の各配線に接続される。各配線には、メモリ素子の動作を制御するための信号又は電位が与えられる。なお本明細書において各配線はそれぞれの機能に応じて別々の呼称で説明するが、単に配線という場合もある。

【 0 0 2 5 】

書き込みワード線 WWL は、トランジスタ 2 1 のゲートに接続される。読み出しワード線 RWL は、トランジスタ 2 3 のゲートに接続される。書き込みビット線 WBL は、トランジスタ 2 1 のソース又はドレインの一方に接続される。読み出しビット線 RBL は、トランジスタ 2 3 のソース又はドレインの一方に接続される。ソース線 SL は、トランジスタ 2 2 のソース又はドレインの一方に接続される。

【 0 0 2 6 】

トランジスタ 2 1 のソースまたはドレインの他方は、トランジスタ 2 2 のゲートに接続される。図 1 中、ノード FN はトランジスタ 2 1 のソースまたはドレインの他方とトランジスタ 2 2 のゲートとが接続されるノードである。トランジスタ 2 1 はスイッチとして機能する。トランジスタ 2 1 は、書き込みワード線 WWL に伝わる信号によってオン状態(導通状態)またはオフ状態(非導通状態)が制御される。

【 0 0 2 7 】

トランジスタ 2 3 のソースまたはドレインの他方は、トランジスタ 2 2 のソースまたはドレインの他方に接続される。トランジスタ 2 3 はスイッチとして機能する。トランジスタ 2 3 は、読み出しワード線 RWL に伝わる信号によってオン状態またはオフ状態が制御される。

【 0 0 2 8 】

なお図 1 においてトランジスタ 2 1 およびトランジスタ 2 3 は、いずれも n チャネル型として図示している。つまり、ゲートに印加される信号が H レベルでオン状態、ゲートに印加される信号が L レベルでオフ状態となる。なお p チャネル型としてもよく、この場合は各配線の信号の論理を反転する等すればよい。

10

20

30

40

50

【 0 0 2 9 】

トランジスタ 2 1 をオフ状態とすることで、メモリセル 2 0 は記憶するデータに応じた電荷を保持することができる。データに応じた電荷はノード F N に保持される。トランジスタ 2 1 はオフ状態時におけるリーク電流が極めて小さいトランジスタであることが好ましい。このようなトランジスタとしては、チャンネル形成領域に酸化物半導体を有するトランジスタ (O S トランジスタ) が好適である。また O S トランジスタは、ソースドレイン間に印加できる電圧、あるいはソースゲート間に印加できる電圧の上限が高い (耐圧に優れている) ので、動作電圧を高くできる。そのため、データによる書き込みビット線 W B L の電位変動を大きくでき、多値データの書き込みに有利である。

【 0 0 3 0 】

なおトランジスタ 2 3 は、O S トランジスタの他、チャンネル形成領域にシリコンを有するトランジスタ (S i トランジスタ) であることが好ましい。S i トランジスタをトランジスタ 2 3 に用いることで、閾値電圧のばらつきを小さく、オン状態時にソースドレイン間を流れる電流量を大きくすることができる。またトランジスタ 2 3 は S i トランジスタとすることで、先に説明した O S トランジスタであるトランジスタ 2 1 と積層して設ける構成とすることができる。当該構成とすることで、メモリセルあたりが占める面積を縮小することができ、大きな記憶容量を有する半導体装置を実現できる。

【 0 0 3 1 】

メモリセル 2 0 が記憶するデータは、ノード F N に保持する電荷量が複数の状態を取り得ることで、多値データに対応した複数の電圧値として記憶される。トランジスタ 2 2 は、ノード F N、つまりゲートに保持された複数の電圧値の状態に応じてソースゲート間の電圧を異ならせることができるため、トランジスタ 2 3 をオン状態とした際に、ソースドレイン間に流れる電流量を異ならせることができる。そのため、読み出しビット線 R B L の電圧値は、ノード F N に保持する電荷量の状態数に応じたものとしてすることができる。なおノード F N は電荷を保持するための容量素子が接続される構成とすることで、電荷量の変動に伴う電圧値の変動を小さくできるため好適である。

【 0 0 3 2 】

トランジスタ 2 2 は、図 1 において n チャンネル型のトランジスタとして図示したが、p チャンネル型としてもよい。またトランジスタ 2 2 は、S i トランジスタであることが好ましい。S i トランジスタをトランジスタ 2 2 に用いることで、閾値電圧のばらつきを小さく、流れる電流量を大きくすることができる。加えて上述したようにトランジスタ 2 2 を、先に説明した O S トランジスタであるトランジスタ 2 1 と積層して設ける構成とすることができる。

【 0 0 3 3 】

または、メモリセル 2 0 が有するトランジスタを全部 O S トランジスタとし、データ書き込み回路 3 0 およびデータ読み出し回路 4 0 等の周辺回路のトランジスタを S i トランジスタとする構成としてもよい。当該構成とすることでメモリセル 2 0 と周辺回路とを積層することができるため、各配線と周辺回路との距離を縮めることができる。そのため、各配線における寄生抵抗あるいは寄生容量等を小さくすることができる。

【 0 0 3 4 】

データ書き込み回路 3 0 は、トランジスタ 2 1 をオン状態とする期間において、メモリセル 2 0 に多値データを書き込む機能を有する。またデータ書き込み回路 3 0 は、トランジスタ 2 1 をオン状態とする期間において、メモリセル 2 0 に補正用データを書き込む機能を有する。

【 0 0 3 5 】

なおデータ書き込み回路 3 0 によってメモリセル 2 0 に書き込まれる多値データは、2 ビット以上のデジタルデータに対応するアナログデータである。例えば 2 ビットの多値データで考える。この場合、データ “ 0 0 ” を D_{00} 、データ “ 0 1 ” を D_{01} 、データ “ 1 0 ” を D_{10} 、データ “ 1 1 ” を D_{11} とすると、 $D_{00} = 0 V$ 、 $D_{01} = 0.5 V$ 、 $D_{10} = 1.0 V$ 、 $D_{11} = 1.5 V$ のように各データに対応する複数の電圧値となる。

10

20

30

40

50

0 V、0.5 V、1.0 V、1.5 Vのように多値データに対応する複数の電圧値は、以下の説明においては、電圧 V_a とする。

【0036】

電圧 V_a はデータ書き込み回路30でアナログデータを生成する際のばらつきや、書き込みビット線 WBL の寄生抵抗、あるいはトランジスタ特性のばらつき等によって、所定の電圧値から増加、あるいは減少してメモリセル20に書き込まれる。例えば1.0 Vの電圧値は、メモリセル20のノードに与えたとしても、 ± 0.1 V程度ずれて書き込まれる。この所定の電圧値からのずれをオフセット電圧 V という。つまり、メモリセル20には、 $V_a + V$ という電圧値で多値データに対応する電圧値が書き込まれることになる。多値データを複数の電圧値としてメモリセルに記憶する場合には、書き込む電圧値を狭い範囲に収める必要がある。そのため、オフセット電圧 V の影響が大きいと、同じデータであっても異なるデータとして読み出されること、あるいは異なるデータであっても同じデータとして読み出されること、などによりデータの信頼性が低下する。

10

【0037】

なおデータ書き込み回路30によってメモリセル20に書き込まれる補正用データは、読み出される電圧値の補正を行うためのアナログデータである。例えばデータ“00”と同じ電圧値、つまり0 Vとなる。補正用データをメモリセルに書き込むことでノード FN には、0 Vの電圧値からオフセット電圧 V だけずれた電圧値が書き込まれる。つまり、メモリセル20には、 V という電圧値で補正用データに対応する電圧値が書き込まれることになる。

20

【0038】

データ読み出し回路40は、メモリセル20に書き込まれた多値データに対応する電圧値を読み出す。次いでデータ読み出し回路40は、メモリセル20に書き込まれた補正用データに対応する電圧値を読み出す。データ読み出し回路40は、多値データに対応する電圧値と補正用データに対応する電圧値との差分に応じた電圧値を補正後の多値データに変換する。補正後の多値データは、データ書き込み回路30に出力し、再度メモリセル20に書き込む。

【0039】

つまりデータ読み出し回路40は、メモリセル20から $V_a + V$ という多値データに対応する電圧値を読み出しビット線 RBL に読み出す。次いでメモリセル20に書き込まれたデータを補正用データに書き換えて V という補正用データに対応する電圧値を読み出しビット線 RBL に読み出す。そしてデータ読み出し回路40では、多値データに対応する電圧値と補正用データに対応する電圧値との差分に応じた V_a を得る。換言すれば相関のある2つのデータ ($V_a + V$ 、 V) を読み出し、互いのデータにあるノイズ成分であるオフセット電圧 V をキャンセルすることで信頼性の高い電圧値 V_a を得る。

30

【0040】

なおメモリセル20のノード FN に書き込まれた電圧値は、そのまま読み出しビット線 RBL の電圧値として読み出されることはないが、上述したようにノード FN の電圧値と読み出しビット線 RBL の電圧値とは相関がある。ここでは理解を容易にするよう、同じ値として説明している。なおノード FN に保持された電圧値 $V_a + V$ を読み出しビット線 RBL に読み出して得られる電圧値を $V_{v_a + V}$ 、ノード FN に保持された電圧値 V を読み出しビット線 RBL に読み出して得られる電圧値を V_v 、という場合がある。

40

【0041】

多値データに対応する電圧値と補正用データに対応する電圧値との差分を得るためには、容量素子41の一方の電極を読み出しビット線 RBL に接続し、他方の電極をノード RN に接続する。ノード RN は、電位制御回路42およびアナログデジタル変換回路43に接続される。

【0042】

電位制御回路42は、多値データに対応する電圧値を読み出す期間においてノード RN

50

を固定電位とする。また電位制御回路42は、補正用データに対応する電圧値を読み出す期間においてノードRNを電氣的に浮遊状態（フローティング）とする。容量素子41の容量結合によって、ノードRNでは多値データに対応する電圧値と補正用データに対応する電圧値との差分に応じた電圧値を得る。ただしノードRNで得られる電圧値は、ノードRNに寄生する容量成分の大きさによって変動するが、いずれにせよオフセット電圧Vを除去できる。

【0043】

ノードRNで得られるオフセット電圧Vがキャンセルされた電圧値は、アナログデジタル変換回路43等でデジタルデータに変換され、外部の回路に出力されるとともに、データ書き込み回路30に出力される。データ書き込み回路30は、データ読み出し回路40から出力されたデータを再度メモリセル20に書き込む動作を行う。この書き込み動作は、データをメモリセル20から読み出す際、破壊された多値データを書き戻すための動作である。

10

【0044】

以上説明したように本発明の一態様の構成では、関連のある2つのデータ（ $V_a + V$ 、 V ）を読み出し、互いのデータにあるノイズ成分であるオフセット電圧Vをキャンセルすることで信頼性の高い電圧値 V_a を得ることができる。そのため、多値データを複数の電圧値としてメモリセルに記憶する場合には、書き込む電圧値を狭い範囲に収めることができ、読み出されるデータの信頼性を向上することができる。

【0045】

20

<半導体装置の動作例>

次いで半導体装置10の動作について説明する。

【0046】

まず多値データの書き込み動作について説明する。ここでは一例として、2ビットの多値データで考え、各データ D_{00} 、 D_{01} 、 D_{10} 、 D_{11} とし、各データは異なる電圧値に対応するものとする。

【0047】

図2(A)は、多値データの書き込み動作時における各配線の状態を説明するためのタイミングチャートである。まず書き込みビット線WBLの電圧値を多値データに対応する電圧値のいずれかとした状態で、書き込みワード線WWLをHレベルとしてトランジスタ21をオン状態とする。そして、ノードFNは多値データに応じた電圧値である V_a となる。上述したようにノードFNに書き込まれる V_a は、それぞれオフセット電圧Vを有する。つまり、データ D_{00} 、 D_{01} 、 D_{10} 、 D_{11} において、オフセット電圧Vを有する。

30

【0048】

図2(B)は、多値データの書き込み動作時におけるデータの流れを破線矢印を用いて模式的に表している。オフセット電圧を含む電圧値 $V_a + V$ がデータ書き込み回路30からメモリセル20のノードFNに書き込まれる。メモリセル20では、書き込みワード線WWLをLレベルとすることで、ノードFNの電圧値に応じた電荷を保持する。

【0049】

40

次いで多値データの読み出し動作について説明する。読み出し動作は、2つの期間に分けて説明される。メモリセル20に保持された多値データに対応する電圧値を読み出す期間 T_{DATA} と、メモリセル20に新たに書き込まれた補正用データに対応する電圧値を読み出す期間 T_0 と、である。

【0050】

図3は、多値データの読み出し動作時における各配線の状態を説明するためのタイミングチャートである。

【0051】

まず図3において、期間 T_{DATA} で読み出しワード線RWLをHレベルとしてトランジスタ23をオン状態とする。トランジスタ22では、ノードFNに保持した電圧値に

50

じて電流が流れ、読み出しビット線 RBL の電圧値がノード FN に保持した電圧値に応じた電圧値 V_{va} となる。この間、電位制御回路 42 はノード RN を固定電位 V_{RES} とし (CL_ON)、読み出しビット線 RBL の電圧値が安定したら電位制御回路 42 はノード RN を電氣的に浮遊状態 (CL_OFF) とする。

【0052】

図 4 (A) は、多値データの読み出し動作時の期間 T_{DATA} におけるデータの流れを破線矢印を用いて模式的に表している。容量素子 41 の一方の電極の電圧値は、ノード FN に保持した電圧値 V_{a+} V に応じた電圧値 $V_{va} + V_v$ となる。容量素子 41 の他方の電極の電圧値は、電位制御回路 42 の制御により V_{RES} となる。

【0053】

図 3 において、期間 T_0 で書き込みビット線 WBL の電圧値を補正用データに対応する電圧値とした状態で、書き込みワード線 WWL を H レベルとしてトランジスタ 21 をオン状態とする。そして、ノード FN は補正用データに応じた電圧値である V となる。このとき、多値データに応じた電圧値 V_{a+} V は消失する。そのため、トランジスタ 22 を流れる電流値が変化し、容量素子 41 の一方の電極の電圧値が V_v に変化する。この容量素子 41 の一方の電極の電圧値の変化時において、ノード RN は電氣的に浮遊状態である。そのためノード RN の電圧値は、容量素子 41 の一方の電極の電圧値の変化に応じて容量結合が生じることで、変化する。この変化は $V_{va} + V_v$ と、 V_v との差分に対応するため、ノード RN で得られる電圧値は、オフセット電圧 V をキャンセルした値 $V_{RES} - V_{va}$ で得られる。

【0054】

図 4 (B) は、多値データの読み出し動作時の期間 T_0 におけるデータの流れを破線矢印を用いて模式的に表している。容量素子 41 の一方の電極の電圧値は、ノード FN に保持した電圧値 V に応じた電圧値 V_v となる。容量素子 41 の他方の電極の電圧値は、電位制御回路 42 の制御によりノード RN が電氣的に浮遊状態であるために容量素子 41 の容量結合によって $V_{RES} - V_{va}$ となる。

【0055】

ノード RN で得られるオフセット電圧 V がキャンセルされた電圧値 $V_{RES} - V_{va}$ は、アナログデジタル変換回路 43 等でデジタルデータに変換され、データ書き込み回路 30 に出力される。図 5 は、一旦読み出された多値データをデータ書き込み回路 30 に出力する動作におけるデータの流れを破線矢印を用いて模式的に表している。データ書き込み回路 30 は、データ読み出し回路 40 から出力されたデータを再度メモリセル 20 に書き込む動作を行う。この書き込み動作は、データをメモリセル 20 から読み出す際、破壊された多値データを書き戻すための動作である。

【0056】

以上説明したように本発明の一態様の構成では、相関のある 2 つのデータ (V_{a+} V 、 V) を読み出し、互いのデータにあるノイズ成分であるオフセット電圧 V をキャンセルすることで信頼性の高い電圧値 V_a を得ることができる。そのため、多値データを複数の電圧値としてメモリセルに記憶する場合には、書き込む電圧値を狭い範囲に収めることができ、読み出されるデータの信頼性を向上することができる。特に本発明の一態様のメモリセル 20 ではノード FN に保持した電圧値がトランジスタ 22 を介してデータ読み出し回路 40 側に読み出される構成となる。このような構成ではトランジスタ 22 の閾値電圧のばらつきが電圧値 V_a の変動に大きく影響を及ぼすことになる。本発明の一態様の構成では、オフセット電圧 V をキャンセルする構成のため、トランジスタ 22 の閾値電圧のばらつきを含むノイズ成分のばらつきが問題とならないため、信頼性の高い電圧値 V_a の取得に極めて有効である。

【0057】

<データ書き込み回路およびデータ読み出し回路の構成例>

図 6 は、図 1 における半導体装置 10 の構成において、データ書き込み回路 30 およびデータ読み出し回路 40 の具体的な構成例を説明するための回路図である。

10

20

30

40

50

【 0 0 5 8 】

図 6 に示すデータ書き込み回路 3 0 は、エンコーダ回路 3 1、デジタルアナログ変換回路 3 2、アナログバッファ回路 3 3、およびブロック選択回路 3 4 を有する。また図 6 に示すデータ読み出し回路 4 0 は、容量素子 4 1、電位制御回路 4 2、アナログデジタル変換回路 4 3 の他、電流源回路 4 4、アナログバッファ回路 4 5、ブロック選択回路 4 6、アナログバッファ回路 4 8、およびデコーダ回路 4 9 を有する。電位制御回路 4 2 は、制御信号 C L によって制御されるスイッチ 4 7 と、 V_{RES} が与えられる配線と、を有する。

【 0 0 5 9 】

ブロック選択回路 3 4 およびブロック選択回路 4 6 は、ブロック単位ごとに複数のメモリセル 2 0 を選択するためのブロック選択信号 B S が与えられる。

10

【 0 0 6 0 】

データ書き込み回路 3 0 に与えられるデータ D i n は、多値データまたは補正用データに相当する。データ読み出し回路 4 0 からデータ書き込み回路 3 0 に出力されるデータ D o u t は、メモリセル 2 0 から読み出された多値データに相当する。

【 0 0 6 1 】

エンコーダ回路 3 1 は、デジタルデータであるデータ D i n を符号化したデータとするための回路である。デジタルアナログ変換回路 3 2 は、デジタルデータをアナログデータに変換する回路である。アナログバッファ回路 3 3 は、アナログデータを等倍増幅して出力する回路である。

20

【 0 0 6 2 】

電流源回路 4 4 は、メモリセルに保持された電圧値に応じて読み出しビット線 R B L の電圧値を変化させるために、定電流を流すための回路である。アナログバッファ回路 4 5 は、アナログデータを等倍増幅して出力する回路である。スイッチ 4 7 は、ノード R N を固定電位 V_{RES} とするか、電氣的に浮遊状態とするか、を切り替える。アナログバッファ回路 4 8 は、アナログデータを等倍増幅して出力する回路である。アナログデジタル変換回路 4 3 は、アナログデータをデジタルデータに変換する回路である。エンコーダ回路 3 1 は、誤り訂正符号 (E C C : E r r o r C o r r e c t i n g C o d e) 回路 (以下、E C C 回路) として機能する回路である。デコーダ回路 4 9 は、エンコーダ回路 3 1 で符号化したデータを復号する回路である。

30

【 0 0 6 3 】

データ読み出し回路 4 0 は、アドレスデコーダ回路、コマンドレジスタ回路、電源回路等を有していてもよい。またデータ読み出し回路 4 0 は、S R A M (S t a t i c R A M) によるキャッシュメモリを備えていてもよい。当該構成では、書き込みの際、一旦キャッシュメモリにデータを蓄えておく。そして読み出し動作の際は、アドレスがキャッシュメモリのデータと一致すればデコーダ回路 4 9 がキャッシュメモリのデータを読み出す構成としてもよい。なおブロック選択信号 B S で所定のメモリセルを選択するためのブロック選択回路 3 4 , 4 6 は、省略することができる。省略することで低消費電力化を図ることができる。アナログバッファ回路 3 3 , 4 5 , 4 8 は、ソースフォロワ回路やオペアンプによるボルテージフォロワ回路を用いることができる。

40

【 0 0 6 4 】

< 書き込みワード線 W W L の構成例 >

上述したメモリセル 2 0 は、所定のメモリセル 2 0 にデータを書き込む毎に、同じ書き込みワード線 W W L に接続されたメモリセルに記憶したデータが消失してしまう。そのため、図 7 に一例として示すブロック図の構成とすることが好適である。

【 0 0 6 5 】

図 7 に示す回路図では、図 6 で図示したメモリセル 2 0、アナログバッファ回路 4 5、ブロック選択回路 4 6 の他、A N D 回路 2 5 を図示している。また図 7 では、書き込みワード線 W W L を分割して配置する構成を示している。具体的には、書き込みワード線 W W L_j、書き込みワード線 W W L_{j+1}、書き込みワード線 W W L_{j-1}、書き込みワード線

50

WWL_{j₁+1}、書き込みワード線WWL_{j₂}、書き込みワード線WWL_{j₂+1}、としている(J、j₁、j₂は、それぞれ任意の整数)。また図7に示す回路図では、書き込みワード線以外の構成として、ブロック選択信号BS、ブロック選択信号BS_i、ブロック選択信号BS_{i+1}、読み出しビット線RBL_k、読み出しビット線RBL_{k+1}、読み出しビット線RBL_{k+2}、および読み出しビット線RBL_{k+3}(k、iは、それぞれ任意の整数)を図示している。またアナログバッファ回路45として、アナログバッファ回路45_k、およびアナログバッファ回路45_{k+2}を図示している。またブロック選択回路46として、トランジスタ46_k、およびトランジスタ46_{k+2}を図示している。

【0066】

J行目の書き込みワード線WWL_Jは、AND回路25に入力されるブロック選択信号BS_iとの論理積によって書き込みワード線WWL_{j₁}を選択するか否かを制御するとともに、AND回路25に入力されるブロック選択信号BS_{i+1}との論理積によって書き込みワード線WWL_{j₂}を選択するか否かを制御する。またJ+1行目の書き込みワード線WWL_{J+1}は、AND回路25に入力されるブロック選択信号BS_iとの論理積によって書き込みワード線WWL_{j₁+1}を選択するか否かを制御するとともに、AND回路25に入力されるブロック選択信号BS_{i+1}との論理積によって書き込みワード線WWL_{j₂+1}を選択するか否かを制御する。

【0067】

図7の構成とすることでJ行目の書き込みワード線WWL_Jを選択した場合、書き込みワード線WWL_{j₁}または書き込みワード線WWL_{j₂}を選択してHレベルとすることができる。そのため、J行k列目のメモリセル20にデータを書き込む動作時において、J行k+2列目のメモリセル20のデータが消失してしまうのを防ぐことができる。

【0068】

図7の構成では同じ行のメモリセルに対して異なるAND回路を配置して同時に書き込みワード線WWLがHレベルとなることを防ぐ構成について説明したが、別の構成でもよい。例えば、図8に図示するように、メモリセル20A内において、トランジスタ21と書き込みビット線WBLとの間にトランジスタ24を設ける構成が有効である。該構成とすることで、データを書き込まないメモリセルの場合にトランジスタ24がオン状態とならないよう制御信号ENで制御することができる。

【0069】

<半導体装置の変形例>

次いで半導体装置10として示す構成とは異なる変形例およびその動作について説明する。

【0070】

図9(A)に図示する半導体装置10Bは、図1で説明した半導体装置10の構成にトランジスタ50を追加した構成である。

【0071】

トランジスタ50は、ソースおよびドレインの一方が読み出しビット線RBLに接続される。トランジスタ50は、ソースおよびドレインの他方が固定電位線(図9(A)ではグラウンド線を図示)に接続される。トランジスタ50は、ゲートが制御線PDEに接続される。制御線PDEには、読み出しビット線RBLと固定電位線との間の導通状態を制御する信号が与えられる。

【0072】

図9(A)ではトランジスタ50としてnチャネル型トランジスタを図示している。トランジスタ50は、読み出しビット線RBLと固定電位線との間の導通状態を切り替えることができるスイッチとして機能すればよい。そのため、トランジスタ50にpチャネル型トランジスタを用いることもできる。

【0073】

図9(B)には、図9(A)に示す回路図に対応する半導体装置10Bの動作を説明す

10

20

30

40

50

るためのタイミングチャートである。図9(B)は、図3で説明した半導体装置10の動作を説明するタイミングチャートに制御線PDEに与える信号の波形を示した構成である。

【0074】

図9(B)に図示するように制御線PDEに与える信号は、読み出しワード線RWLをHレベルとする期間およびその前後で、Lレベルとする。また図9(B)に図示するように制御線PDEに与える信号は、読み出しワード線RWLをHレベルとする期間以外の期間で、Hレベルとする。

【0075】

図9(A)、(B)に図示する構成とすることで、メモリセル20からデータを読み出す際に読み出しワード線RWLの電位が予測しない電位変動によって読み出し電位のばらつきが生じてしまう問題を抑制することができる。

10

【0076】

メモリセル20からデータを読み出す以外の期間、トランジスタ50を導通状態とすることで読み出しビット線RBLの電位を固定電位線の電位に保つことができる。メモリセル20からデータを読み出す期間では、トランジスタ50を非導通状態とし、固定電位線の電位によって読み出しビット線RBLの電位が固定されることを防ぐ構成とする。

【0077】

図9(A)、(B)に図示する構成によって、読み出し電位のばらつきが生じてしまう問題を抑制することで、相関のある2つのデータ($V_a + V$ 、 V)を読み出し、互いのデータにあるノイズ成分であるオフセット電圧 V をキャンセルする際の信頼性を更に高めることができる。そのため、読み出されるデータの信頼性を向上することができる。

20

【0078】

次いでデータ読み出し回路40として示す構成とは異なる変形例およびその動作について説明する。

【0079】

図10(A)に図示するデータ読み出し回路40Aは、図6で説明したデータ読み出し回路40の構成において、アナログバッファ回路45とブロック選択回路46との配置を変更した構成である。

【0080】

読み出しビット線RBLは、ブロック選択回路46に接続される。ブロック選択回路46は、電流源回路44およびアナログバッファ回路45に接続される。アナログバッファ回路45は、容量素子41に接続される。

30

【0081】

図10(B)には、アナログバッファ回路45の具体的な回路構成を図示している。アナログバッファ回路45は、トランジスタ51およびトランジスタ52を有する。トランジスタ51およびトランジスタ52は、pチャネル型トランジスタである。トランジスタ51のゲートには、バイアス電圧 V_{BIAS} が印加される。

【0082】

図10(A)、(B)に図示する構成によって、読み出し電位のばらつきが生じてしまう問題を抑制することで、相関のある2つのデータ($V_a + V$ 、 V)を読み出し、互いのデータにあるノイズ成分であるオフセット電圧 V をキャンセルする際の信頼性を更に高めることができる。そのため、読み出されるデータの信頼性を向上することができる。

40

【0083】

<メモリセルの構成例>

図11(A)乃至(D)には、図1で説明したメモリセル20が取り得る回路構成の一例を示す。

【0084】

図11(A)に示すメモリセル20Bは、トランジスタ21、トランジスタ22、トラ

50

ンジスタ 23、および容量素子 26 を有する。容量素子 26 の一方の電極はノード FN に接続され、他方の電極は固定電位が与えられた配線 WL に接続される。図 11 (A) に示す構成とすることで、ノード FN での電荷の変動に伴う電位の変動を抑制することができる。

【0085】

図 11 (B) に示すメモリセル 20C は、トランジスタ 21A、トランジスタ 22、トランジスタ 23、および容量素子 26 を有する。図 11 (B) に示すトランジスタ 21A は、配線 BGE L に接続されたバックゲートを有する。トランジスタ 21A は、配線 BGE L に与える電位によって閾値電圧を制御可能な構成とすることができる。

【0086】

図 11 (C) に示すメモリセル 20D は、トランジスタ 21、トランジスタ 22p、トランジスタ 23p、および容量素子 26 を有する。トランジスタ 22p およびトランジスタ 23p は、トランジスタ 21 の n チャネル型とは異なる極性である p チャネル型のトランジスタである。図 11 (C) に示すように、図 1 におけるメモリセルのトランジスタの極性は、多様な構成をとり得る。

【0087】

図 11 (D) に示すメモリセル 20E は、トランジスタ 21、トランジスタ 27、および容量素子 26 を有する。メモリセル 20E は、トランジスタ 23 が無い代わりに容量素子 26 の他方の電極が読み出しワード線 RWL に接続される構成である。当該構成では、ノード FN を電氣的に浮遊状態として読み出しワード線 RWL の電位を変動させ、容量結合を利用したノード FN の電位の制御を行うことで読み出し動作が実現できる。図 11 (D) に示すように、図 1 におけるメモリセルのトランジスタ数は、多様な構成をとり得る。

【0088】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0089】

(実施の形態 2)

本実施の形態では、半導体装置の断面構造について説明する。本実施の形態では、図 11 (D) で示したメモリセルに対応する半導体装置の断面構造について説明する。

【0090】

図 11 (D) で説明したメモリセル 20E は、図 12、図 14、および図 15 に示すようにトランジスタ 27、トランジスタ 21、容量素子 26 を有する。

【0091】

[断面構造 1]

図 12 に示す半導体装置は、トランジスタ 27 と、トランジスタ 21、および容量素子 26 を有している。トランジスタ 21 はトランジスタ 27 の上方に設けられ、容量素子 26 はトランジスタ 27、およびトランジスタ 21 の上方に設けられている。

【0092】

トランジスタ 21 は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタ (OS トランジスタ) である。トランジスタ 21 の説明については後述するが、図 12 に示す構造の OS トランジスタを設けることで、微細化しても歩留まり良くトランジスタ 21 を形成できる。このような OS トランジスタを半導体装置に用いることで、微細化または高集積化を図ることができる。OS トランジスタは、オフ電流が小さいため、これを半導体装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、半導体装置の消費電力を十分に低減することができる。

【0093】

図 12 に示すように、読み出しビット線 RBL はトランジスタ 27 のドレインと電氣的に接続され、配線 SL はトランジスタ 27 のソースと電氣的に接続されている。また、書

10

20

30

40

50

き込みビット線WBLはトランジスタ21のソースおよびドレインの一方と電氣的に接続され、書き込みワード線WWLはトランジスタ21の第1のゲートと電氣的に接続され、配線BGLはトランジスタ21の第2のゲートと電氣的に接続されている。そして、トランジスタ27のゲート、およびトランジスタ21のソースおよびドレインの他方は、容量素子26の電極の一方と電氣的に接続され、読み出しワード線RWLは容量素子26の電極の他方と電氣的に接続されている。

【0094】

トランジスタ27は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

10

【0095】

トランジスタ27は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0096】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ27をHEMT(High Electron Mobility Transistor)としてもよい。

20

【0097】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0098】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

30

【0099】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0100】

なお、図12に示すトランジスタ27は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

40

【0101】

トランジスタ27を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

【0102】

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0103】

絶縁体322は、その下方に設けられるトランジスタ27などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平

50

平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0104】

また、絶縁体324には、基板311、またはトランジスタ27などから、トランジスタ21が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0105】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ21等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ21と、トランジスタ27との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

10

【0106】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50 から500 の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0107】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

20

【0108】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子26、またはトランジスタ21と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

30

【0109】

各プラグ、および配線（導電体328、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0110】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図12において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0111】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、ト

50

ランジスタ 27 とトランジスタ 21 とは、バリア層により分離することができ、トランジスタ 27 からトランジスタ 21 への水素の拡散を抑制することができる。

【0112】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 27 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

【0113】

絶縁体 354、および導電体 356 上に、配線層を設けてもよい。例えば、図 12 において、絶縁体 360、絶縁体 362、及び絶縁体 364 が順に積層して設けられている。また、絶縁体 360、絶縁体 362、及び絶縁体 364 には、導電体 366 が形成されている。導電体 366 は、プラグ、または配線としての機能を有する。なお導電体 366 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

10

【0114】

なお、例えば、絶縁体 360 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 366 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 360 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 27 とトランジスタ 21 とは、バリア層により分離することができ、トランジスタ 27 からトランジスタ 21 への水素の拡散を抑制することができる。

20

【0115】

絶縁体 364、および導電体 366 上に、配線層を設けてもよい。例えば、図 12 において、絶縁体 370、絶縁体 372、及び絶縁体 374 が順に積層して設けられている。また、絶縁体 370、絶縁体 372、及び絶縁体 374 には、導電体 376 が形成されている。導電体 376 は、プラグ、または配線としての機能を有する。なお導電体 376 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

【0116】

なお、例えば、絶縁体 370 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 27 とトランジスタ 21 とは、バリア層により分離することができ、トランジスタ 27 からトランジスタ 21 への水素の拡散を抑制することができる。

30

【0117】

絶縁体 374、および導電体 376 上に、配線層を設けてもよい。例えば、図 12 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ、または配線としての機能を有する。なお導電体 386 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

40

【0118】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 27 とトランジスタ 21 とは、バリア層により分離することができ、トランジスタ 27 からトランジスタ 21 への水素の拡散を抑制することができる。

【0119】

絶縁体 384 上には絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が、順に積層して設けられている。絶縁体 210、絶縁体 212、絶縁体 214、および

50

絶縁体 2 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【 0 1 2 0 】

例えば、絶縁体 2 1 0、および絶縁体 2 1 4 には、例えば、基板 3 1 1、またはトランジスタ 2 7 を設ける領域などから、トランジスタ 2 1 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 3 2 4 と同様の材料を用いることができる。

【 0 1 2 1 】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 2 1 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 2 1 と、トランジスタ 2 7 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

10

【 0 1 2 2 】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 2 1 0、および絶縁体 2 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【 0 1 2 3 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 2 1 への混入を防止することができる。また、トランジスタ 2 1 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 2 1 に対する保護膜として用いることに適している。

20

【 0 1 2 4 】

また、例えば、絶縁体 2 1 2、および絶縁体 2 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 2 1 2、および絶縁体 2 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【 0 1 2 5 】

また、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 1 を構成する導電体等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 2 6、またはトランジスタ 2 7 と電気的に接続するプラグ、または配線としての機能を有する。導電体 2 1 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

30

【 0 1 2 6 】

特に、絶縁体 2 1 0、および絶縁体 2 1 4 と接する領域の導電体 2 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 2 7 とトランジスタ 2 1 とは、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ 2 7 からトランジスタ 2 1 への水素の拡散を抑制することができる。

40

【 0 1 2 7 】

絶縁体 2 1 4 の上方には、トランジスタ 2 1 が設けられている。なお図 1 2 に示すトランジスタ 2 1 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【 0 1 2 8 】

トランジスタ 2 1 の上方には、絶縁体 2 8 0 を設ける。絶縁体 2 8 0 には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ 2 1 に酸化物半導体を用いる場合、トランジスタ 2 1 近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ 2 1 が有する酸化物 4 0 6 の酸素欠損を低減することで、信頼性を向上さ

50

せることができる。また、トランジスタ21を覆う絶縁体280は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。なお、絶縁体280は、トランジスタ21の上部に形成される絶縁体281と絶縁体225に接して設けられる。

【0129】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms/cm³以上、好ましくは 3.0×10^{20} atoms/cm³以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100以上700以下、または100以上500以下の範囲が好ましい。

10

【0130】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0131】

絶縁体280上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

20

【0132】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ21への混入を防止することができる。また、トランジスタ21を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ21に対する保護膜として用いることに適している。

【0133】

また、絶縁体282上には、絶縁体286が設けられている。絶縁体286は、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体286として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

30

【0134】

また、絶縁体220、絶縁体222、絶縁体224、絶縁体280、絶縁体282、および絶縁体286には、導電体246、および導電体248等が埋め込まれている。

【0135】

導電体246、および導電体248は、容量素子26、トランジスタ21、またはトランジスタ27と電気的に接続するプラグ、または配線としての機能を有する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0136】

続いて、トランジスタ21の上方には、容量素子26が設けられている。容量素子26は、導電体110と、導電体120、および絶縁体130とを有する。

【0137】

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、容量素子26、トランジスタ21、またはトランジスタ27と電気的に接続するプラグ、または配線としての機能を有する。導電体110は、容量素子26の電極としての機能を有する。なお、導電体112、および導電体110は、同時に形成することができる。

【0138】

50

導電体 112、および導電体 110 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0139】

図 12 では、導電体 112、および導電体 110 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

10

【0140】

また、導電体 112、および導電体 110 上に、容量素子 26 の誘電体として、絶縁体 130 を設ける。絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【0141】

例えば、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子 26 は、絶縁体 130 を有することで、絶縁耐力が向上し、容量素子 26 の静電破壊を抑制することができる。

20

【0142】

絶縁体 130 上に、導電体 110 と重畳するように、導電体 120 を設ける。なお、導電体 120 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

30

【0143】

導電体 120、および絶縁体 130 上には、絶縁体 150 が設けられている。絶縁体 150 は、絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 150 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。また絶縁体 150 には、導電体 156 等が埋め込まれる。また、絶縁体 150 上および導電体 156 上には、導電体 166 を設ける。また、絶縁体 150 上および導電体 166 上には、絶縁体 160 を設ける。

【0144】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

40

【0145】

<トランジスタ 21>

上述したトランジスタ 21 に適用可能な OS トランジスタの一例について説明する。

【0146】

図 13 (A) は、トランジスタ 21 の断面図であり、トランジスタ 21 のチャンネル幅方向の断面図でもある。

50

【 0 1 4 7 】

図 1 3 (A) に示すように、トランジスタ 2 1 は、絶縁体 2 1 2 の上方に配置された絶縁体 2 2 4 と、絶縁体 2 2 4 の上に配置された酸化物 4 0 6 a と、酸化物 4 0 6 a の上面の少なくとも一部に接して配置された酸化物 4 0 6 b と、酸化物 4 0 6 b の上面の少なくとも一部に接して配置された酸化物 4 0 6 c と、酸化物 4 0 6 c の上に配置された絶縁体 4 1 2 と、絶縁体 4 1 2 の上に配置された導電体 4 0 4 a と、導電体 4 0 4 a の上に配置された導電体 4 0 4 b と、絶縁体 4 1 2、導電体 4 0 4 a、および導電体 4 0 4 b の側面に接して配置された側壁絶縁体 4 1 8 と、酸化物 4 0 6 b の上面と側面および 4 0 6 c の側面に接し、かつ側壁絶縁体 4 1 8 の側面に接して配置された絶縁体 2 2 5 と、を有する。

10

【 0 1 4 8 】

以下において、酸化物 4 0 6 a、4 0 6 b、4 0 6 c をまとめて酸化物 4 0 6 という場合がある。導電体 4 0 4 a および導電体 4 0 4 b をまとめて導電体 4 0 4 という場合がある。導電体 3 1 0 a および導電体 3 1 0 b をまとめて導電体 3 1 0 という場合がある。

【 0 1 4 9 】

また、トランジスタ 2 1 は、絶縁体 2 1 4 の上に配置された絶縁体 2 1 6 と、絶縁体 2 1 6 に埋め込まれるように配置された導電体 3 1 0 と、を有する構成にしてもよい。

【 0 1 5 0 】

導電体 3 1 0 は、絶縁体 2 1 6 の開口の内壁に接して導電体 3 1 0 a が形成され、さらに内側に導電体 3 1 0 b が形成されている。ここで、導電体 3 1 0 a および導電体 3 1 0 b の上面の高さと、絶縁体 2 1 6 の上面の高さは同程度にできる。

20

【 0 1 5 1 】

導電体 4 0 4 は、トップゲートとして機能でき、導電体 3 1 0 は、バックゲートとして機能できる。バックゲートの電位は、トップゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をトップゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

【 0 1 5 2 】

ここで、導電体 3 1 0 a は、水または水素などの不純物の透過を抑制する機能を有する（透過しにくい）導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、絶縁体 2 1 4 より下層から水素、水などの不純物が導電体 3 1 0 を通じて上層に拡散するのを抑制することができる。

30

【 0 1 5 3 】

また、導電体 3 1 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 3 1 0 b は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【 0 1 5 4 】

絶縁体 2 1 4 は、下層から水または水素などの不純物がトランジスタに混入するのを防ぐバリア絶縁膜として機能できる。絶縁体 2 1 4 は、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体 2 1 4 より上層に拡散するのを抑制することができる。

40

【 0 1 5 5 】

また、絶縁体 2 1 4 は、酸素（例えば、酸素原子または酸素分子など）の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。これにより、絶縁体 2 2 4 などに含まれる酸素が下方拡散するのを抑制することができる。

【 0 1 5 6 】

また、絶縁体 2 2 2 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体 2 2 2 より下層から水素、水な

50

どの不純物が絶縁体 222 より上層に拡散するのを抑制することができる。さらに、絶縁体 224 などに含まれる酸素が下方拡散するのを抑制することができる。

【0157】

また、絶縁体 224 中の水、水素または窒素酸化物などの不純物濃度が低減されていることが好ましい。例えば、絶縁体 224 の水素の脱離量は、昇温脱離ガス分析法 (TDS (Thermal Desorption Spectroscopy)) において、50 から 500 の範囲において、水素分子に換算した脱離量が、絶縁体 224 の面積当たりに換算して、 2×10^{15} molecules/cm² 以下、好ましくは 1×10^{15} molecules/cm² 以下、より好ましくは 5×10^{14} molecules/cm² 以下であればよい。また、絶縁体 224 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

10

【0158】

絶縁体 412 は、第 1 のゲート絶縁膜として機能でき、絶縁体 220、絶縁体 222、および絶縁体 224 は、第 2 のゲート絶縁膜として機能できる。

【0159】

また図 13 (B) には、図 13 (A) とは異なる構造のトランジスタ 21TC の断面図を図示する。図 13 (B) は、図 13 (A) と同様に、トランジスタ 21TC のチャネル幅方向の断面図でもある。

【0160】

酸化物 406 は、酸化物半導体として機能する金属酸化物 (以下、酸化物半導体ともいう) を用いることが好ましい。金属酸化物としては、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

20

【0161】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

【0162】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

30

【0163】

ここでは、酸化物半導体が、インジウム、元素 M および亜鉛を有する In-M-Zn 酸化物である場合を考える。なお、元素 M は、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素 M に適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。

40

【0164】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0165】

ここで、酸化物 406 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 406 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より大

50

きいことが好ましい。また、酸化物406aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物406bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。

【0166】

以上のような金属酸化物を酸化物406aとして用いて、酸化物406aの伝導帯下端のエネルギーが、酸化物406bの伝導帯下端のエネルギーが低い領域における、伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物406aの電子親和力が、酸化物406bの伝導帯下端のエネルギーが低い領域における電子親和力より小さいことが好ましい。

【0167】

ここで、酸化物406aおよび酸化物406bにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物406aと酸化物406bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0168】

具体的には、酸化物406aと酸化物406bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物406bがIn-Ga-Zn酸化物の場合、酸化物406aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

【0169】

このとき、キャリアの主たる経路は酸化物406bに形成されるナローギャップ部分となる。酸化物406aと酸化物406bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0170】

また、酸化物406は、領域426a、領域426b、および領域426cを有する。領域426aは、図13(A)に示すように、領域426bと領域426cに挟まれる。領域426bおよび領域426cは、絶縁体225の成膜により低抵抗化された領域であり、領域426aより導電性が高い領域となる。領域426bおよび領域426cは、絶縁体225の成膜雰囲気に含まれる、水素または窒素などの不純物元素が添加される。これにより、酸化物406bの絶縁体225と重なる領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。

【0171】

よって、領域426bおよび領域426cは、領域426aより、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)などを用いて測定すればよい。

【0172】

なお、領域426bおよび領域426cは、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域426bおよび領域426cは、上記元素の一つまたは複数を含む構成にすればよい。

【0173】

領域426bおよび領域426cは、酸化物406の少なくとも絶縁体225と重なる領域に形成される。ここで、酸化物406bの領域426bおよび領域426cの一方は、ソース領域として機能でき、他方はドレイン領域として機能できる。また、酸化物406bの領域426aはチャンネル形成領域として機能できる。

【0174】

10

20

30

40

50

絶縁体 4 1 2 は、酸化物 4 0 6 b の上面に接して配置されることが好ましい。絶縁体 4 1 2 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。このような絶縁体 4 1 2 を酸化物 4 0 6 b の上面に接して設けることにより、酸化物 4 0 6 b に効果的に酸素を供給することができる。また、絶縁体 2 2 4 と同様に、絶縁体 4 1 2 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 4 1 2 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましく、例えば、10 nm 程度の膜厚にすればよい。

【0175】

絶縁体 4 1 2 は酸素を含むことが好ましい。例えば、昇温脱離ガス分光法分析 (TDS 分析) にて、100 以上 700 以下または 100 以上 500 以下の表面温度の範囲で、酸素分子の脱離量を絶縁体 4 1 2 の面積当たりに換算して、 1×10^{14} molecules/cm² 以上、好ましくは 2×10^{14} molecules/cm² 以上、より好ましくは 4×10^{14} molecules/cm² 以上であればよい。

10

【0176】

絶縁体 4 1 2 および導電体 4 0 4 は、酸化物 4 0 6 b と重なる領域を有する。また、絶縁体 4 1 2、導電体 4 0 4 a、および導電体 4 0 4 b の側面は略一致することが好ましい。

【0177】

導電体 4 0 4 a として、導電性酸化物を用いることが好ましい。例えば、酸化物 4 0 6 a 乃至酸化物 4 0 6 c として用いることができる金属酸化物を用いることができる。特に、In-Ga-Zn 系酸化物のうち、導電性が高い、金属の原子数比が [In] : [Ga] : [Zn] = 4 : 2 : 3 から 4 . 1、およびその近傍値のものを用いることが好ましい。このような導電体 4 0 4 a を設けることで、導電体 4 0 4 b への酸素の透過を抑制し、酸化によって導電体 4 0 4 c の電気抵抗値が増加することを防ぐことができる。

20

【0178】

また、このような導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体 4 1 2 に酸素を添加し、酸化物 4 0 6 b に酸素を供給することが可能となる。これにより、酸化物 4 0 6 の領域 4 2 6 a の酸素欠損を低減することができる。

【0179】

導電体 4 0 4 b は、例えばタングステンなどの金属を用いることができる。また、導電体 4 0 4 b として、導電体 4 0 4 a に窒素などの不純物を添加して導電体 4 0 4 a の導電性を向上できる導電体を用いてもよい。例えば導電体 4 0 4 b は、窒化チタンなどを用いることが好ましい。また、導電体 4 0 4 b を、窒化チタンなどの金属窒化物と、その上にタングステンなどの金属を積層した構造にしてもよい。

30

【0180】

< 断面構造 1 の変形例 1 >

また、本実施の形態の変形例の一例を、図 1 4 に示す。図 1 4 は、図 1 2 と、トランジスタ 2 7 の構成が異なる。

【0181】

図 1 4 に示すトランジスタ 2 7 はチャンネルが形成される半導体領域 3 1 3 (基板 3 1 1 の一部) が凸形状を有する。また、半導体領域 3 1 3 の側面および上面を、絶縁体 3 1 5 を介して、導電体 3 1 6 が覆うように設けられている。なお、導電体 3 1 6 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 2 7 は半導体基板の凸部を利用していることから FIN 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI 基板を加工して凸形状を有する半導体膜を形成してもよい。

40

【0182】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向

50

上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

【 0 1 8 3 】

< 断面構造 1 の変形例 2 >

また、本実施の形態の変形例の一例を、図 1 5 に示す。図 1 5 は、図 1 2 と、容量素子 2 6 の構成が異なる。

【 0 1 8 4 】

図 1 5 に示す半導体装置では、絶縁体 2 8 6 の上に絶縁体 2 8 7 が設けられ、導電体 1 1 2 が絶縁体 2 8 7 に埋め込まれ、絶縁体 2 8 7 の上に絶縁体 1 5 5 が設けられ、絶縁体 1 5 5 に形成された複数の開口に導電体 1 1 0 が設けられ、導電体 1 1 0 の上に絶縁体 1 3 0 が設けられ、絶縁体 1 3 0 の上に、導電体 1 1 0 と重なるように導電体 1 2 0 が設けられる。また、トランジスタ 2 1 と電氣的に接続される導電体 2 4 8 と、トランジスタ 2 7 と電氣的に接続される導電体 2 4 8 と、を接続するように導電体 1 1 2 を設け、当該導電体 1 1 2 に接して導電体 1 1 0 を設ければよい。また、絶縁体 2 8 7、絶縁体 1 5 5 は、絶縁体 3 2 0 と同様の材料を用いることができる。

【 0 1 8 5 】

図 1 5 に示す容量素子 2 6 において、絶縁体 1 5 5 に形成された開口の中で、導電体 1 1 0 と、絶縁体 1 3 0 と、導電体 1 2 0 が重なるので、導電体 1 1 0、絶縁体 1 3 0、および導電体 1 2 0 は被覆性の良好な膜にすることが好ましい。このため、導電体 1 1 0、絶縁体 1 3 0、および導電体 1 2 0 は、CVD法、ALD法などの良好な段差被覆性を有する成膜方法を用いて成膜することが好ましい。

【 0 1 8 6 】

容量素子 2 6 は、絶縁体 1 5 5 に設けられた開口の形状に沿って形成されるため、当該開口が深く形成されるほど静電容量を増加させることができる。また、当該開口の数を増やすほど静電容量を増加させることができる。このような容量素子 2 6 を形成することにより、容量素子 2 6 の上面積を増やすことなく、静電容量を増加させることができる。

【 0 1 8 7 】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

【 0 1 8 8 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 1 8 9 】

(実施の形態 3)

本実施の形態では、半導体装置の一形態を、図 1 6 - 図 1 8 を用いて説明する。

【 0 1 9 0 】

< 半導体ウエハ、チップ >

図 1 6 (A) は、ダイシング処理が行なわれる前の基板 7 1 1 の上面図を示している。基板 7 1 1 としては、例えば、半導体基板 (「半導体ウエハ」ともいう。) を用いることができる。基板 7 1 1 上には、複数の回路領域 7 1 2 が設けられている。回路領域 7 1 2 には、本発明の一態様に係る半導体装置などを設けることができる。

【 0 1 9 1 】

複数の回路領域 7 1 2 は、それぞれが分離領域 7 1 3 に囲まれている。分離領域 7 1 3 と重なる位置に分離線 (「ダイシングライン」ともいう。) 7 1 4 が設定される。分離線

10

20

30

40

50

714に沿って基板711を切断することで、回路領域712を含むチップ715を基板711から切り出すことができる。図16(B)にチップ715の拡大図を示す。

【0192】

また、分離領域713に導電層、半導体層などを設けてもよい。分離領域713に導電層、半導体層などを設けることで、ダイシング工程時に生じうるESDを緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に供給しながら行なう。分離領域713に導電層、半導体層などを設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

10

【0193】

<電子部品>

チップ715を用いた電子部品の一例について、図17(A)および図17(B)、図18(A)-(E)を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向、端子の形状などに応じて、複数の規格、名称などが存在する。

【0194】

電子部品は、組み立て工程(後工程)において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

【0195】

20

図17(A)に示すフローチャートを用いて、後工程について説明する。前工程において基板711に本発明の一態様に係る半導体装置などを形成した後、基板711の裏面(半導体装置などが形成されていない面)を研削する「裏面研削工程」を行なう(ステップS721)。研削により基板711を薄くすることで、電子部品の小型化を図ることができる。

【0196】

次に、基板711を複数のチップ715に分離する「ダイシング工程」を行う(ステップS722)。そして、分離したチップ715を個々のリードフレーム上に接合する「ダイボンディング工程」を行う(ステップS723)。ダイボンディング工程におけるチップ715とリードフレームとの接合は、樹脂による接合、またはテープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップ715を接合してもよい。

30

【0197】

次いで、リードフレームのリードとチップ715上の電極とを、金属の細線(ワイヤー)で電氣的に接続する「ワイヤーボンディング工程」を行う(ステップS724)。金属の細線には、銀線、金線などを用いることができる。また、ワイヤーボンディングは、例えば、ボールボンディング、またはウェッジボンディングを用いることができる。

【0198】

ワイヤーボンディングされたチップ715は、エポキシ樹脂などで封止される「封止工程(モールド工程)」が施される(ステップS725)。封止工程を行うことで電子部品の内部が樹脂で充填され、チップ715とリードを接続するワイヤーを機械的な外力から保護することができ、また水分、埃などによる特性の劣化(信頼性の低下)を低減することができる。

40

【0199】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう(ステップS726)。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際にはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう(ステップS727)。

【0200】

次いで、パッケージの表面に印字処理(マーキング)を施す「マーキング工程」を行な

50

う（ステップS728）。そして外観形状の良否、動作不良の有無などを調べる「検査工程」（ステップS729）を経て、電子部品が完成する。

【0201】

また、完成した電子部品の斜視模式図を図17（B）に示す。図17（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図17（B）に示す電子部品750は、リード755およびチップ715を有する。電子部品750は、チップ715を複数有していてもよい。

【0202】

図17（B）に示す電子部品750は、例えばプリント基板752に実装される。このような電子部品750が複数組み合わされて、それぞれがプリント基板752上で電氣的に接続されることで電子部品が実装された基板（実装基板754）が完成する。完成した実装基板754は、電子機器などに用いられる。

10

【0203】

図17（B）に示す電子部品750の適用例について説明する。電子部品750は、メモリカード（例えば、SDカード）、USBメモリ（USB；Universal Serial Bus）、SSD（Solid State Drive）等の各種のリムーバブル記憶装置に適用することができる。図18（A）-（E）を用いて、リムーバブル記憶装置の幾つかの構成例について説明する。

【0204】

図18（A）はUSBメモリの模式図である。USBメモリ5100は、筐体5101、キャップ5102、USBコネクタ5103および基板5104を有する。基板5104は、筐体5101に収納されている。基板5104には、電子部品であるメモリチップ等が設けられている。例えば、基板5104には、メモリチップ5105、コントローラチップ5106が取り付けられている。メモリチップ5105は、メモリセルアレイなどが組み込まれている。コントローラチップ5106は、プロセッサ、ワークメモリ、ECC回路等が組み込まれている。なお、メモリチップ5105とコントローラチップ5106とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更してもよい。USBコネクタ5103が外部装置と接続するためのインターフェースとして機能する。

20

【0205】

図18（B）はSDカードの外観の模式図であり、図18（C）は、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112および基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、電子部品であるメモリチップ等が設けられている。例えば、基板5113には、メモリチップ5114、コントローラチップ5115が取り付けられている。メモリチップ5114には、メモリセルアレイなどが組み込まれている。コントローラチップ5115には、プロセッサ、ワークメモリ、ECC回路等が組み込まれている。なお、メモリチップ5114とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更してもよい。

30

40

【0206】

基板5113の裏面側にもメモリチップ5114を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、メモリチップ5114のデータの読み出し、書き込みが可能となる。

【0207】

図18（D）はSSDの外観の模式図であり、図18（E）は、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152および基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、電子部品であるメ

50

メモリチップ等が設けられている。例えば、基板 5 1 5 3 には、メモリチップ 5 1 5 4、メモリチップ 5 1 5 5、コントローラチップ 5 1 5 6 が取り付けられている。メモリチップ 5 1 5 4 には、メモリセルアレイなどが組み込まれている。基板 5 1 5 3 の裏面側にもメモリチップ 5 1 5 4 を設けることで、SSD 5 1 5 0 の容量を増やすことができる。メモリチップ 5 1 5 5 にはワークメモリが組み込まれている。例えば、メモリチップ 5 1 5 5 には、DRAMチップを用いればよい。コントローラチップ 5 1 5 6 には、プロセッサ、ECC回路などが組み込まれている。なお、メモリチップ 5 1 5 4 と、メモリチップ 5 1 5 5 と、コントローラチップ 5 1 5 6 と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更しても良い。例えば、コントローラチップ 5 1 5 6 にも、ワークメモリとして機能するメモリを設けてもよい。

10

【0208】

なお図 17 (B) に示す電子部品 7 5 0 は、画素を 7 6 8 0 × 4 3 2 0 のマトリクス状に配置するスーパーハイビジョン(「8K解像度」、「8K4K」、「8K」などとも言われる。)の解像度で表示可能な表示システムのように、大規模な画像データを扱うシステムにおけるフレームメモリに適用することも有効である。本発明の一態様の半導体装置は、多値データを複数の電圧値としてメモリセルに記憶する場合には、書き込む電圧値を狭い範囲に収めることができ、読み出されるデータの信頼性を向上することができる。本発明の一態様の適用により、フレームメモリの読み出し精度を向上させることも記憶容量の増大を図ることができるため、8Kの解像度で表示可能な表示システムへの適用が極めて有効となる。

20

【0209】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0210】

(実施の形態 4)

<電子機器>

本発明の一態様に係る半導体装置を有する電子部品は、様々な電子機器に用いることができる。図 19 に、本発明の一態様に係る電子部品を用いた電子機器の具体例を示す。

【0211】

図 19 (A) は、自動車の一例を示す外観図である。自動車 2 9 8 0 は、車体 2 9 8 1、車輪 2 9 8 2、ダッシュボード 2 9 8 3、およびライト 2 9 8 4 等を有する。また、自動車 2 9 8 0 は、アンテナ、バッテリーなどを備える。

30

【0212】

図 19 (B) に示す情報端末 2 9 1 0 は、筐体 2 9 1 1 に、表示部 2 9 1 2、マイク 2 9 1 7、スピーカ部 2 9 1 4、カメラ 2 9 1 3、外部接続部 2 9 1 6、および操作スイッチ 2 9 1 5 等を有する。表示部 2 9 1 2 には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末 2 9 1 0 は、筐体 2 9 1 1 の内側にアンテナ、バッテリーなどを備える。情報端末 2 9 1 0 は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

40

【0213】

図 19 (C) に示すノート型パーソナルコンピュータ 2 9 2 0 は、筐体 2 9 2 1、表示部 2 9 2 2、キーボード 2 9 2 3、およびポインティングデバイス 2 9 2 4 等を有する。また、ノート型パーソナルコンピュータ 2 9 2 0 は、筐体 2 9 2 1 の内側にアンテナ、バッテリーなどを備える。

【0214】

図 19 (D) に示すビデオカメラ 2 9 4 0 は、筐体 2 9 4 1、筐体 2 9 4 2、表示部 2 9 4 3、操作スイッチ 2 9 4 4、レンズ 2 9 4 5、および接続部 2 9 4 6 等を有する。操作スイッチ 2 9 4 4 およびレンズ 2 9 4 5 は筐体 2 9 4 1 に設けられており、表示部 2 9 4 3 は筐体 2 9 4 2 に設けられている。また、ビデオカメラ 2 9 4 0 は、筐体 2 9 4 1 の

50

内側にアンテナ、バッテリーなどを備える。そして、筐体 2941 と筐体 2942 は、接続部 2946 により接続されており、筐体 2941 と筐体 2942 の間の角度は、接続部 2946 により変えることが可能な構造となっている。筐体 2941 に対する筐体 2942 の角度によって、表示部 2943 に表示される画像の向きの変更や、画像の表示 / 非表示の切り換えを行うことができる。

【0215】

図 19 (E) にバングル型の情報端末の一例を示す。情報端末 2950 は、筐体 2951、および表示部 2952 等を有する。また、情報端末 2950 は、筐体 2951 の内側にアンテナ、バッテリーなどを備える。表示部 2952 は、曲面を有する筐体 2951 に支持されている。表示部 2952 には、可撓性基板を用いた表示パネルを備えているため、

10

【0216】

図 19 (F) に腕時計型の情報端末の一例を示す。情報端末 2960 は、筐体 2961、表示部 2962、バンド 2963、バックル 2964、操作スイッチ 2965、入出力端子 2966 などを備える。また、情報端末 2960 は、筐体 2961 の内側にアンテナ、バッテリーなどを備える。情報端末 2960 は、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

【0217】

表示部 2962 の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部 2962 はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部 2962 に表示されたアイコン 2967 に触れることで、アプリケーションを起動することができる。操作スイッチ 2965 は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行及び解除、省電力モードの実行及び解除など、様々な機能を持たせることができる。例えば、情報端末 2960 に組み込まれたオペレーティングシステムにより、操作スイッチ 2965 の機能を設定することもできる。

20

【0218】

また、情報端末 2960 は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末 2960 は入出力端子 2966 を備え、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子 2966 を介して充電を行うこともできる。なお、充電動作は入出力端子 2966 を介さずに無線給電により行ってもよい。

30

【0219】

例えば、本発明の一態様の半導体装置を有する電子部品は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

【0220】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

40

【0221】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【0222】

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることで、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いの構成例を適宜組み合わせることが可能である。

【0223】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の

50

形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0224】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0225】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0226】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0227】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0228】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

30

【0229】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0230】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

40

【0231】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0232】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、

50

スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0233】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0234】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路など

10

【0235】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

【0236】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

20

【0237】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

【0238】

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

30

【0239】

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

【実施例】

【0240】

多値のデータの書き込み及び読み出しが可能な半導体装置を作製し、6bit/cellでの実証を行った。本試作では、0.15μm CMOS and 0.35μm OSFETテクノロジーを用いて作製した。

40

【0241】

図20に試作したメモリセルから読み出される電圧の分布を示す。図20から、64値の分布が重なることなく分離されていることが確認された。

【0242】

以上本実施例では、OSトランジスタを用いた6bit/cellの半導体装置の作製を行った。作製した半導体装置にて、6bitデータを書き込みおよび読み出しが実証された。また、各データの読み出し電圧の分布は、verify動作無しの単純な書き込み動作で±3が25mV以下に収まることが実証された。これにより、メモリセルの容量が増大しても安定した読み出し電圧の分布が実現できることが分かった。

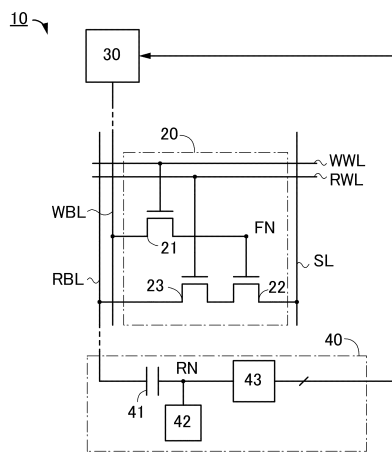
50

【符号の説明】

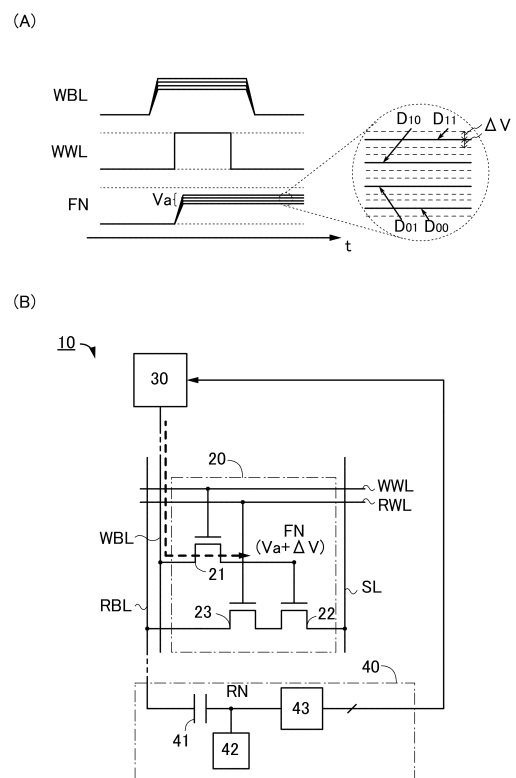
【0243】

- 10 半導体装置
- 20 メモリセル
- 21 トランジスタ
- 22 トランジスタ
- 23 トランジスタ
- 30 回路
- 40 回路
- 41 容量素子
- 42 電位制御回路
- 43 アナログデジタル変換回路

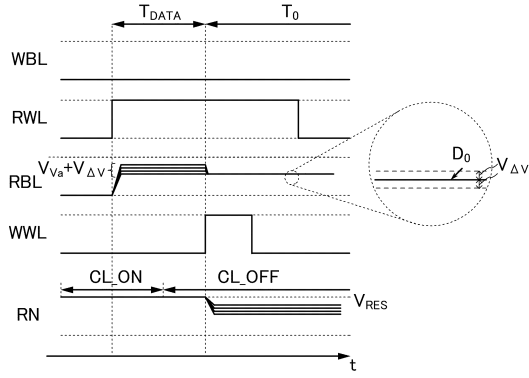
【図1】



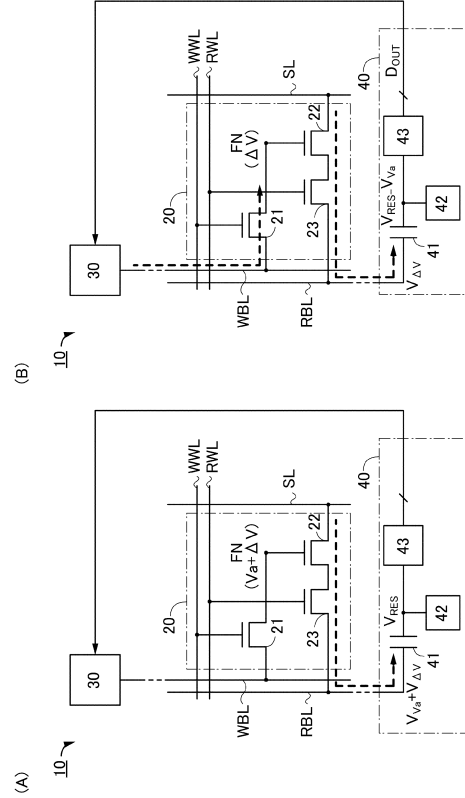
【図2】



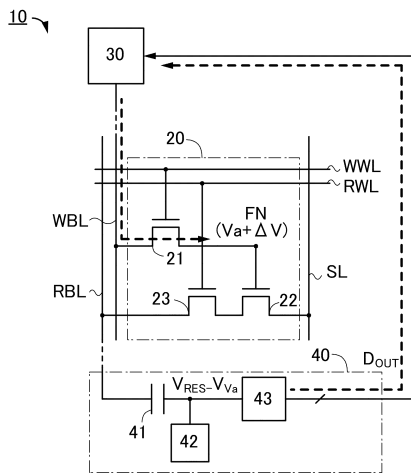
【 図 3 】



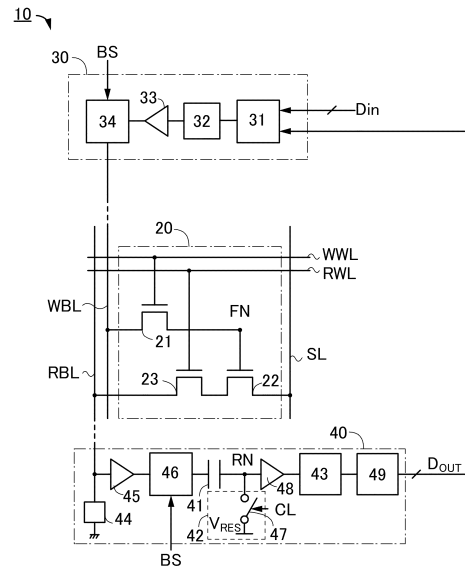
【 図 4 】



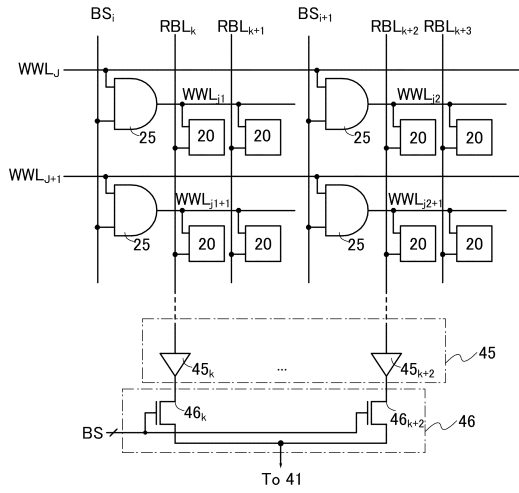
【 図 5 】



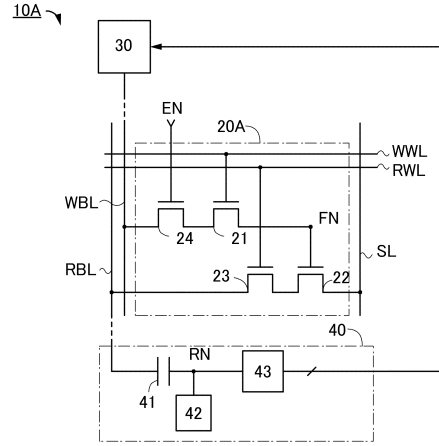
【 図 6 】



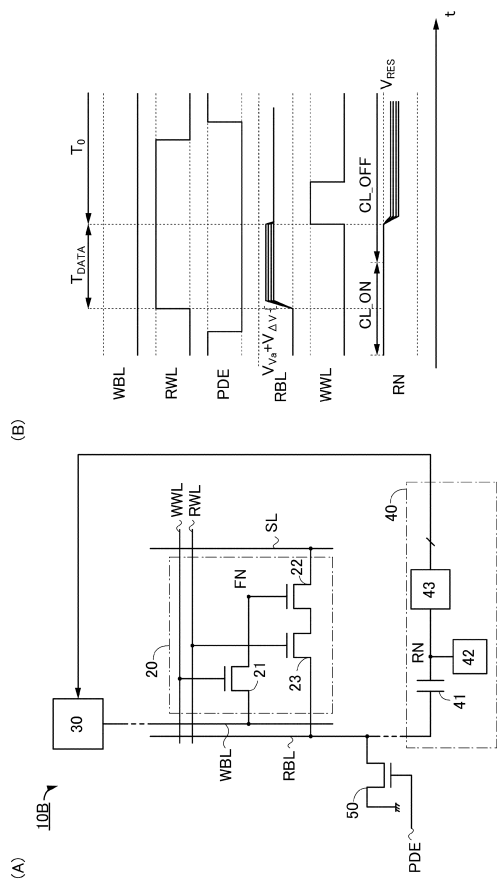
【 図 7 】



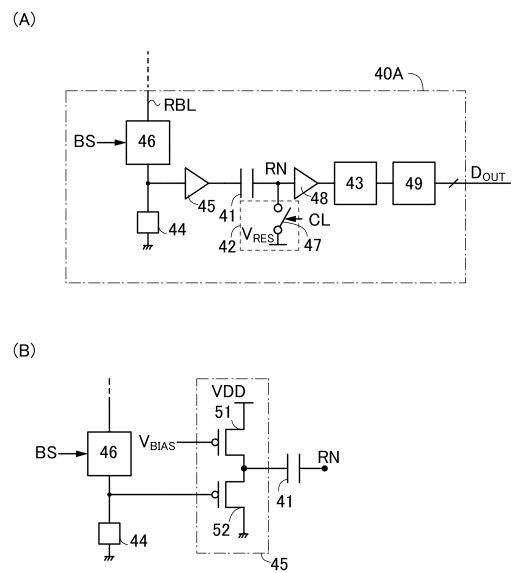
【 図 8 】



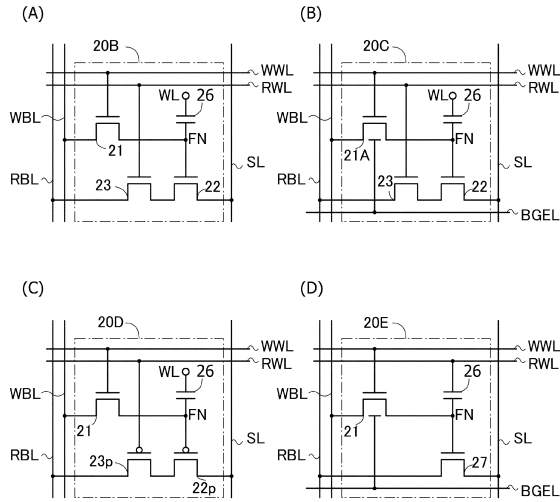
【 図 9 】



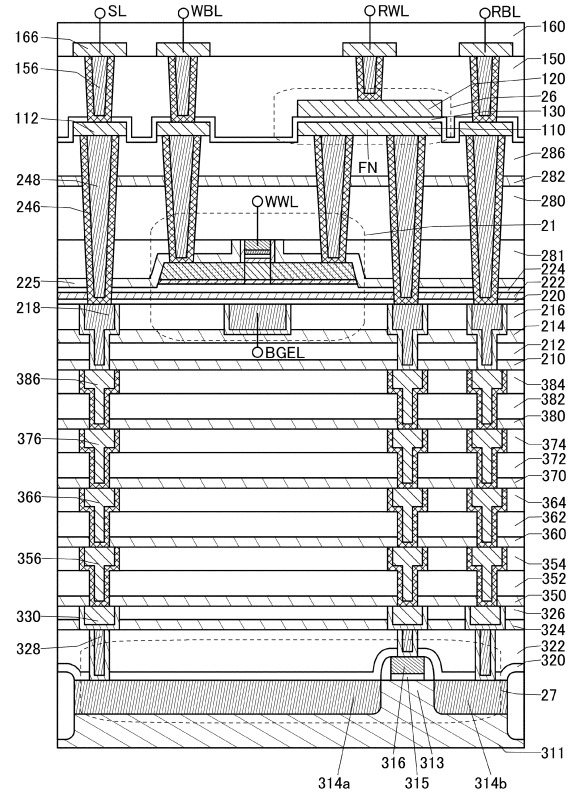
【 図 10 】



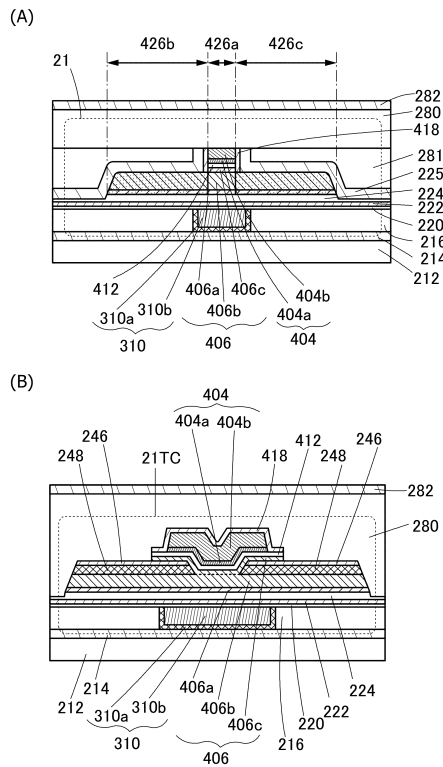
【図 1 1】



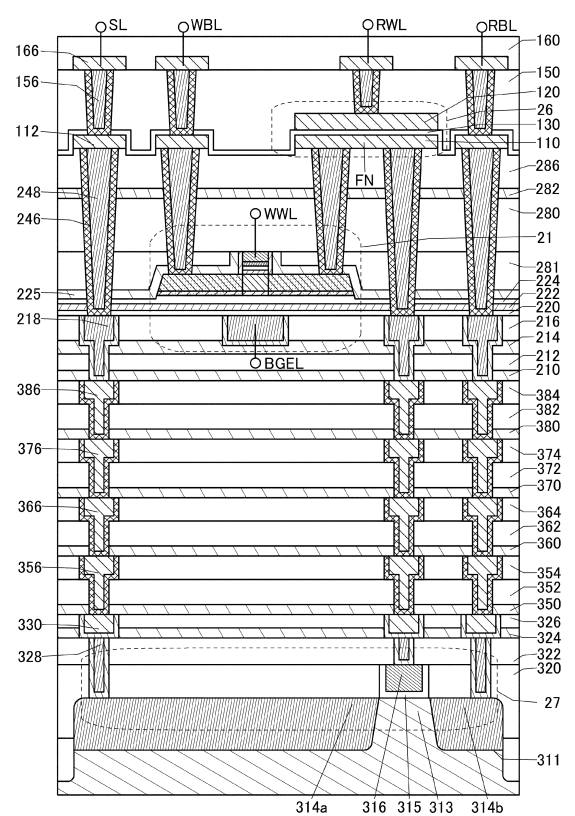
【図 1 2】



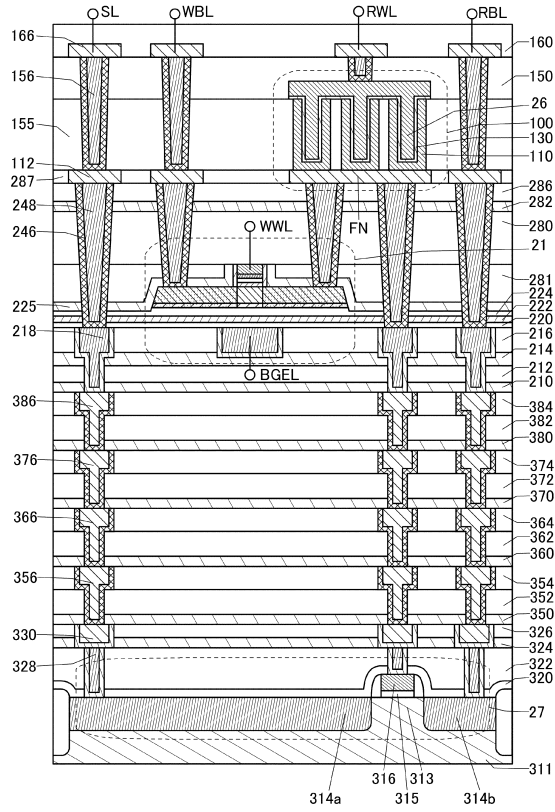
【図 1 3】



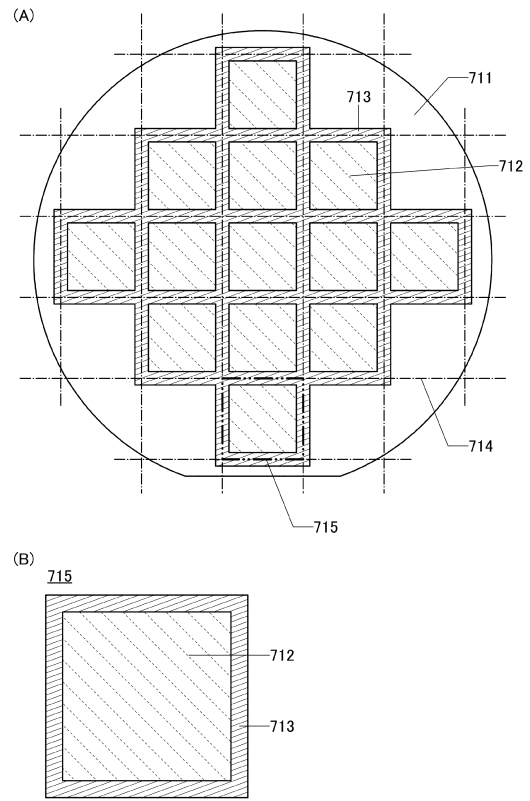
【図 1 4】



【図15】



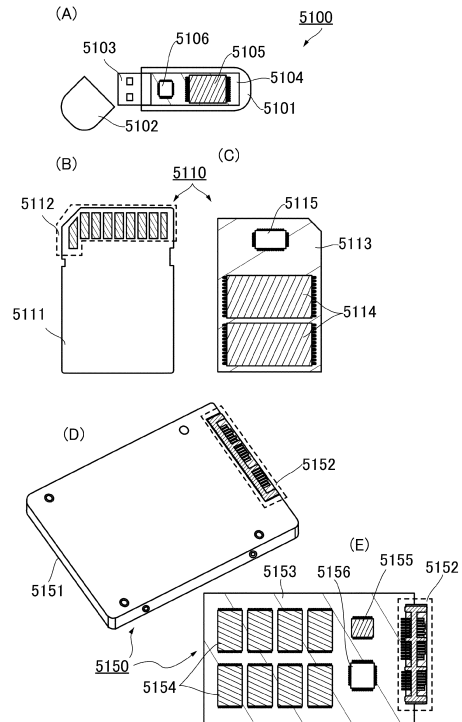
【図16】



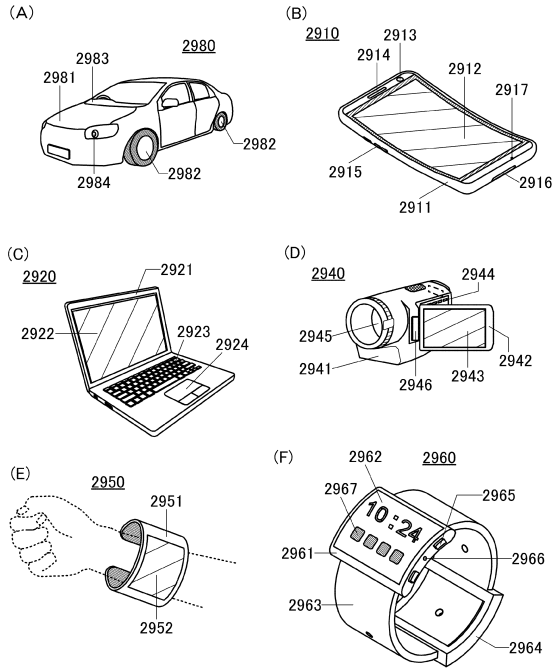
【図17】



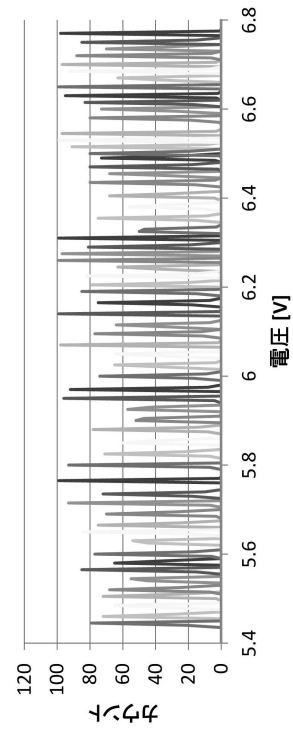
【図18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 8 B

(31)優先権主張番号 特願2017-118566(P2017-118566)

(32)優先日 平成29年6月16日(2017.6.16)

(33)優先権主張国・地域又は機関
日本国(JP)

(56)参考文献 特開2016-110687(JP,A)

特開2016-66392(JP,A)

特開2011-123986(JP,A)

特開2011-135065(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 1 / 4 0 9 1

G 1 1 C 1 1 / 4 0 5

G 1 1 C 1 1 / 5 6

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 9 / 7 8 6