

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月14日(14.01.2016)



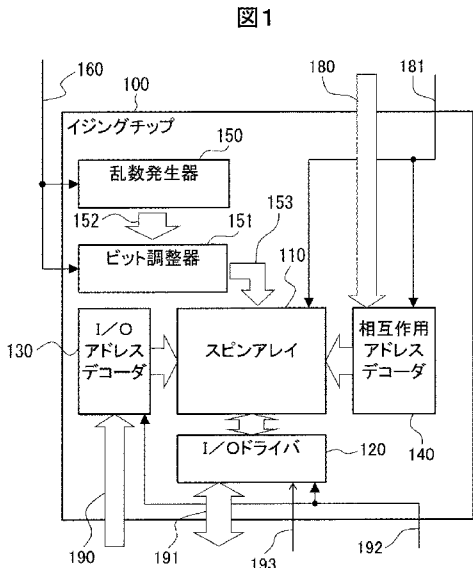
(10) 国際公開番号
WO 2016/006071 A1

- (51) 国際特許分類:
G06N 99/00 (2010.01) H01L 21/8244 (2006.01)
G06F 7/58 (2006.01) H01L 27/11 (2006.01)
- (21) 国際出願番号: PCT/JP2014/068344
- (22) 国際出願日: 2014年7月9日(09.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6番6号 Tokyo (JP).
- (72) 発明者: 林 真人(HAYASHI Masato); 〒1008280 東京
都千代田区丸の内一丁目6番6号 株式会社
日立製作所内 Tokyo (JP). 山岡 雅直(YAMAOKA
Masanao); 〒1008280 東京都千代田区丸の内一丁
目6番6号 株式会社日立製作所内 Tokyo (JP).
吉村 地尋(YOSHIMURA Chihiro); 〒1008280 東京
都千代田区丸の内一丁目6番6号 株式会社日
立製作所内 Tokyo (JP).
- (74) 代理人: 青稜特許業務法人(SEIRYO I.P.C.); 〒
1040032 東京都中央区八丁堀二丁目7番1号
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND INFORMATION PROCESSING SYSTEM

(54) 発明の名称: 半導体装置及び情報処理システム



- 100... ISING CHIP
- 110... SPIN ARRAY
- 120... I/O DRIVER
- 130... I/O ADDRESS DECODER
- 140... INTERACTION ADDRESS DECODER
- 150... RANDOM NUMBER GENERATOR
- 151... BIT REGULATOR

(57) Abstract: According to the present invention, a random number generator is used to provide randomness to the whole of a semiconductor device that performs an Ising model ground state search. The present invention comprises a spin array, a random number generator, and a bit regulator. The spin array is configured such that a plurality of spin units that have respectively allocated thereto the spins of an Ising model are arranged and connected upon a two-dimensional planar surface of a semiconductor substrate so as to maintain the topology of the Ising model. The spin units are configured to have: a memory cell that stores the value of one spin of the Ising model; a memory cell that stores an interaction coefficient from a neighboring spin that interacts with the spin; a memory cell that stores an external magnetic field coefficient for the one spin; and a circuit that determines the next state of the one spin on the basis of the product of the value of the neighboring spin and of the corresponding interaction coefficient and on the basis of the external magnetic field coefficient. The bit regulator performs an operation on the output of the random number generator and, via wiring, provides all of the spin units of the spin array with a random bit.

(57) 要約:

[続葉有]

WO 2016/006071 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, 添付公開書類:
MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

乱数発生器を用いてイジングモデルの基底状態探索を行う半導体装置全体にランダム性を供給する。イジングモデルの1つのスピンの値を記憶するメモリセルと、該スピンに相互作用を及ぼす隣接するスピンからの相互作用係数を記憶するメモリセルと、前記1つのスピンの外部磁場係数を記憶するメモリセルと、並びに、前記各隣接スピンの値と前記対応する相互作用係数の積、及び前記外部磁場係数に基づいて、前記1つのスピンの次状態を決定する回路とを有するスピンユニットが構成され、前記イジングモデルの各スピンをそれぞれ割り付けられた複数の前記スピンユニットが、前記イジングモデルのトポロジを維持した状態で、半導体基板上の2次元平面に配置、接続されて構成されたスピンアレイと、乱数発生器と、ビット調整器を備え、前記ビット調整器は前記乱数発生器の出力に演算を施して、前記スピンアレイの全てのスピンユニットへ1つの配線を通して乱数ビットを供給する。

明 細 書

発明の名称：半導体装置及び情報処理システム

技術分野

[0001] 本発明は、イジングモデルの基底状態探索を行う半導体装置に関するものであり、特に、イジングモデルのスピンをCMOSのフリップフロップとして模擬する半導体装置に関する。

背景技術

[0002] イジングモデルは磁性体の振舞いを説明するための統計力学のモデルである。イジングモデルは $+1/-1$ （または、 $0/1$ 、上/下）の2値をとるスピンと、スピン間の相互作用を示す相互作用係数、および、スピン毎にある外部磁場係数で定義される。イジングモデルは与えられたスピン配列、相互作用係数、および、外部磁場係数から、その時のエネルギーを計算することが出来る。

[0003] イジングモデルの基底状態探索とは、イジングモデルのエネルギー関数を最小化するスピンの配列を求める最適化問題である。トポロジが非平面グラフであるイジングモデルの基底状態を求めることはNP困難問題であることが知られている。

イジングモデルの基底状態探索は、NP困難なグラフ問題として知られている最大カット問題とも対応している。このようなグラフ問題は、ソーシャルネットワークにおけるコミュニティの検出や、画像処理におけるセグメンテーションなど、幅広い応用を持っている。そのため、イジングモデルの基底状態探索を行うソルバがあれば、このような様々な問題に適用することが出来る。

[0004] イジングモデルに含まれるスピンのとりうる状態の組み合わせは莫大な数にのぼるため、基底状態を求めるにあたってそのすべてを探索することは実質的に不可能である。このため、基底状態を効率よく求めるには、探索するスピンの組み合わせを絞り込む必要がある。しかしながら、絞り込みによっ

て局所最適解を選んでしまい、近似的な基底状態しか得られなくなるといった弊害も起こるため、探索の過程で見つかった局所解を避けることでよりよい解を得られる手法が必要である。

このような手法として、超電導素子を用いた量子的なゆらぎを活用して基底状態探索を行う方法が提案されている。例えば、このような装置として、例えば特許文献1に記載の装置がある。

[0005] また、シミュレーテッドアニーリングのように、一時的に解の悪化を許容するヒューリスティクスを用いて、良い解を求める方法もある。このような方法を用いる場合、例えば非特許文献1に示されるようなハードウェアを用いることで、高速に基底状態探索を行うことができる。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2012/118064号

非特許文献

[0007] 非特許文献1：Michael G. Wrighton, Andre M. DeHon, Hardware-Assisted Simulated Annealing with Application for Fast FPGA Placement, FPGA '03 Proceedings of the 2003 ACM/SIGDA eleventh international symposium on Field programmable gate arrays, Pages 33 - 42

発明の概要

発明が解決しようとする課題

[0008] 特許文献1に示した超電導素子を用いた量子揺らぎの形で局所解を脱する方法は、超電導状態を実現するハードウェアを構成するため、高度な冷却装置を使用する必要がある。このため、装置全体が高コストとなり、また大規模化が難しいといった課題がある。

[0009] 非特許文献1のように、シミュレーテッドアニーリングを行う半導体装置を用いる場合、疑似乱数発生器を用いて必要なランダム性を供給する必要がある。この場合、アニーリング動作の並列性を得る目的で、アニーリングの

基本演算を行う演算器ごとに疑似乱数発生器を搭載すると、回路規模が増大し高コスト化や大規模化が難しくなるといった課題がある。

[0010] 本発明は上記の課題に鑑みてなされたものであり、その目的はごく少数の乱数発生器を用いて半導体装置全体にランダム性を供給することで、低コストで大規模化が容易なイジングモデルの基底状態探索を行う半導体装置を提供することにある。

課題を解決するための手段

[0011] 上記課題を解決するために本発明では、イジングモデルの基底状態探索を行う半導体装置を、イジングモデルの各スピンの値を記憶するメモリセルと、該スピンに相互作用を及ぼす隣接するスピンからの相互作用係数を記憶するメモリセルと、該スピンの外部磁場係数を記憶するメモリセルと、および該スピンの次状態を決定する回路とをそれぞれ有する複数のスピユニットが、前記イジングモデルのトポロジを維持した状態で、半導体基板上の2次元平面に配置、接続されて構成されたスピンアレイと、複数ビットの乱数を発生する乱数発生器と、前記乱数発生器の出力に演算を施して、ビット確率を可変にした1ビットの乱数ビットを供給するビット調整器と、前記スピンアレイの全てのスピユニットへ前記ビット調整器の出力を供給する1つの配線とを備えて構成した。

[0012] また、上記課題を解決するために本発明では、前記半導体装置の前記ビット調整器を、メモリに格納された演算ビット数 m に従って、入力された n ビットの乱数より演算ビット数 m で指定されたビット数 m だけ取り出すビット選択部と、前記ビット選択部の出力である m ビットの値の各ビットのANDをとり、1ビットの値を出力するAND回路と、前記ビット選択部の出力である m ビットの値の各ビットのORをとり、1ビットの値を出力するOR回路と、メモリに格納されたAND/OR選択ビットに従って、前記AND回路または前記OR回路の出力のいずれか一つを選択し、ビット調整器全体の出力とするAND/OR選択部とを備えて構成した。

[0013] また、上記課題を解決するために本発明では、前記半導体装置において、

前記配線は、前記スピナレイの中で一筆書き状に全てのスピユニットを1度だけ通り、前記配線を通して前記各スピユニットにランダムビットを供給し、前記各スピユニットは、前記ランダムビットの値を用いてスピンの値を反転させるように構成した。

[0014] また、上記課題を解決するために本発明では、CPU、メモリ、HDD、及びアクセラレータとして適用が可能な半導体装置をシステムバスに接続した情報処理システムを、前記半導体装置は、イジングモデルの各スピンの値を記憶するメモリセルと、該スピンに相互作用を及ぼす隣接するスピンからの相互作用係数を記憶するメモリセルと、該スピンの外部磁場係数を記憶するメモリセルと、および該スピンの次状態を決定する回路とをそれぞれ有する複数のスピユニットが、前記イジングモデルのトポロジを維持した状態で、半導体基板上の2次元平面に配置、接続されて構成されたスピナレイと、複数ビットの乱数を発生する乱数発生器と、前記乱数発生器の出力に演算を施して、ビット確率を可変にした1ビットの乱数ビットを供給するビット調整器と、前記スピナレイの全てのスピユニットへ前記ビット調整器の出力を供給する1つの配線と、前記スピナレイ内に配置されたスピユニットのメモリセルをリード/ライトするI/Oインタフェースとを備え、前記CPU上で実行された問題変換プログラムは、対象問題を表現するイジングモデルの相互作用係数と外部磁場係数を生成し、前記CPU上で実行された前記半導体装置の制御プログラムは、初期スピン配列をランダムに生成し、前記イジングモデルの各スピンを割当てた前記半導体装置上の前記スピナレイ内の前記スピユニットへ、前記初期スピン配列、前記相互作用係数、及び前記外部磁場係数を書き込み、前記ビット調整器が出力する乱数ビットのビット確率の初期値と、該ビット確率に対応する相互作用回数を設定し、前記スピナレイの全てのスピユニットの基底状態探索処理を前記設定した相互作用回数繰り返し実行し、設定したビット確率が最終下限閾値に達していなければ、ビット確率を下げる更新と、相互作用回数の再設定を行い、スピユニットの基底状態探索処理を繰り返し実行し、基底状態に達し

た前記スピユニットのスピ配列を読み出して対象問題の解を得るように機能するように構成した。

発明の効果

[0015] 本発明によれば、イジングモデルの基底状態探索を行う半導体装置において、少ない乱数発生器でランダム性を供給することができるため、装置の低コスト化および大規模化が容易になる。

図面の簡単な説明

[0016] [図1]本発明の半導体装置であるイジングチップの構成の一例を説明する図である。

[図2]本発明の半導体装置であるイジングチップを制御する情報処理システムの構成の一例を説明する図である。

[図3]3次元格子のスピアレイの構成の一例を説明する図である。

[図4]スピアレイの構成をSRAMメモリとしての動作に着目して説明する図である。

[図5]スピアレイの構成を、スピユニット間の相互作用を行う動作に着目して説明する図である。

[図6]スピアレイの構成を、ランダムビットの伝播経路に着目して説明する図である。

[図7]スピユニットを時系列に沿ってランダムビットが伝播していく様子を説明する図である。

[図8]スピユニットの構成を、SRAMメモリとしての動作に着目して説明する図である。

[図9]スピユニットの構成を、相互作用を行う動作に着目して説明する図である。

[図10]ビット調整器の構成を説明する図である。

[図11]イジングチップを用いて最適化問題を解く際のフローを説明する図である。

[図12]イジングモデルの基底状態探索を行う際のビット確率と相互作用回数

の一例を説明する図である。

[図13]本発明の第2の実施例において、スピナレイのランダムビットの伝播経路を説明する図である。

[図14]本発明の第2の実施例において、スピユニットの構成を、相互作用を行う動作に着目して説明する図である。

[図15]本発明の第3の実施例において、スピナレイのランダムビットの伝播経路を説明する図である。

[図16]本発明の第4の実施例において、スピナレイのランダムビットの伝播経路を説明する図である。

[図17]スピユニット内のメモリセルとスピナレイのトポロジとの対応関係を説明する図である。

発明を実施するための形態

[0017] 以下では、イジングモデルの基底状態を求める半導体装置の例を用いて本発明の実施例を説明する。

実施例 1

[0018] イジングモデルは強磁性体の振る舞いを説明するとき等に用いられる統計力学のモデルである。イジングモデルは+1または-1の2値の状態をとる複数のスピンと、スピンの相互作用の強さを表す相互作用係数と、各スピンの働く外部磁場の強さを表す外部磁場係数で定義される。

[0019] イジングモデルは与えられたスピン配列、相互作用係数、および、外部磁場係数から、その時のエネルギーを計算することが出来る。

[0020] イジングモデルのエネルギー関数 $E(\sigma)$ は数1で定義される。数1において、 σ_i 、 σ_j はそれぞれi番目とj番目のスピンの値、 $J_{i,j}$ はi番目とj番目のスピンの間の相互作用係数、 h_i はi番目のスピンに対する外部磁場係数、 $\langle i, j \rangle$ は隣接する全てのスピン(iとj)の組合せ、 σ はスピンの配列を表わすものとする。

[0021]

[数1]

$$E(\sigma) = -\sum_{\langle i,j \rangle} J_{i,j} \sigma_i \sigma_j - \sum_i h_i \sigma_i$$

[0022] イジングモデルの基底状態を求めるというのは、数1で表されるイジングモデルのエネルギー関数が最小となるようなスピンの値の組み合わせを求める、組み合わせ最適化問題を解くことに相当する。

[0023] 例えば、グラフの最大カット問題や巡回セールスマン問題などの最適化問題をイジングモデルの基底状態探索に変換することが可能である。このとき、元の問題を変換して作ったイジングモデルの基底状態を求めた後、スピン値の値を元の問題に逆変換することで元の問題を解くことができる。イジングモデルの基底状態探索を高速に行う装置を用いることで、従来の計算機では時間のかかる最適化問題を高速に解くことができる。

[0024] 図1に、イジングモデルの基底状態探索を行う半導体装置であるイジングチップの構成例を示す。

イジングチップ100は、スピンアレイ110、I/Oドライバ120、I/Oアドレスデコーダ130、相互作用アドレスデコーダ140、乱数発生器150、およびビット調整器151から構成される。

[0025] スピンアレイ110は後述(図3、4)するとおり、1個のスピンとそれに付随する相互作用係数、及び、外部磁場係数の保持と、基底状態探索処理を実現するスピユニット300を基本構成単位として、スピユニット300を多数個並べて構成される。スピンアレイ110は、SRAMとしての機能とイジングモデルの基底状態探索を行う相互作用回路としての機能を併せ持っている。

[0026] I/Oドライバ120とI/Oアドレスデコーダ130はスピンアレイ110をSRAMとして用いる際のインターフェースである。I/Oドライバ120はデータバス191を介してスピンアレイ110から読み取り、または書き込みするビット列を授受し、R/W制御線193の信号に従って、読み取り動作と書き込み動作を切り替えることができる。I/Oアドレスデコ

ーダ130はアドレスバス190を介して読み書きを行うアドレスをマッピングする。I/Oドライバ120とI/Oアドレスデコーダ130はいずれもI/Oクロック192に同期して動作する。

[0027] イジングチップ100では、イジングモデルのスピン σ_i 、相互作用係数 J_{ij} 、および、外部磁場係数 h_i を全てスピンアレイ110内のメモリセルに記憶する情報で表現する。スピンの初期状態の設定、及び、基底探索完了後の解読み出しのためにスピン σ_i のリード/ライトを前記SRAM互換インタフェースで行う。また、基底状態を探索すべきイジングモデルをイジングチップ100に設定するために、相互作用係数 J_{ij} 、および、外部磁場係数 h_i のリード/ライトも前記SRAM互換インタフェースで行う。

[0028] また、イジングチップ100は基底状態探索を行うために、スピンアレイ110の内部でスピン間の相互作用を実現する。この相互作用を外部から制御するため、相互作用を行うスピン群を指定するアドレスである相互作用アドレス180を入力して、相互作用アドレスデコーダ140は、スピンアレイ110を相互作用回路として用いる際の、相互作用の対象となるスピンを選択する。また、相互作用アドレスデコーダ140とスピンアレイ110は相互作用クロック181に同期して動作し、相互作用クロック1周期につき1回の相互作用動作を行う。相互作用動作の詳細については後述する。

[0029] また、乱数発生器150は1回の乱数生成で複数ビットからなる乱数152を発生する装置である。電子回路として実現が容易な線形帰還フィードバックレジスタ等をはじめとする疑似乱数回路を用いてもよいし、物理乱数発生器を用いてもよい。ビット調整器151は乱数発生器150の出力した乱数152を入力とし、適当な演算を施すことで1ビットのランダムなビット153を生成し、スピンアレイ110へと出力する。乱数発生器150とビット調整器151はいずれも乱数発生クロック160に同期して動作しており、乱数発生クロック1周期につき1つの乱数153を発生する。

本実施例では乱数発生器150とビット調整器151をイジングチップ100内に含む例を記載しているが、乱数発生器150とビット調整器151

をチップ外に配置し、ランダムなビット列をイジングチップ100に入力しても良い。

[0030] 図2に、上記のイジングチップ100を用いて所望の最適化問題を解くための情報処理システムの一例を示す。情報処理システム250は、例えば一般的に用いられているパーソナルコンピュータやサーバのようなホストコンピュータ200を含む。ホストコンピュータ200は、CPU210と、メモリ220と、HDD230と、システムバス240と、1つまたは複数のイジングチップ100-1、100-2をアクセラレータのように備える。

メモリ220は、所望の最適化問題をイジングモデルの基底状態探索に変換する問題変換プログラム221と、イジングチップを制御してイジングモデルの基底状態探索を行うイジングチップ制御プログラム222を格納している。メモリ220に格納されたプログラムはCPU210によって実行される。HDD230は、所望の最適化問題を表す問題データ231を格納している。CPU210はシステムバス240を介してイジングチップ100を制御し、またイジングチップ内のスピンアレイへのデータの読み書きを行う。

[0031] 図3は、スピンアレイ110の基本構成単位であるスピユニット300を複数個並べることで、3次元格子状のトポロジを持つイジングモデルを構成する例を示している。図3の例は、3（X軸方向）×3（Y軸方向）×2（Z軸方向）の大きさの3次元格子である。3次元格子のサイズは任意であるが、本実施例ではZ方向のスピン数を2とした場合を想定した構成を説明する。座標軸の定義は図示した通り、図面右方向をX軸、図面下方向をY軸、図面奥行き方向をZ軸としているが、この座標軸は実施例の説明上便宜的に必要なだけであり、発明とは関係しない。3次元格子以外のトポロジ、例えばツリー状のトポロジなどを利用する場合には、座標軸とは別にツリーの段数等で表現することになる。図3の3次元格子状のトポロジにおいて、スピン間の相互作用をグラフとしてとらえると、最大で次数5のスピン（頂点）が必要となる。なお、外部磁場係数の接続も含めて考えると、最大で次数

6が必要となる。

[0032] 図3に示す1個のスピンユニット300は隣接するスピン（例えば隣接するスピンが5個の場合） $\sigma_j, \sigma_k, \sigma_l, \sigma_m, \sigma_n$ の値が入力される。また、スピンユニット300はスピン σ_i と外部磁場係数 h_i に加え、前記した隣接するスピンとの相互作用係数である $J_{j,i}, J_{k,i}, J_{l,i}, J_{m,i}, J_{n,i}$ （隣接する5スピンとの相互作用係数）を保持するメモリセルを有している。

[0033] 統計力学で用いられるイジングモデルは一般的に無向グラフで表現される相互作用を有している。前記した数1では、相互作用を表わす項として、 $J_{i,j} \times \sigma_i \times \sigma_j$ があるが、これはi番目スピンからj番目スピンへの相互作用を示している。この時、一般的なイジングモデルではi番目スピンからj番目スピンへの相互作用と、j番目スピンからi番目スピンへの相互作用を区別することはない。つまり、 $J_{i,j}$ と $J_{j,i}$ は同一である。しかし、本発明のイジングチップ100では、このイジングモデルを有向グラフに拡張し、i番目スピンからj番目スピンへの相互作用と、j番目スピンからi番目スピンへの相互作用を非対称にすることを実現している。これにより、モデルの表現能力が高まり、多くの問題をより小規模のモデルで表現することが可能になる。

[0034] そのため、1個のスピンユニット300をi番目スピン σ_i と考えた時に、このスピンユニットが保持する相互作用係数である $J_{j,i}, J_{k,i}, J_{l,i}, J_{m,i}, J_{n,i}$ は、隣接するj番目、k番目、l番目、m番目、n番目のスピン $\sigma_j, \sigma_k, \sigma_l, \sigma_m, \sigma_n$ から、i番目スピン σ_i への相互作用を決めるものである。このことは、図3において、スピンユニット300に含まれている相互作用係数が対応する矢印（相互作用）が、図示されているスピンユニット300の外部のスピンから、スピンユニット300の内部のスピンに向かっていることに対応している。

[0035] 以下、図4、図5、図6を用いてスピンアレイ110の構成を説明する。説明の便宜上、3枚の図面に分けて構成を図示しているが、前述の通りスピンアレイ110はSRAMとしての機能と相互作用を行う回路としての機能

を併せ持つものであり、実際には全ての構成要素を同時に含んでいる。

[0036] 図4にSRAMとしての動作に着目したスピナレイ110の構成を示す。スピナレイ110は半導体基板上の平面上に配列された多数のスピユニット300を含んでいる。図4に示した各スピユニット300には、図3に示したイジングモデルのトポロジに対応する座標が記載されている。例えば、“N021”はX座標が0、Y座標が2、Z座標が1に対応するスピユニットであることを意味する。図3に示したとおり、イジングモデルのトポロジは3次元格子状であるが、半導体装置として実現する際には平面上に並んでいる方が容易に製造できる。そこで、本実施例では、スピナレイのX方向にZ=0とZ=1のスピユニットが交互に並ぶような配置としている。

[0037] 各スピユニット300は1/Oアドレスデコーダ130とワード線401を介して接続されている。各スピユニット300は、スピンの値と相互作用係数と外部磁場係数を保持する13個のメモリセルを含んでいるため、1つのスピユニット300に対して13ビットのワード線を接続している。なお、単一のスピユニット300の構成の詳細については後述する。また、各スピユニット300は1/Oドライバ120と1ビットのビット線402を介して接続されている。

[0038] 図5に相互作用回路としての動作に着目したスピナレイ110の構成を示す。各スピユニット300は相互作用を行うために、3次元格子状のトポロジにおいて隣接するスピユニットとの間でスピンの値を入出力するための接続を有する。図5は太線で示したスピユニット(Nxyz)に注目し、Nxyzに関する接続のみを図示したものである。NU、NL、NR、ND、NFは隣接するスピユニットから入力されるスピン値を表している。スピユニット(Nxyz)に対して、それぞれNUはY座標が1小さい(上側)スピユニットから、NLはX座標が1小さい(左側)スピユニットから、NRはX座標が1大きい(右側)スピユニットから、NDはY座標が1大きい(下側)スピユニットから、NFはZ座標が異なる(奥行

き側) スピンユニットからの入力を意味する。本実施例では、イジングモデルのZ方向のスピン数を2としているため、Z方向の接続は1本で済む。一方、Nはスピンユニットから出力される値を示しており、同じ値が上下左右および奥行き側のスピンユニットへ出力される。

[0039] 図5に示したスピンユニット300間の接続に基づき、スピン間の相互作用によるエネルギー最小化とするイジングモデルの基底状態探索を実現することが出来るが、これだけでは局所最適解に陥ってしまう可能性がある。そのため、局所最適解から脱出して大域最適解に到達させるための手段として、図6に乱数発生器150、ビット調整器151の出力したランダムビット列を伝播させる経路に着目したスピンレイ110の構成を示す。ビット調整器151は1ビット幅のランダムビットを生成し、例えば、スピンレイ110の左上隅のスピンユニットに入力する。各スピンユニットは、バッファを用いて、入力されたランダムビットの論理レベルを維持したまま隣接するスピンユニットへ出力する。このようにして、入力されたランダムビットは、図6に示すような一筆書き状の経路を通過して全てのスピンユニットへ伝播する。ランダムビットの伝播は非同期に行われ、ビット調整器の出力したランダムビットが各スピンユニット300に到達するまでの遅延は、ビット調整器から当該スピンユニットに到達するまでに通過するスピンユニットの数によって長くなる。

[0040] 図7にランダムなビット列がスピンユニット300を伝播していく様子を示す。図7のVARはビット調整器151の出力するランダムビットを表す。N000、N001、N100、N101はそれぞれのスピンユニット300に入力されるランダムビットを表す。ビット調整器151は、乱数クロック幅で記載された時間間隔ごとに新しいランダムビットを出力する。N000にはVARよりも少し遅れのあるランダムビットが入力され、N001はN000よりもさらに少し遅れのあるランダムビットが入力される。

[0041] 一方、各スピンユニット300での相互作用は、相互作用クロック幅で記載された時間間隔ごとに行われ、▲で示されるタイミングで相互作用が行わ

れる。各スピユニットは、相互作用が行われる時点で自身に到達しているランダムビットを取り込んで相互作用計算に用いる。なお、乱数クロック幅と相互作用クロック幅は必ずしも同じである必要はなく、独立に設定して良い。

[0042] 図8、図9を用いてスピユニット300の構成を説明する。説明の便宜上2枚の図面に分けて図示しているが、実際にはひとつのスピユニット300は全ての要素を同時に含んでいる。

[0043] 図8にSRAMとしての動作に着目した際のスピユニット300の構成を示す。スピユニット300はスピンの値を保持するメモリ701と、外部磁場係数および相互作用係数を保持するメモリ702とを含む。メモリ702は以下のような係数情報を保持する。IS0及びIS1はこのスピンの外部磁場係数を保持する。IU0及びIU1は、このスピンの上側に隣接するスピンから受ける相互作用係数を保持する。IL0及びIL1は、このスピンの左側に隣接するスピンから受ける相互作用係数を保持する。IR0及びIR1は、このスピンの右側に隣接するスピンから受ける相互作用係数を保持する。ID0及びID1は、このスピンの下側に隣接するスピンから受ける相互作用係数を保持する。IF0及びIF1は、このスピンの奥行き方向に隣接するスピンから受ける相互作用係数を保持するメモリである。

I/Oアドレスデコーダ130が出力したアドレス信号がワード線401を介して各メモリに入力され、メモリセルが選択される。I/Oドライバ120はビット線402を介して選択されたメモリセルのデータを読み出し、またはメモリセルへデータを書き込む。

[0044] 図9に相互作用回路としての動作に着目した際のスピユニット300の構成を示す。

スピユニット300は、イジングモデルのスピン σ_i 、相互作用係数 $J_{j,i}$ 、…… $J_{n,i}$ および、外部磁場係数 h_i を保持するために、1ビットのメモリセルを複数個備えている。この1ビットのメモリセルは図中に、N(701)、IS0、IS1、IU0、IU1、IL0、IL1、IR0、IR1、I

D0, ID1, IF0, IF1 (702) として図示されているものである。なお、IS0とIS1、IU0とIU1、IL0とIL1、IR0とIR1、ID0とID1、および、IF0とIF1はそれぞれ2個1組で役割を果たすものであるため、それぞれまとめてISx, IUx, ILx, IRx, IDx, および、IFxと略記する。

[0045] メモリセルNはスピン σ_i を表現するためのメモリセルでありスピンの値を保持する。スピンの値はイジングモデルでは+1/-1 (+1を上、-1を下とも表現する) であるが、これをメモリセルの2値である0/1に対応させる。例えば、+1を1、-1を0に対応させる。

[0046] 図17を用いて、スピユニット300が有するメモリセルと、図3に示したイジングモデルのトポロジとの対応関係を示す。ISxは外部磁場係数を表現する。また、IUx, ILx, IRx, IDx, IFxはそれぞれ相互作用係数を表現する。IUxは上側のスピン(Y軸方向で-1)、ILxは左側のスピン(X軸方向で-1)、IRxは右側のスピン(X軸方向で+1)、IDxは下側のスピン(Y軸方向で+1)、IFxは奥行き方向に接続するスピン(Z軸方向で+1ないしは-1)との相互作用係数を示している。

[0047] 本実施例のイジングチップ100では、外部磁場係数、及び、相互作用係数として+1/0/-1の3値に対応する。そのため、外部磁場係数、および、相互作用係数を表わすためには、それぞれ2ビットのメモリセルが必要となる。ISx, IUx, ILx, IRx, IDx, IFxは、末尾の数字が0と1の2つのメモリセル(例えばISxの場合にはIS0とIS1)の組合せで、+1/0/-1の3値を表現する。例えば、ISxの場合には、IS1で+1/-1を表現し、IS1が1の時は+1、0の時には-1を表現する。これに加えて、IS0が0の時には外部磁場係数を0と見なし、IS0が1の時にはIS1で決まる+1/-1のいずれかを外部磁場係数とする。外部磁場係数が0の時は外部磁場係数をディセーブルしていると考えれば、IS0は外部磁場係数のイネーブルビットであると言える(

IS0 = 1の時に、外部磁場係数がイネーブルされる)。相互作用係数を表現する $I_U \times$, $I_L \times$, $I_R \times$, $I_D \times$, $I_F \times$ も同様に係数とビットの値を対応させている。

- [0048] スピンユニット300は、図9に示す通り、隣接スピンユニットのスピンの値830と相互作用係数、外部磁場係数702をもとに、スピンの次状態を決定するための相互作用回路810を有する。相互作用回路810は、隣接スピンからの影響を計算する論理演算素子と、各隣接スピンからの影響を合算して最終的なスピンの値を決定する多数決論理からなる。相互作用回路810は、局所的なエネルギーを最小化するように、次の自身がとるべきスピンの値(スピンの次状態)を求める。
- [0049] スピンユニット300では隣接スピンとの間でエネルギーを最小化するようにスピンの次状態を決定するが、それは隣接スピンと相互作用係数の積、及び、外部磁場係数を見た時に、正の値と負の値のどちらが支配的か判断することと等価である。例えば、 i 番目スピン σ_i に、スピン σ_j , σ_k , σ_l , σ_m , σ_n が隣接しているとして、スピン σ_i の次状態は以下のように決まる。まず、隣接スピンの値は $\sigma_j = +1$, $\sigma_k = -1$, $\sigma_l = +1$, $\sigma_m = -1$, $\sigma_n = +1$ とし、相互作用係数は $J_{j,i} = +1$, $J_{k,i} = +1$, $J_{l,i} = +1$, $J_{m,i} = -1$, $J_{n,i} = -1$ 、外部磁場係数 $h_i = +1$ とする。このとき、相互作用係数と隣接スピンの積、及び、外部磁場係数をそれぞれ並べると、 $\sigma_j \times J_{j,i} = +1$, $\sigma_k \times J_{k,i} = -1$, $\sigma_l \times J_{l,i} = +1$, $\sigma_m \times J_{m,i} = +1$, $\sigma_n \times J_{n,i} = -1$, $h_i = +1$ となる。外部磁場係数は、常に値が+1のスピンの相互作用係数と読み替えて良い。
- [0050] ここで、 i 番目のスピンと隣接スピンとの間での局所的なエネルギーは、前述した係数にそれぞれ i 番目スピンの値を乗じて、さらに符号を反転させたものになる。例えば、 j 番目スピンとの間での局所的なエネルギーは、 i 番目スピンを+1とした時には-1、 i 番目スピンを-1としたときには+1となるので、 i 番目スピンを+1にするほうが、ここでの局所的なエネルギーを小さくする方向に働く。このような局所的なエネルギーを全ての隣接

スピン間と外部磁場係数について考えた時に、 i 番目スピンを $+1 / -1$ のどちらにしたほうがエネルギーを小さくできるかを計算する。これは、先程示した相互作用係数と隣接スピンの積、及び、外部磁場係数をそれぞれ並べたものにおいて、 $+1$ と -1 のどちらが多いか数えれば良い。先程の例では、 $+1$ が 4 個、 -1 が 2 個である。仮に、 i 番目スピンを $+1$ とするとエネルギーの総和は -2 、 i 番目スピンを -1 とするとエネルギーの総和は $+2$ になる。よって、 $+1$ の個数が多い時には i 番目スピンの次状態を $+1$ とし、 -1 の個数が多い時には i 番目スピンの次状態を -1 にするという多数決で、エネルギーを最小化する i 番目スピンの次状態を決定することが出来る。

[0051] 図9のスピンユニット300に図示する論理回路は前記した相互作用を行うための回路である。まず、隣接スピンの状態と相互作用係数の $+1 / -1$ を示すメモリセルとの排他的論理和の否定 (XNOR) で、その相互作用だけを見た時にエネルギーを最小化するスピンの次状態を計算することができる ($+1$ は 1、 -1 は 0 にエンコードされているものとする)。もし、相互作用係数が $+1 / -1$ だけであれば、この出力のうち $+1 / -1$ のどちらが多いか多数決論理で判定すればスピンの次状態を決定することができる。外部磁場係数に関しては、常に状態 $+1$ のスピンの相互作用係数に相当するものと考えれば、単に外部磁場係数の値がスピンの次状態を決定する多数決論理に入力すべき値となる。

[0052] 次に、係数 0 の実現方法について考える。 n 入力の多数決論理 $f(l_1, l_2, l_3, \dots, l_n)$ があるとき、以下の命題は真であると言える。まず、入力 $l_1, l_2, l_3, \dots, l_n$ の複製 $l'_1, l'_2, l'_3, \dots, l'_n$ があるとする (任意の k について、 $l_k = l'_k$ である)。このとき、 $f(l_1, l_2, l_3, \dots, l_n)$ の出力は、複製もあわせて入力した $f(l_1, l_2, l_3, \dots, l_n, l'_1, l'_2, l'_3, \dots, l'_n)$ と等しい。つまり、各入力変数をそれぞれ 2 個ずつ入れても、出力は不変である。さらに、入力 $l_1, l_2, l_3, \dots, l_n$ の他に、もう一つの入力

I_x と、その反転 $!I_x$ があるとする。このとき、 $f(I_1, I_2, I_3, \dots, I_n, I_x, !I_x)$ の出力は、 $f(I_1, I_2, I_3, \dots, I_n)$ と等しい。つまり、入力変数とその反転を入力すると、多数決においてその入力変数の影響をキャンセルするように働く。多数決論理のこの性質を利用して係数0を実現する。具体的には、図9に示すように、XORを利用して、係数のイネーブルを決めるビット（IS0など）の値により、多数決論理に、先に述べたスピン次状態の候補となる値の複製か、その反転を同時に入力する。例えば、IS0が0の場合、IS1の値と、IS1の反転の値が同時に多数決論理に入力されるので、外部磁場係数の影響は無い（外部磁場係数が0に相当する）ことになる。また、IS0が1の場合には、IS1の値と、その値と同じ値（複製）が同時に多数決論理に入力されることになる。

[0053] イジングモデルの基底状態探索を実現するためには、イジングモデル全体のエネルギーがより低いスピン配列になるように遷移していくように、スピン間の相互作用を実現しなければならない。このための相互作用は、以上に説明した図9に示す相互作用回路810により、与えられた相互作用係数と外部磁場係数に基づいて行われる。つまり、あるスピンの次の値を、そのスピンの接続されている他のスピンからの相互作用と、そのスピンが持つ相互作用係数、外部磁場係数から決定する。このとき、スピンの次の値は、そのスピンの接続されている範囲内での局所的なエネルギーを最小化するような値になる。

[0054] このスピンの更新は、それぞれのスピンを1個ずつ逐次的に更新することがまず考えられるが、この方法ではスピン数に比例した時間がかかってしまい、並列性を利用することが出来ない。そこで、スピン間の相互作用を全てのスピンについて同時並行的に行うことが望ましい。

[0055] しかし、全てのスピンを同時に更新しようとする、あるスピンを更新するときに、隣接スピンの値を見て、隣接スピンとの間でエネルギーを最小化するようにスピンを更新するので、それと同時に隣接スピンの値を更新すると、両方の更新が重複してしまい、エネルギーを最小化できず振動してしま

う。すなわち、あるスピンを更新するとき、そのスピンの接続されているスピン（あるスピンの相互作用係数を介して直接接続されているスピンをこれ以降隣接スピンと呼ぶ）を同時に更新することはできない。

[0056] そこで、本実施例では隣接スピンは同時に更新しないように、スピンのレイアウト内のスピンのユニットをグループ分けして、一度に同時に更新するのは一つのグループだけにする。図3に示すようなトポロジであれば、2グループに分ければ良い。そして、この2グループを交互に更新していくわけである。あるタイミングで更新するグループを指示するために、イジングチップ100は相互作用アドレス180を入力インターフェースとして有する。相互作用アドレス180は前述したグループのうち、更新するグループを指定するためのインターフェースであり、相互作用クロック181の入力によって、相互作用アドレス180で指定されるグループに属するスピン（スピンのユニット）が同時に更新される。

[0057] この方法であれば、スピンのユニット内に追加のハードウェアは必要なく、イジングチップ100全体に対して一組の相互作用アドレスデコーダ140を設けるだけで良い。そのため、構成単位であるスピンのユニットを複雑化することなく、前記の問題が解決できる。

[0058] 前述したスピン間の相互作用によるエネルギー最小化で、適用されたイジングモデルの基底状態探索を実現することが出来るが、これだけでは局所最適解に陥ってしまう可能性がある。基本的に、エネルギーを小さくする方向の動きしかないため、一旦局所最適解に陥るとそこから抜け出すことが出来ず、大域最適解に到達しない。そのため、局所最適解から脱出するための作用として、図9に示す様に、ランダムビットVARを入力として前記相互作用回路810が計算した直後の次のスピンの値を反転させる反転論理820をスピンのユニット内に設けることで、スピン配列をランダムに変化させる。

[0059] ランダムビットは、図6に示す乱数発生器150、およびビット調整器151より乱数クロック幅の時間間隔で生成され、図9のランダムビット線8

22を介して伝搬される。

バッファ821はランダムビット線822を通して前の隣接スピユニットからのランダムビットを入力し、ランダムビット線822を通して同じビット値を次の隣接スピユニットへ出力する。

反転論理820は、相互作用回路810の出力結果と、ランダムビット線822のランダムビットを入力し、ランダムビットが0なら相互作用回路810の出力結果をそのままメモリ701に書き込み、ランダムビットが1なら相互作用回路810の出力結果を反転した値をメモリ701に書きこむ。反転論理820により、局所的なエネルギーが増加する方向へスピンの値が変動しうるため、局所解から脱出することが可能となる。

[0060] 図10にビット調整器151の構成を示す。乱数発生器150はnビット幅の偏りのない乱数152を出力する。ここで偏りのないとは、十分多くの乱数を発生したとき、発生した乱数の各ビットについて、“0”と“1”の発生確率が等しいことを意味する。

ビット調整器151はビット選択部901とAND回路902とOR回路903とAND/OR選択部904およびメモリ910を備える。メモリ910は演算ビット数911および、AND/OR選択用ビット912をそれぞれ格納している。ビット調整器151は乱数発生器150の生成したnビットの乱数を入力し、ビット選択部901に入力する。ビット選択部901は入力されたnビットの乱数のうち、演算ビット数911で示されるmビットだけを取り出して、AND回路902およびOR回路903に入力する。AND回路902は入力されたmビットの値の各ビットのANDをとり、結果として得られた1ビットの値を出力する。OR回路903も同様に、mビットの値の各ビットのORをとり、結果として得られた1ビットの値を出力する。AND/OR選択部904は、AND/OR選択用ビット912の値に基づいて、AND回路902またはOR回路903の出力のいずれか一つを選択し、ビット調整器151全体の出力153とする。

[0061] ビット調整器151は演算ビット数911及びAND/OR選択ビット9

1 2 の値を変えることにより、出力ビット列中に “1” が出現する確率を制御することができる。なお、以下ではビット列中に “1” が出現する確率を単にビット確率と呼ぶ。ビット調整器 1 5 1 の出力するビット確率は、以下の数 2、数 3 で与えられる。

[0062] [数2]

$$P = 2^{-m}$$

[0063] [数3]

$$P = 1 - 2^{-m}$$

[0064] 数 2、数 3 において、P はビット確率を表し、m は演算の対象となるビット数を表す。数 2 は AND 演算を選択した場合のビット確率を表している。数 3 は OR 演算を選択した場合のビット確率を表している。

[0065] 図 1 1 に、イジングチップ 1 0 0 を用いて最適化問題を解く際のフローチャートの一例を示す。このフローは図 2 に示した情報処理システム 2 5 0 上で実行する。

ステップ S 1 0 1 では、CPU 2 1 0 が問題変換プログラム 2 2 1 を実行し、解きたい最適化問題をイジングモデルに変換する。その結果得られた相互作用係数および外部磁場係数を、イジングチップ制御プログラム 2 2 2 を用いてイジングチップ 1 0 0 のスピユニット 3 0 0 の該当メモリセル 7 0 2 に書き込む。

ステップ S 1 0 2 では、CPU 2 1 0 がイジングチップ制御プログラム 2 2 2 を実行し(以後の各ステップはイジングチップ制御プログラム 2 2 2 の実行により実現される)、各スピユニット 3 0 0 のスピン 7 0 1 の値を設定する。スピンの値は例えば、ランダムな値を書き込む。予め決められた値を書き込んでもよい。

[0066] ステップ S 1 0 3 では、CPU がビット調整器 1 5 1 の出力する乱数ビットのビット確率の初期値(初期値は、ビット確率が高い値となるように、演算ビット数 9 1 1 と AND/OR 選択用ビット 9 1 2 をメモリ 9 1 0 に格納する)を設定し、イジングチップ内のビット調整器 1 5 1 に設定値を反映する。

ステップS104では、CPUが現在のビット確率設定における相互作用の継続回数を設定する。

ステップS105では、CPUがイジングチップ100に相互作用の実行を指示し、イジングチップが1回の相互作用を行い、スピンの値を更新する。また、同時にCPUが相互作用の実行回数をインクリメントする。

[0067] ステップS106では、CPUが、相互作用の実行回数がステップS104で設定した回数を実行したかどうか判定する。もし設定回数を実行していなければステップS105に戻り、設定回数を実行していればステップS107に進む。

ステップS107では、CPUが、現在のビット確率設定が終了閾値(順次、ビット確率を下げながら、設定回数の相互作用を実行して行き、スピン配列が大域最適解に許容誤差内で到達したと見なせるビット確率の最終下限値)を下回っているかどうか判定する。終了閾値を下回っていればステップS110に進み、そうでなければステップS108に進む。

ステップS108では、CPUが、ビット確率を現在よりも低い値に更新し、更新したビット確率のランダムビットを生成する演算ビット数911とAND/OR選択用ビット912の設定値を選択して、イジングチップ内のビット調整器151に新しい設定値を反映する。

[0068] ステップS109では、CPUが、更新したビット確率での相互作用の継続回数を設定する。また、相互作用の実行回数を0にリセットする。なお、ここで設定する継続回数は、ステップS104で定めた継続回数と同じであってもよいし、必要に応じて増減させてもよい。ステップS109が終了したら、ステップS105に戻る。

ステップS110では、CPUが、イジングチップ制御プログラム222により、イジングチップ100からスピン配列の値を読み出す。そして、CPUが、問題変換プログラム221により読み出したスピン配列の値を解きたい最適化問題の解に変換し、ユーザに提示する。

[0069] 図12に、図11のフローチャートに従ってイジングモデルの基底状態探

索を行う際に、順次変化させて設定するビット確率および、相互作用継続回数の一列を示す。探索開始直後は、最初はOR演算を用いて高いビット確率に設定する。これにより、スピンの値が頻繁に反転するため、局所解を避け易くなる。探索が進むにつれて、徐々にビット確率を下げることで一つの解に収束させる。

図11のステップS103でビット確率の初期値を設定する際には、例えば図12の表の一番上の行にあるように、OR演算を選択し、演算対象のビット数を3ビットとする。この設定で、相互作用を100回行う。その後、ステップS108とステップS109でビット確率と相互作用回数を更新設定する際には、図12の表の次の行に進む。すなわち、OR演算を選択し、演算対象のビット数を2ビットとし、相互作用回数を110回に設定する。同様にして、ステップS108とステップS109を実行するごとに図12の表の次の行へ設定値を進めていき、最後の行の設定値での相互作用を終えた時点で基底状態探索を終了する。このように、ビット確率を下げつつ、相互作用回数を伸ばしていくことで、より良い解を得易くなる。

実施例 2

[0070] 実施例1で説明したように、ランダムビットは各スピユニット300を非同期に伝播する。一般に、バッファ821による遅延は小さいため、スピンレイ110上で隣接するスピユニット300に同じランダムビットが入力される状況が発生しうる。特に、乱数発生器150の動作クロック160が遅い場合にはこの傾向が顕著になり、多数のスピユニット300に亘って同じランダムビットが入力されることになる。このような状況では、隣接スピユニット同士で反転論理の挙動が揃ってしまうため、局所解を脱出する能力が低下する可能性がある。

[0071] 実施例2では、上記の問題を軽減し、各スピユニットにより高いランダム性を供給できる構成について説明する。実施例1と比較して、図6に示したランダムビットの伝播経路と、図9に示したスピユニット300の内部に相違があるため、その点に絞って説明する。その他の点については実施例

1 と共通であるため、説明を省略する。

図 1 3 に、実施例 2 におけるランダムビットの伝播経路を示す。本実施例におけるイジングチップは、乱数発生器 1 5 0 とビット調整器 1 5 1 がそれぞれ 2 つずつ備わっている。乱数発生器 1 5 0 - 1 とビット調整器 1 5 1 - 1 から出力されるランダムビットは、スピユニット N 0 0 0 に入力され、右方向へと出力される。チップ全体では実線の矢印で示した一筆書き状の経路に沿ってランダムビットが伝播していく。一方、乱数発生器 1 5 0 - 2 とビット調整器 1 5 1 - 2 から出力されるランダムビットは、スピユニット N 0 0 0 に入力され、下方向に出力される。チップ全体では、破線の矢印で示した一筆書き状の経路に沿ってランダムビットが伝播していく。すなわち、各スピユニットには、2 つの異なるランダムビットが入力される構成となっている。

[0072] 図 1 4 に、実施例 2 におけるスピユニット 3 0 0 の構成を示す。スピ 7 0 1 及び相互作用係数、外部磁場係数を保持するメモリ 7 0 2 と、相互作用回路 8 1 0 と反転論理 8 2 0 を備える点は実施例 1 と同様である。本実施例では、各スピユニット 3 0 0 は隣接セルからのランダムビットを伝播させるランダムビット線 8 2 2 を 2 本備える。ランダムビット線 8 2 2 - 1 とランダムビット線 8 2 2 - 2 を通るランダムビットは AND ゲート 1 4 1 0 に入力され、AND ゲート 1 4 1 0 の出力が反転論理 8 2 0 に入力される。すなわち、スピユニット 3 0 0 に入力される 2 系統のランダムビットの両方が “1” であるときのみ反転論理 8 2 0 によってスピンの値が反転される。

[0073] 伝播経路の異なる 2 つのランダムビットを組み合わせることで、乱数発生回路の動作クロックが十分に高速でない場合であっても、隣接スピン同士で反転論理の挙動が揃ってしまう現象を軽減できる。イジングモデルの基底状態探索においては、ランダムビットを 1 本から 2 本に増やすことで最終的に得られる解の精度が 5 ~ 4 0 % 向上することが期待できる。

実施例 3

[0074] 実施例1で説明したように、ランダムビットは各スピユニットを非同期に伝播していくため、1スピユニットを伝播する遅延は小さい。しかし、スピアレイが非常に多くのスピユニットを搭載する場合には、ビット調整器から入力されたランダムビットが終端のスピユニットに到達するまでの時間も長くなる。一方、イジングモデルの基底状態探索を行う過程において、時間の経過とともにビット確率を下げていく必要がある。このとき、ビット確率を切り替えるタイミングにおいて、ビット調整器に近いスピユニットはビット確率が低く、遠いスピユニットはビット確率が高いままといったようなビット確率のむらが生じる。このようなビット確率のむらが基底状態探索の精度に悪影響を与える可能性がある。

[0075] 実施例3では上記の問題を軽減し、多数のスピユニットを含む場合でもビット確率のむらを抑える構成について説明する。実施例1と比較して、図6に示したランダムビットの伝播経路に相違があるため、その点に絞って説明する。その他の点については共通であるため説明を省略する。

[0076] 図15に、実施例3におけるランダムビットの伝播経路を示す。スピアレイ110、複数のブロック1500に分割される。ブロック1500は複数のスピユニット300を含む。ビット調整器151から出力されたランダムビットは、ブロック1500-1~4の4つのブロックの先頭のスピユニットに分配されて入力される。各ブロック1500内部では、実施例1に示したように一筆書き状の経路でランダムビットを伝播させる。

[0077] このような構成をとることによって、ひとつのランダムビットの伝播経路が実質的に短くなるため、スピアレイ内部でのビット確率のむらを低減することができる。

実施例 4

[0078] 図16に実施例4におけるランダムビットの伝播経路を示す。その他の部分は実施例1と共通であるため、説明を省略する。ビット調整器151から出力されたランダムビットは、図16中の矢印で示されるツリー状の経路に沿って各スピユニットに伝播する。このような構成をとることによって、

スピンドレイ中でのランダムビットの到達時間のむらを大幅に低減することができる。

符号の説明

- [0079] 100 イジングチップ
- 110 スピンドレイ
- 120 I/Oドライバ
- 130 I/Oアドレスデコーダ
- 140 相互作用アドレスデコーダ
- 150 乱数発生器
- 151 ビット調整器
- 152 乱数発生器150の出力した乱数
- 153 1ビットのランダムなビット
- 160 乱数発生クロック
- 180 相互作用アドレス
- 181 相互作用クロック
- 190 アドレスバス
- 191 データバス
- 192 I/Oクロック
- 193 R/W制御線
- 200 ホストコンピュータ
- 210 CPU
- 220 メモリ
- 221 問題変換プログラム
- 222 イジングチップ制御プログラム
- 230 HDD
- 240 システムバス
- 250 情報処理システム
- 300 スピンドレイユニット

- 401 ワード線
- 402 ビット線
- 701 スピンの値を保持するメモリ
- 702 外部磁場係数および相互作用係数を保持するメモリ
- 810 相互作用回路
- 820 反転論理
- 821 バッファ
- 822 ランダムビット線
- 830 隣接スピユニットのスピ値
- 901 ビット選択部
- 902 AND回路
- 903 OR回路
- 904 AND/OR選択部
- 910 メモリ
- 911 演算ビット数
- 912 AND/OR選択用ビット
- 1410 ANDゲート
- 1500 ブロック

請求の範囲

- [請求項1] イジングモデルの各スピンの値を記憶するメモリセルと、該スピンの相互作用を及ぼす隣接するスピンからの相互作用係数を記憶するメモリセルと、該スピンの外部磁場係数を記憶するメモリセルと、および該スピンの次状態を決定する回路とをそれぞれ有する複数のスピンのユニットが、前記イジングモデルのトポロジを維持した状態で、半導体基板上の2次元平面に配置、接続されて構成されたスピンアレイと、
- 複数ビットの乱数を発生する乱数発生器と、
- 前記乱数発生器の出力に演算を施して、ビット確率を可変にした1ビットの乱数ビットを供給するビット調整器と、
- 前記スピンアレイの全てのスピンのユニットへ前記ビット調整器の出力を供給する1つの配線と、
- を備えたことを特徴とする半導体装置。
- [請求項2] 前記ビット調整器は、
- メモリに格納された演算ビット数 m に従って、入力された n ビットの乱数より演算ビット数 m で指定されたビット数 m だけ取り出すビット選択部と、
- 前記ビット選択部の出力である m ビットの値の各ビットのANDをとり、1ビットの値を出力するAND回路と、
- 前記ビット選択部の出力である m ビットの値の各ビットのORをとり、1ビットの値を出力するOR回路と、
- メモリに格納されたAND/OR選択ビットに従って、前記AND回路または前記OR回路の出力のいずれか一つを選択し、ビット調整器全体の出力とするAND/OR選択部とを備えていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 請求項1に記載の半導体装置において、
- 前記配線は、前記スピンアレイの中で一筆書き状に全てのスピンの

ニットを1度だけ通り、

前記配線を通して前記各スピユニットにランダムビットを供給し

、

前記各スピユニットは、前記ランダムビットの値を用いてスピンの値を反転させる、ことを特徴とする半導体装置。

[請求項4]

請求項1に記載の半導体装置において、

前記スピアレイ内の全てのスピユニットを複数のブロック単位に分割し、

前記ビット調整器の出力を前記ブロック毎に分岐した配線に分配し

、

前記各ブロックは、独立した1つの配線を通して前記各ブロック内の全てのスピユニットにランダムビットを供給する、ことを特徴とする半導体装置。

[請求項5]

請求項1に記載の半導体装置において、

前記ビット調整器の出力を1つの配線で前記スピアレイ内へ供給し、

前記配線を前記スピアレイ内でツリー状に分岐して、末端の各枝配線をそれぞれスピユニットに接続し、

前記ツリー状の配線を通して前記スピユニットにランダムビットを供給する、ことを特徴とする半導体装置。

[請求項6]

更に第2の乱数発生器と、および第2のビット調整器を備え、

前記第2のビット調整器は前記第2の乱数発生器の出力に演算を施して、前記配線とは異なるもう1つの第2の配線を通して前記スピアレイの全てのスピユニットへ第2の乱数ビットを供給し、

前記各スピユニットは、前記乱数ビットと前記第2の乱数ビットのAND論理の結果を用いてスピンの値を反転させることを特徴とする請求項1に記載の半導体装置。

[請求項7]

半導体装置内に備えた前記乱数発生器と、前記ビット調整器に替え

て、

半導体装置の外部に在る乱数発生器と、ビット調整器から出力する乱数ビットを入力する端子と、前記入力された乱数ビットを前記スピナレイの全てのスピユニットへ供給する1つの配線を備え、

前記各スピユニットは、前記乱数ビットの値を用いてスピンの値を反転させることを特徴とする請求項1に記載の半導体装置。

[請求項8]

CPU、メモリ、HDD、及び請求項1乃至7のいずれかの請求項に記載された半導体装置をシステムバスに接続した情報処理システムであって、

前記CPU上で実行された問題変換プログラムは、

対象問題を表現するイジングモデルの相互作用係数と外部磁場係数を生成し、

前記CPU上で実行された前記半導体装置の制御プログラムは、

初期スピン配列をランダムに生成し、

前記イジングモデルの各スピンを割当てた前記半導体装置上の前記スピナレイ内の前記スピユニットへ、前記初期スピン配列、前記相互作用係数、及び前記外部磁場係数を書き込み、

前記ビット調整器が出力する乱数ビットのビット確率の初期値と、該ビット確率に対応する相互作用回数を設定し、

前記スピナレイの全てのスピユニットの基底状態探索処理を前記設定した相互作用回数繰り返し実行し、

設定したビット確率が最終下限閾値に達していなければ、ビット確率を下げる更新と、相互作用回数の再設定を行い、スピユニットの基底状態探索処理を繰り返し実行し、

基底状態に達した前記スピユニットのスピンの配列を読み出して対象問題の解を得ることを特徴とする情報処理システム。

[請求項9]

CPU、メモリ、HDD、及びアクセラレータとして適用が可能な半導体装置をシステムバスに接続した情報処理システムであって、

前記半導体装置は、

イジングモデルの各スピンの値を記憶するメモリセルと、該スピンの相互作用を及ぼす隣接するスピンからの相互作用係数を記憶するメモリセルと、該スピンの外部磁場係数を記憶するメモリセルと、および該スピンの次状態を決定する回路とをそれぞれ有する複数のスピンのユニットが、前記イジングモデルのトポロジを維持した状態で、半導体基板上の2次元平面に配置、接続されて構成されたスピナレイと、

複数ビットの乱数を発生する乱数発生器と、

前記乱数発生器の出力に演算を施して、ビット確率を可変にした1ビットの乱数ビットを供給するビット調整器と、

前記スピナレイの全てのスピンのユニットへ前記ビット調整器の出力を供給する1つの配線と、

前記スピナレイ内に配置されたスピンのユニットのメモリセルをリード/ライトするI/Oインタフェースとを備え、

前記CPU上で実行された問題変換プログラムは、

対象問題を表現するイジングモデルの相互作用係数と外部磁場係数を生成し、

前記CPU上で実行された前記半導体装置の制御プログラムは、

初期スピン配列をランダムに生成し、

前記イジングモデルの各スピンを割当てた前記半導体装置上の前記スピナレイ内の前記スピンのユニットへ、前記初期スピン配列、前記相互作用係数、及び前記外部磁場係数を書き込み、

前記ビット調整器が出力する乱数ビットのビット確率の初期値と、該ビット確率に対応する相互作用回数を設定し、

前記スピナレイの全てのスピンのユニットの基底状態探索処理を前記設定した相互作用回数繰り返し実行し、

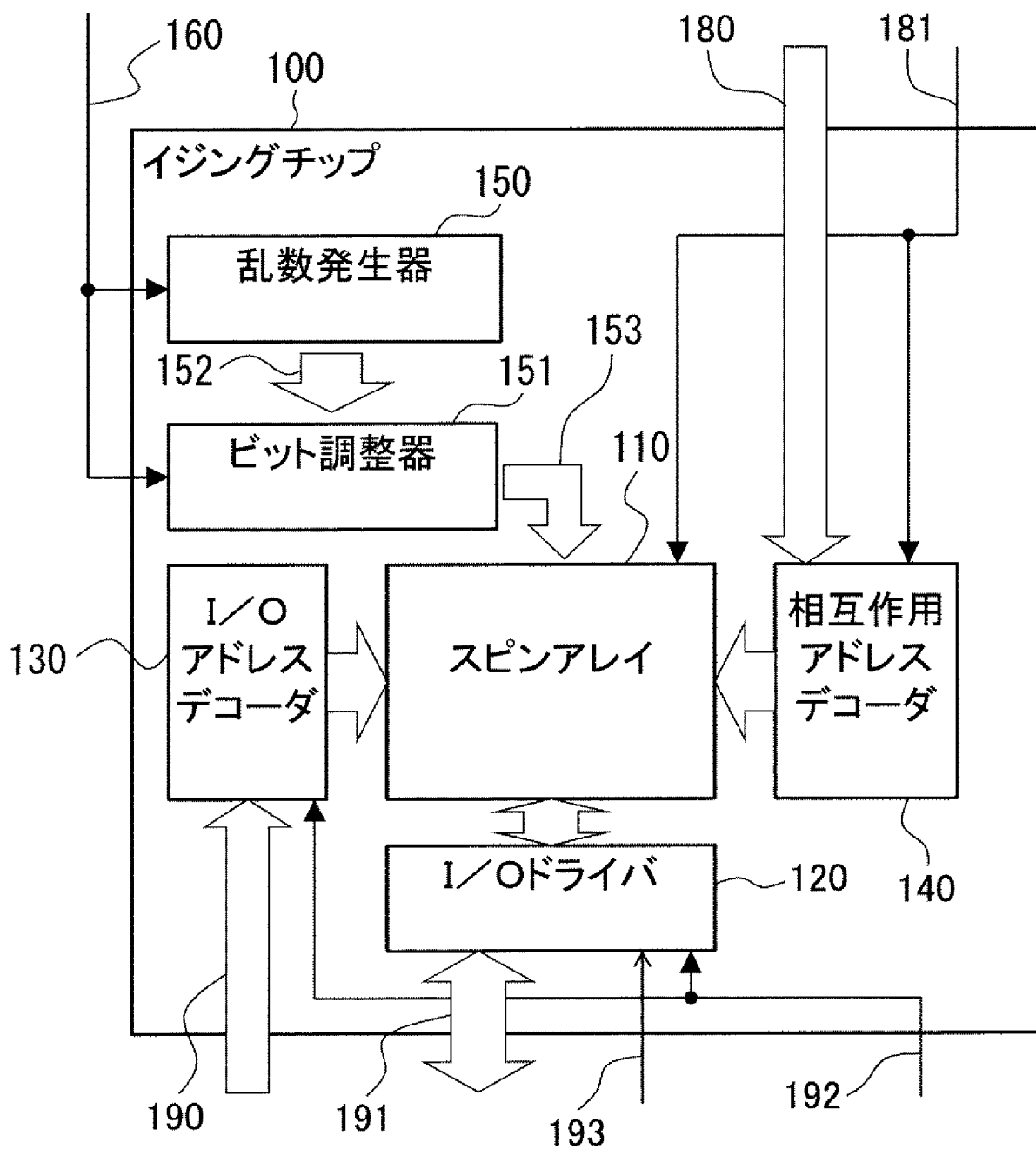
設定したビット確率が最終下限閾値に達していなければ、ビット確

率を下げる更新と、相互作用回数の再設定を行い、スピンの基底状態探索処理を繰り返し実行し、

基底状態に達した前記スピンの基底状態を読み出して対象問題の解を得ることを特徴とする情報処理システム。

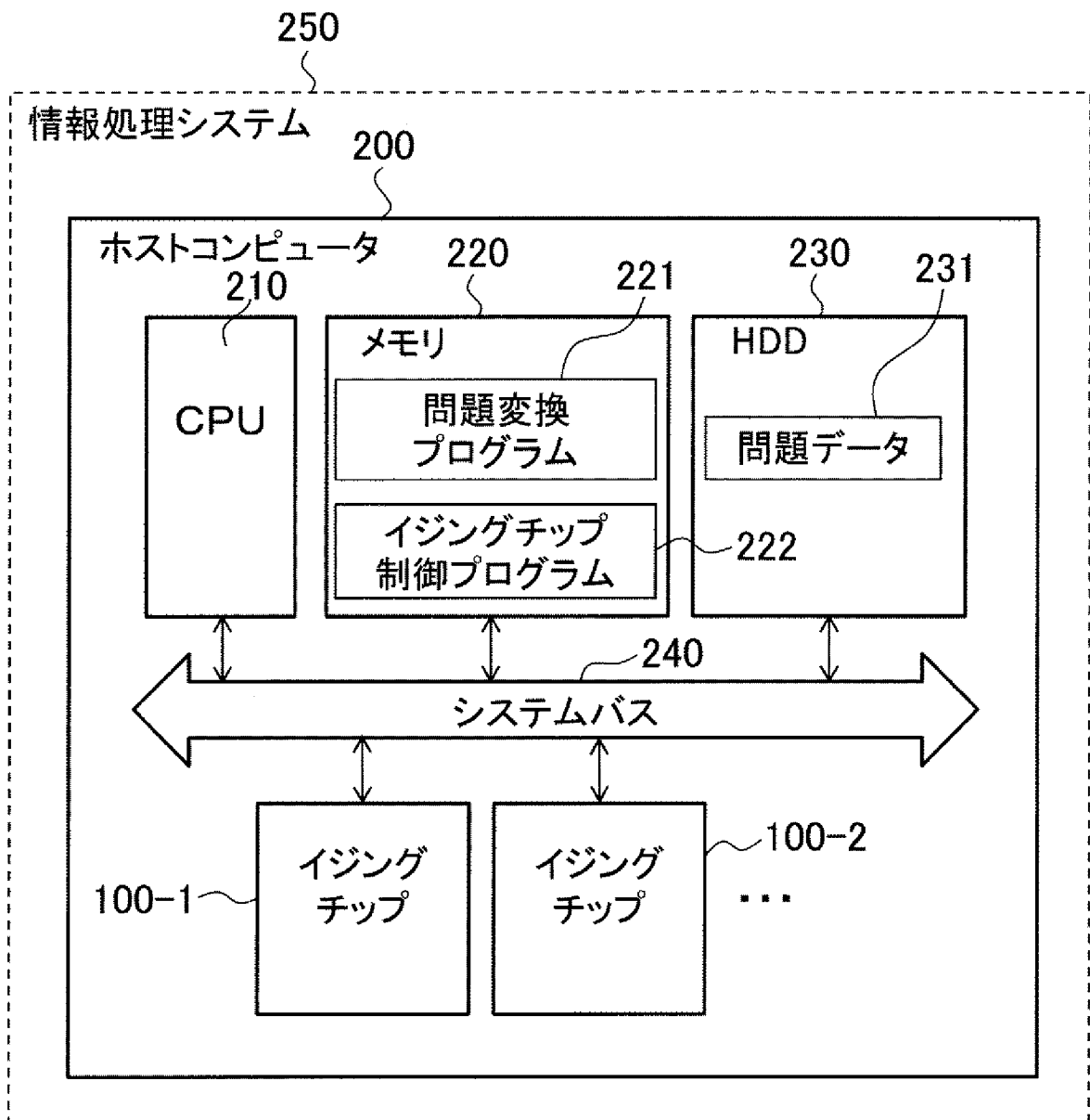
[図1]

図1



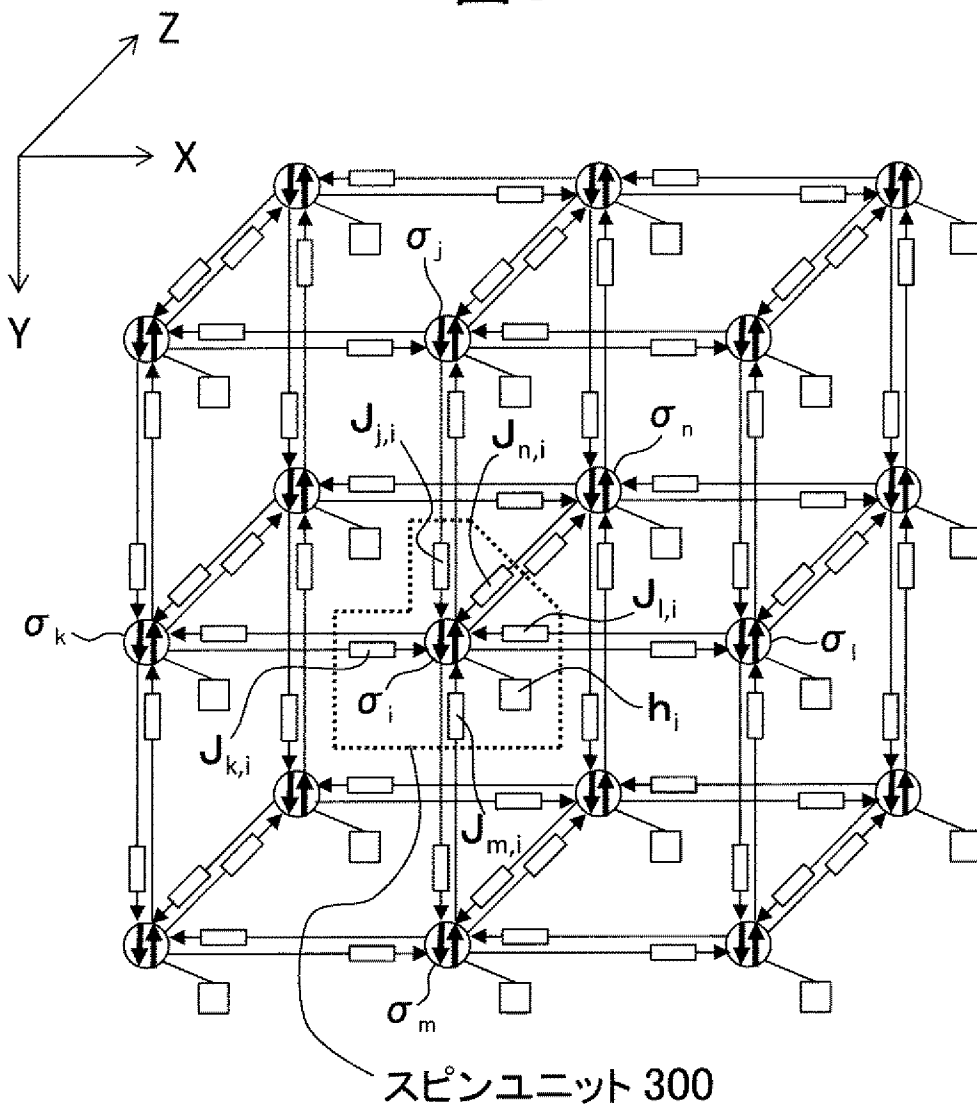
[図2]

図2



[図3]

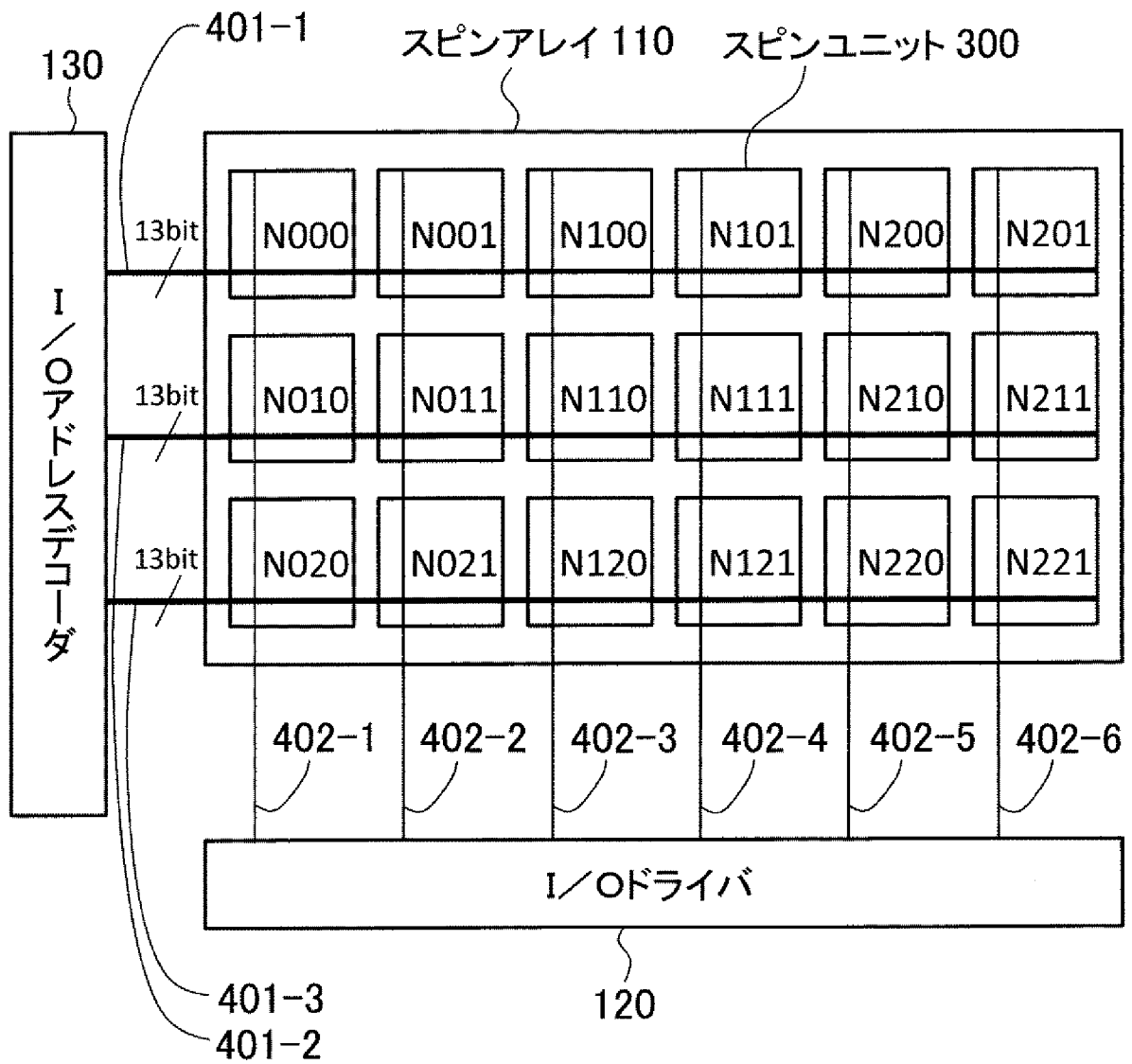
図3



- ⊕⊖ スピン
- ▭ 相互作用係数
- 外部磁場係数

[図4]

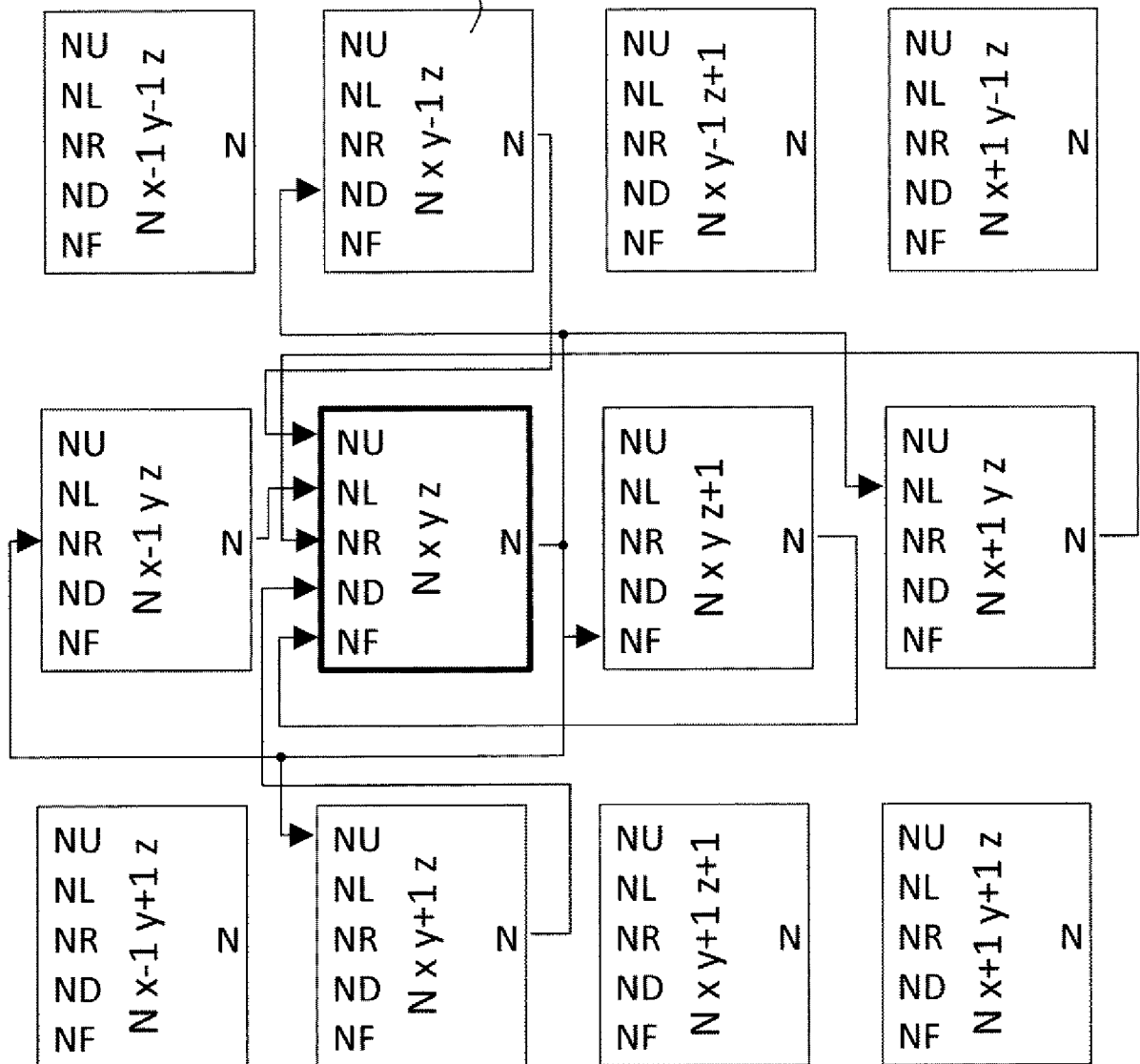
図4



[図5]

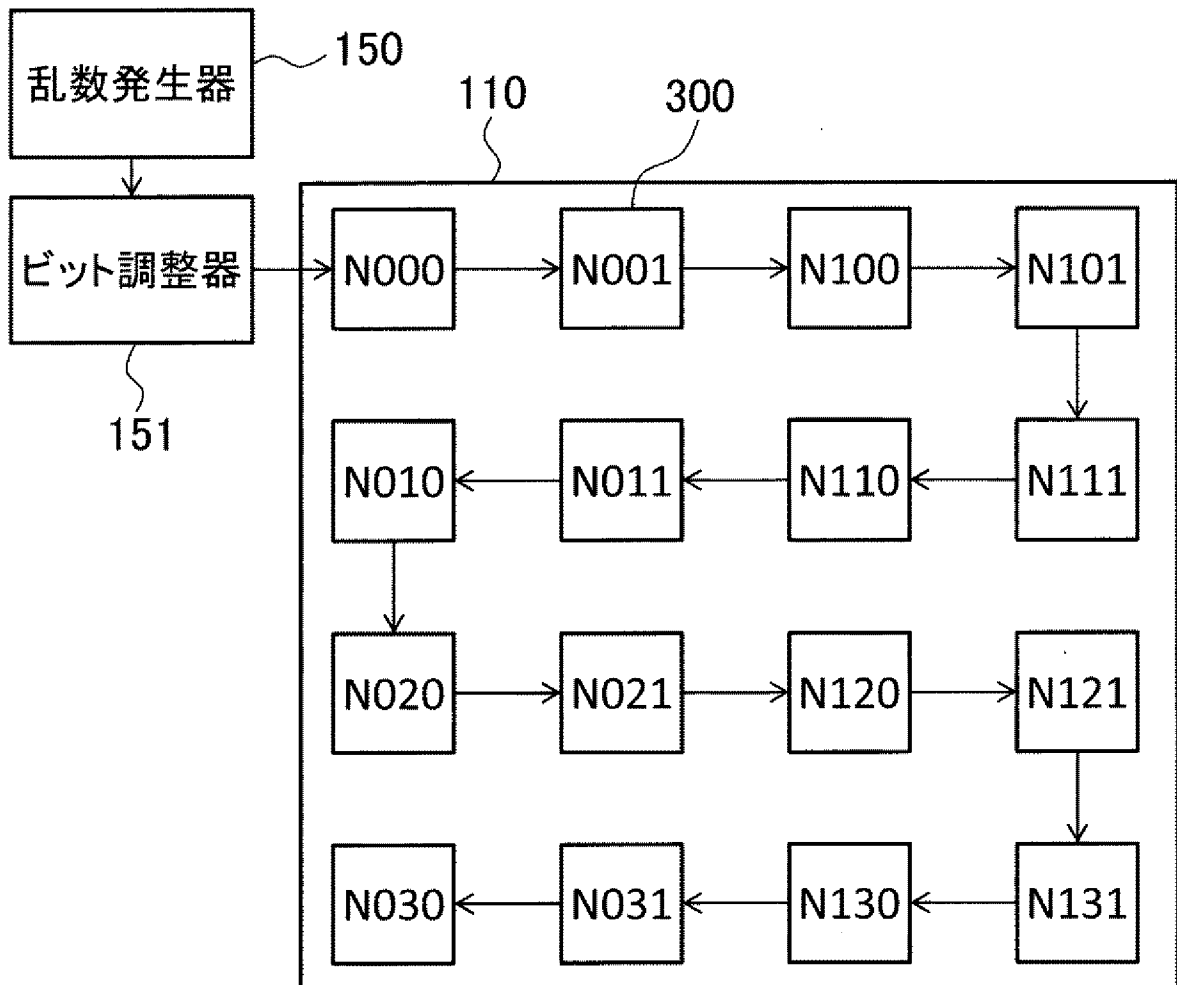
図5

スピュユニット 300



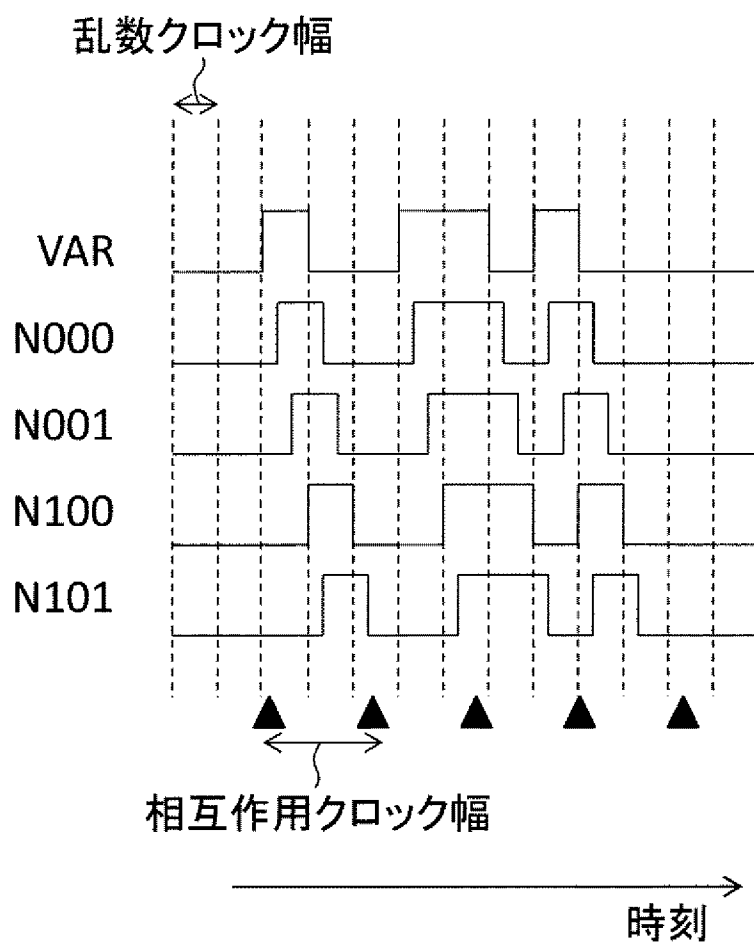
[図6]

図6



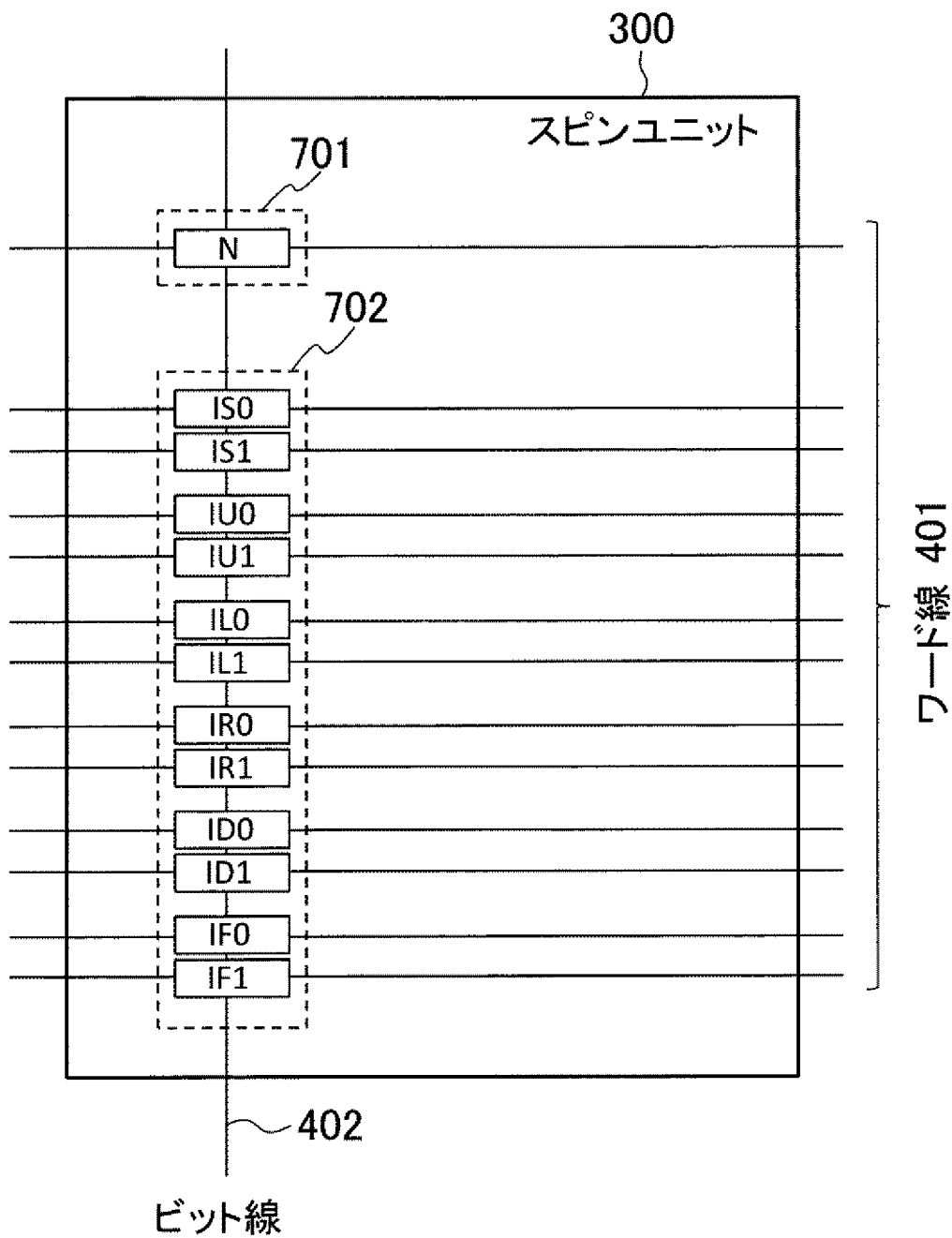
[図7]

図7



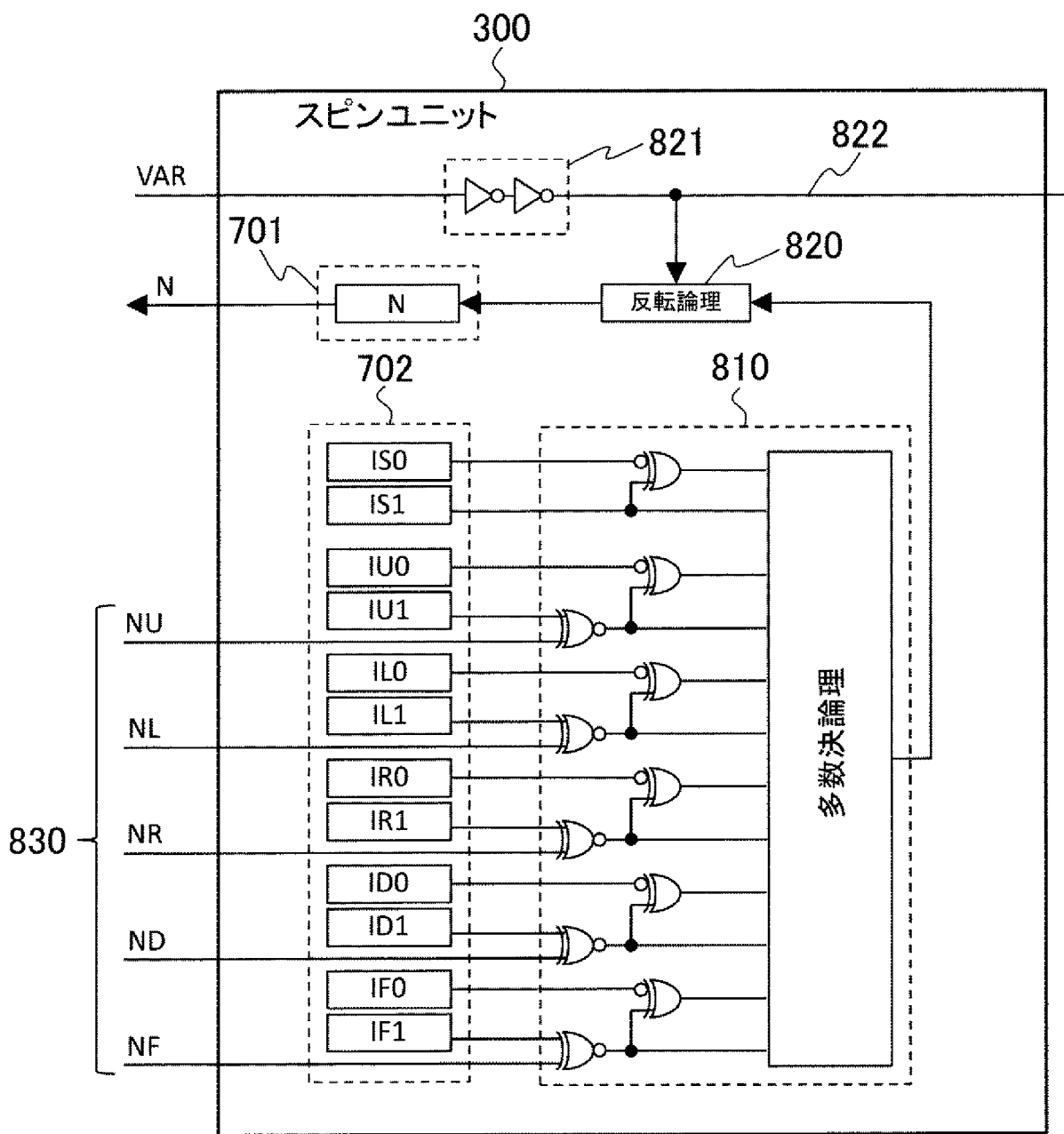
[図8]

図8



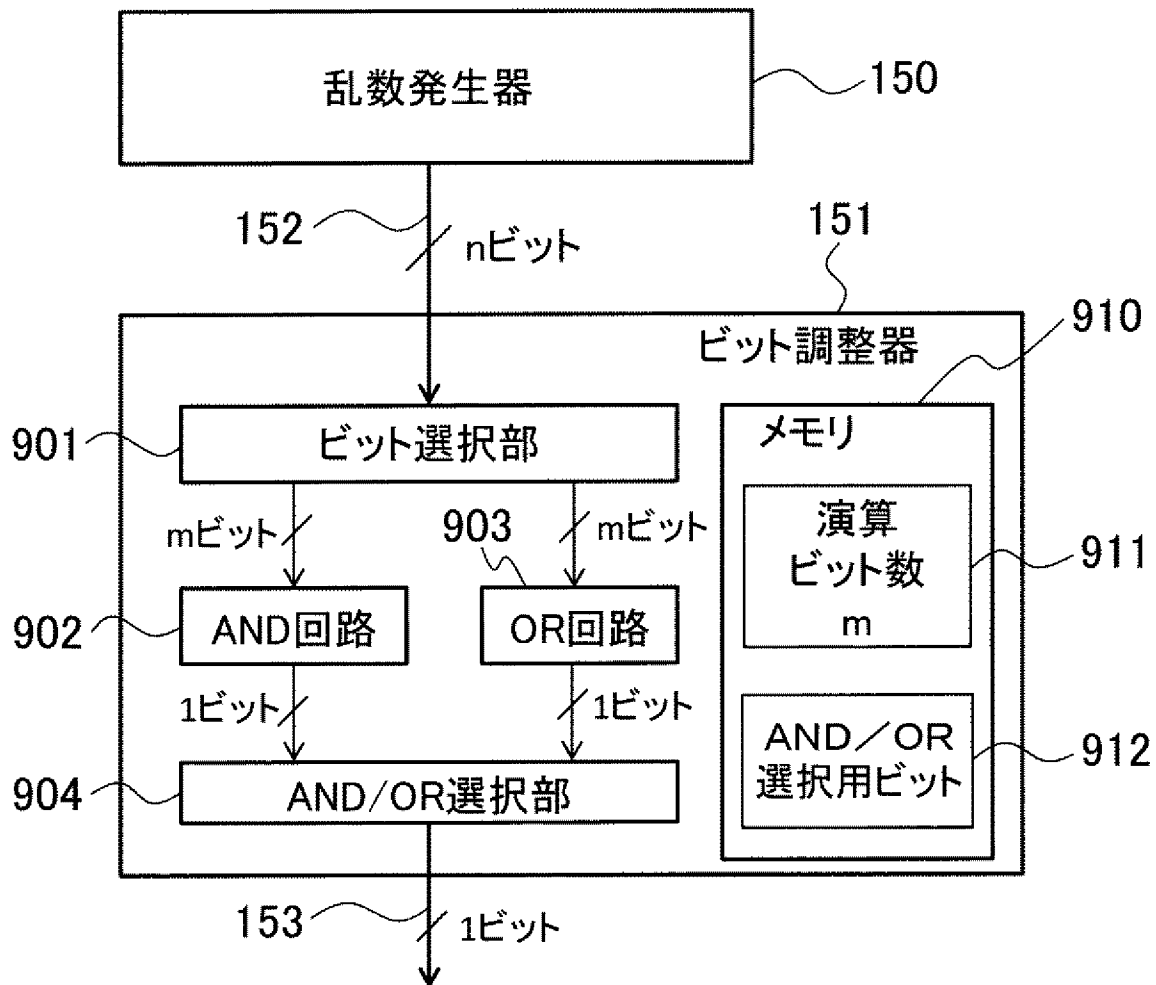
[図9]

図9



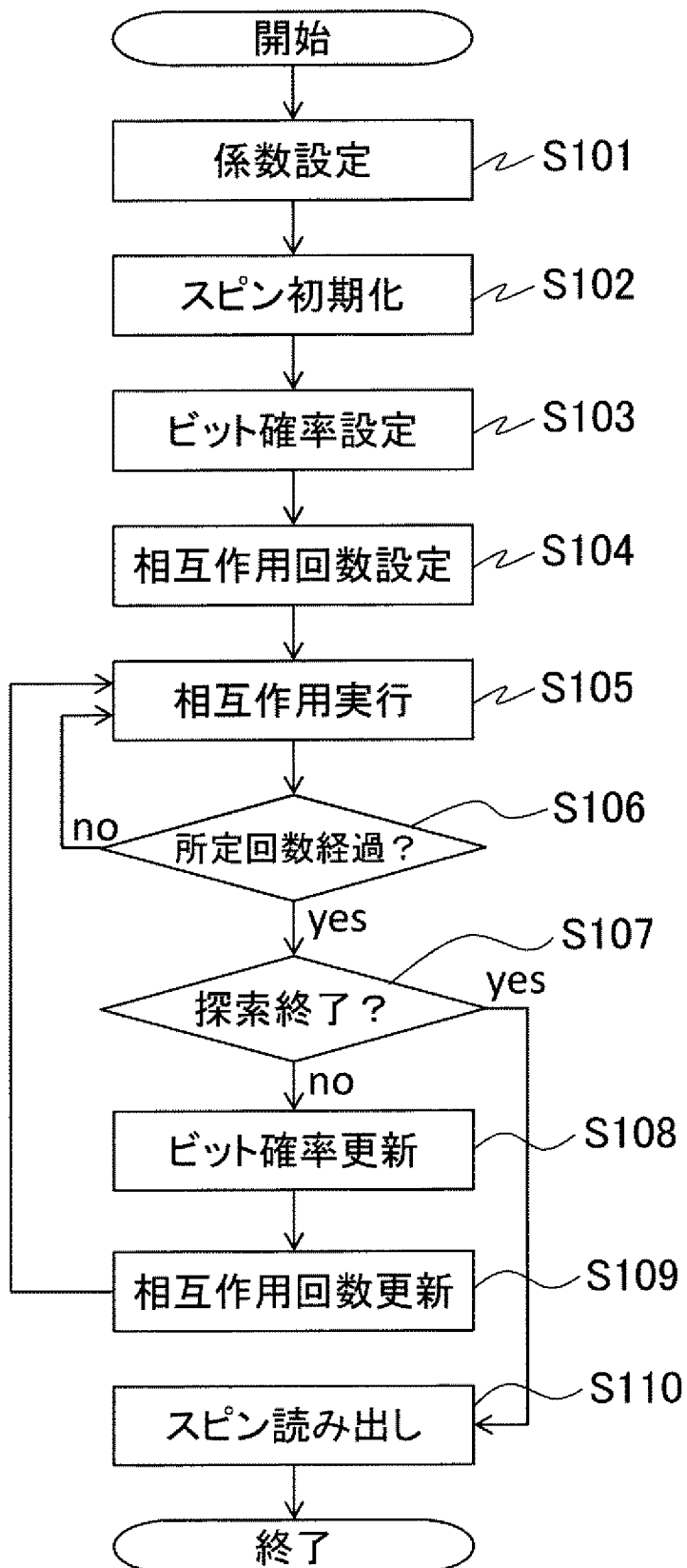
[図10]

図10



[図11]

図11



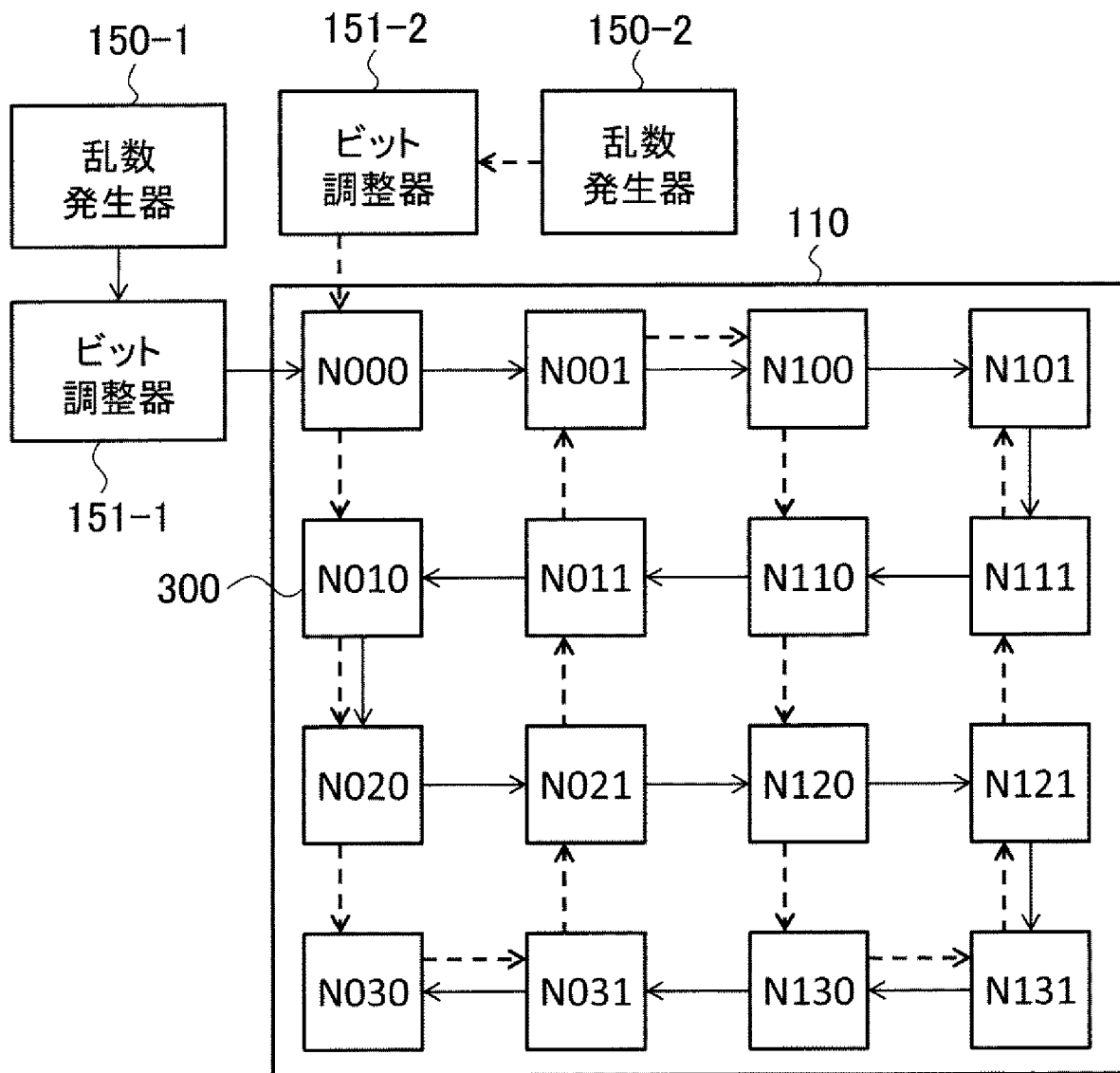
[図12]

図12

演算種類	ビット数	ビット確率	相互作用回数
OR	3	0.875	100
OR	2	0.75	110
OR	1	0.5	121
AND	2	0.25	133
AND	3	0.125	146
AND	4	0.0625	161
AND	5	約0.0313	177
(中略)			
AND	20	約 9.5×10^{-7}	672

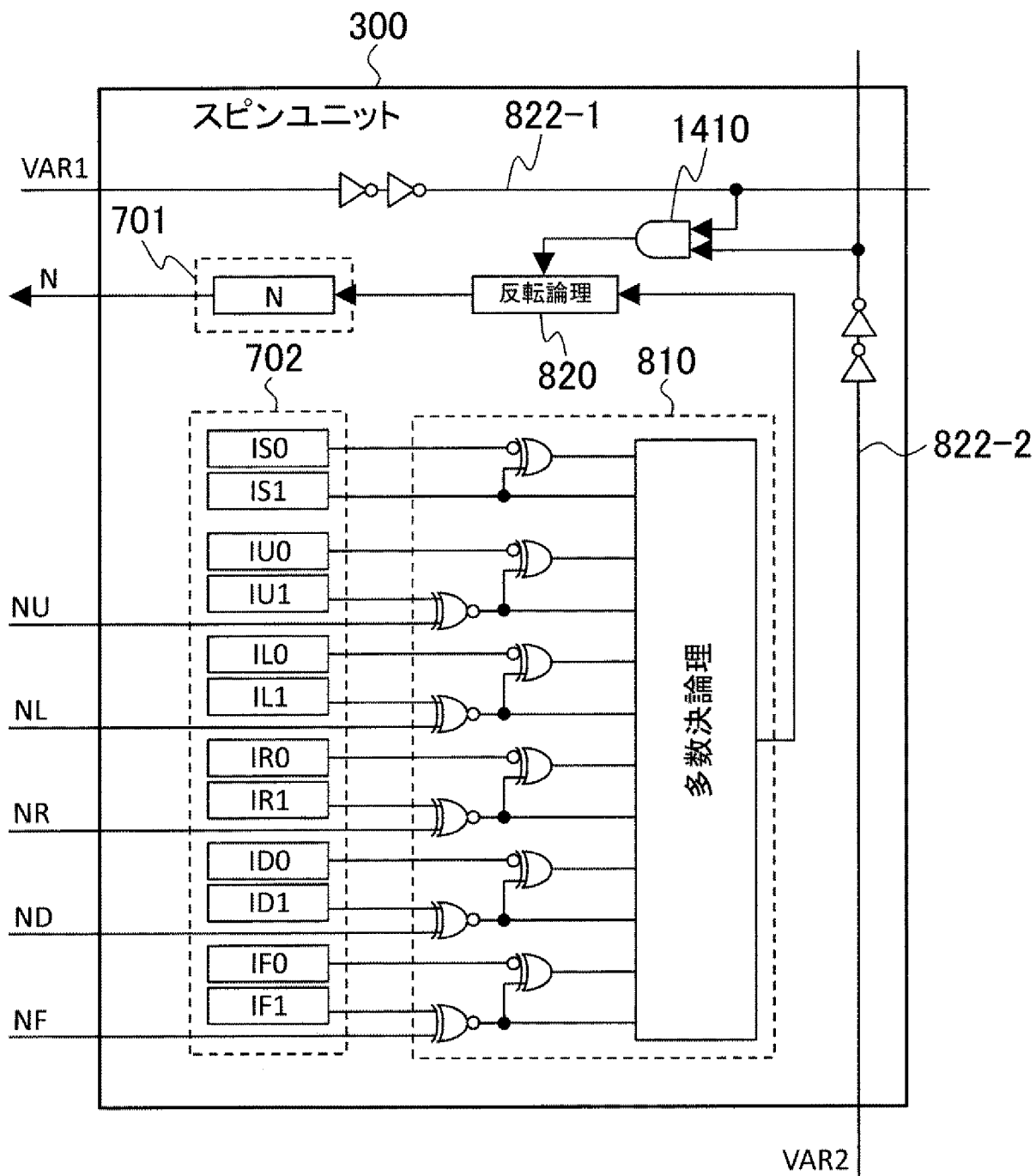
[図13]

図13



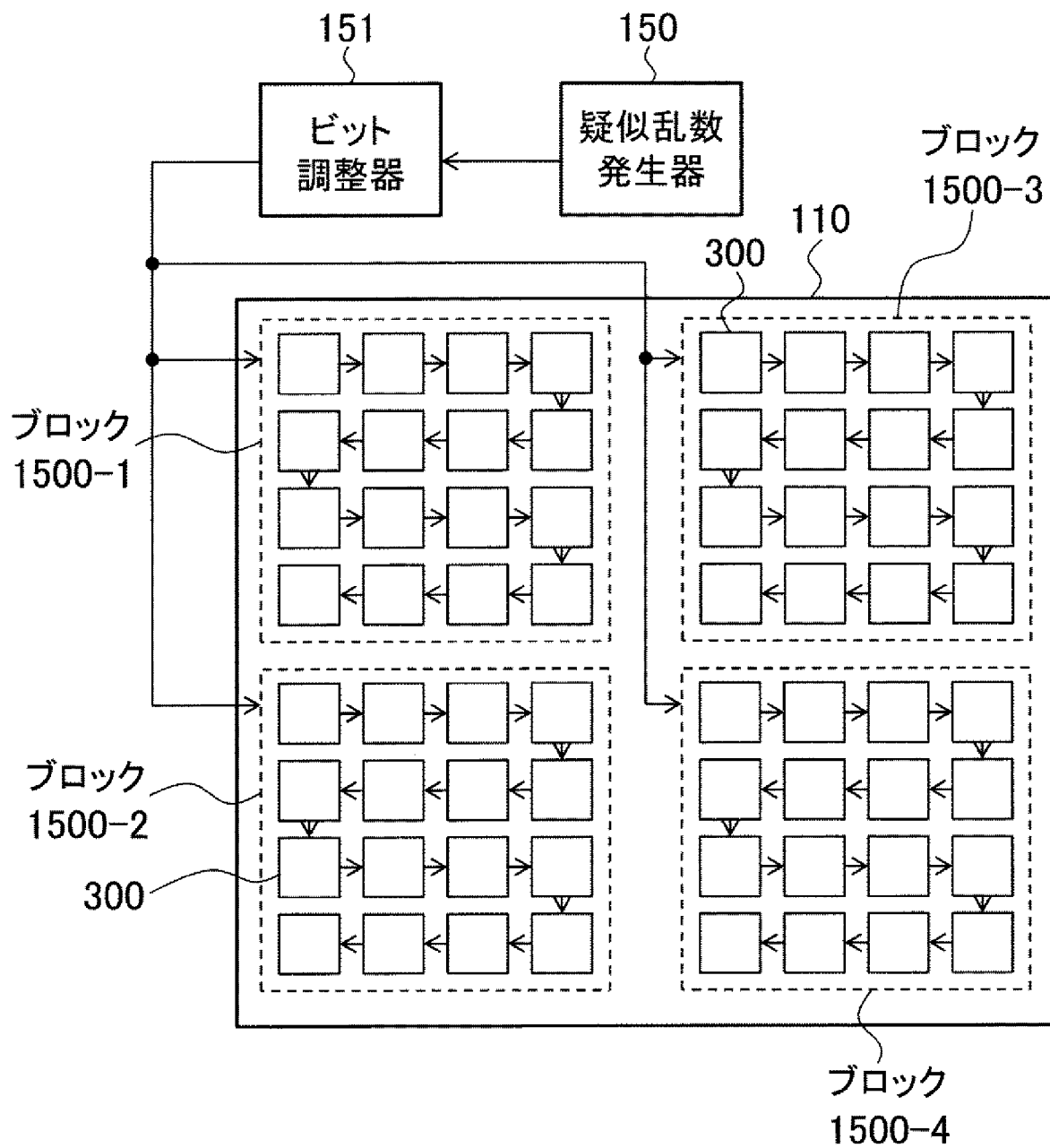
[図14]

図14

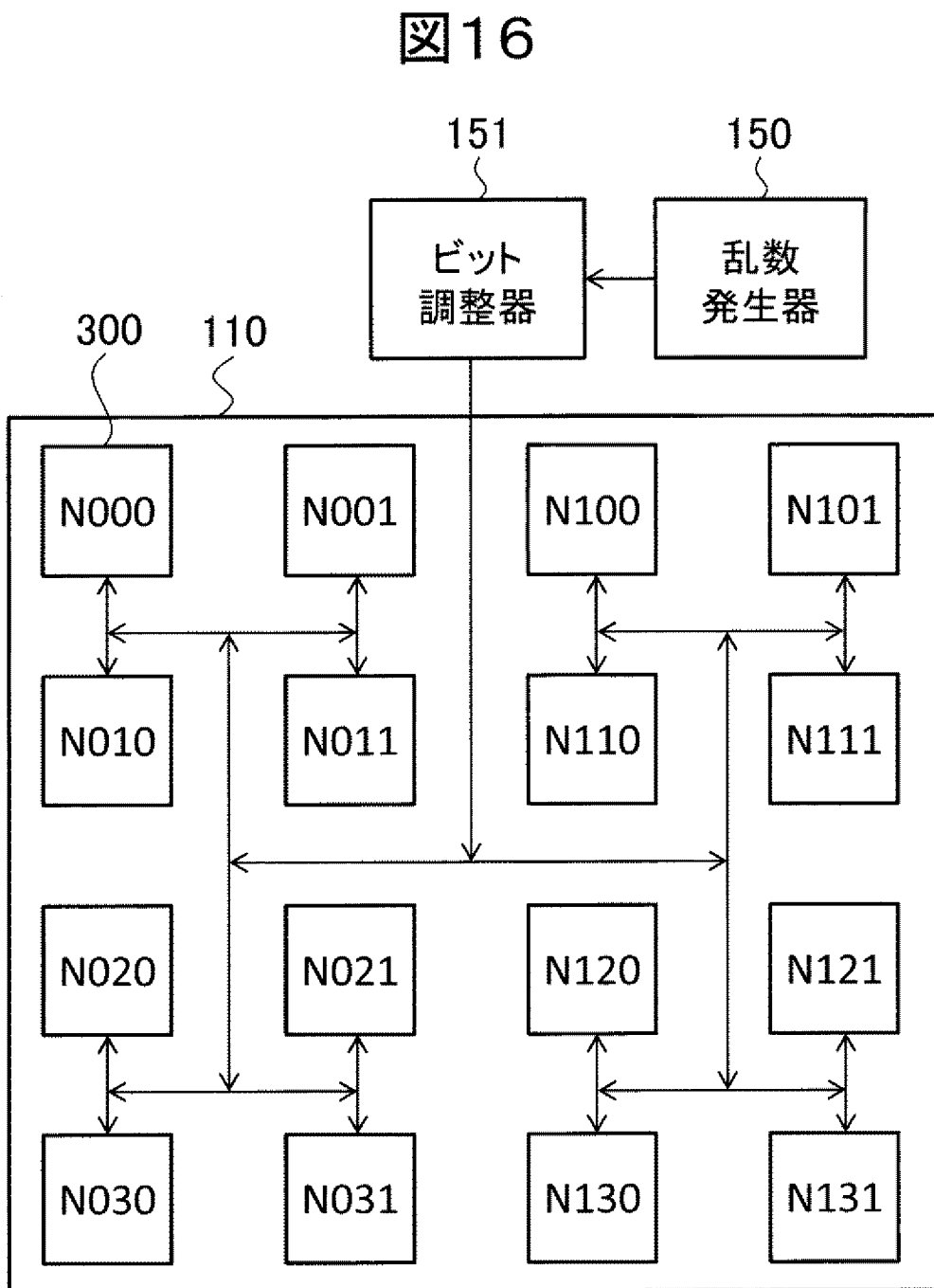


[図15]

図15

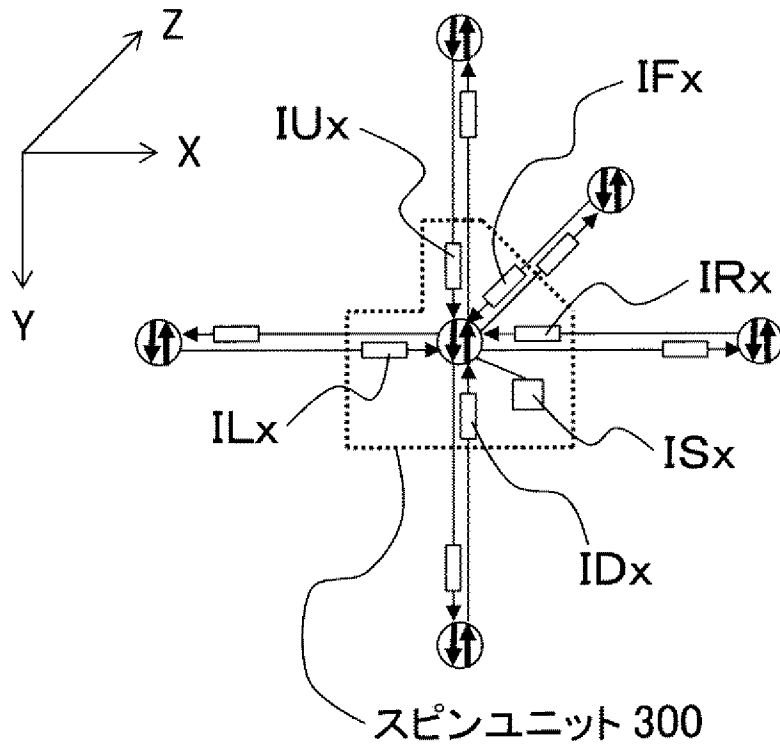


[図16]



[図17]

図17



- ⊕↓ スピン
- ▭ 相互作用係数
- 外部磁場係数

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2014/068344
--

A. CLASSIFICATION OF SUBJECT MATTER
 G06N99/00(2010.01)i, G06F7/58(2006.01)i, H01L21/8244(2006.01)i, H01L27/11(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 G06N99/00, G06F7/58, H01L21/8244, H01L27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-114366 A (Hitachi, Ltd.), 10 June 2013 (10.06.2013), entire text; all drawings (Family: none)	1-9
A	JP 2008-525873 A (D-Wave Systems, Inc.), 17 July 2008 (17.07.2008), entire text; all drawings & US 2006/0225165 A1 & CN 101088102 A	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 February 2015 (23.02.15)	Date of mailing of the international search report 03 March 2015 (03.03.15)
--	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G06N99/00(2010.01)i, G06F7/58(2006.01)i, H01L21/8244(2006.01)i, H01L27/11(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G06N99/00, G06F7/58, H01L21/8244, H01L27/11		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-114366 A（株式会社日立製作所）2013.06.10, 全文、全図（ファミリーなし）	1-9
A	JP 2008-525873 A（ディー・ウェイブ システムズ, インコーポレイテッド）2008.07.17, 全文、全図 & US 2006/0225165 A1 & CN 101088102 A	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 23.02.2015	国際調査報告の発送日 03.03.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 塚田 肇 電話番号 03-3581-1101 内線 3545	5 B 3652