



(21)申請案號：100129324

(22)申請日：中華民國 100 (2011) 年 08 月 17 日

(51)Int. Cl. : H05K1/18 (2006.01)

(30)優先權：2010/09/10 日本

PCT/JP2010/065626

(71)申請人：名幸電子股份有限公司(日本) MEIKO ELECTRONICS CO., LTD. (JP)

日本

(72)發明人：戶田光昭 TODA, MITSUAKI (JP)；清水良一 SHIMIZU, RYOICHI (JP)；長谷川琢哉 HASEGAWA, TAKUYA (JP)

(74)代理人：洪澄文

(56)參考文獻：

CN 101690434A

審查人員：江國博

申請專利範圍項數：6 項 圖式數：9 共 22 頁

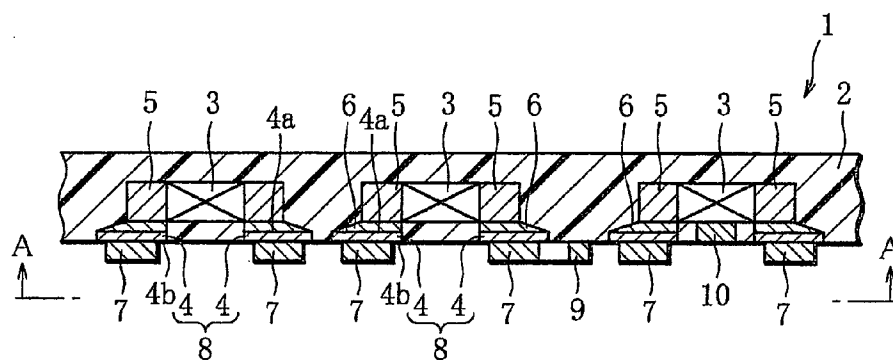
(54)名稱

內藏元件之基板

(57)摘要

本發明包括形成板狀的樹脂製之絕緣基材(2)、複數個埋設於該絕緣基材(2)之電子元件(3)、該元件(3)透過接合材料(6)封裝於其中一面(4a)且上述其中一面(4a)及周側面被上述絕緣基材(2)覆蓋的板狀之導電墊片(4)、形成於該導電墊片(4)之另一面(4b)且形成於上述另一面(4b)之外緣以內的導體圖樣(7)。藉此，可提高元件(3)之封裝密度。

指定代表圖：



第1圖

符號簡單說明：

1 . . . 元件內藏機基板

2 . . . 絕緣基材

3 . . . 元件

4 . . . 導電墊片

4a . . . 元件封裝面
(其中一面)4b . . . 圖樣形成面
(另一面)

5 . . . 連接端子

6 . . . 接合件

7 . . . 導體圖樣

8 . . . 墊片對

9 . . . 配線部

I539870

TW I539870 B

10 . . . 隔片

104年10月6日 修正本
補充

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100129324

※申請日：100,8,17 ※IPC分類：H05k1/18 (2006.01)

一、發明名稱：(中文/英文)

內藏元件之基板

二、中文發明摘要：

● 本發明包括形成板狀的樹脂製之絕緣基材(2)、複數個埋設於該絕緣基材(2)之電子元件(3)、該元件(3)透過接合材料(6)封裝於其中一面(4a)且上述其中一面(4a)及周側面被上述絕緣基材(2)覆蓋的板狀之導電墊片(4)、形成於該導電墊片(4)之另一面(4b)且形成於上述另一面(4b)之外緣以內的導體圖樣(7)。藉此，可提高元件(3)之封裝密度。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----------------|---------|
| 1～元件內藏機基板； | 2～絕緣基材； |
| 3～元件； | 4～導電墊片； |
| 4a～元件封裝面(其中一面)； | |
| 4b～圖樣形成面(另一面)； | |
| 5～連接端子； | 6～接合件； |
| 7～導體圖樣； | 8～墊片對； |
| 9～配線部； | 10～隔片。 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是關於一種將電子元件埋設於絕緣基材內的內藏元件之基板。

【先前技術】

內藏元件之基板在專利文獻1中得到揭示。專利文獻1中所記載之內藏元件之基板包括絕緣基材、形成於其兩面的導體電路及電子元件。此電子元件為一種內藏元件，其埋設於絕緣基材之中，與端子部設置於基板側之連接端子部連接，再連接至導體電路。用來與此內藏元件之基板的連接端子連接的連接端子部在專利文獻1中被記載為使用阻焊層形成的範例。

然而，阻焊層在篩網印刷後藉由曝光、顯影、紫外線硬化或熱硬化而形成。因此，當在相鄰之內藏元件之間形成阻焊層時，難以縮小內藏元件之間間隔。換言之，難以針對基板表面達到元件之高密度化。又，如專利文獻1所示，當藉由轉印法製作基板時，導體圖樣設計得比與電子元件連接之連接部大，所以，也難以達到配線之高密度化。

[專利文獻1]特開2010-27917號公報

【發明內容】

【發明所欲解決的課題】

本發明為考慮上述習知技術之發明，目的在提供一種內藏元件之基板，其可縮小內藏元件之間的時間隔而配置，於是，可達到元件之高密度化（提高元件之封裝密度），再者，也可達到配線之高密度化。

【用以解決課題的手段】

為達成上述目的，在本發明中，提供一種內藏元件之基板，其特徵在於：包括形成板狀的樹脂製之絕緣基材、埋設於該絕緣基材內的複數個電子元件、該元件透過接合材料封裝於其中一面且上述其中一面及周側面被上述絕緣基材覆蓋的板狀之導電墊片及形成於該導電墊片之另一面且相對於上述另一面之外緣形成於內側的導體圖樣。

更好的設計為，上述導體圖樣之形成方式為使上述另一面之一部分露出，則會更好。

又，更好的設計為，在上述元件上設有複數個連接端子，上述導電墊片透過上述接合材料與上述連接端子作電子連接，藉由連接至各連接端子的各個上述導電墊片形成墊片單元，在相鄰之上述墊片單元之間，僅存在上述絕緣基材。

又，更好的設計為，上述連接端子設置於上述元件之兩端部，上述墊片單元之配設為墊片對，與上述導電墊片相向。

再者，更好的設計為，在形成上述墊片對之上述導電墊片之間，設有用來保持上述元件與上述絕緣基材之表面之間隔的隔片。

又，上述接合材料為銲錫，上述隔片為阻焊膜。

【發明效果】

本發明之內藏元件之基板包括絕緣基材、複數個元件、導電墊片及導體圖樣，導體圖樣形成於比作為導電墊片之另一面的圖樣形成面之外緣還小的範圍。於是，不越過導電墊片之外緣形成導體圖樣，各元件之間的間隔根據導電墊片之大小來決定。藉此，可縮小導電墊片之間的間隔而配置，所以，可提高元件之封裝密度。此時，導體圖樣若形成於比另一面（圖樣形成面）之外緣還小的範圍，亦即，使另一面之一部分露出，可確實提高元件之封裝密度。

又，藉由元件之連接端子上分別連接的導電墊片形成墊片對，在此墊片對之間僅存在絕緣基材。於是，習知之阻焊層無法形成，所以，可縮小墊片對之間的間隔。因此，可提高元件之封裝密度。此外，當形成墊片對的有時是電阻、電容器等雙端子元件，若為連接端子更多的多端子元件（電晶體、IC、LSI等），則藉由連接至各個連接端子的導電墊片形成墊片單元。藉由墊片單元，也能發揮相同的效果。

又，在形成墊片對之導電圖樣之間，設有用來保持元件與絕緣基材之表面之間隔的隔片，藉此，可防止元件隱沒。特別是當連接材料為銲錫時，效果明顯。隔片宜使用阻焊膜。

【實施方式】

如第1圖所示，本發明之內藏元件之基板1包括板狀之絕緣基材2。此絕緣基材2為樹脂製，例如預浸材料。此絕緣基材2埋設於電子元件3中。此元件3埋設於絕緣基材2內。在此絕緣基材2內，進一步埋設板狀之導電圖樣4。具體而言，導電墊片4之其中一面(元件封裝面4a)及周側面被絕緣基材2覆蓋，另一面與絕緣基材2之表面形成無段差狀態。亦即，導電墊片4之另一面(後述之圖樣形成面4b)從絕緣基材2露出。導電墊片可為鍍金墊片。

上述之元件3封裝於此導電墊片4之其中一面(元件封裝面4a)。具體而言，對應元件3之兩端部上分別設置的連接端子5分別配置導電墊片4，透過接合材料6作電子連接。接合材料6可使用鉍錫或導電性之接著劑。又，藉由封裝同一元件3之各個導電墊片4(與各個連接端子5連接且為2個一組的導電墊片4)形成墊片對8。此外，在圖例中，是以電阻、電容器等雙端子元件為範例，然而，在電晶體、IC、LSI等連接端子更多之多端子元件中，墊片對8為墊片單元。具體而言，墊片單元由3個以上之導電墊片4所構成。

在導電墊片4之另一面(圖樣形成面4b)上，形成導體圖樣7。在第1圖及第2圖的範例中，相對於圖樣形成面4b之外緣，形成導體圖樣7。如此，可在與圖樣形成面4b之外緣同等或比外緣小的範圍內形成導體圖樣7，所以，無法越過導電墊片4之外緣形成導體圖樣7。於是，各元件3之間的間隔，亦即，墊片對8之間的間隔根據導電墊片4之大小來決定。換言之，導體圖樣7之形成方式無法從導電墊片4露出，

所以，可縮小導電墊片 4(實際上為墊片對 8)之間の間隔而配置。藉此，可針對元件 3 之製品基板提高封裝密度。

此時，如第 1 圖、第 2 圖所示，導體圖樣 7 若形成於比另一面(圖樣形成面 4b)之外緣小的範圍，亦即，形成方式為使另一面之一部分露出，確實可提高元件 3 之封裝密度。又，如第 2 圖所示，即使在元件 3 之間設置與導體圖樣 7 連接之配線部 9，可縮小元件 3 與配線部 9 之間の間隔，於是可提高元件 3 之封裝密度。又，只要是可設置配線部 9 之位置，就可靠近導電墊片 4，所以，可達到配線之高密度化。

另一方面，在相鄰之墊片對 8 之間，僅存在絕緣基材 2。亦即，在相鄰之墊片對 8 之間，無法形成習知之阻焊層。因此，墊片對 8 之間の間隔得以縮小。此種構造有助於提高元件 3 之封裝密度。又，在形成墊片對 8 之導電墊片 4 之間，亦即，元件 3 之下側，設有隔片 10(在圖中記載為僅在一部分之元件 3 設置隔片 10)。此隔片 10 可用來保持元件 3 與絕緣基材 2 之表面的間隔。藉由設置此隔片 10，可防止元件 3 隱沒。特別是當接合材料為錒錫時，效果顯著。隔片 10 宜使用阻焊膜。亦可藉由變更此隔片 10 之形狀、高度來控制元件之設置高度。

以下將根據第 3 圖至第 9 圖說明本發明之內藏元件之基板之製造方法之一例。

首先，如第 3 圖所示，在支持板 11 上形成導電層 12。支持板 11 可為 SUS 板。導電層 12 可為由鍍銅等所構成的銅薄膜。接著，如第 4 圖所示，在導電層 12 上載置上述之導電墊

片 4。當導電墊片 4 為鍍金墊片時，此導電墊片 4 對銅製之墊片施以軟蝕刻處理，之後，施以鍍厚度 $1\ \mu\text{m}\sim 10\ \mu\text{m}$ (最好為 $5\ \mu\text{m}$)、金厚度 $0.01\ \mu\text{m}\sim 1\ \mu\text{m}$ (最好為 $0.03\ \mu\text{m}$) 的鍍金處理。藉由軟蝕刻處理，導電墊片 4 之表面若以表面粗度 (Rz) 來表示時，為 $0\ \mu\text{m}\sim 1.5\ \mu\text{m}$ ，所以，形成平坦的形狀。此外，作為對鍍金墊片 7 之表面進行平坦化處理的方法，亦可使用微蝕刻、酸洗或電漿蝕刻。

另外，如第 5 圖所示，對導電層 12 之表面施以粗面化處理，形成粗面 12a。此粗面化處理之進行方式為，使用黑化還原處理、膠膜處理、CZ 處理，針對導電層 12 之表面，對銅表面進行蝕刻處理，形成有機皮膜。其表面粗度 (Rz) 為 $0.1\ \mu\text{m}\sim 10\ \mu\text{m}$ 。在此，所謂膠膜處理，是指使用 ATOTHCH 公司所製造之藥液來進行的處理。其為藉由銅表面之粗面化及有機金屬皮膜之形成來提高樹脂密著性的處理。又，所謂 CZ 處理，是指使用 ムック 公司所製造之藥液來進行的處理。其為提高銅表面之粗面化及樹脂密著性的處理。

另外，如第 6 圖所示，在導電墊片 4 之元件封裝面 4a 配置接合材料 6。在圖中，表示出接合材料 6 為錒錫的範例。另外，如第 7 圖所示，元件 3 之連接端子 5 與導電墊片 4 透過接合材料 6 作電子連接。在圖例中，具體而言是進行回流焊接。藉此，元件 3 封裝於導電墊片 4 上。此時，上述之粗面 12a 形成於與導電墊片 4 之側緣相接的位置，所以，可確實防止焊接的擴張超過導電墊片 4。換言之，可達到阻止藉由粗面 12a 阻止和焊接之擴張的效果。於是，不需要形成過去

所使用之錫堤。由於不需要錫堤，所以，可縮小上述相鄰之墊片對8之間的間隔。藉此，可縮小配置元件3的間隔，進而提高元件3之封裝密度。又，由於不需要用來形成錫堤之阻焊膜形成製程，所以製程可縮短，連帶也不需要使用在該製程的材料，於是大大降低了成本。

另外，如第8圖所示，將元件3埋設於絕緣基材2內。具體而言，導電層12與絕緣基材2之間夾持有元件3，相互壓接導電層12與絕緣基材2。之後，去除支持板11。

另外，如第9圖所示，在導電墊片4之圖樣形成面4b上形成導體圖樣7。具體而言，去除導電層12之一部分而形成導體圖樣7。此導體圖樣7對導電層12施以蝕刻處理而形成。此時，導電墊片4作為蝕刻阻劑，可防止接合材料6露出。再者，可防止已封裝好之元件3之電子連接之可靠性下降。此導體圖樣7如上所述，形成於與圖樣形成面4b之外緣相等或比其小的範圍。在形成導電圖樣7的同時，可形成配線部9。如此之外，在圖中表示出僅在基板之單面側形成導體圖樣7的單面基板的範例，但本發明理所當然可應用於雙面基板。又，本發明亦可應用於將以上組合起來之多層基板。

【圖式簡單說明】

第1圖為本發明之元件內藏基板的概略剖面圖。

第2圖為第1圖的A-A視圖。

第3圖為依序表示本發明之元件內藏基板之製造方法

的概略圖。

第4圖為依序表示本發明之元件內藏基板之製造方法的概略圖。

第5圖為依序表示本發明之元件內藏基板之製造方法的概略圖。

第6圖為依序表示本發明之元件內藏基板之製造方法的概略圖。

第7圖為依序表示本發明之元件內藏基板之製造方法的概略圖。

第8圖為依序表示本發明之元件內藏基板之製造方法的概略圖。

第9圖為依序表示本發明之元件內藏基板之製造方法的概略圖。

【主要元件符號說明】

- 1 內藏元件之基板
- 2 絕緣基材
- 3 元件
- 4 導電墊片
- 4a 元件封裝面(其中一面)
- 4b 圖樣形成面(另一面)
- 5 連接端子
- 6 接合件
- 7 導體圖樣

- 8 墊片對
- 9 配線部
- 10 隔片
- 11 支持板
- 12 導電層
- 12a 粗面

七、申請專利範圍：

1. 一種內藏元件之基板，其特徵在於包括：

樹脂製之絕緣基材，形成板狀；

複數個電子元件，埋設於該絕緣基材內；

由金構成的板狀之導電墊片，該元件透過接合材料封裝於其中一面且上述其中一面及周側面被上述絕緣基材覆蓋；及

由銅構成的導體圖樣，形成於該導電墊片之另一面且相對於上述另一面之外緣形成於內側；其中

該導電墊片是透過該接合材料，對於設置在該元件的複數個連接端子作電子連接，並在形成該導體圖樣時的功能是作為蝕刻阻劑。

2. 如申請專利範圍第1項之內藏元件之基板，其中，上述導體圖樣之形成方式為使上述另一面之一部分露出。

3. 如申請專利範圍第1項之內藏元件之基板，其中，在上述元件上設有複數個連接端子，上述導電墊片透過上述接合材料與上述連接端子作電子連接，藉由連接至各連接端子的各個上述導電墊片形成墊片單元，在相鄰之上述墊片單元之間，僅存在上述絕緣基材。

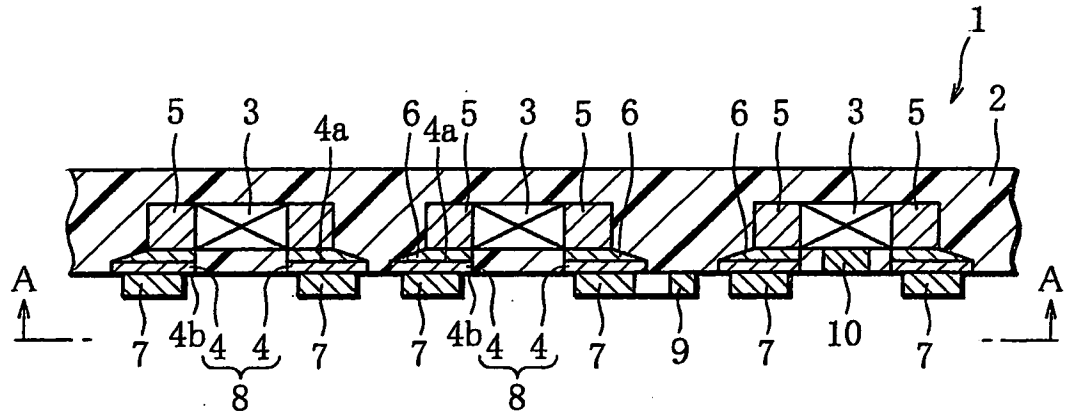
4. 如申請專利範圍第3項之內藏元件之基板，其中，上述連接端子設置於上述元件之兩端部，上述墊片單元之配設為墊片對，與上述導電墊片相向。

5. 如申請專利範圍第4項之內藏元件之基板，其中，在形成上述墊片對之上述導電墊片之間，設有用來保持上述

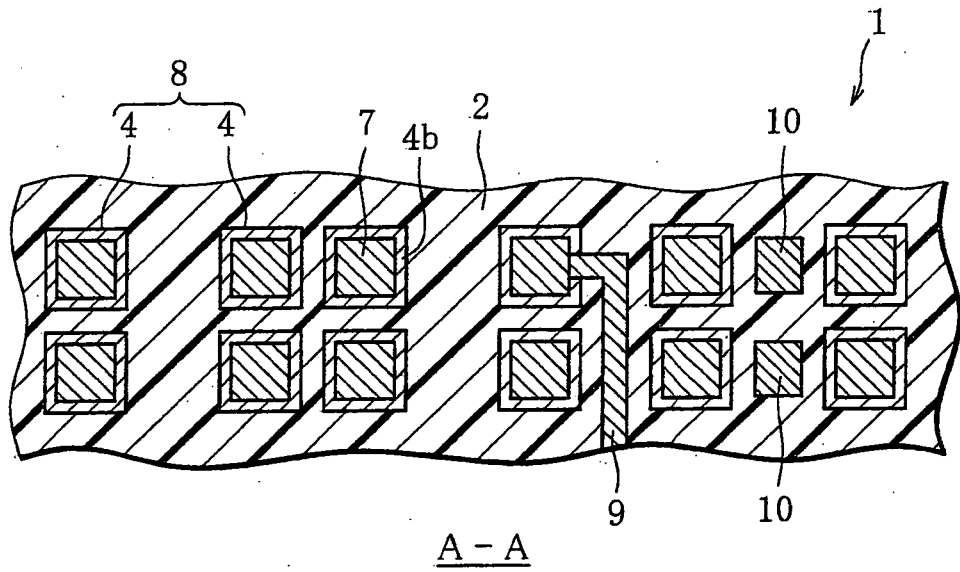
元件與上述絕緣基材之表面之間隔的隔片。

6. 如申請專利範圍第 5 項之內藏元件之基板，其中，上述接合材料為鉍錫，上述隔片為阻焊膜。

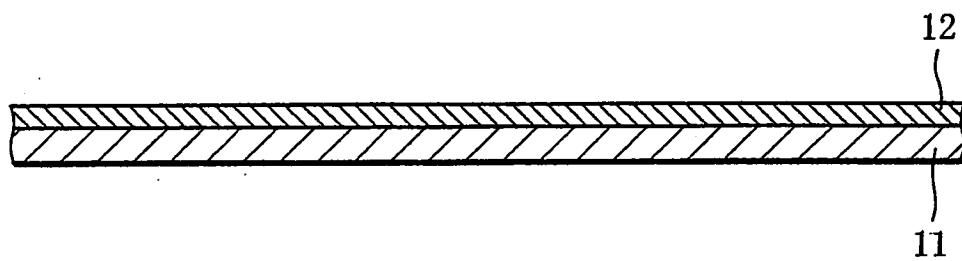
八、圖式：如後所示。



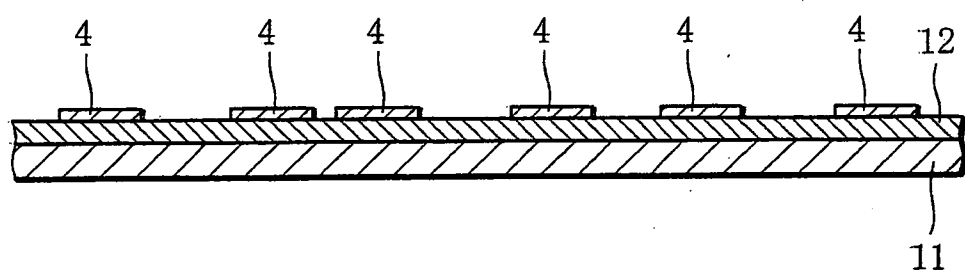
第1圖



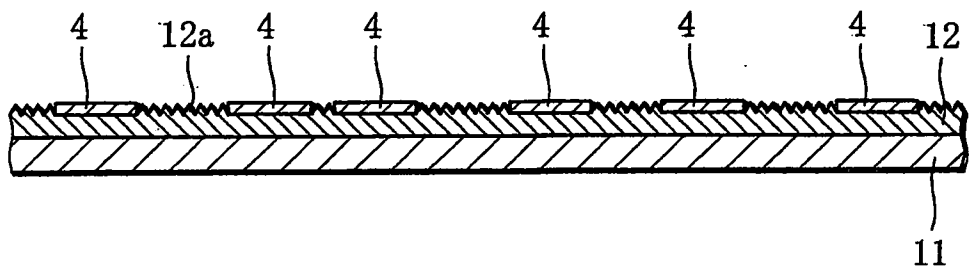
第2圖



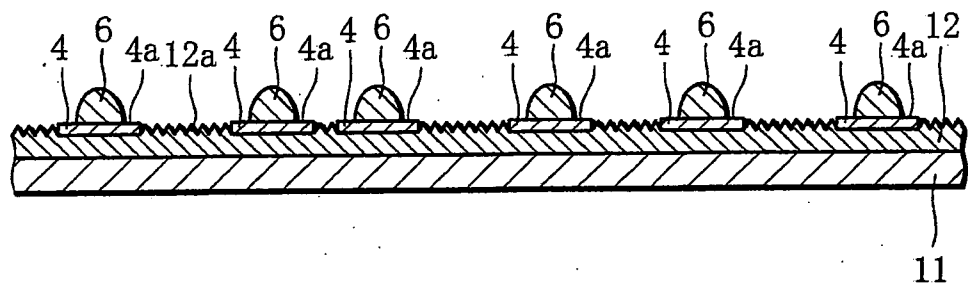
第3圖



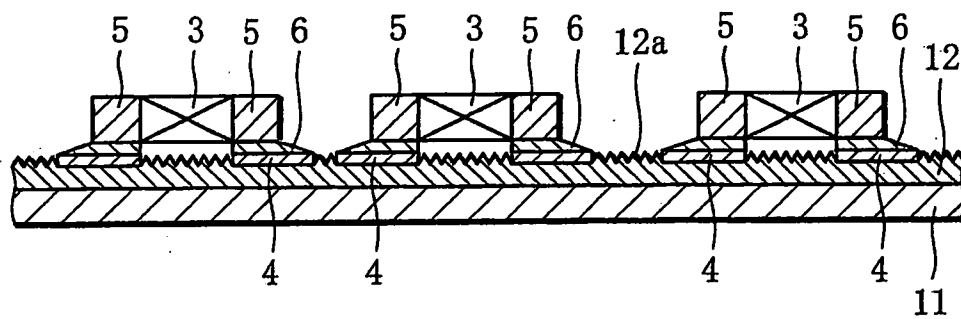
第4圖



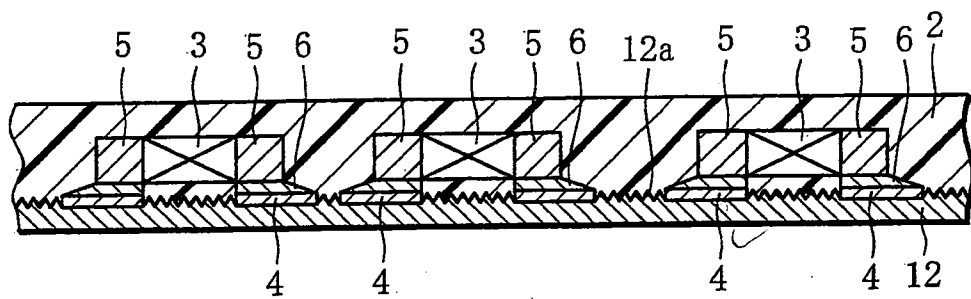
第5圖



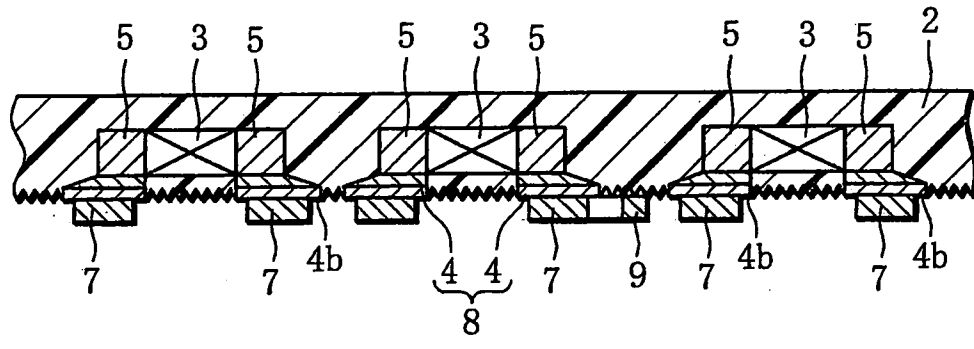
第6圖



第7圖



第8圖



第9圖